



(12) 发明专利

(10) 授权公告号 CN 110928731 B

(45) 授权公告日 2024.05.14

(21) 申请号 201910974150.5

(22) 申请日 2019.10.14

(65) 同一申请的已公布的文献号

申请公布号 CN 110928731 A

(43) 申请公布日 2020.03.27

(73) 专利权人 珠海亿智电子科技有限公司

地址 519080 广东省珠海市高新区唐家湾

镇港乐路8号大洲科技园B区905

(72) 发明人 请求不公布姓名 请求不公布姓名

(74) 专利代理机构 广州嘉权专利商标事务所有

限公司 44205

专利代理师 张龙哺

(51) Int. Cl.

G06F 11/22 (2006.01)

G06F 11/24 (2006.01)

(56) 对比文件

CN 108535631 A, 2018.09.14

US 2014266152 A1, 2014.09.18

审查员 徐霞

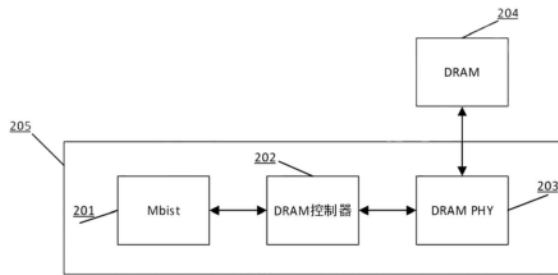
权利要求书2页 说明书5页 附图4页

(54) 发明名称

一种基于硬件自测模块的DRAM眼图评估方法

(57) 摘要

本发明提供了一种基于硬件自测模块的DRAM眼图评估方法,包括如下步骤:(1)主控芯片向DRAM芯片发出读/写请求;(2)通过读取自测状态判断DRAM数据采样的正确性;(3)主控芯片中的DRAMPHY改变数据或时钟的延迟单元,结合自测状态获得眼宽;(4)主控芯片中的DRAMPHY改变参考电压,结合自测状态获得眼高;(5)改变延迟单元和参考电压,重复步骤(3)和(4)以获得完整的DRAM眼图大小,其中,主控芯片还包括能够频繁地发送读/写请求的硬件自测逻辑模块Mbist和DRAM控制器。本发明可以减少对CPU的依赖缩短访问延迟,有效地利用DRAM的最大负荷。



1. 一种基于硬件自测模块的DRAM眼图评估方法,其特征在于,包括如下步骤:

- (1) 主控芯片向DRAM芯片发出读/写请求;
- (2) 通过读取自测状态判断DRAM数据采样的正确性;
- (3) 主控芯片中的DRAMPHY改变数据或时钟的延迟单元,结合自测状态获得眼宽;
- (4) 主控芯片中的DRAMPHY改变参考电压,结合自测状态获得眼高;
- (5) 改变延迟单元和参考电压,重复所述步骤(3)和所述步骤(4)以获得完整的DRAM眼图大小,

其中,主控芯片还包括发送读/写请求的硬件,所述硬件包括自测逻辑模块Mbist和DRAM控制器;

所述步骤(3)和所述步骤(4)中,所述DRAMPHY的各个读/写通道包括多个读/写DQS延迟单元和DQ延迟单元,以适应不同的PCB走线和DRAM颗粒差异;

通过改变DQS延迟单元获得右眼宽的流程如下:

向逻辑产生器配置参数,并向DRAMPHY配置初始的DQS延迟参数;

在硬件自测逻辑模块中进行读/写请求,判断请求是否出错,如果没有出错,则增加DQS延迟单元,继续进行读/写请求,如果出错,则记录当前DQS延迟参数,从而获得右眼宽;

通过改变DQ延迟单元获得左眼宽的流程如下:

向逻辑产生器配置参数,并向DRAMPHY配置DQ延迟参数;

在硬件自测逻辑模块中进行读/写请求,判断请求是否出错,如果没有出错,则增加/减少DQ延迟参数,继续进行读/写请求,如果出错,则记录当前DQ延迟参数,从而获得左眼宽;

所述步骤(4)的具体流程如下:

将DQ延迟参数设置为0,DQS延迟参数设置为 t_2 ;

向逻辑产生器配置参数,并向DRAMPHY配置标准Vref值;

在硬件自测逻辑模块中进行读/写请求,判断请求是否出错,如果没有出错,则增加/减小Vref值,继续进行读/写请求,如果出错,则记录当前Vref值,从而获得第一眼高参数;

将DQ延迟参数设置为0,DQS延迟参数设置为 t_1 ;

向逻辑产生器配置参数,并向DRAMPHY配置标准Vref值;

在硬件自测逻辑模块中进行读/写请求,判断请求是否出错,如果没有出错,则增加/减小Vref值,继续进行读/写请求,如果出错,则记录当前Vref值,从而获得第二眼高参数;

根据第一眼高参数和第二眼高参数,获得眼高。

2. 根据权利要求1所述的DRAM眼图评估方法,其特征在于,所述硬件自测逻辑模块包括与比较器电路连接的逻辑产生器。

3. 根据权利要求2所述的DRAM眼图评估方法,其特征在于,通过逻辑产生器配置访问起始地址、访问数据量、数据类型、读写类型及访问次数,向DRAM控制器发送读写请求。

4. 根据权利要求2所述的DRAM眼图评估方法,其特征在于,所述比较器用于将返回的数据与逻辑产生器所配置的数据进行比较,从而输出自测状态。

5. 根据权利要求2所述的DRAM眼图评估方法,其特征在于,所述逻辑产生器被配置为单独写访问或者读访问,用于区分不同的眼图类型。

6. 根据权利要求1所述的DRAM眼图评估方法,其特征在于,所述步骤(1)包括:其中所述DRAM控制器在接收到硬件自测逻辑模块传输的访问请求后,进行读/写优先级仲裁,并将所

述访问请求通过DRAMPHY发送到DRAM芯片。

一种基于硬件自测模块的DRAM眼图评估方法

技术领域

[0001] 本发明涉及电子技术内存控制领域,并且更具体地涉及一种基于硬件自测模块的DRAM眼图评估方法。

背景技术

[0002] 当前消费类电子产品对动态随机存取存储器(DRAM)的访问速度和稳定性要求越来越高,DRAM性能成为消费类电子产品的重要指标。

[0003] 评估DRAM性能通常是通过示波器抓取叠加信号得到眼图,以此来评估信号完整性和电源完整性。示波器抓取信号有三种缺陷,第一种是探头本身对PCB板级的信号干扰;第二种是示波器抓取的不是信号的端级;第三种是DRAM发出的DQS信号和DQ信号是对齐的,如附图1,示波器无法抓取两者在主控中实际的相位关系。这些缺陷都会影响信号的真实情况,从而影响分析结果。

[0004] 为了降低消费类电子产品的开发难度,芯片封装已经发展为将多个芯片集成在一起的方案,较为常见的是将主控和DRAM在封装内部连接。这种封装形式下,示波器将无法采集到DRAM信号,制约了DRAM性能的评估手段。

发明内容

[0005] 针对现有技术的不足,本发明提供了一种基于硬件自测模块的DRAM眼图评估方法,通过Mbist频繁地发送读或写请求,通过DRAM控制器和DRAMPHY处理后访问DRAM颗粒。DRAMPHY精确地控制数据线/时钟的延迟单元和Vref参考电压大小,当延迟单元和参考电压改变时,会影响数据采样的正确性。进一步地,Mbist中的数据比较器,将逻辑产生器所配置的数据和读回的数据对比输出结果至自测状态。通过读取自测状态,不断尝试不同的延迟单元和参考电压,就能获取一个完整的DRAM眼图大小。

[0006] 本发明的技术方案提供了一种基于硬件自测模块的DRAM眼图评估方法,该方法包括如下步骤:(1)主控芯片向DRAM芯片发出读/写请求;(2)通过读取自测状态判断DRAM数据采样的正确性;(3)主控芯片中的DRAMPHY改变数据或时钟的延迟单元,结合自测状态获得眼宽;(4)主控芯片中的DRAMPHY改变参考电压,结合自测状态获得眼高;(5)改变延迟单元和参考电压,重复步骤(3)和(4)以获得完整的DRAM眼图大小,其中,主控芯片还包括发送读/写请求的硬件自测逻辑模块Mbist和DRAM控制器。

[0007] 根据本发明的一个方面,硬件自测逻辑模块包括与比较器电路连接的逻辑产生器。

[0008] 根据本发明的一个方面,通过逻辑产生器配置访问起始地址、访问数据量、数据类型、读写类型、访问次数等数据,向DRAM控制器发送读写请求。

[0009] 根据本发明的一个方面,比较器用于将返回的数据与逻辑产生器所配置的数据进行比较,从而输出自测状态。

[0010] 根据本发明的一个方面,逻辑产生器被配置为单独设置写访问或者读访问,用于

区分不同的眼图类型。

[0011] 根据本发明的一个方面,其中在步骤(1)中,所述DRAM控制器在接收到硬件自测逻辑模块传输的访问请求后,进行读/写优先级仲裁,并将所述访问请求通过DRAMPHY发送到DRAM芯片。

[0012] 根据本发明的一个方面,在所述(3)和步骤(4)中,DRAMPHY的各个读/写通道包括多个读/写DQS延迟单元和DQ延迟单元,以适应不同的PCB走线和DRAM颗粒差异。

[0013] 根据本发明的一个方面,通过改变DQS延迟单元获得右眼宽的流程如下:向逻辑产生器配置参数,并向DRAMPHY配置初始的DQS延迟单元;在硬件自测逻辑模块中进行读/写请求,判断请求是否出错,如果没有出错,则增加DQS延迟单元,继续进行读/写请求,如果出错,则记录当前DQS延迟参数,从而获得右眼宽。

[0014] 根据本发明的一个方面,通过改变DQ延迟单元获得左眼宽的流程如下:向逻辑产生器配置参数,并向DRAMPHY配置DQ延迟参数;在硬件自测逻辑模块中进行读/写请求,判断请求是否出错,如果没有出错,则增加/减少DQ延迟参数,继续进行读/写请求,如果出错,则记录当前DQ延迟参数,从而获得左眼宽。

[0015] 本发明的有益效果是:主控芯片内部集成硬件自测电路,减少对CPU的依赖,缩短访问延迟(access latency),能够有效的体现DRAM的最大负荷;无需改动外部硬件条件,即可获得原始状态的眼图;能够准确获知主控芯片内部读眼图的情况,有利于分析DRAMPHY的状态,该状态无法从PCB上直接量测得到。

附图说明

[0016] 下面结合附图对本发明做进一步说明:

[0017] 图1是从DRAM芯片发出的DQS信号和DQ信号的示意图;

[0018] 图2是根据本发明的基于硬件自测逻辑模块的DRAM眼图评估方法评估DRAM眼图的系统框图;

[0019] 图3是硬件自测逻辑模块中逻辑产生器的内部结构框图;

[0020] 图4是硬件自测逻辑模块中DRAMPHY的内部结构框图;

[0021] 图5是参考的DRAM眼图的示意图;

[0022] 图6是根据DRAM眼图评估方法获得右眼图的流程图;

[0023] 图7是根据DRAM眼图评估方法获得眼高相关参数的流程图。

具体实施方式

[0024] 以下将结合实施例和附图对本发明的构思、具体结构及产生的技术效果进行清楚、完整的描述,以充分地理解本发明的目的、方案和效果。需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0025] 如图1所示,为从DRAM芯片发出的DQS信号和DQ信号的示意图。我们都知道,DQS和DQ都是三态信号,在进行读操作时,DQS信号的边沿在时序上与DQ的信号边沿处对齐,而在写操作时,DQS信号的边沿在时序上与DQ信号的中心处对齐,因此在测试验证时,就会遇到非常多的困难。此时,就要借助于“眼图”的方式。

[0026] 如图2所示,为根据本发明的基于硬件自测逻辑模块的DRAM眼图评估方法评估

DRAM眼图的系统框图。该评估方法由两大模块组成：主控芯片(205)和DRAM芯片(204)。主控芯片(205)包括诸如系统芯片(SoC)等,主要是通过内部逻辑发送读写请求到DRAM芯片(204),从而使用内存资源。主控芯片(205)包括硬件自测逻辑模块Mbist(201)、DRAM控制器(202)和DRAMPHY(203)这三大部分。DRAM芯片(204)包括但不局限于以下类型:DDR1/DDR2/DDR3/DDR4/LPDDR/LPDDR2/LPDDR3/LPDDR4,只要是可以实现类似功能的芯片均可。

[0027] 参考图3,示出了硬件自测逻辑模块中逻辑产生器的内部结构框图,其中硬件自测逻辑模块包括逻辑产生器(301)和比较器(302),逻辑产生器(301)是Mbist电路的核心部分,通过配置其访问起始地址、访问数据量、读/写数据、访问次数,逻辑产生器(301)向DRAM控制器(202)发送读写请求。如果是读请求,返回的数据和逻辑产生器所配置的数据通过内置的比较器(302)进行比较。逻辑产生器(301)可单独设置写访问或读访问,用于区分不同的眼图类型。Mbist电路不同于CPU/DMA等master有访问延迟限制,可以无限制地发送读写请求。除了必要的刷新占时,可以使DRAM芯片(204)工作在满带宽负荷下,更能测试出DRAM芯片(204)的极限性能。

[0028] DRAM控制器(202)接收Mbist电路发过来的访问请求后,进行读写优先级仲裁,并将请求通过DRAMPHY(203)发送到DRAM芯片(204)。

[0029] 参考图4,示出了硬件自测逻辑模块中DRAMPHY的内部结构框图。考虑到DRAM芯片的兼容性问题,DRAMPHY内部有各个通道的读写延迟单元,以适应不同的PCB走线和DRAM颗粒差异。例如读通道有DQS读延迟单元(402)和DQ读延迟单元(404),写通道有DQS写延迟单元(401)和DQ写延迟单元(403)。Vref产生电路(405)作用是输出参考电压给主控芯片和DRAM芯片。

[0030] 参考图5,示出了参考的DRAM眼图的示意图,其中,t1为左眼宽,t2为右眼宽,v1+v2为眼高。通过设置DQ延迟单元,可以改变t1大小;通过设置DQS延迟单元,可以改变t2大小;通过设置调高或调低Vref电平,可以改变v1/v1'或v2/v2'大小。DRAM读眼图和写眼图是独立区分的。

[0031] 根据本发明的一个实施例,参考图6,其示出了根据DRAM眼图评估方法获得右眼图的流程图。

[0032] 具体地,通过改变DQS的延迟单元,从而获得右眼宽的流程如图6所示:

[0033] 1.配置Mbist参数,包括读写地址/数据量;

[0034] 2.配置初始DQS延迟参数;

[0035] 3.开启Mbist功能;

[0036] 4.等待Mbist完成;

[0037] 5.判断Mbist是否出错,如果没有出错,则增加DQS延迟参数,循环执行第3步,否则往下执行第6步;

[0038] 6.记录当前DQS延迟参数,从而获得右眼宽t2。

[0039] 进一步地,根据本发明的一个实施例,通过改变DQ延迟单元,获得左眼宽t1的步骤和上述流程一致:

[0040] 1.配置Mbist参数,包括读写地址/数据量;

[0041] 2.配置初始DQ延迟参数;

[0042] 3.开启Mbist功能;

[0043] 4. 等待Mbist完成;

[0044] 5. 判断Mbist是否出错, 如果没有出错, 则增加DQ延迟参数, 循环执行第3步, 否则往下执行第6步;

[0045] 6. 记录当前DQ延迟参数, 从而获得左眼宽 t_1 。

[0046] 根据本发明的一个实施例, 参考图7, 示出了根据DRAM眼图评估方法获得眼高相关参数的流程图。

[0047] 首先, 将DQ延迟参数设置为0, DQS延迟参数设置为 t_2 , 通过调整vref值, 获得 v_1/v_2 的流程:

[0048] 1. 配置Mbist参数;

[0049] 2. 配置标准Vref值;

[0050] 3. 开启Mbist功能;

[0051] 4. 等待Mbist完成;

[0052] 5. 判断Mbist是否出错, 如果没有出错, 则增加/减小Vref值, 循环执行第3步, 否则往下执行第6步;

[0053] 6. 记录当前Vref值, 从而获得 v_1/v_2 。

[0054] 类似地, 将DQS延迟参数设置为0, DQ延迟参数设置为 t_1 , 重复上述流程, 获得 v_1' 和 v_2' , 上眼高为 v_1 和 v_1' 两者的最小值, 下眼高为 v_2 和 v_2' 两者的最大值。

[0055] 最后, 将上述数据输出眼图, 从而完成评估过程。由于, 眼图一旦输出, 本领域技术人员便可以一眼判断信号是否满足规范要求, 因此, 本发明提出的方法带来了极大的便利。

[0056] 应当认识到, 上述装置的实施例可以由计算机硬件、硬件和软件的组合、或者通过存储在非暂时性计算机可读存储器中的计算机指令来实现或实施。所述方法可以使用标准编程技术-包括配置有计算机程序的非暂时性计算机可读存储介质在计算机程序中实现, 其中如此配置的存储介质使得计算机以特定和预定义的方式操作——根据在具体实施例中描述的方法和附图。每个程序可以以高级过程或面向对象的编程语言来实现以与计算机系统通信。然而, 若需要, 该程序可以以汇编或机器语言实现。在任何情况下, 该语言可以是编译或解释的语言。此外, 为此目的该程序能够在编程的专用集成电路上运行。

[0057] 进一步, 该方法可以在可操作地连接至合适的任何类型的计算平台中实现, 包括但不限于个人电脑、迷你计算机、主框架、工作站、网络或分布式计算环境、单独的或集成的计算机平台、或者与带电粒子工具或其它成像装置通信等等。本发明的各方面可以以存储在非暂时性存储介质或设备上的机器可读代码来实现, 无论是可移动的还是集成至计算平台, 如硬盘、光学读取和/或写入存储介质、RAM、ROM等, 使得其可由可编程计算机读取, 当存储介质或设备由计算机读取时可用于配置和操作计算机以执行在此所描述的过程。此外, 机器可读代码, 或其部分可以通过有线或无线网络传输。当此类媒体包括结合微处理器或其他数据处理器实现上文所述步骤的指令或程序时, 本文所述的发明包括这些和其他不同类型的非暂时性计算机可读存储介质。当根据本发明所述的方法和技术编程时, 本发明还包括计算机本身。

[0058] 计算机程序能够应用于输入数据以执行本文所述的功能, 从而转换输入数据以生成存储至非易失性存储器的输出数据。输出信息还可以应用于一个或多个输出设备如显示器。在本发明优选的实施例中, 转换的数据表示物理和有形的对象, 包括显示器上产生的物

理和有形对象的特定视觉描绘。

[0059] 上述实施例仅仅是为清楚理解本发明的原则而提出的实现方式的示例性说明。在不偏离本发明的范围的情况下,许多变化、组合、修改或等同变换可以替代本发明的元件。因此,本发明旨在不限制于所公开的用于实施本发明的最佳模式的具体实施方案,但是本发明将包括落入所附权利要求范围内的所有实施例。

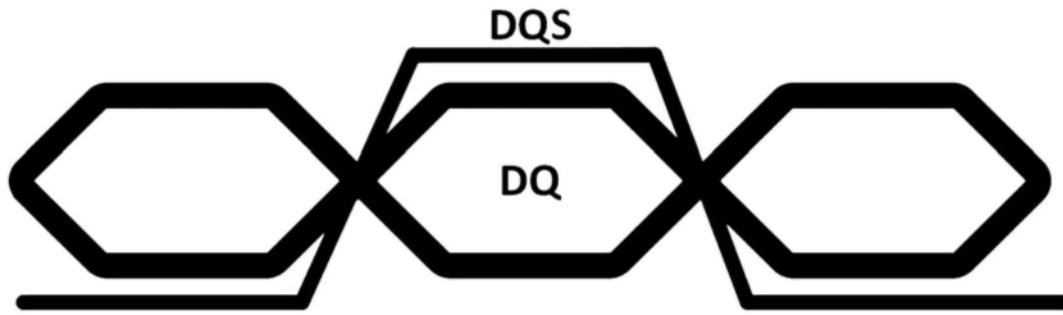


图1

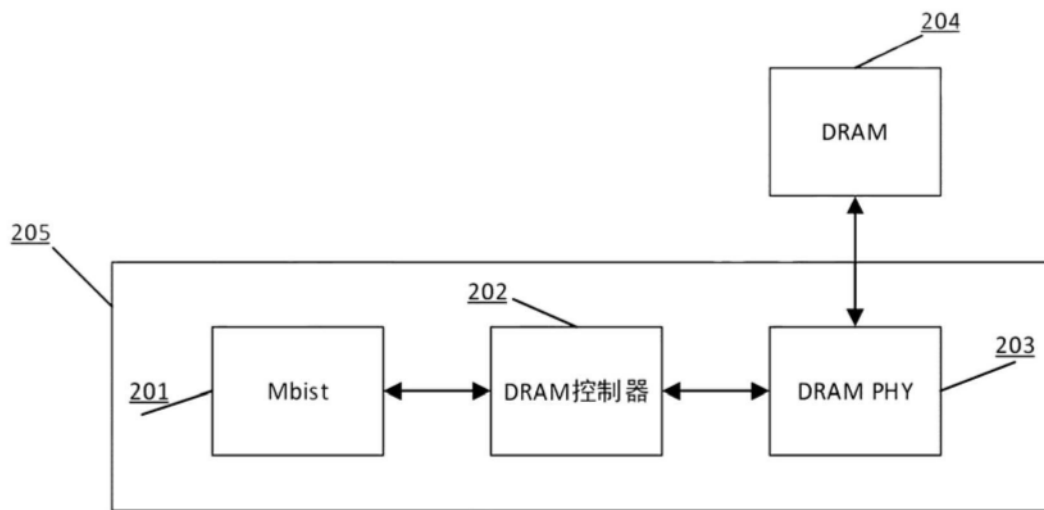


图2

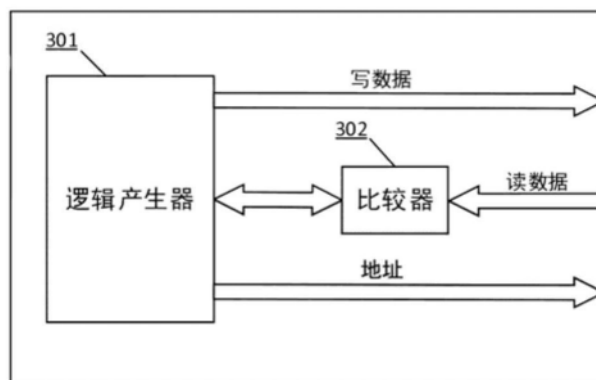


图3

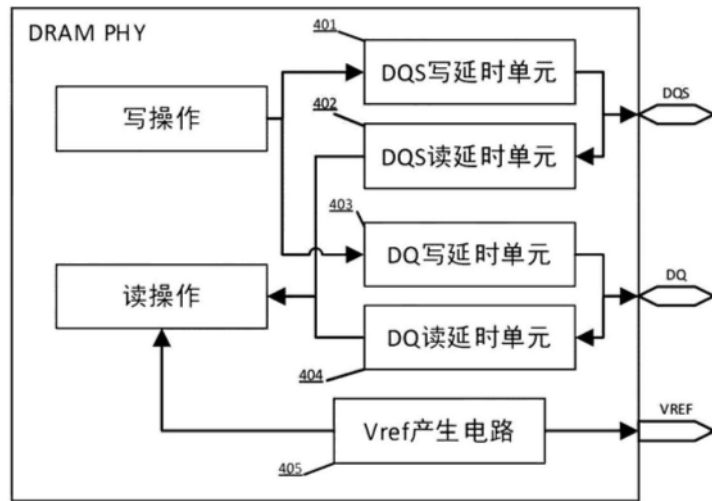


图4

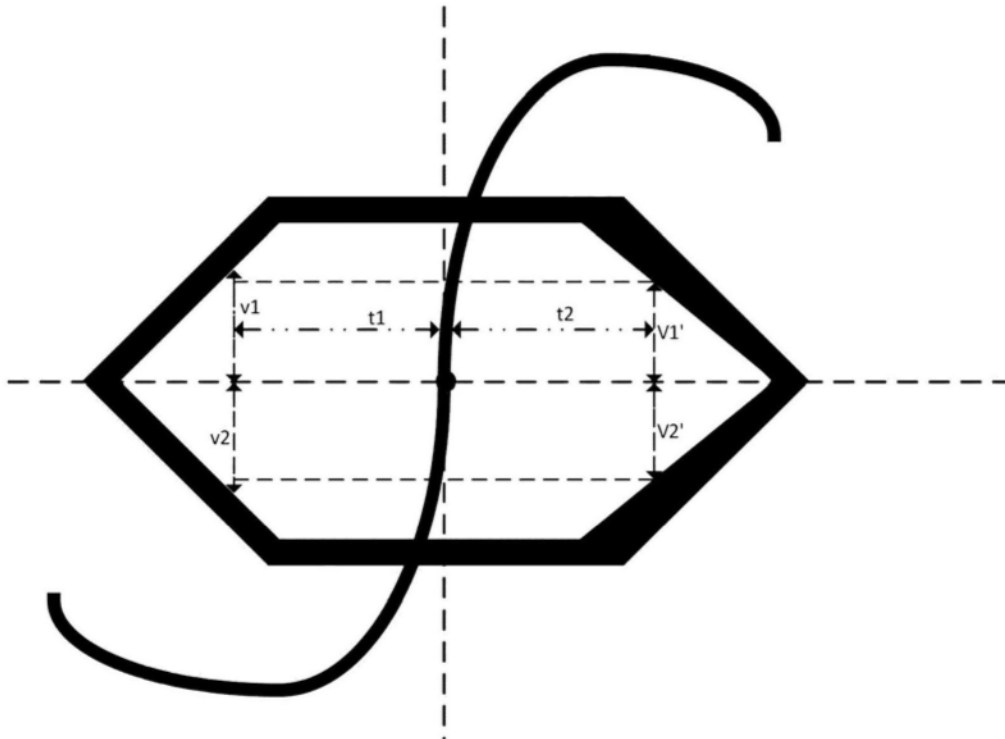


图5

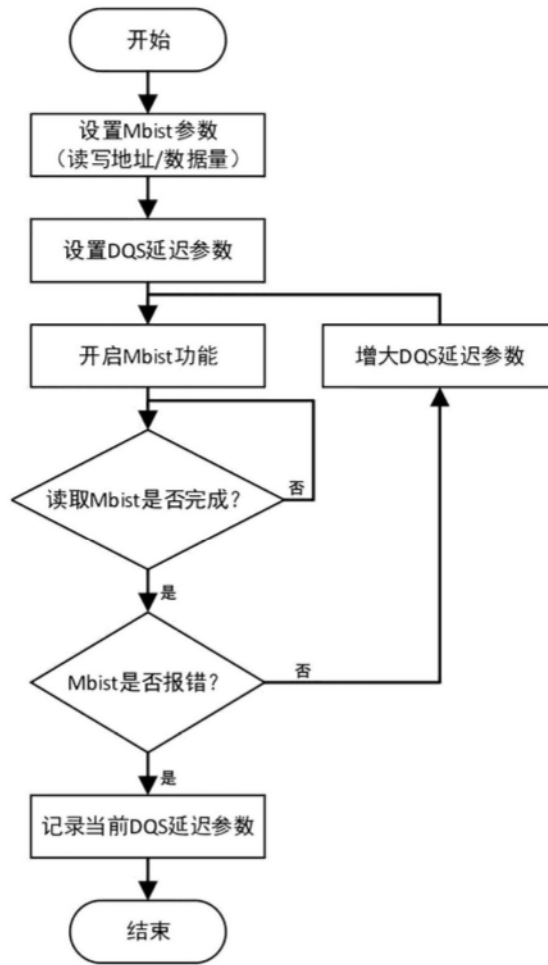


图6

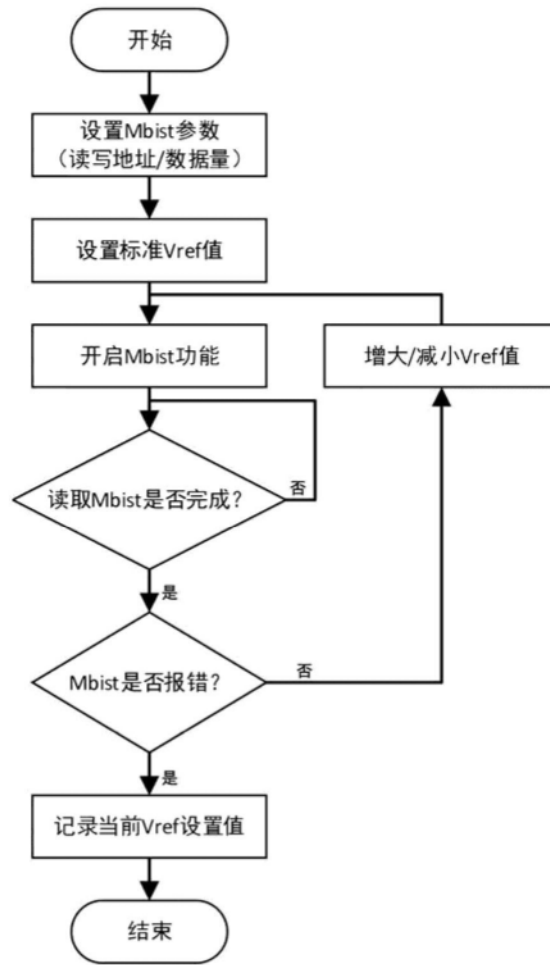


图7