

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4991131号
(P4991131)

(45) 発行日 平成24年8月1日(2012.8.1)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)
G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 4 1
G 1 1 C 17/00 6 1 1 G
G 1 1 C 17/00 6 1 3
G 1 1 C 17/00 6 2 2 E
G 1 1 C 17/00 6 0 1 E

請求項の数 6 (全 27 頁)

(21) 出願番号 特願2005-234719 (P2005-234719)
(22) 出願日 平成17年8月12日(2005.8.12)
(65) 公開番号 特開2007-48410 (P2007-48410A)
(43) 公開日 平成19年2月22日(2007.2.22)
審査請求日 平成20年7月8日(2008.7.8)

(73) 特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100084618
弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

n 値 (n は 3 以上の自然数) を記憶するメモリセルと、

第 1 の書き込み動作により、前記メモリセルの閾値電圧を第 1 の閾値電圧から第 1 の閾値電圧又は第 2 の閾値電圧 (第 1 の閾値電圧 < 第 2 の閾値電圧) とし、

前記第 1 の書き込み動作の後、且つ、前記メモリセルと隣接するセルに書き込みが行われた後、第 2 の書き込み動作により、前記メモリセルの閾値電圧が前記第 2 の閾値電圧である場合、第 3 の閾値電圧 (第 2 の閾値電圧 < 第 3 の閾値電圧) とし、

前記第 2 の書き込み動作の後、第 3 の書き込み動作により、前記メモリセルの閾値電圧が前記第 1 の閾値電圧である場合、第 1 の閾値電圧又は第 4 の閾値電圧 (第 1 の閾値電圧 < 第 4 の閾値電圧) に制御する制御部と

を具備することを特徴とする半導体記憶装置。

【請求項2】

n 値 (n は 3 以上の自然数) を記憶するメモリセルと、フラグ用メモリセルを有するメモリセルアレイと、

第 1 の書き込み動作により、前記メモリセルの閾値電圧を第 1 の閾値電圧から第 1 の閾値電圧又は第 2 の閾値電圧 (第 1 の閾値電圧 < 第 2 の閾値電圧) とし、

前記第 1 の書き込み動作の後、且つ、前記メモリセルと隣接するセルに書き込みが行われた後、第 2 の書き込み動作により、前記メモリセルの閾値電圧が前記第 2 の閾値電圧である場合、第 3 の閾値電圧 (第 2 の閾値電圧 < 第 3 の閾値電圧) とし、前記メモリセルと

10

20

同時に選択される前記フラグ用メモリセルの閾値電圧を前記第 1 の閾値電圧から、第 3 の閾値電圧以上とし、

前記第 2 の書き込み動作の後、第 3 の書き込み動作により、前記メモリセルの閾値電圧が前記第 1 の閾値電圧である場合、前記第 1 の閾値電圧又は第 4 の閾値電圧（第 1 の閾値電圧 < 第 4 の閾値電圧）に制御する制御部と

を具備することを特徴とする半導体記憶装置。

【請求項 3】

前記制御部は、第 1 の読み出し動作時に、前記メモリセルの閾値電圧が、前記第 3 の閾値電圧以上か以下かの読み出し動作を行ない、前記第 1 の読み出し動作により読み出されたデータが訂正不能なエラーを含む場合、前記フラグ用メモリセルの閾値電圧によらず前記第 2 の閾値電圧以上か以下かの読み出し動作を行なうことを特徴とする請求項 1 又は 2

10

【請求項 4】

n 値（n は 3 以上の自然数）を記憶するメモリセルと、フラグ用メモリセルを有するメモリセルアレイと、

第 1 の書き込み動作により、前記メモリセルの閾値電圧を第 1 の閾値電圧から第 1 の閾値電圧又は第 2 の閾値電圧（第 1 の閾値電圧 < 第 2 の閾値電圧）とし、

前記第 1 の書き込み動作の後、且つ、前記メモリセルと隣接するセルに書き込みが行われた後、第 2 の書き込み動作により、前記メモリセルの閾値電圧が前記第 2 の閾値電圧である場合、第 3 の閾値電圧（第 2 の閾値電圧 第 3 の閾値電圧）とし、

20

前記第 2 の書き込み動作の後、第 3 の書き込み動作により、前記メモリセルの閾値電圧が前記第 1 の閾値電圧である場合、前記第 1 の閾値電圧又は第 4 の閾値電圧（第 1 の閾値電圧 < 第 4 の閾値電圧）前記メモリセルとし、前記メモリセルと同時に選択される前記フラグ用メモリセルの閾値電圧を前記第 1 の閾値電圧から第 4 の閾値電圧以上に制御する制御部と

を具備することを特徴とする半導体記憶装置。

【請求項 5】

前記制御部は、第 1 の読み出し動作時に、前記メモリセルの閾値電圧が、前記第 4 の閾値電圧以上か以下かの読み出し動作を行ない、前記第 1 の読み出し動作により読み出されたデータが訂正不能なエラーを含む場合、特別なリードコマンドにより、前記第 3 の閾値電圧以上か以下かの読み出し動作を行なうことを特徴とする請求項 4 記載の半導体記憶装置。

30

【請求項 6】

n 値（n は 3 以上の自然数）を記憶するメモリセルと、フラグ用メモリセルを有するメモリセルアレイと、

第 1 の書き込み動作により、前記メモリセルの閾値電圧を第 1 の閾値電圧から第 1 の閾値電圧又は第 2 の閾値電圧（第 1 の閾値電圧 < 第 2 の閾値電圧）とし、

前記第 1 の書き込み動作の後、且つ、前記メモリセルと隣接するセルに書き込みが行われた後、第 2 の書き込み動作により、前記メモリセルの閾値電圧が前記第 2 の閾値電圧である場合、第 3 の閾値電圧（第 2 の閾値電圧 第 3 の閾値電圧）とし、

40

前記第 2 の書き込み動作の後、第 3 の書き込み動作により、前記メモリセルと同時に選択される前記フラグ用メモリセルの閾値電圧を前記第 1 の閾値電圧から、第 3 の閾値電圧又は第 4 の閾値電圧（第 1 の閾値電圧 < 第 4 の閾値電圧）以上とし、

前記第 3 の書き込み動作の後、第 4 の書き込み動作により、前記メモリセルの閾値電圧が前記第 1 の閾値電圧である場合、前記第 1 の閾値電圧又は第 4 の閾値電圧に制御する制御部と

を具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、例えばEEPROMを用いたNAND型フラッシュメモリに係り、特に、1つのメモリセルに多値データを記憶することが可能な半導体記憶装置に関する。

【背景技術】

【0002】

NAND型フラッシュメモリは、カラム方向に配置された複数のメモリセルが直列接続されてNANDセルを構成し、各NANDセルは選択ゲートを介して対応するビット線に接続される。各ビット線は、書き込みデータ、及び読み出しデータをラッチするラッチ回路に接続されている。このNAND型フラッシュメモリに多値データを記憶可能な不揮発性半導体記憶装置が提案されている（例えば特許文献1参照）。

【0003】

近時、素子の微細化が進み、セルとセルの距離が短くなっている。このため、隣接するセル間の浮遊ゲート容量の影響が大きくなっている。具体的には、先に書いたセルの閾値電圧が、このセルと隣接し、後に書かれるセルの閾値電圧によって変動するという問題が生じている。特に、1つのセルに2ビット以上の複数のデータを記憶する多値メモリは、複数の閾値電圧により複数のデータを記憶するため、1つのデータに対応する閾値電圧の分布を非常に狭く制御する必要がある。したがって、前述した隣接セルの閾値電圧の影響が顕著となっている。

【0004】

この問題を解決するため、1ビット（第1ページ）のデータが記憶されているメモリセルにおいて、次のデータを記憶する前に、隣接メモリセルに1ビット（第1ページ）のデータを、本来の閾値電圧より低い閾値電圧（V-レベル）まで書き込み、この隣接メモリセルの書き込み後、第2ページの書き込みにおいて、本来の閾値電圧（ワード線電位“b”（ $V \leq B$ ））まで上げる書き込みを行なう。しかし、第2ページの書き込み前後で、第1ページのデータが本来の閾値電圧か、それより低い閾値電圧か分からなくなってしまう。このため、これを区別するために、ページ毎にフラグ用メモリセル（以下、フラグセルと称す）を用意し、このフラグセルのデータに応じて読み出し動作をする書き込み方式が提案されている（例えば特許文献2参照）。

【0005】

この書き込み方式により第2ページのデータを書き込んだ場合、第1ページのデータが“1”で第2ページのデータが“0”の場合、メモリセルのデータを“0”から“1”とするため、閾値電圧が例えばレベルAまで上昇される。また、第1ページのデータが“0”場合、その閾値電圧は、レベルAを含む電圧とされている。このため、これらの閾値電圧分布が交わっている。したがって、この第2ページ書き込み中、例えば電源の異常遮断などにより書き込みが中断されると、先に書き込んだ第1ページのデータも破壊されてしまうという問題がある。

【特許文献1】特開2000-195280号公報

【特許文献2】特開2004-192789号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、第2ページの書き込みが異常中断した場合においても第1ページのデータの破壊を防止することが可能な半導体記憶装置を提供しようとするものである。

【課題を解決するための手段】

【0008】

本発明の半導体記憶装置の第1の態様は、n値（nは3以上の自然数）を記憶するメモリセルと、第1の書き込み動作により、前記メモリセルの閾値電圧を第1の閾値電圧から第1の閾値電圧又は第2の閾値電圧（第1の閾値電圧<第2の閾値電圧）とし、前記第1の書き込み動作の後、且つ、前記メモリセルと隣接するセルに書き込みが行われた後、第2の書き込み動作により、前記メモリセルの閾値電圧が前記第2の閾値電圧である場合、第3の閾値電圧（第2の閾値電圧 第3の閾値電圧）とし、前記第2の書き込み動作の後

10

20

30

40

50

第3の書き込み動作により、前記メモリセルの閾値電圧が前記第1の閾値電圧である場合、第1の閾値電圧又は第4の閾値電圧（第1の閾値電圧 < 第4の閾値電圧）に制御する制御部とを具備している。

【0009】

本発明の半導体記憶装置の第2の態様は、 n 値（ n は3以上の自然数）を記憶するメモリセルと、フラグ用メモリセルを有するメモリセルアレイと、第1の書き込み動作により、前記メモリセルの閾値電圧を第1の閾値電圧から第1の閾値電圧又は第2の閾値電圧（第1の閾値電圧 < 第2の閾値電圧）とし、前記第1の書き込み動作の後、且つ、前記メモリセルと隣接するセルに書き込みが行われた後、第2の書き込み動作により、前記メモリセルの閾値電圧が前記第2の閾値電圧である場合、第3の閾値電圧（第2の閾値電圧 第3の閾値電圧）とし、前記メモリセルと同時に選択される前記フラグ用メモリセルの閾値電圧を前記第1の閾値電圧から、第3の閾値電圧以上とし、前記第2の書き込み動作の後、第3の書き込み動作により、前記メモリセルの閾値電圧が前記第1の閾値電圧である場合、前記第1の閾値電圧又は第4の閾値電圧（第1の閾値電圧 < 第4の閾値電圧）に制御する制御部とを具備している。

10

【0010】

本発明の半導体記憶装置の第3の態様は、 n 値（ n は3以上の自然数）を記憶するメモリセルと、フラグ用メモリセルを有するメモリセルアレイと、第1の書き込み動作により、前記メモリセルの閾値電圧を第1の閾値電圧から第1の閾値電圧又は第2の閾値電圧（第1の閾値電圧 < 第2の閾値電圧）とし、前記第1の書き込み動作の後、且つ、前記メモリセルと隣接するセルに書き込みが行われた後、第2の書き込み動作により、前記メモリセルの閾値電圧が前記第2の閾値電圧である場合、第3の閾値電圧（第2の閾値電圧 第3の閾値電圧）とし、前記第2の書き込み動作の後、第3の書き込み動作により、前記メモリセルの閾値電圧が前記第1の閾値電圧である場合、前記第1の閾値電圧又は第4の閾値電圧（第1の閾値電圧 < 第4の閾値電圧）前記メモリセルとし、前記メモリセルと同時に選択される前記フラグ用メモリセルの閾値電圧を前記第1の閾値電圧から第4の閾値電圧以上に制御する制御部とを具備している。

20

【0011】

本発明の半導体記憶装置の第4の態様は、 n 値（ n は3以上の自然数）を記憶するメモリセルと、フラグ用メモリセルを有するメモリセルアレイと、第1の書き込み動作により、前記メモリセルの閾値電圧を第1の閾値電圧から第1の閾値電圧又は第2の閾値電圧（第1の閾値電圧 < 第2の閾値電圧）とし、前記第1の書き込み動作の後、且つ、前記メモリセルと隣接するセルに書き込みが行われた後、第2の書き込み動作により、前記メモリセルの閾値電圧が前記第2の閾値電圧である場合、第3の閾値電圧（第2の閾値電圧 第3の閾値電圧）とし、前記第2の書き込み動作の後、第3の書き込み動作により、前記メモリセルと同時に選択される前記フラグ用メモリセルの閾値電圧を前記第1の閾値電圧から、第3の閾値電圧又は第4の閾値電圧（第1の閾値電圧 < 第4の閾値電圧）以上とし、前記第3の書き込み動作の後、第4の書き込み動作により、前記メモリセルの閾値電圧が前記第1の閾値電圧である場合、前記第1の閾値電圧又は第4の閾値電圧に制御する制御部とを具備している。

30

40

【発明の効果】

【0012】

本発明によれば、第2ページの書き込みが異常中断した場合においても第1ページのデータの破壊を防止することが可能な半導体記憶装置を提供できる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態について、図面を参照して説明する。

【0014】

（第1の実施形態）

図3は、3値以上のデータを記憶する半導体記憶装置の概略構成を示すものであり、例

50

えば4値(2ビット)を記憶するNAND型フラッシュメモリの構成を示している。

【0015】

メモリセルアレイ1は複数のビット線と複数のワード線と共通ソース線を含み、例えばEEPROMセルからなる電氣的にデータを書き換え可能なメモリセルがマトリクス状に配置されている。このメモリセルアレイ1には、ビット線を制御するためのビット制御回路2とワード線制御回路6が接続されている。

【0016】

ビット線制御回路2は、後述するように複数のデータ記憶回路及びフラグ用データ記憶回路を含んでいる。このビット線制御回路2は、ビット線を介してメモリセルアレイ1中のメモリセルのデータを読み出したり、ビット線を介してメモリセルアレイ1中のメモリセルの状態を検出したり、ビット線を介してメモリセルアレイ1中のメモリセルに書き込み制御電圧を印加してメモリセルに書き込みを行なう。ビット線制御回路2には、カラムデコーダ3、データ入出力バッファ4が接続されている。ビット線制御回路2内のデータ記憶回路はカラムデコーダ3によって選択される。データ記憶回路に読み出されたメモリセルのデータは、前記データ入出力バッファ4を介してデータ入出力端子5から外部へ出力される。

10

【0017】

また、外部からデータ入出力端子5に入力された書き込みデータは、データ入出力バッファ4を介して、カラムデコーダ3によって選択されたデータ記憶回路に入力される。

【0018】

ワード線制御回路6は、メモリセルアレイ1に接続されている。このワード線制御回路6は、メモリセルアレイ1中のワード線を選択し、選択されたワード線に読み出し、書き込みあるいは消去に必要な電圧を印加する。

20

【0019】

メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4、及びワード線制御回路6は、制御信号及び制御電圧発生回路7に接続され、この制御信号及び制御電圧発生回路7によって制御される。制御信号及び制御電圧発生回路7は、制御信号入力端子8に接続され、外部から制御信号入力端子8を介して入力される制御信号によって制御される。

【0020】

前記ビット線制御回路2、カラムデコーダ3、ワード線制御回路6、制御信号及び制御電圧発生回路7は書き込み回路、及び読み出し回路を構成している。

30

【0021】

さらに、前記メモリセルアレイ1は、ECC(エラー訂正符号)を記憶するECC領域1-1を有している。

【0022】

また、NAND型フラッシュメモリの前記データ入出力端子5、制御信号入力端子8は、NAND型フラッシュメモリチップの外部に設けられたコントローラ9に接続されている。このコントローラ9は、NAND型フラッシュメモリと例えば図示せぬ宿主機器等との間でデータやコマンドの授受を行なう。

40

【0023】

また、前記制御信号及び制御電圧発生回路7は、フューズ回路7-1を有している。このフューズ回路7-1は、例えば不揮発性メモリ又はレーザフューズ、若しくはラッチ回路により構成され、後述するように、前記書き込み回路、読み出し回路の動作を制御するためのデータを記憶する。尚、ラッチ回路の場合、電源立ち上げ時、メモリセルアレイの特定のブロックに記憶されたデータがラッチ回路に記憶される。

【0024】

図4は、図3に示すメモリセルアレイ1及びビット線制御回路2の構成を示している。メモリセルアレイ1には複数のNANDセルが配置されている。1つのNANDセルは、直列接続された例えば32個のEEPROMからなるメモリセルMCと、選択ゲートS1

50

、S 2 とにより構成されている。第 1 の選択ゲート S 1 はビット線 B L 0 に接続され、第 2 の選択ゲート S 2 はソース線 S R C に接続されている。各ロウに配置されたメモリセルの制御ゲートはワード線 W L 0、W L 1、W L 2 ~ W L 3 1 に共通接続されている。また、第 1 の選択ゲート S 1 はセレクト線 S G D 共通接続され、第 2 の選択ゲート S 2 はセレクト線 S G S に共通接続されている。

【 0 0 2 5 】

また、ビット線の 1 つ置きに配置され、1 つのワード線に接続された複数のメモリセル（破線で囲まれた範囲のメモリセル）は、1 セクタを構成する。このセクタ毎にデータが書き込まれ、読み出される。1 セクタには例えば 2 ページ分のデータが記憶される。また、各ワード線には、フラグを記憶するための第 1、第 2 フラグセル F C 1、F C 2 が接続

10

【 0 0 2 6 】

ビット線制御回路 2 は、複数のデータ記憶回路 1 0 及びフラグ用データ記憶回路 1 0 a、1 0 b を有している。各データ記憶回路 1 0 及びフラグ用データ記憶回路 1 0 a、1 0 b は、一对のビット線（B L 0、B L 1）、（B L 2、B L 3）...（B L i、B L i + 1）、（B L m、B L m + 1、B L n、B L n + 1）に接続されている。

【 0 0 2 7 】

メモリセルアレイ 1 は、破線で示すように、複数のブロックを含んでいる。各ブロックは、複数の N A N D セルにより構成され、このブロック単位でデータが消去される。また、消去動作は、データ記憶回路 1 0、フラグ用データ記憶回路 1 0 a、1 0 b に接続されている 2 本のビット線について同時に行なわれる。

20

【 0 0 2 8 】

リード動作、プログラムベリファイ動作及びプログラム動作時において、データ記憶回路 1 0 に接続されている 2 本のビット線（B L i、B L i + 1）のうち外部より指定されたアドレス信号に応じて 1 本のビット線が選択される。さらに、外部アドレスに応じて、1 本のワード線が選択され、1 セクタ（2 ページ分）が選択される。この 2 ページの切り替えはアドレスによって行われる。

【 0 0 2 9 】

尚、第 1、第 2 フラグセル F C 1、F C 2 は、1 セクタにそれぞれ 1 つと限定されるものではなく、破線で示すように、1 セクタに複数のフラグセルを接続してもよい。この場合、後述するように、複数のフラグセルに記憶されたデータの多数決により、フラグセルに記憶されたデータを決定すればよい。

30

【 0 0 3 0 】

また、図 4 は、E C C 用データを記憶するセル、及びこれらセルに接続されるデータ記憶回路は省略している。

【 0 0 3 1 】

図 5（a）（b）はメモリセル及び選択トランジスタの断面図を示している。図 5（a）はメモリセルを示している。基板 4 1 にはメモリセルのソース、ドレインとしての n 型拡散層 4 2 が形成されている。基板 4 1 の上にはゲート絶縁膜 4 3 を介して浮遊ゲート（F G）4 4 が形成され、この浮遊ゲート 4 4 の上には絶縁膜 4 5 を介して制御ゲート（C G）4 6 が形成されている。図 5（b）は選択ゲートを示している。基板 4 1 にはソース、ドレインとしての n 型拡散層 4 7 が形成されている。基板 4 1 の上にはゲート絶縁膜 4 8 を介して制御ゲート 4 9 が形成されている。

40

【 0 0 3 2 】

図 6 は、メモリセルアレイの 1 つの N A N D セルの断面を示している。この例において、1 つの N A N D セルは、図 5（a）に示す構成の 3 2 個のメモリセル M C が直列接続されて構成されている。N A N D セルのドレイン側、ソース側には、図 5（b）に示す構成の第 1 の選択ゲート S 1 及び第 2 の選択ゲート S 2 が設けられている。

【 0 0 3 3 】

50

図7は、図4に示すデータ記憶回路10の一例を示す回路図である。フラグ用データ記憶回路10a, 10bもデータ記憶回路10と同様の構成とされている。

【0034】

このデータ記憶回路10は、プライマリデータキャッシュ(PDC)、セコンダリデータキャッシュ(SDC)、ダイナミックデータキャッシュ(DDC)、ダイナミックデータキャッシュQ(DDCQ)、テンポラリデータキャッシュ(TDC)を有している。SDC、PDC、DDCは、書き込み時に入力データを保持し、読み出し時に読み出しデータを保持し、ベリファイ時に一時的にデータを保持し、多値データを記憶する際に内部データの操作に使用される。TDCは、データの読み出し時にビット線のデータを増幅し、一時的に保持するとともに、多値データを記憶する際に内部データの操作に使用される。DDCQは、後述するデータの書き込み時において、特定のベリファイレベルより若干低いベリファイレベルに達したかどうかを示すデータを記憶する。

10

【0035】

SDCは、ラッチ回路を構成するクロックインバータ回路61a、61b、及びトランジスタ61c、61dにより構成されている。トランジスタ61cはクロックインバータ回路61aの入力端と、クロックインバータ回路61bの入力端の間に接続されている。このトランジスタ61cのゲートには信号EQ2が供給されている。トランジスタ61dはクロックインバータ回路61bの入力端と接地間に接続されている。このトランジスタ61dのゲートには信号PRSが供給されている。SDCのノードN2aは、コラム選択トランジスタ61eを介して入出力データ線IOに接続され、ノードN2bは、コラム選択トランジスタ61fを介して入出力データ線IONに接続される。これらトランジスタ61e、61fのゲートにはコラム選択信号CSLiが供給されている。SDCのノードN2aは、トランジスタ61g、61hを介してPDCのノードN1aに接続されている。トランジスタ61gのゲートには信号BLC2が供給され、トランジスタ61hのゲートには信号BLC1が供給されている。

20

【0036】

PDCは、クロックインバータ回路61i、61j及びトランジスタ61kにより構成されている。トランジスタ61kは、クロックインバータ回路61iの入力端とクロックインバータ回路61jの入力端の相互間に接続されている。このトランジスタ61kのゲートには信号EQ1が供給されている。PDCのノードN1bはトランジスタ61lのゲートに接続されている。このトランジスタ61lの電流通路の一端はトランジスタ61mを介して接地されている。このトランジスタ61mのゲートには信号CHK1が供給されている。また、トランジスタ61lの電流通路の他端はトランスファークロスを構成するトランジスタ61n、61oの電流通路の一端に接続されている。このトランジスタ61nのゲートには信号CHK2nが供給されている。また、トランジスタ61oのゲートは前記トランジスタ61gと61hの接続ノードに接続されている。トランジスタ61n、61oの電流通路の他端には、信号COMiが供給されている。この信号COMiは全データ記憶回路10に共通の信号であり、全データ記憶回路10のベリファイが完了したかどうかを示す信号である。すなわち、後述するように、ベリファイが完了すると、PDCのノードN1bがローレベルとなる。この状態において、信号CHK1、CHK2nをハイレベルとすると、ベリファイが完了している場合、信号COMiがハイレベルとなる。

30

40

【0037】

さらに、前記TDCは、例えばMOSキャパシタ61pにより構成されている。このキャパシタ61pは、前記トランジスタ61g、61hの接続ノードN3と接地間に接続されている。また、接続ノードN3には、トランジスタ61qを介してDDCが接続されている。トランジスタ61qのゲートには、信号REGが供給されている。

【0038】

DDCは、トランジスタ61r、61sにより構成されている。トランジスタ61rの電流通路の一端には信号VREGが供給され、他端は前記トランジスタ61qの電流通路

50

に接続されている。このトランジスタ61rのゲートはトランジスタ61sを介して前記PDCのノードN1aに接続されている。このトランジスタ61sのゲートには信号DTGが供給されている。

【0039】

DDCQは、トランジスタ61Qr、61Qsにより構成されている。トランジスタ61Qrの電流通路の一端には信号VREGが供給され、他端は前記トランジスタ61Qqを介して接続ノードN3に接続されている。トランジスタ61Qqのゲートには、信号REGQが供給されている。トランジスタ61Qrのゲートはトランジスタ61Qsを介して前記PDCのノードN1aに接続されている。このトランジスタ61Qsのゲートには信号DTGQが供給されている。

10

【0040】

さらに、前記接続ノードN3にはトランジスタ61t、61uの電流通路の一端が接続されている。トランジスタ61uの電流通路の他端には信号VPREが供給され、ゲートにはBLPREが供給されている。前記トランジスタ61tのゲートには信号BLCLAMPが供給されている。このトランジスタ61tの電流通路の他端はトランジスタ61vを介してビット線BLoの一端に接続され、トランジスタ61wを介してビット線BLEの一端に接続されている。ビット線BLoの他端はトランジスタ61xの電流通路の一端に接続されている。このトランジスタ61xのゲートには信号BIASoが供給されている。ビット線BLEの他端はトランジスタ61yの電流通路の一端に接続されている。このトランジスタ61yのゲートには信号BIASEが供給されている。これらトランジスタ61x、61yの電流通路の他端には、信号BLCTLが供給されている。トランジスタ61x、61yは、信号BIASo、BIASEに応じてトランジスタ61v、61wと相補的にオンとされ、非選択のビット線に信号BLCTLの電位を供給する。

20

【0041】

上記各信号及び電圧は、図3に示す制御信号及び制御電圧発生回路7により生成され、この制御信号及び制御電圧発生回路7の制御に基づき、以下の動作が制御される。

【0042】

本メモリは、多値メモリであり、1セルに2ビットのデータを記憶することができる。この2ビットの切り替えはアドレス(第1ページ、第2ページ)によって行なわれる。

【0043】

(動作説明)

上記構成において、動作について説明する。

30

【0044】

図1は、メモリセルのデータとメモリセルの閾値電圧の関係を示している。消去動作を行なうとメモリセルのデータは“0”となる。図1(a)に示すように、第1ページの書き込みを行なうと、メモリセルのデータはデータ“0”とデータ“2”になる。データ“2”の閾値電圧の分布は、本来のデータ“2”の閾値電圧の分布より若干低く設定されている。

【0045】

この後、図1(b)に示すように、第2ページの書き込み前に隣接セルにデータが書き込まれる。すると、このセルに書き込まれたデータにより、データ“2”の閾値電圧の分布が大きくなる。この後、第2ページのデータが書き込まれると、メモリセルのデータは、図1(e)に示すように、本来の閾値電圧を有するデータ“0”~“3”となる。本実施例では、メモリセルのデータは閾値電圧の低いほうから高い方へと、定義されている。

40

【0046】

図1に示す本実施形態の動作と、図2に示す従来の書き込み動作の相違は、次の通りである。

【0047】

本実施形態の場合、隣接セルの書き込み後、第2ページの書き込みが2段階とされている。図1(c)に示すように、第1ステップで閾値電圧を“b”レベル以上に書き込めば

50

よいため、第1ページのデータ“2”を本来の閾値電圧“b”に書き込む。又は、第1ページのデータ“2”を“b”及び“c”の閾値電圧に書き込む。これとともに、図1(d)に示すように、第2フラグセルFC2に同様にデータ“2”を書き込む。この第2フラグセルFC2のデータにより、第2ページのデータが書き込まれたことを判断することができる。この後、第2ページ第2ステップの書き込みにおいて、第1ページのデータが“1”で、第2ページのデータが“0”の場合、データ“1”に書き込まれる。また、第1ページのデータが“0”で、第2ページのデータが“1”の場合、データ“3”に書き込まれる。このようにして、図1(e)に示す閾値分布を設定することができる。

【0048】

仮に、第2ページの書き込み途中において電源が切られた場合においても、第1ページのデータは、図1(b)(c)に示すように、他のデータの閾値電圧と重なることがない。このため、第1ページのデータは、第2ページの書き込みに失敗しても破壊されることがない。したがって、読み出し時に、ワード線の電位を図1(e)に示す電位“a”又は“b”に設定すれば、第1ページのデータを読み出すことができる。

【0049】

これに対して、図2に示す従来の場合、図2(b)に示す隣接セルの書き込み後、図2(c)に示すように、“a”レベルと“b”レベルに同時に書き込みを行ない、図2(d)に示す閾値電圧を設定している。図2(c)に示すように、第2ページ書き込み途中の時点において、データ“2”は、本来の閾値電圧に達してはず、また、データ“1”を書き込む場合、データ“1”の閾値電圧分布とデータ“2”の閾値電圧分布とが重なる可能性がある。この状態において、電源が切られた場合、第1ページのデータが破壊されてしまう。このため、第1ページのデータを読み出すことが困難となる。

【0050】

図8は、NANDセルに対する書き込み順序を示している。ブロック内において、ソース線に近いメモリセルからページごとに書き込み動作が行なわれる。図8は、説明の便宜上、ワード線を4本としている。

【0051】

- 第1番目の書き込みは、メモリセル1の第1ページに1ビットのデータが書きこまれる。
- 第2番目の書き込みは、メモリセル1とワード方向に隣接したメモリセル2の第1ページに1ビットのデータが書きこまれる。
- 第3番目の書き込みは、メモリセル1とビット方向に隣接したメモリセル3の第1ページに1ビットのデータが書きこまれる。
- 第4番目の書き込みは、メモリセル1と対角に隣接したメモリセル4の第1ページに1ビットのデータが書きこまれる。
- 第5番目の書き込みは、メモリセル1の第2ページに1ビットのデータが書きこまれる。
- 第6番目の書き込みは、メモリセル1とワード方向に隣接したメモリセル2の第2ページに1ビットのデータが書きこまれる。
- 第7番目の書き込みは、メモリセル3とビット方向に隣接したメモリセル5の第1ページに1ビットのデータが書きこまれる。
- 第8番目の書き込みは、メモリセル3と対角に隣接したメモリセル6の第1ページに1ビットのデータが書きこまれる。
- 第9番目の書き込みは、メモリセル3の第2ページに1ビットのデータが書きこまれる。
- 第10番目の書き込みは、メモリセル3とワード方向に隣接したメモリセル4の第2ページに1ビットのデータが書きこまれる。
- 第11番目の書き込みは、メモリセル5とビット方向に隣接したメモリセル7の第1ページに1ビットのデータが書きこまれる。
- 第12番目の書き込みは、メモリセル5と対角に隣接したメモリセル8の第1ページに

10

20

30

40

50

1 ビットのデータが書きこまれる。

第 1 3 番目の書き込みは、メモリセル 5 の第 2 ページに 1 ビットのデータが書きこまれる。

第 1 4 番目の書き込みは、メモリセル 5 とワード方向に隣接したメモリセル 6 の第 2 ページに 1 ビットのデータが書きこまれる。

第 1 5 番目の書き込みは、メモリセル 7 の第 2 ページに 1 ビットのデータが書きこまれる。

第 1 6 番目の書き込みは、メモリセル 7 とワード方向に隣接したメモリセル 8 の第 2 ページに 1 ビットのデータが書きこまれる。

【 0 0 5 2 】

以下に、具体的な書き込み動作について説明する。

【 0 0 5 3 】

(プログラム及びプログラムベリファイ)

(第 1 ページプログラム)

図 9 は、第 1 ページのプログラムの一例を示すフローチャートである。プログラム動作は、先ずアドレスを指定し、図 4 に示す 2 ページ (1 セクタ) が選択される。本メモリは、この 2 ページのうち、第 1 ページ、第 2 ページの順でしか、プログラム動作できない。したがって、先ず、アドレスにより第 1 ページを選択する。

【 0 0 5 4 】

このアドレス入力中に図 7 に示すトランジスタ 6 1 d をオンさせることにより、全ての S D C のノード N 2 a を接地電位 V_{ss} とする。(S 1 1)

次に、書き込みデータを外部より入力し全てのデータ記憶回路 1 0 内の S D C に記憶する (S 1 2)。このとき、データを書き込む場合、外部よりデータ “ 0 ” が入力されるが、S D C のノード N 2 a は、電源電圧 V_{dd} になる。また、書き込み非選択の場合、外部よりデータ “ 1 ” が入力されるが、S D C の N 2 a のノードは、接地電位 V_{ss} になる。この後、書き込みコマンドが入力されると、全てのデータ記憶回路 1 0 内の S D C のデータが P D C に転送される (S 1 3)。すなわち、信号 B L C 1 , B L C 2 が所定の電圧、例えば $V_{dd} + V_{th}$ (V_{dd} : 電源電圧 (例えば 3 V 又は 1 . 8 V、しかし、この電圧に限定されるものではない)、 V_{th} : N チャネル M O S トランジスタの閾値電圧) とされ、トランジスタ 6 1 h、6 1 g がオンとされる。すると、ノード N 2 a のデータがトランジスタ 6 1 g、6 1 h を介して P D C に転送される。このため、外部よりデータ “ 1 ” (書き込みを行なわない) が入力された場合、P D C のノード N 1 a は、ローレベルとなり、データ “ 0 ” (書き込みを行なう) が入力された場合、P D C のノード N 1 a は、ハイレベルとなる。以後、P D C のデータはノード N 1 a の電位、S D C のデータはノード N 2 a の電位とする。

【 0 0 5 5 】

(データ反転動作) (S 1 4)

この後、信号 V P R E を V_{dd} 、信号 B L P R E を $V_{dd} + V_{th}$ とし、一旦、接続ノード N 3 を V_{dd} にプリチャージした後、信号 D T G を $V_{dd} + V_{th}$ として P D C のデータを D D C に転送する。次に、信号 R E G を V_{dd} 、信号 V R E G を V_{ss} とする。D D C のデータがハイレベルの場合、接続ノード N 3 はローレベル、D D C のデータがローレベルの場合、接続ノード N 3 はハイレベルのままとなる。この後、一旦、信号 S E N 1 n、L A T 1 n をオフとし、信号 E Q 1 を V_{dd} としてノード N 1 a と N 1 b を同電位に設定する。この後、信号 B L C 1 を $V_{dd} + V_{th}$ とし、T D C のデータ (接続ノード N 3 の電位) を P D C に移す。この結果、元々 P D C にデータ “ 1 ” がラッチされていた場合データ “ 0 ” になり、データ “ 0 ” がラッチされていた場合、データ “ 1 ” になる。

【 0 0 5 6 】

書き込みコマンドが入力されると、制御信号及び制御電圧発生回路 7 より選択ワード線にプログラム電圧 V_{pgm} (例えば 2 0 V)、非選択ワード線に V_{pass} (例えば 1 0 V) が供給される。しかし、これらの電圧は直ぐには立ち上がらないため、この待ち時間

10

20

30

40

50

の間に、上記データ反転動作を行う。このため、書き込みスピードが遅くなることはない。

【0057】

このように、入力データを反転するのは、メモリセル内に書かれている1ページのデータをページバッファに読み出し、外部に出力せずに他の1ページに書き込む、所謂ページコピーを行う場合、先ず、読み出しを行うが、書き込みを行ったデータ(データ“0”)は、SDCが“1”となり、書き込みを行わなかったデータ(データ“1”)は、SDCが“0”となる。このSDCのデータは、前述した反転データとして入力したデータ、すなわち、書き込みを行う場合、SDC = “1”、書き込みを行わない場合、SDC = “0”と一致する。このように、SDCにおいて、次に書くデータを一致させておくと、読み出したデータの一部のみデータを外部より入力し書き換えることが容易にできる。したがって、ページコピーをしない場合でも常に、外部より入力されたデータをページバッファ内で反転する。

10

【0058】

上記データ反転動作の後、PDCのデータをDDCにもコピーしておく。

ところで、第1ページのプログラムにおいて、フラグセルにはデータが書き込まれない。このため、フラグ用データ記憶回路10a内のPDCはデータ“1”となる。

【0059】

(プログラム動作)(S15)

図7示す信号BLC1、BLC LAMP、BLS_o又はBLS_eの電位をV_{dd}+V_{th}とする。すると、トランジスタ61_h、61_t、61_v又は61_wがオンとなり、PDCに保持されたデータがビット線に供給される。PDCにデータ“1”(書き込みを行わない)が記憶されている時、ビット線がV_{dd}(電源電圧)になり、データ“0”(書き込みを行なう)時、ビット線がV_{ss}(接地電位)になる。また、選択されたワード線に接続され、非選択ページの(ビット線が非選択である)セルは書き込みが行なわれてはならない。このため、これらのセルに接続されているビット線にもデータ“1”と同じようにV_{dd}を供給する。ここで、選択されているブロックのセレクト線SGDにV_{dd}、選択ワード線に電位V_{pgm}(20V)、非選択ワード線に電位V_{pass}(10V)を印加する。すると、ビット線がV_{ss}になっている場合、セルのチャネルがV_{ss}、ワード線がV_{pgm}となるので書き込みが行なわれる。一方、ビット線がV_{dd}になっている場合、セルのチャネルがV_{ss}ではなく、カップリングによりチャネルがブートされる。このため、ゲートとチャネル間の電位差がV_{pgm}/2程度と小さくなり、書き込みが行われない。

20

30

【0060】

多値メモリは、閾値電圧の分布を狭めるため、本来のベリファイレベル“v'”と、これより低いベリファイレベル“v*’”が設定されている。ベリファイレベル“v*’”を超え、ベリファイレベル“v'”以下のセルは、ビット線に中間電位(V_{dd}とV_{ss}の中間の例えば1V)が供給され、書き込みスピードを遅くする方法が用いられる。この時点において、信号VREGをV_{dd}、信号REGを中間電位+V_{th}(例えば1V+V_{th})にすると、ビット線がV_{ss}の場合で、DDCがハイレベルの場合、ビット線が中間電位になり、DDCがローレベルの場合、ビット線はV_{ss}のままとなり、ビット線がV_{dd}の場合、V_{dd}のままになる。

40

【0061】

書き込みデータが“0”の時、図1(a)に示すように、メモリセルのデータを“2”にする。書き込みデータが“1”の時、メモリセルのデータは“0”のままである。

【0062】

(第1ページベリファイ)(S16)

第1ページ書き込みは、図1(a)に示すように、ベリファイレベル“v'”まで書き込みを行う。したがって、ベリファイ動作の第1ステップでは、図1(a)に示すように、本来のベリファイ時のワード線の電位“v'”より低い電位“v*’”を用いてベリフ

50

アイし、この後、第2ステップにおいて、ワード線の電位を“ v' ”とする。以後“ $*$ ”は本来の値より低い電位を表す。

【0063】

先ず、選択されているブロック内の非選択ワード線及びセレクト線SGDに読み出し時の電位Vreadを与え、図7に示すデータ記憶回路10の信号BLPREに、例えばVdd+Vth、信号BLCLAMPに所定の電圧、例えば1V+Vthを供給し、信号VPREをVddとし、ビット線を1Vにプリチャージする。

【0064】

次に、セルのソース側のセレクト線SGSをハイレベルにする。閾値電圧が電位“ v^* ”より高いセルはオフする。このため、ビット線はハイレベルのままである。また、閾値電圧が電位“ v^* ”より低いセルはオンする。このため、ビット線はVssとなる。

10

【0065】

次に、信号BLPREに所定の電圧、例えばVdd+Vthを供給し、信号VPREをVddとすることにより、TDCの接続ノードN3をVddにプリチャージする。この後、信号BLCLAMPを所定の電圧、例えば0.9V+Vthとしてトランジスタ61tをオンさせる。TDCのノードN3は、ビット線がローレベルの場合、ローレベルとなり、ビット線がハイレベルの場合、ハイレベルとなる。

【0066】

ここで、書き込みを行なう場合、図7のDDCにローレベルが記憶され、書き込みを行なわない場合、DDCにハイレベルが記憶されている。このため、信号VREGをVddとし、信号REGをハイレベルにすると、書き込みを行なわない場合のみTDCのノードN3が強制的にハイレベルとなる。この動作の後、PDCのデータをDDCに移し、TDCの電位をPDCに転送する。PDCにハイレベル信号がラッチされる場合は、セルに書き込みを行なわない場合と、セルにデータ“2”を書き込んでおり、セルの閾値電圧がベリファイ電位“ v^* ”に達した場合だけである。また、PDCにローレベル信号がラッチされる場合は、セルの閾値電圧が“ v^* ”に達しない場合である。

20

【0067】

次に、ワード線の電圧を“ v^* ”から“ v' ”に上げると、閾値電圧が“ v' ”より低いセルはオンし、ビット線はVssとなる。

【0068】

次に、信号BLPREに所定の電圧、例えばVdd+Vthを供給し、信号VPREをVddとすることにより、TDCの接続ノードN3をVddにプリチャージする。この後、信号BLCLAMPを所定の電圧、例えば0.9V+Vthとしてトランジスタ61tをオンさせる。TDCのノードN3は、ビット線がローレベルの場合、ローレベルとなり、ビット線がハイレベルの場合、ハイレベルとなる。

30

【0069】

ここで、書き込みを行なう場合、図7のDDCにローレベルが記憶され、書き込みを行なわない場合、DDCにハイレベルが記憶されている。このため、信号VREGをVddとし、信号REGをハイレベルにすると、書き込みを行なわない場合のみTDCのノードN3が強制的にハイレベルとなる。この動作の後、PDCのデータをDDCに移し、TDCの電位をPDCに転送する。PDCにハイレベル信号がラッチされる場合は、セルに書き込みを行なわない場合と、セルにデータ“2”を書き込んでおり、セルの閾値電圧がベリファイ電位“ v' ”に達した場合だけである。また、PDCにローレベル信号がラッチされる場合は、セルの閾値電圧が“ v' ”に達しない場合である。

40

【0070】

この結果、DDCがハイレベルとなるのは、セルの閾値電圧が“ v^* ”を超えている場合と、書き込み非選択の場合であり、DDCがローレベルとなるのは、書き込みを行っている場合で、セルの閾値電圧が“ v^* ”以下の場合である。PDCがハイレベルとなるのは、セルの閾値電圧が“ v' ”を超えている場合と、書き込み非選択の場合であり、PDCがローレベルとなるのは、書き込みを行っている場合で、セルの閾値電圧が“ v'

50

” 以下の場合である。

【 0 0 7 1 】

P D C がローレベルの場合、再び書き込み動作を行ない全てのデータ記憶回路 1 0 のデータがハイレベルになるまで、このプログラム動作とベリファイ動作を繰り返す (S 1 8 - S 1 5) が、P D C がローレベルで D D C がハイレベルのセル、すなわち閾値電圧が “ v^* ” 以上 “ v ” 以下の場合の書き込みは、ビット線に中間電位を入れて書き込みスピードを抑える。

【 0 0 7 2 】

上記プログラム動作は、ステップ S 1 4 においてクリアされたプログラム回数カウンタ P C の値が、最大プログラム回数より少ない範囲において実行される。

10

【 0 0 7 3 】

(隣接セルプログラム)

図 8 に示すように、メモリセル 1 の第 1 ページに 1 ビットのデータの書き込んだ後、メモリセル 1 とワード方向に隣接したメモリセル 2 の第 1 ページの書き込み、メモリセル 1 とビット方向に隣接したメモリセル 3 の第 1 ページの書き込み、メモリセル 1 と対角に隣接したメモリセル 4 の第 1 ページの書き込みが順次行なわれる。これらの書き込み動作が行なわれると、書き込みデータによっては、浮遊ゲート間容量によって、メモリセル 1 の閾値電圧が上昇する。このため、メモリセル 1 のデータ “ 0 ” とデータ “ 2 ” の閾値電圧分布は、図 1 (b) に示すように、電位が高いほうに広がる。

【 0 0 7 4 】

20

この後、図 8 に示す第 5 番目の書き込みにおいて、メモリセル 1 の第 2 ページに 1 ビットのデータが書き込まれる。

【 0 0 7 5 】

(第 2 ページプログラム)

図 1 (c) (d) は、第 2 ページプログラムの書き込み順序を示している。図 2 に示す従来の場合、第 2 ページの書き込みは、閾値電圧レベル “ a ’ ” “ b ’ ” “ c ’ ” へ同時に書き込んでいる。しかし、本実施形態は、第 2 ページプログラムの第 1 ステップにおいて、第 1 ページで閾値電圧レベル “ v ’ ” まで書き込まれたセルを閾値電圧レベル “ b ’ ” へ書き込む。この後、第 2 ステップにおいて、第 2 ページの入力データにより、閾値電圧レベル “ a ’ ” “ c ’ ” へ同時に書き込み動作を行なう。又は、第 2 ページプログラムの第 1 ステップにおいて、第 1 ページで閾値電圧レベル “ v ’ ” まで書き込まれたセルを閾値電圧レベル “ b ’ ” と “ c ’ ” へ書き込む。この後、第 2 ステップにおいて、閾値レベル “ a ’ ” へ書き込み動作を行なう。

30

【 0 0 7 6 】

図 1 0 は、第 2 ページプログラムの一例を示すフローチャートである。第 2 ページプログラムも、先ずアドレスに応じて、図 4 に示す 2 ページが選択される。これと同時にページバッファがリセットされる。(S 2 1)

次に、書き込みデータを外部より入力し全てのデータ記憶回路内の S D C に記憶する (S 2 2)。外部よりデータ “ 1 ” (書き込みを行なわない) が入力されると、データ記憶回路 1 0 の S D C のノード N 2 a は、ローレベルになり、外部よりデータ “ 0 ” (書き込みを行なう) が入力されるとハイレベルとなる。

40

【 0 0 7 7 】

(内部データリード) (S 2 3)

先ず、セルへデータを書き込む前に、メモリセルの第 1 ページのデータが “ 0 ” であるか、“ 2 ” であるかを判断する必要がある。このため、メモリセルのデータを読み出す内部リード動作を行なう。内部データリードは、リード動作と全く同じである。通常メモリセルのデータが “ 0 ” であるか “ 2 ” であるかの判断において、選択ワード線には、リード時の電位 “ b ” を与える。しかし、第 1 ページのプログラム動作において、データ “ 2 ” は、通常より低い “ v ’ ” までしか書き込んでいない。このため、メモリセルの閾値電圧は電位 “ b ” より低い場合もある。したがって、内部データリードでは、ワード線に “

50

a”の電位を供給して読み出し動作をする。

【0078】

図11(a)は、内部データリード後のデータキャッシュのデータを示している。すなわち、第1ページの書き込みにおいて、データが書き込まれなかった場合、PDCのデータはローレベル(“0”)、書き込まれた場合、ハイレベル(“1”)となる。

【0079】

(データキャッシュの設定 1回目)(S24)

この後、データキャッシュを操作することにより、各データキャッシュに記憶されるデータは図11(b)に示すようになる。すなわち、図7に示すSDC, DDC, DDCQ, PDCのデータを転送、又はコピーすることにより、各データキャッシュのデータを図11(b)に示すように設定する。データキャッシュの操作は、本実施形態の本質ではないため、説明を省略する。

10

【0080】

このデータキャッシュの設定1の途中、又は、内部リードの途中において、フラグセルのデータもロードされる。さらに、プログラム回数カウンタPCがクリアされる。

【0081】

第1フラグセルFC1は、メモリセルのデータ“1”となり、第2フラグセルFC2は、メモリセルのデータ“2”と書き込まれる。このため、各メモリセル及びフラグセルに接続されるデータキャッシュも、書き込み後のメモリセルのデータに対応するようにセットされる。

20

【0082】

第2ページ書き込み第1ステップは、第1ページの書き込みでベリファイレベル“v'”に書き込まれたセルを“b”レベル以上に書き込み、第2ページの書き込みデータに基づく“a”レベルへの書き込みは行なわない。このようにすることで、第1ページの書き込みデータと、第2ページの書き込みデータの閾値電圧分布が交わらないように制御する。

【0083】

(第1ステップ)(S25)

次いで、メモリセルにデータが書き込まれる。まず、信号BLC1をVsg($V_{dd} + V_{th}$ 、例えば $2.5V + V_{th}$)とすると、PDCがデータ“0”の場合、ビット線がVssとなり、データ“1”の場合、ビット線はVddになる。次に、信号BLC1をVssとした後、信号VREGをVdd、信号REGを中間電位 $+V_{th}$ ($1V + V_{th}$)とすると、ビット線がVssであった場合、中間電位(1V)となる。

30

【0084】

ここで、選択ワード線をVpgm、非選択ワード線をVpassとすると、ビット線がVddの場合、書き込みが行なわれない。また、ビット線がVssの場合、書き込みが起り、ビット線が中間電位(1V)の場合、少しだけ書き込まれる。

【0085】

(第1ステップベリファイベリファイ)

この後、ベリファイ動作を行なうが、この時“a”レベルのベリファイ(S26, S27)は、スキップする。したがって、ここでは先ずワード線の電位を“b*’”に設定して書き込みベリファイが行なわれる(S28, S29)。このベリファイ手順は第1ページと同様である。全てのPDCがハイレベルとなるまで、プログラムとベリファイを繰り返す(S25, S28, S29, S32, S33)。書き込みが終了すると各データキャッシュのデータは、図12(a)に示すようになる。また、書き込みが終了すると、制御がステップS32からS34に移行される。ステップS34において、2回目のプログラムがあると判別された場合、制御がステップS24に移行される。

40

【0086】

(データキャッシュの設定 2回目)

この後、データキャッシュを操作することにより、各データキャッシュに記憶されるデ

50

ータを、図12(b)に示すように設定する。

【0087】

第1フラグセルFC1は、メモリセルのデータ“1”に書き込み、第2フラグセルFC2は、メモリセルのデータ“2”に書き込む。このため、第1、第2フラグセルFC2に接続されるデータキャッシュも、図12(b)に示すように、書き込み後のメモリセルのデータに対応してセットされる。しかし、メモリセル及び第2フラグセルFC2のデータ“2”への書き込みは終了しているため、PDC=1となる。

【0088】

(第2ステップ)(S25)

次いで、メモリセルにデータが書き込まれる。まず、信号BLC1をVsgとすると、PDCがデータ“0”の場合、ビット線がVssとなり、データ“1”の場合、ビット線はVddになる。次に、信号BLC1をVssとした後、信号VREGをVdd、信号REGを中間電位+Vth(1V+Vth)とする。すると、ビット線がVssであった場合、中間電位(1V)となる。

【0089】

ここで、選択ワード線をVpgm、非選択ワード線をVpassとすると、ビット線がVddの場合、書き込みが行なわれない。また、ビット線がVssの場合、書き込みが起こり、ビット線が中間電位(1V)の場合、少しだけ書き込まれる。

【0090】

図13(a)は、第2ページ書き込み第2ステップ後のデータキャッシュのデータを示している。

【0091】

(第2ステップベリファイレベル“a”でのベリファイ)(S26, S27)

上記プログラム後、ワード線にベリファイ電圧“a*’”、“a’”を順次設定して書き込みベリファイが行なわれる。ベリファイ手順は第1ページと同様であるが、データ“2”、“3”を書き込んでいるセルもこのベリファイをパスしてしまう。したがって、信号VPREをハイレベル、信号VREGをハイレベルとして、TDCをVddに充電する代わりに、SDCをハイレベルとして、データ“1”に書き込んでいるメモリセルのみTDCをVddに充電する。この操作により、メモリセルのデータ“2”、“3”への書き込みセルは、このベリファイでパスしなくなる。

【0092】

(第2ステップベリファイレベル“b”でのベリファイ)(S28, S29)

この後、ワード線にベリファイ電圧“b*’”、“b’”を順次設定して書き込みベリファイが行なわれる。ベリファイ手順は第1ページと同様であるが、データ“3”へ書き込んでいるメモリセルもこのベリファイでパスしてしまう。したがって、信号VPREをハイレベル、信号VREGをハイレベルとして、TDCをVddに充電する代わりに、信号REGをハイレベルとし、データ“2”に書き込んでいるメモリセルのみ、TDCをVddに充電する。この操作により、データ“3”へ書き込んでいるメモリセルは、このベリファイでパスしなくなる。この第2ステップベリファイレベル“b”でのベリファイは、第1ステップでデータ“2”への書き込みが行なわれているため、データ“2”への書き込みデータが存在しないため行なわれない。

【0093】

(第2ステップベリファイレベル“c”でのベリファイ)(S30, S31)

この後、ワード線にベリファイ電圧“c*’”、“c’”が順次設定され、書き込みベリファイが行なわれる。ベリファイ手順は第1ページと同様である。

【0094】

このようにして、全てのPDCのデータが“1”になるまで、プログラムとベリファイ動作が繰り返される。上記ベリファイの途中において、データ“1”への書きこみは、早く終了する。このため、データ“1”へ書き込むセルが無くなるとプログラムベリファイ(a*’, a’)のベリファイは行なわない。また、データ“2”へ書き込むセルが無く

10

20

30

40

50

なるとプログラムベリファイ (b * ' , b ') のベリファイは行なわれない。

【 0 0 9 5 】

図 1 4 は、ベリファイ動作におけるワード線 W L、ビット線 B L、選択ゲート線 S G D の動作の一例を示している。ビット線 B L を充電し、ワード線 W L の電位を “ a * ' ” とする。この後、選択ゲート線 S G D をハイレベルとして選択ゲート S 1 がオンとされ、ビット線 B L が放電される。これによりワード線 W L の電位 “ a * ' ” でのベリファイが行なわれる。次に、ワード線 W L の電位を “ a ' ” としてビット線 B L が放電され、ワード線 W L の電位 “ a ' ” によりベリファイが行なわれる。

【 0 0 9 6 】

(第 1 ページリード)

図 1 5 は、第 1 ページリードのフローチャートを示している。まず、アドレスを指定し、図 4 に示す 2 ページを選択する。図 1 (b) (c) に示すように、第 2 ページの書き込みの前後において、閾値電圧の分布が変わっている。したがって、まず、ワード線の電位を “ b ” として読み出し動作を行ない第 2 フラグセル F C 2 のデータが “ 0 ” か “ 1 ” であるかを判別する (S 4 1 , S 4 2)。この判別において、第 2 フラグセル F C 2 が複数セルある場合は、これらの多数決により、“ 0 ” か “ 1 ” を判断する。

【 0 0 9 7 】

第 2 フラグセル F C 2 から読み出されたデータが “ 0 ” (メモリセルのデータが “ 2 ”) である場合、第 2 ページの書き込みが行われている。このため、セルの閾値電圧分布は、図 1 (c) となっている。このようなセルのデータを判断するには、ワード線の電位を “ b ” としてリード動作をすればよい。しかし、ワード線電位 “ b ” で読み出し動作をした結果は、既にデータ記憶回路 1 0 に読み出されている。このため、データ記憶回路 1 0 に記憶されているデータを外部に出力すれば良い (S 4 3)。

【 0 0 9 8 】

一方、第 2 フラグセル F C 2 から読み出されたデータが “ 1 ” (メモリセルのデータが “ 0 ”) である場合、第 2 ページの書き込みが行われていない。このため、セルの閾値電圧分布は、図 1 (a) 又は (b) に示すようになっている。これらのメモリのデータを判断するには、ワード線の電位を “ a ” としてリード動作が行なわれる (S 4 4)。このようにしてデータ記憶回路 1 0 にデータが読み出される。この後、データ記憶回路 1 0 に読み出されたデータが外部に出力される (S 4 3)。

【 0 0 9 9 】

(第 2 ページリード)

図 1 6 は、第 2 ページリードのフローチャートを示している。第 2 ページリードでは、まず、アドレスを指定し、図 4 に示す 2 ページを選択する。図 1 (b) (c) に示すように、第 2 ページの書き込み前後で、閾値電圧分布が変わっている。しかし、第 2 ページの書き込み後は、図 1 (e) に示すような閾値電圧分布になっている。このため、ワード線の電位を “ c ”、“ a ” と 2 回替えて読み出し動作をしなくてはならない。

【 0 1 0 0 】

まず、ワード線電位を “ c ” として読み出しが行われる (S 5 1)。この後、ワード線電位を “ a ” として読み出し動作が行なわれる (S 5 2)。セルの閾値電圧がワード線電位 “ a ” より低いか、ワード線電位 “ c ” より高い場合、データを “ 1 ” とし、セルの閾値電圧がワード線電位 “ a ” より高くワード線電位 “ c ” より低い場合、データを “ 0 ” とする。第 2 ページ書き込み前において、第 2 ページのデータは “ 1 ” が出力されるべきである。しかし、図 1 (a) に示す閾値電圧分布になっている。このため、第 2 ページの書き込み後と同じ読み出し動作をすると出力データが “ 0 ” となることもある。したがって、第 1 フラグセル F C 1 のデータが “ 0 ” か “ 1 ” であるかを判別する (S 5 3)。この結果、第 1 フラグセル F C 1 のデータが “ 1 ” で、第 2 ページの書き込みが行なわれていない場合、出力データを “ 1 ” に固定する (S 5 4)。また、フラグセルのデータが “ 0 ” の場合、読み出したデータを出力する (S 5 5)。

【 0 1 0 1 】

10

20

30

40

50

図15、図16に示すシーケンスによりメモリセルからデータを読み出すが、前述したように、第2ページの書き込み途中において、電源が切れ、第2ページのデータが正常に書き込まれていない場合、メモリセルより読み出した第1ページのデータのデータが正しく無い場合がある。そこで、この第1ページのデータを読み出す場合の動作について説明する。

【0102】

(読み出し手順)

図17は、ユーザ側の読み出し手順を示すフローチャートである。例えば図示せぬユーザ側のコントローラから、図3に示すコントローラ9を介してNAND型フラッシュメモリにリードコマンドを入力する(S61)。これにより、アドレスに応じたメモリセルのデータが読み出されSDCに転送される(S62)。次に、NAND型フラッシュメモリから、コントローラ9に読み出されたデータが順次に転送される。コントローラ9は、ECCを復号するための計算を行う(S63)。コントローラ9は、全データが転送された後、データにエラーが無いか、或いはECCで訂正できるかを判断する(S64)。エラーが無いか、ECCで訂正できる場合、読み出されたデータは正常である。ECCで訂正できない場合、書き込み中に異常終了した可能性がある。従来、書き込み異常は次の3通りに分類される。

10

【0103】

(1)第1ページ書き込み中にエラーが発生し、第1ページのデータを読み出すことができない。

20

(2)第2ページ書き込み中にエラーが発生し、第1ページのデータを読み出すことができない。

(3)第2ページ書き込み中にエラーが発生し、第2ページのデータを読み出すことができない。

【0104】

(1)と(3)は、書き込み中のセルがエラーとなっているため、当然読み出すことができない。第1の実施形態は、(2)の場合を救済している。すなわち、第1ページのデータの破壊を防止して、第1ページのデータを読み出し可能としている。

【0105】

第1の実施形態において、各書き込み段階における結果を分類すると次のようになる。

30

【0106】

(1)第1ページ書き込み(フラグセル：消去状態のまま)

- ・本体セル(第1、第2フラグセル及びECC用セル以外のセル)書き込みNGの場合
 - 通常読み出し(ワード線電位“a”)による第1ページ読み出しNG
 - 特別コマンドでワード線電位“a”による第1ページ読み出しNG
- ・本体セル書き込みOKの場合
 - 通常読み出し(ワード線電位“a”)による第1ページ読み出しOK
 - 特別コマンドでワード線電位“a”による第1ページ読み出しOK

(2)隣接セル書き込み

(3)第2ページ書き込みの第1ステップ(第2フラグセルFC2 電位“b”)

40

- ・第2フラグセルFC2書き込みNGで、本体セル書き込みNGの場合
 - 通常読み出し(ワード線電位“a”)による第1ページ読み出しOK
 - 特別コマンドでワード線電位“a”による第1ページ読み出しOK
- ・第2フラグセルFC2書き込みOKで、本体セル書き込みNGの場合
 - 通常読み出し(ワード線電位“b”)による第1ページ読み出しNG
 - 特別コマンドでワード線電位“a”による第1ページ読み出しOK
- ・第2フラグセルFC2書き込みNGで、本体セル書き込みOKの場合
 - 通常読み出し(ワード線電位“a”)による第1ページ読み出しOK
 - 特別コマンドでワード線電位“a”による第1ページ読み出しOK
- ・第2フラグセルFC2書き込みOKで、本体セル書き込みOKの場合

50

- 通常読み出し（ワード線電位“b”）による第1ページ読み出しOK
 特別コマンドでワード線電位“a”による第1ページ読み出しOK
 (4) 第2ページ書き込み第2ステップ（第2フラグセルFC2、電位“b”のまま）
 通常読み出し（ワード線電位“b”）による第1ページ読み出しOK
 特別コマンドでワード線電位“a”リードによる第1ページ読み出しNG

【0107】

上記関係において、第2ページプログラムの第1ステップ中に中断された場合で、第2フラグセルFC2が書き込みOKで本体セルが書き込みNGの場合、ワード線電位“b”で読み出し動作を行ってしまう。このため、本体セルの閾値電圧が電位“b”に到達していないため読み出し結果がNGとなる。

10

【0108】

したがって、この場合、図17にステップS65に示すように、フラグセルのデータによらず、外部から特別なリードコマンド（xxh+リードコマンド）が供給される。この特別なリードコマンドに応じて、ワード線電位“a”でリード動作が行なわれる（S66）。メモリセルからSDCに読み出されたデータは、コントローラ9に順次に転送される。コントローラ9は、ECCを復号するための計算を行う（S67）。

【0109】

コントローラ9へ全データが転送された後、エラーが無いが、ECCで訂正できるかが判別される（S68）。この結果、エラーが無いが、ECCで訂正できる場合、読み出されたデータが出力される（S69）。また、ECCで訂正できない場合、上記（1）又は（3）によるエラー、或いは放置などによるセルの劣化と考えられデータを読み出すことができない（S70）。

20

【0110】

(イレーズ)

消去動作は、先ず、アドレスを指定し、図4の破線で示すブロックを選択する。消去動作を行なうと、メモリセルのデータは“0”となり、第1ページ、第2ページの何れでリードを行なってもデータ“1”が出力される。

【0111】

上記第1の実施形態によれば、第2ページの書き込みにおいて、第1ページの書き込み後、隣接セルの書き込みが行なわれ、閾値電圧の分布が広がったデータ“2”を本来の閾値電圧に設定し、この後、その他のデータを書き込んでいる。このため、第2ページの書き込みにおいてエラーが発生した場合においても、第1ページの書き込みにおいて書き込まれたデータ“0”、“2”の破壊を防止できる。したがって、第1ページのデータを読み出すことが可能である。

30

【0112】

尚、上記第2ページの書き込みを第1ステップ、第2ステップの2段階とした場合、書き込み速度が低下する。このため、第1ページの破壊を許容して高速で書き込みたいユーザの場合、第1ステップのメモリセルデータ“2”への書き込み及びベリファイ“b”は行なわず、第2ステップで書き込みを行うようにしてもよい。このようなユーザの場合、例えば別の書き込みコマンドを設定したり、制御信号及び制御電圧発生回路7に設けられたフューズ回路7-1に、このユーザ用データを設定したりして切り替えることができる。

40

【0113】

図13(b)は、第2ページ第1ステップの書き込みを省略する場合におけるデータキャッシュのデータを示している。

【0114】

また、第1の実施形態に係る書き込み、及び読み出しを採用する条件を、例えば次のように設定することができる。

・第1ページ書き込み後、電源が遮断され、その後、電源が再投入され、第2ページの書き込みが行なわれる場合。

50

・第1ページ、第2ページを連続して書き込む場合と、非連続で書き込む場合をコマンドにより切り替える場合。

・第1ページのデータの破壊防止を望むユーザの場合、予め、フューズ回路7-1により第1の実施形態の書き込み、及び読み出し方法を設定しておけば、新たなコマンドの入力は不要である。

【0115】

(第2の実施形態)

上記第1の実施形態は、第2ページの書き込みにおいて、第1フラグセルFC1をメモリセルのデータ“0”から“1”へ書き込み、第2フラグセルFC2をメモリセルのデータ“0”から“2”へ書き込んだ。しかし、図1(c)に示す第2フラグセルFC2の閾値電圧分布が、閾値電圧“c”より低い場合は、第1フラグセルFC1を省略することも可能である。

10

【0116】

図18は、第2の実施形態における第2ページの読み出しシーケンスを示しており、第1の実施形態と同一部分には同一符号を付している。第2の実施形態の場合、出力データを判別する際、第1フラグセルFC1に代えて、第2フラグセルFC2のデータが用いられている(S71)。

【0117】

第2の実施形態によっても、第1の実施形態と同様の効果を得ることができる。しかも、第2の実施形態の場合、第1フラグセルFC1を省略可能であるため、構成を簡単化することが可能である。

20

【0118】

(第3の実施形態)

上記第1の実施形態は、第2ページの書き込みにおいて、第1フラグセルFC1をメモリセルのデータ“0”から“1”へ書き込み、第2フラグセルFC2をメモリセルのデータ“0”から“2”へ書き込んだ。しかし、メモリセルは、データ“0”から“1”への書き込みと、データ“2”から“3”の書き込みしかない。このため、第2フラグセルFC2の書き込みが高速化の妨げとなる場合がある。そこで、第2フラグセルFC2を使用せず、第1フラグセルFC1のみ使用する。

【0119】

この場合、第2ページプログラムは、第1フラグセルのみ書き込む。第2ページの読み出しシーケンスは、図10に示す通りである。

30

【0120】

図19は、第3の実施形態における第1ページの読み出しシーケンスを示すフローチャートであり、図15と同一部分には同一符号を付している。第1ページの読み出しにおいて、まず、リードレベル“a”で読み出す(S41)。第1フラグセルFC1の判定の結果(S42)、第1フラグセルFC1が書き込まれている場合、第2ページの書き込みが行われている。このため、リードレベル“b”で再度読み出す(S81)。また、第1フラグセルFC1が書き込まれていない場合、第2ページの書き込みは行なわれていない。このため、リードレベル“a”で読み出した結果を出力する(S43)。

40

【0121】

(読み出し手順)

ユーザの読み出し手順は、図17に示す通りである。しかし、第1ページの読み出しと、第1フラグセルFC1と本体セルの関係は次のようになる。

【0122】

(1)第1ページ(フラグセルは消去状態のまま)

・本体セル書き込みNGの場合

通常読み出し(ワード線電位“a”)による第1ページ読み出しNG

特別コマンドでワード線電位“b”リードによる第1ページ読み出しNG

・本体セル書き込みOKの場合

50

- 通常読み出し（ワード線電位“a”）による第1ページ読み出しOK
 特別コマンドでワード線電位“b”による第1ページ読み出しNG
- (2) 隣接セル書き込み
- (3) 第2ページ書き込みの第1ステップ（第1フラグセルFC1は消去状態のまま）
- ・本体セル書き込みNGの場合
 通常読み出し（ワード線電位“a”）による第1ページ読み出しOK
 - ・本体セル書き込みOKの場合
 通常読み出し（ワード線電位“a”）による第1ページ読み出しOK
- (4) 第2ページ書き込みの第2ステップ（第1フラグセルFC1を電位“a”へ書き込む）
- ・第1フラグセルFC1書き込みNGの場合
 通常読み出し（ワード線電位“a”）による第1ページ読み出しNG
 特別コマンドでワード線電位“b”による第1ページ読み出しOK
 - ・第1フラグセルFC1書き込みOKの場合
 通常読み出し（ワード線電位“b”）による第1ページ読み出しOK
 特別コマンドでワード線電位“b”による第1ページ読み出しOK

10

【0123】

上記第2ページ書き込み第2ステップにおいて、第1フラグセルFC1が書き込みNGの場合、ワード線電位“a”で読み出し動作を行なってしまう。第1ページのデータは第1ステップで、電位“b”以上に書き込まれている。しかし、第2ステップにおいて、第2ページの書き込みデータは、電位“a”以上になっている可能性がある。このため、ワード線電位“a”で読み出すとNGとなる。

20

【0124】

そこで、この場合、図17のステップS65に示すように、外部より特別なコマンドをNAND型フラッシュメモリに供給し、フラグセルによらず、ワード線電位“b”でリード動作を行なう。

【0125】

上記第3の実施形態によれば、第2フラグセルFC2を使用せず、第1フラグセルFC1のみによりデータを書き込んでいる。このため、第2ページの書き込み動作を高速化可能である。しかも、第2ページの書き込み時にエラーが発生した場合においても第1ページのデータを読み出すことができる。したがって、半導体記憶装置の信頼性を向上できる。

30

【0126】

(第4の実施形態)

上記第1、2、3の実施形態は、図10に示すように、第2ページの書き込みを第1ステップ、第2ステップの順で行なった。しかし、図1(b)の隣接セルの書き込みが終了すると、第2ページのデータが確定する前に、“b'”のレベルまで書き込みをすることは可能である。

【0127】

したがって、最後の隣接セルの書き込みに続いて、連続してデータ“2”を本来の閾値電圧“b'”まで書き込むことができる。或いは、最後の隣接セルの書き込みに続いて、新規な別のコマンドを外部より供給し、このコマンドに応じてデータ“2”を本来の閾値電圧“b'”まで書き込むことも可能である。

40

【0128】

第4の実施形態によれば、第2ページのデータが確定する以前に、データ“2”を本来の閾値電圧“b'”まで書き込むことができるため、全体的な書き込み動作を高速化することができる。第1、第2、第3の実施形態において、第1ページの書き込み速度は、第2ページの書き込み速度より大幅に速くアンバランスであった。しかし、第4の実施形態の場合、第2ページの書き込み速度を高速化することができ、第1ページと第2ページの書き込み速度をほぼ同等とすることが可能である。

50

【 0 1 2 9 】

(第5の実施形態)

上記第1乃至4の実施形態において、第2ページの書き込みは、第1ステップで第1ページのデータを電位“b'”以上に書き込んだ後、第2ページの書き込みデータに基づいて、消去セルから電位“a'”への書き込みを行っている。この動作により、第1ページのデータと第2ページのデータの閾値電圧分布が重ならないように制御している。しかし、フラグセルは、本体セルの書き込みと同じ第1ステップ又は第2ステップにおいて書き込んでいる。このため、リードシーケンス時に、ECCで救済できない場合、特別なリードコマンドにより読み出しを行っていた。

【 0 1 3 0 】

しかし、例えば第2ページ書き込みの第1ステップにおいて、第1ページのデータを電位“b'”まで書き込んだ後、第2ステップにおいて、フラグセルを書き込む。この後、第3ステップで、第2ページの書き込みデータに基づいて、消去セルから電位“a'”へ書き込む。このような動作とした場合、第1ページのデータと第2ページのデータの閾値電圧分布の重なりを防止できる。しかも、フラグセルのデータに従って読み出し動作をすることにより、ECCを使用することなく、第1ページのデータを読み出すことができる。

【 0 1 3 1 】

例えば第3の実施形態のように、第1フラグセルFC1のみを使用した場合において、第2ページの書き込み中に電源遮断などで、書き込みが中断した場合、第1ページの読み出しと、第1フラグセルFC1と本体セルの関係は次のようになる。

【 0 1 3 2 】

(1) 第1ページ(第1フラグセルFC1は消去状態のまま)

- ・本体セル書き込みNGの場合
通常読み出し(ワード線電位“a”)による第1ページ読み出しNG
- ・本体セル書き込みOKの場合
通常読み出し(ワード線電位“a”)による第1ページ読み出しOK

(2) 隣接セル書き込み

(3) 第2ページ書き込みの第1ステップ(第1フラグセルFC1は消去状態のまま、本体セルを電位“b'”に書き込み)

- ・本体セル書き込みNGの場合
通常読み出し(ワード線電位“a”)による第1ページ読み出しOK
- ・本体セル書き込みOKの場合
通常読み出し(ワード線電位“a”)による第1ページ読み出しOK

(4) 第2ページ書き込みの第2ステップ(第1フラグセルFC1を電位“a”又は消去状態の閾値電圧より高い閾値電圧へ書き込む)

- ・第1フラグセルFC1書き込みNGの場合
通常読み出し(ワード線電位“a”)による第1ページ読み出しOK
- ・第1フラグセルFC1書き込みOKの場合
通常読み出し(ワード線電位“b”)による第1ページ読み出しOK

(5) 第2ページ書き込みの第3ステップ(本体セルを電位“a'”へ書き込む)

- ・本体セル書き込みNGの場合
通常読み出し(ワード線電位“b”)による第1ページ読み出しOK
- ・本体セル書き込みOKの場合
通常読み出し(ワード線電位“b”)による第1ページ読み出しOK

【 0 1 3 3 】

上記のように、第5の実施形態によれば、第2ページ書き込み第2ステップにおいて第1フラグセルFC1を電位“a”に書き込んでいる。この第1フラグセルFC1への書き込みが失敗又は成功のいずれにおいても、ワード線電位を“a”又は“b”とすることにより、第1ページのデータを読み出すことができる。このため、ECCを使用することな

10

20

30

40

50

く、第1ページのデータは読み出すことが可能である。したがって、ECCの複合に要する計算時間を待つことなくデータを読み出すことができるため、高速な読出しが可能である。

【0134】

尚、本発明は、上記各実施形態に限定されるものではなく、発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【図面の簡単な説明】

【0135】

【図1】図1(a)乃至(e)は、本発明のメモリセルのデータとメモリセルの閾値電圧の関係を示す図。

10

【図2】図2(a)乃至(d)は、従来のメモリセルのデータとメモリセルの閾値電圧の関係を示す図。

【図3】本発明が適用される半導体記憶装置の概略構成を示す図。

【図4】図3に示すメモリセルアレイ及びビット線制御回路の構成を示す回路図。

【図5】図5(a)(b)はメモリセル及び選択トランジスタを示す断面図。

【図6】メモリセルアレイの1つのNANDセルを示す断面図。

【図7】図4に示すデータ記憶回路の一例を示す回路図。

【図8】NANDセルに対する書き込み順序を示す図。

【図9】第1ページのプログラムの一例を示すフローチャート。

【図10】第2ページプログラムの一例を示すフローチャート。

20

【図11】図11(a)は、内部データリード後のデータキャッシュのデータを示す図、図11(b)は、1回目のデータキャッシュ設定後のデータキャッシュのデータを示す図。

【図12】図12(a)は、第2ページ第1ステップ書き込み後のデータキャッシュのデータを示す図、図12(b)は、2回目のデータキャッシュ設定後のデータキャッシュのデータを示す図。

【図13】図13(a)は、第2ページ第2ステップ書き込み後のデータキャッシュのデータを示す図、図13(b)は、第2ページ第1ステップの書き込みを省略する場合におけるデータキャッシュのデータを示す図。

【図14】ベリファイ動作におけるワード線、ビット線、選択ゲート線の動作の一例を示す波形図。

30

【図15】第1ページリードを示すフローチャート。

【図16】第2ページリードを示すフローチャート。

【図17】ユーザ側の読み出し手順を示すフローチャート。

【図18】第2の実施形態における第2ページの読み出しシーケンスを示すフローチャート。

【図19】第3の実施形態における第1ページの読み出しシーケンスを示すフローチャート。

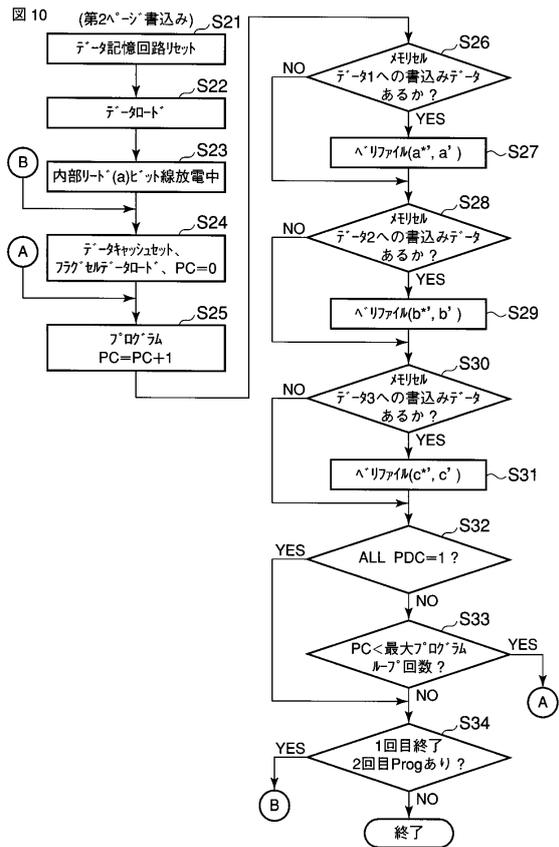
【符号の説明】

【0136】

40

1...メモリセルアレイ、1-1...ECC領域、2...ビット線制御回路、3...カラムデコーダ、4...データ入出力バッファ、6...ワード線制御回路、7...制御信号及び制御電圧発生回路、7-1...フューズ回路、9...コントローラ。

【図 10】



【図 11】

Table (a) (データロード、内部リード後)

	書き込み後のメモリのデータ			
	0	1	2	3
SDC	0	1	1	0
DDC	0	1	1	0
PDC	0	0	0	1

Table (b) (データキャッシュ設定後 1回目)

	書き込み後のメモリのデータ			
	0	1	2	3
SDC	0	1	0	0
DDC	1	0	1	0
DDCQ	1	1	0	0
PDC	1	1	0	0

【図 12】

Table (a) (第2ページ第1ステップ書き込み後)

	書き込み後のメモリのデータ			
	0	1	2	3
SDC	1	1	0	0
DDC	1	0	1	0
DDCQ	1	1	1	1
PDC	1	1	1	1

Table (b) (データキャッシュ設定後 2回目)

	書き込み後のメモリのデータ			
	0	1	2	3
SDC	1	1	0	0
DDC	1	0	1	0
DDCQ	1	0	0	0
PDC	1	0	1	0

【図 13】

Table (a) (第2ページ第2ステップ書き込み後)

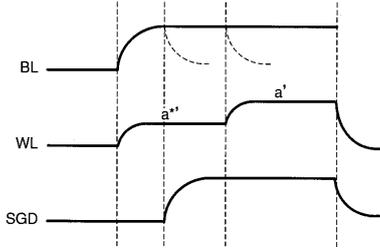
	書き込み後のメモリのデータ			
	0	1	2	3
SDC	1	1	0	0
DDC	1	0	1	0
DDCQ	1	1	1	1
PDC	1	1	1	1

Table (b) (データキャッシュ設定後 高速書き込み時)

	書き込み後のメモリのデータ			
	0	1	2	3
SDC	1	1	0	0
DDC	1	0	1	0
DDCQ	1	0	0	0
PDC	1	0	0	0

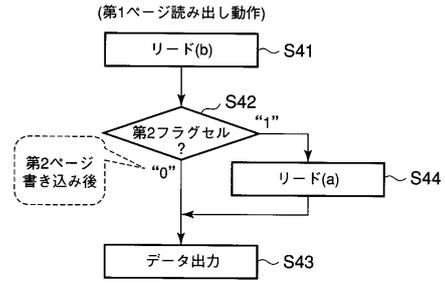
【図14】

図14



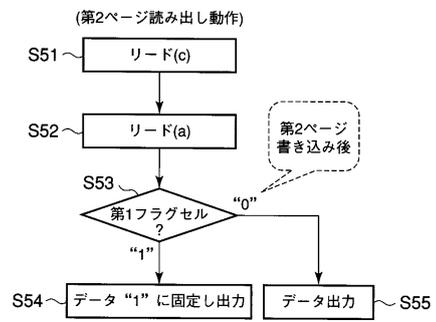
【図15】

図15



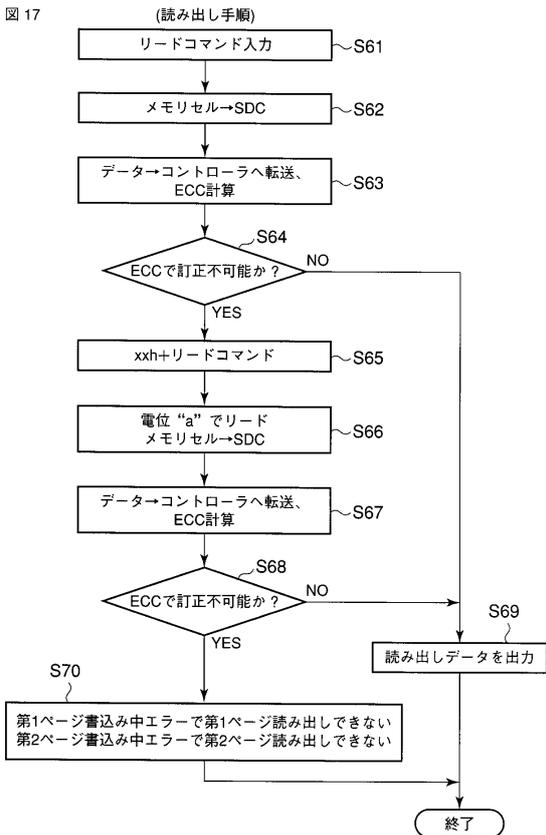
【図16】

図16



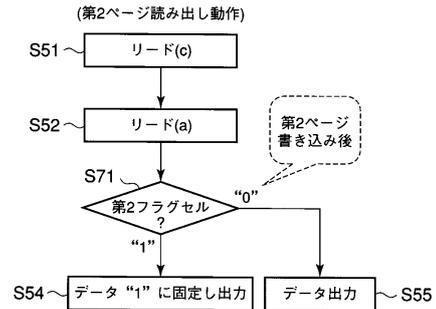
【図17】

図17



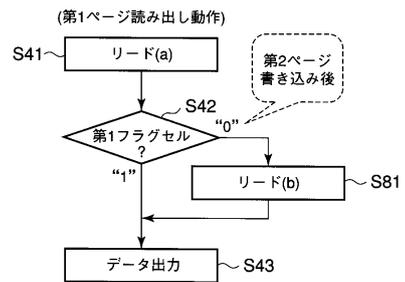
【図18】

図18



【図19】

図19



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 柴田 昇

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 助川 博

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 外山 毅

(56)参考文献 特開2004-192789(JP,A)

特開平11-232886(JP,A)

特開平01-133300(JP,A)

特開2003-249085(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00 - 16/34