



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월17일
(11) 등록번호 10-2717688
(24) 등록일자 2024년10월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2024.01) H01L 27/12 (2006.01)
H01L 33/38 (2010.01) H01L 33/62 (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 27/1214 (2013.01)
(21) 출원번호 10-2019-0053255
(22) 출원일자 2019년05월07일
심사청구일자 2022년05월03일
(65) 공개번호 10-2020-0129244
(43) 공개일자 2020년11월18일
(56) 선행기술조사문헌
KR1020130033450 A*
(뒷면에 계속)

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
양은아
경기도 용인시 기흥구 삼성로 1 (농서동)
강종혁
경기도 용인시 기흥구 삼성로 1 (농서동)
(뒷면에 계속)
(74) 대리인
오종한, 문용호

전체 청구항 수 : 총 19 항

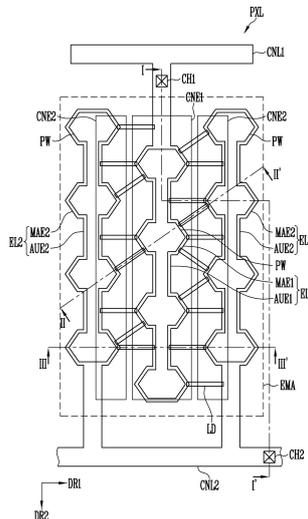
심사관 : 김용일

(54) 발명의 명칭 화소 및 이를 구비한 표시 장치

(57) 요약

표시 장치는, 표시 영역 및 비표시 영역을 포함한 기판; 및 상기 표시 영역에 제공되며, 적어도 하나의 트랜지스터를 포함한 화소 회로부 및 광을 방출하는 적어도 하나의 발광 소자를 포함한 표시 소자층을 포함한 적어도 하나의 화소를 포함할 수 있다. 여기서, 상기 표시 소자층은, 상기 기판 상에서 서로 이격되며 제1 방향으로 각각 연장된 제1 전극과 제2 전극; 및 상기 제1 및 제2 전극 각각에 전기적으로 연결된 상기 발광 소자를 포함할 수 있다. 본 발명의 일 실시예에 있어서, 상기 제1 전극과 상기 제2 전극 각각은 연장된 방향을 따라 적어도 2개 이상의 폭을 가질 수 있다.

대표도 - 도4



(52) CPC특허분류

H01L 27/124 (2013.01)

H01L 33/38 (2013.01)

H01L 33/62 (2013.01)

(72) 발명자

임현덕

경기도 용인시 기흥구 삼성로 1 (농서동)

조현민

경기도 용인시 기흥구 삼성로 1 (농서동)

(56) 선행기술조사문헌

KR1020180072909 A*

US20170229482 A1

JP2014123583 A

KR1020170001935 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

표시 영역 및 비표시 영역을 포함한 기관; 및

상기 표시 영역에 제공되며, 적어도 하나의 트랜지스터를 포함한 화소 회로층 및 광을 방출하는 적어도 하나의 발광 소자를 포함한 표시 소자층을 포함한 적어도 하나의 화소를 포함하고,

상기 표시 소자층은,

상기 기관 상에서 서로 이격되며 제1 방향으로 각각 연장된 제1 전극과 제2 전극; 및

상기 제1 및 제2 전극 각각에 전기적으로 연결된 상기 발광 소자를 포함하고,

상기 제1 전극과 상기 제2 전극 각각은 연장된 방향을 따라 적어도 2개 이상의 폭을 갖고,

상기 제1 전극은 상기 제1 방향을 따라 배치된 복수의 제1 메인 전극들을 포함하고,

상기 제2 전극은 상기 제1 메인 전극들과 이격되며, 상기 제1 방향을 따라 배치된 복수의 제2 메인 전극들을 포함하고,

상기 제1 메인 전극들과 상기 제2 메인 전극들은 동일한 행에 위치하지 않는, 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 전극은 상기 제1 메인 전극들에 연결된 복수의 제1 보조 전극들을 더 포함하고,

상기 제2 전극은 상기 제2 메인 전극들에 연결된 복수의 제2 보조 전극들을 더 포함하는, 표시 장치.

청구항 3

제2 항에 있어서,

상기 제1 메인 전극들과 상기 제1 보조 전극들은 일체로 제공되고, 상기 제2 메인 전극들과 상기 제2 보조 전극들은 일체로 제공되는, 표시 장치.

청구항 4

제3 항에 있어서,

상기 제1 메인 전극들과 상기 제1 보조 전극들은 서로 상이한 형상을 가지며,

상기 제2 메인 전극들과 상기 제2 보조 전극들은 서로 상이한 형상을 갖는, 표시 장치.

청구항 5

제3 항에 있어서,

상기 제1 메인 전극들 각각의 폭이 상기 제1 보조 전극들 각각의 폭보다 크고,

상기 제2 메인 전극들 각각의 폭이 상기 제2 보조 전극들 각각의 폭보다 큰, 표시 장치.

청구항 6

제3 항에 있어서,

상기 제1 메인 전극들 각각은 상기 제1 방향을 따라 인접한 제1 메인 전극과 상이한 형상을 가지며,

상기 제2 메인 전극들 각각은 상기 제1 방향을 따라 인접한 제2 메인 전극과 상이한 형상을 갖는, 표시 장치.

청구항 7

제3 항에 있어서,
 상기 제1 메인 전극들 각각과 상기 제2 메인 전극들 각각은 동일한 형상을 갖고,
 상기 제1 보조 전극들 각각과 상기 제2 보조 전극들 각각은 동일한 형상을 갖는, 표시 장치.

청구항 8

제7 항에 있어서,
 상기 제1 보조 전극들은, 서로 상이한 폭을 갖는 복수의 제1-1 보조 전극들 및 복수의 제1-2 보조 전극들을 포함하고,
 상기 제2 보조 전극들은, 서로 상이한 폭을 갖는 복수의 제2-1 보조 전극 및 복수의 제2-2 보조 전극을 포함하는, 표시 장치.

청구항 9

제3 항에 있어서,
 상기 제1 메인 전극들 각각과 상기 제2 메인 전극들 각각은 서로 상이한 형상을 갖는, 표시 장치.

청구항 10

제3 항에 있어서,
 평면 상에서 볼 때, 상기 제1 메인 전극들과 상기 제2 보조 전극들은 상기 제1 방향과 교차하는 제2 방향을 따라 교번하여 배치되고, 상기 제2 메인 전극들과 상기 제1 보조 전극들은 상기 제2 방향을 따라 교번하여 배치되는, 표시 장치.

청구항 11

삭제

청구항 12

제10 항에 있어서,
 상기 제2 방향을 따라 상기 제1 메인 전극들과 상기 제2 보조 전극들이 서로 대응되고, 상기 제2 메인 전극들과 상기 제1 보조 전극들이 서로 대응되는, 표시 장치.

청구항 13

제2 항에 있어서,
 상기 제1 메인 전극들 중 동일한 열에 위치한 제1 메인 전극들은 서로 이격되게 배치되고,
 상기 제2 메인 전극들 중 동일한 열에 위치한 제2 메인 전극들은 서로 이격되게 배치되는, 표시 장치.

청구항 14

제13 항에 있어서,
 상기 표시 소자층은,
 상기 제1 메인 전극들 상에 직접 배치되며 상기 제1 방향으로 인접한 상기 제1 메인 전극들을 전기적으로 연결하는 제1 캡핑층; 및
 상기 제2 메인 전극들 상에 직접 배치되며 상기 제1 방향으로 인접한 상기 제2 메인 전극들을 전기적으로 연결하는 제2 캡핑층을 더 포함하는, 표시 장치.

청구항 15

제10 항에 있어서,

상기 표시 소자층은,

상기 제2 방향으로 연장되며 상기 제1 전극과 전기적으로 연결된 제1 연결 배선;

상기 제1 연결 배선에 평행하며 상기 제2 전극과 전기적으로 연결된 제2 연결 배선;

상기 제1 전극과 상기 제2 전극 각각의 하부에 위치한 격벽;

상기 제1 전극과 상기 발광 소자의 양 단부 중 어느 하나의 단부를 전기적으로 연결하는 제1 콘택 전극; 및

상기 제2 전극과 상기 발광 소자의 양 단부 중 나머지 단부를 전기적으로 연결하는 제2 콘택 전극을 더 포함하는, 표시 장치.

청구항 16

제15 항에 있어서,

상기 제1 연결 배선과 상기 제1 전극은 일체로 제공되며, 상기 제2 연결 배선과 상기 제2 전극은 일체로 제공되는, 표시 장치.

청구항 17

제15 항에 있어서,

상기 표시 소자층은, 상기 제1 및 제2 전극들 각각의 일부를 커버하는 제1 절연층 및 상기 발광 소자의 상면에 제공된 제2 절연층을 더 포함하고,

상기 제1 콘택 전극과 상기 제2 콘택 전극은 상기 제2 절연층 상에서 이격되어 전기적으로 분리되는, 표시 장치.

청구항 18

동일 평면 상에서 서로 이격되고 일 방향으로 각각 연장된 제1 전극과 제2 전극; 및

상기 제1 전극과 상기 제2 전극에 각각 전기적으로 연결된 적어도 하나의 발광 소자를 포함하고,

상기 제1 및 제2 전극 각각은 연장된 방향을 따라 적어도 2개 이상의 폭을 갖고,

상기 제1 전극은 상기 일 방향을 따라 배치된 복수의 제1 메인 전극들을 포함하고,

상기 제2 전극은 상기 제1 메인 전극들과 이격되며, 상기 일 방향을 따라 배치된 복수의 제2 메인 전극들을 포함하고,

상기 제1 메인 전극들과 상기 제2 메인 전극들은 동일한 행에 위치하지 않는, 화소.

청구항 19

제18 항에 있어서,

상기 제1 전극은 상기 제1 메인 전극들에 연결된 제1 보조 전극들을 더 포함하고,

상기 제2 전극은 상기 제2 메인 전극들에 연결된 제2 보조 전극들을 더 포함하는, 화소.

청구항 20

제19 항에 있어서,

상기 제1 메인 전극들과 상기 제1 보조 전극들은 일체로 제공되고, 상기 제2 메인 전극들과 상기 제2 보조 전극들은 일체로 제공되는, 화소.

발명의 설명

기술분야

[0001] 본 발명은 초소형의 발광 소자를 포함한 화소 및 이를 구비한 표시 장치에 관한 것이다.

배경기술

[0002] 발광 다이오드(Light Emitting Diode)는 열악한 환경 조건에서도 비교적 양호한 내구성을 나타내며, 수명 및 휘도 측면에서도 우수한 성능을 보유한다.

[0003] 발광 다이오드를 조명 장치나 표시 장치 등에 적용하기 위해서는, 상기 발광 다이오드에 전원을 인가할 수 있는 전극의 연결이 필요하며, 활용 목적, 상기 전극이 차지하는 공간의 감소 또는 제조 방법과 연관되어 상기 발광 다이오드와 상기 전극의 배치 관계는 다양하게 연구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은, 정렬 전극의 형상 변경을 통해 발광 영역 내에서 발광 소자들을 다양한 방향으로 정렬하여 전(全) 영역에 걸쳐 균일한 출광 분포를 갖는 표시 장치를 제공하는 데 목적이 있다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 표시 장치는, 표시 영역 및 비표시 영역을 포함한 기판; 및 상기 표시 영역에 제공되며, 적어도 하나의 트랜지스터를 포함한 화소 회로층 및 광을 방출하는 적어도 하나의 발광 소자를 포함한 표시 소자층을 포함한 적어도 하나의 화소를 포함할 수 있다. 상기 표시 소자층은, 상기 기판 상에서 서로 이격되며 제1 방향으로 각각 연장된 제1 전극과 제2 전극; 및 상기 제1 및 제2 전극 각각에 전기적으로 연결된 상기 발광 소자를 포함할 수 있다.

[0006] 본 발명의 일 실시예에 있어서, 상기 제1 전극과 상기 제2 전극 각각은 연장된 방향을 따라 적어도 2개 이상의 폭을 가질 수 있다.

[0007] 본 발명의 일 실시예에 있어서, 상기 제1 전극은, 상기 제1 방향을 따라 배치된 복수의 제1 메인 전극들 및 상기 제1 메인 전극들에 연결된 제1 보조 전극들을 포함할 수 있다. 상기 제2 전극은, 상기 제1 메인 전극들과 이격되며, 상기 제1 방향을 따라 배치된 복수의 제2 메인 전극들 및 상기 제2 메인 전극들에 연결된 복수의 제2 보조 전극들을 포함할 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 제1 메인 전극들과 상기 제1 보조 전극들은 일체로 제공되고, 상기 제2 메인 전극들과 상기 제2 보조 전극들은 일체로 제공될 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 제1 메인 전극들과 상기 제1 보조 전극들은 서로 상이한 형상을 가질 수 있다. 또한, 상기 제2 메인 전극들과 상기 제2 보조 전극들은 서로 상이한 형상을 가질 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 제1 메인 전극들 각각의 폭이 상기 제1 보조 전극들 각각의 폭보다 클 수 있다. 또한, 상기 제2 메인 전극들 각각의 폭이 상기 제2 보조 전극들 각각의 폭보다 클 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 제1 메인 전극들 각각은 상기 제1 방향을 따라 인접한 제1 메인 전극과 상이한 형상을 가질 수 있다. 또한, 상기 제2 메인 전극들 각각은 상기 제1 방향을 따라 인접한 제2 메인 전극과 상이한 형상을 가질 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 제1 메인 전극들 각각과 상기 제2 메인 전극들 각각은 동일한 형상을 가질 수 있다. 또한, 상기 제1 보조 전극들 각각과 상기 제2 보조 전극들 각각은 동일한 형상을 가질 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 제1 보조 전극들은, 서로 상이한 폭을 갖는 복수의 제1-1 보조 전극들 및 복수의 제1-2 보조 전극들을 포함할 수 있다. 또한, 상기 제2 보조 전극들은, 서로 상이한 폭을 갖는 복수의 제2-1 보조 전극 및 복수의 제2-2 보조 전극을 포함할 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 제1 메인 전극들 각각과 상기 제2 메인 전극들 각각은 서로 상이한 형상을 가질 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 평면 상에서 볼 때, 상기 제1 메인 전극들과 상기 제2 보조 전극들은 상기 제1

방향과 교차하는 제2 방향을 따라 교번하여 배치되고, 상기 제2 메인 전극들과 상기 제1 보조 전극들은 상기 제2 방향을 따라 교번하여 배치될 수 있다. 여기서, 상기 제1 메인 전극들과 상기 제2 메인 전극들은 동일한 행에 위치하지 않을 수 있다.

- [0016] 본 발명의 일 실시예에 있어서, 상기 제2 방향을 따라 상기 제1 메인 전극들과 상기 제2 보조 전극들이 서로 대응되고, 상기 제2 메인 전극들과 상기 제1 보조 전극들이 서로 대응될 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 제1 메인 전극들 중 동일한 열에 위치한 제1 메인 전극들은 서로 이격되게 배치될 수 있다. 또한, 상기 제2 메인 전극들 중 동일한 열에 위치한 제2 메인 전극들은 서로 이격되게 배치될 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은, 상기 제1 메인 전극들 상에 직접 배치되며 상기 제1 방향으로 인접한 상기 제1 메인 전극들을 전기적으로 연결하는 제1 캡핑층; 및 상기 제2 메인 전극들 상에 직접 배치되며 상기 제2 방향으로 인접한 상기 제2 메인 전극들을 전기적으로 연결하는 제2 캡핑층을 더 포함할 수 있다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은, 상기 제2 방향으로 연장되며 상기 제1 전극과 전기적으로 연결된 제1 연결 배선; 상기 제1 연결 배선에 평행하며 상기 제2 전극과 전기적으로 연결된 제2 연결 배선; 상기 제1 전극과 상기 제2 전극 각각의 하부에 위치한 격벽; 상기 제1 전극과 상기 발광 소자의 양 단부 중 어느 하나의 단부를 전기적으로 연결하는 제1 컨택 전극; 및 상기 제2 전극과 상기 발광 소자의 양 단부 중 나머지 단부를 전기적으로 연결하는 제2 컨택 전극을 더 포함할 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 제1 연결 배선과 상기 제1 전극은 일체로 제공되며, 상기 제2 연결 배선과 상기 제2 전극은 일체로 제공될 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은, 상기 제1 및 제2 전극 각각의 일부를 커버하는 제1 절연층 및 상기 발광 소자의 상면 상에 제공된 제2 절연층을 더 포함할 수 있다. 여기서, 상기 제1 컨택 전극과 상기 제2 컨택 전극은 상기 제2 절연층 상에서 이격되어 전기적으로 분리될 수 있다.
- [0022] 본 발명의 일 실시예에 따른 화소는, 동일 평면 상에서 서로 이격되고 일 방향으로 각각 연장된 제1 전극과 제2 전극; 및 상기 제1 전극과 상기 제2 전극에 각각 전기적으로 연결된 적어도 하나의 발광 소자를 포함할 수 있다. 여기서, 상기 제1 및 제2 전극 각각은 연장된 방향을 따라 적어도 2개 이상의 폭을 가질 수 있다.

발명의 효과

- [0023] 본 발명의 일 실시예에 따르면, 정렬 전극의 형상 변경을 통해 다양한 방향으로 정렬된 발광 소자들을 포함한 화소가 제공될 수 있다.
- [0024] 또한, 본 발명의 일 실시예에 따르면, 상술한 화소를 구비하여 전(全) 영역에 걸쳐 균일한 출광 분포를 갖는 표시 장치가 제공될 수 있다.
- [0025] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0026] 도 1a는 본 발명의 일 실시예에 따른 발광 소자를 개략적으로 도시한 사시도이다.
- 도 1b는 도 1a의 발광 소자의 단면도이다.
- 도 1c는 본 발명의 다른 실시예에 따른 발광 소자를 개략적으로 도시한 사시도이다.
- 도 1d는 도 1a의 발광 소자의 단면도이다.
- 도 1e는 본 발명의 또 다른 실시예에 따른 발광 소자를 개략적으로 도시한 사시도이다.
- 도 1f는 도 1e의 발광 소자의 단면도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시 장치를 도시한 것으로, 특히, 도 1a 내지 도 1f에 도시된 발광 소자들 중 어느 하나의 발광 소자를 발광원으로 사용한 표시 장치의 개략적인 평면도이다.
- 도 3a 내지 도 3c는 도 2에 도시된 화소들 중 하나의 화소에 포함된 구성 요소들의 전기적 연결 관계를 다양한

실시예에 따라 나타낸 회로도들이다.

도 4는 도 2에 도시된 화소들 중 하나의 화소에 포함된 표시 소자층을 개략적으로 도시한 평면도이다.

도 5는 도 4의 제1 및 제2 전극과 그 사이에 정렬된 발광 소자들만을 도시한 평면도이다.

도 6은 도 4의 I ~ I'선에 따른 단면도이다.

도 7은 도 6에 도시된 제1 및 제2 컨택 전극이 동일한 층에 배치되는 실시예를 도시한 것으로, 도 4의 I ~ I'선에 대응되는 단면도이다.

도 8은 도 6에 도시된 제1 전극과 제1 컨택 전극 사이 및 제2 전극과 제2 컨택 전극 사이에 각각 캡핑층이 배치되는 실시예를 도시한 것으로, 도 4의 I ~ I'선에 대응되는 단면도이다.

도 9는 도 4의 II ~ II' 선에 따른 단면도이다.

도 10은 도 4의 III ~ III'선에 따른 단면도이다.

도 11은 도 10에 도시된 격벽을 다른 형태에 따라 구현한 것으로, 도 4의 III ~ III'선에 대응되는 단면도이다.

도 12 내지 도 19는 도 4의 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 화소의 개략적인 평면도들이다.

도 20은 도 4의 화소를 또 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 화소의 개략적인 평면도이다.

도 21은 도 20의 IV ~ IV'선에 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0028] 각 도면을 설명하면서 유사한 참조 부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0029] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, 본 명세서에 있어서, 어느 층, 막, 영역, 판 등의 부분이 다른 부분 상(on)에 형성되었다고 할 경우, 상기 형성된 방향은 상부 방향만 한정되지 않으며 측면이나 하부 방향으로 형성된 것을 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0030] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예 및 그 밖에 당업자가 본 발명의 내용을 쉽게 이해하기 위하여 필요한 사항에 대하여 상세히 설명하기로 한다. 아래의 설명에서, 단수의 표현은 문맥상 명백하게 단수만을 포함하지 않는 한, 복수의 표현도 포함한다.

[0031] 도 1a는 본 발명의 일 실시예에 따른 발광 소자를 개략적으로 도시한 사시도이고, 도 1b는 도 1a의 발광 소자의 단면도이고, 도 1c는 본 발명의 다른 실시예에 따른 발광 소자를 개략적으로 도시한 사시도이고, 도 1d는 도 1a의 발광 소자의 단면도이고, 도 1e는 본 발명의 또 다른 실시예에 따른 발광 소자를 개략적으로 도시한 사시도이며, 도 1f는 도 1e의 발광 소자의 단면도이다.

[0032] 편의를 위해, 원 기둥 형상의 발광 소자를 도시한 도 1a 내지 도 1d를 설명한 후, 코어-셸 구조의 발광 소자를

도시한 도 1e 및 도 1f에 대해 설명한다. 본 발명의 일 실시예에 있어서, 발광 소자의 종류 및/또는 형상이 도 1a 내지 도 1f에 도시된 실시예들에 한정되지는 않는다.

- [0033] 우선, 도 1a 내지 도 1d를 참조하면, 본 발명의 일 실시예에 따른 발광 소자(LD)는 제1 반도체층(11)과, 제2 반도체층(13)과, 상기 제1 및 제2 반도체층(11, 13) 사이에 개재된 활성층(12)을 포함할 수 있다. 일 예로, 발광 소자(LD)는 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)이 순차적으로 적층된 발광 적층체로 구현될 수 있다.
- [0034] 본 발명의 일 실시예에 따르면, 발광 소자(LD)는 일 방향으로 연장된 막대 형상으로 제공될 수 있다. 발광 소자(LD)의 연장 방향을 길이 방향이라고 하면, 상기 발광 소자(LD)는 상기 연장 방향을 따라 일측 단부와 타측 단부를 가질 수 있다. 일측 단부에는 제1 및 제2 반도체층들(11, 13) 중 어느 하나, 타측 단부에는 상기 제1 및 제2 반도체층들(11, 13) 중 나머지 하나가 배치될 수 있다.
- [0035] 발광 소자(LD)는 원 기둥 형상으로 제공될 수 있으나, 이에 한정되는 것은 아니다. 발광 소자(LD)는 길이 방향으로 긴(즉, 종횡비가 1보다 큰) 로드 형상(rod-like shape), 혹은 바 형상(bar-like shape)을 포함할 수 있다. 예컨대, 길이 방향으로의 발광 소자(LD)의 길이(L)는 그 직경(D, 또는 횡단면의 폭)보다 클 수 있다. 이러한 발광 소자(LD)는 일 예로 마이크로 스케일 혹은 나노 스케일 정도의 직경(D) 및/또는 길이(L)를 가질 정도로 초소형으로 제작된 발광 다이오드를 포함할 수 있다.
- [0036] 본 발명의 일 실시예에 있어서, 발광 소자(LD)의 직경(D)은 0.5 μ m 내지 500 μ m 정도일 수 있으며, 그 길이(L)는 1 μ m 내지 10 μ m 정도일 수 있다. 다만, 발광 소자(LD)의 크기가 이에 한정되는 것은 아니며, 발광 소자(LD)가 적용되는 조명 장치 또는 자발광 표시 장치의 요구 조건(또는 설계 조건)에 부합되도록 상기 발광 소자(LD)의 크기가 변경될 수도 있다.
- [0037] 제1 반도체층(11)은 일 예로 적어도 하나의 n형 반도체층을 포함할 수 있다. 예를 들어, 제1 반도체층(11)은 InAlGa_n, Ga_n, AlGa_n, InGa_n, AlN, InN 중 어느 하나의 반도체 재료를 포함하며, Si, Ge, Sn 등과 같은 제1 도전성 도펀트가 도핑된 n형 반도체층을 포함할 수 있다. 다만, 제1 반도체층(11)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질로 제1 반도체층(11)을 구성할 수 있다.
- [0038] 활성층(12)은 제1 반도체층(11) 상에 배치되며, 단일 또는 다중 양자 우물 구조로 형성될 수 있다. 활성층(12)의 위치는 발광 소자(LD)의 종류에 따라 다양하게 변경될 수 있다. 활성층(12)은 400nm 내지 900nm의 파장을 갖는 광을 방출할 수 있으며, 이중 헤테로 구조(double heterostructure)를 사용할 수 있다. 본 발명의 일 실시예에 있어서, 활성층(12)의 상부 및/또는 하부에는 도전성 도펀트가 도핑된 클래드층(미도시)이 형성될 수도 있다. 일 예로, 클래드층은 AlGa_n층 또는 InAlGa_n층으로 형성될 수 있다. 실시예에 따라, AlGa_n, AlInGa_n 등의 물질이 활성층(12)을 형성하는 데에 이용될 수 있으며, 이 외에도 다양한 물질이 활성층(12)을 구성할 수 있다.
- [0039] 발광 소자(LD)의 양단에 소정 전압 이상의 전계를 인가하게 되면, 활성층(12)에서 전자-정공 쌍이 결합하면서 상기 발광 소자(LD)가 발광하게 된다. 이러한 원리를 이용하여 발광 소자(LD)의 발광을 제어함으로써, 상기 발광 소자(LD)를 표시 장치의 화소를 비롯한 다양한 발광 장치의 광원으로 이용할 수 있다.
- [0040] 제2 반도체층(13)은 활성층(12) 상에 배치되며, 제1 반도체층(11)과 상이한 타입의 반도체층을 포함할 수 있다. 일 예로, 제2 반도체층(13)은 적어도 하나의 p형 반도체층을 포함할 수 있다. 예를 들어, 제2 반도체층(13)은 InAlGa_n, Ga_n, AlGa_n, InGa_n, AlN, InN 중 적어도 하나의 반도체 재료를 포함하며, Mg 등과 같은 제2 도전성 도펀트가 도핑된 p형 반도체층을 포함할 수 있다. 다만, 제2 반도체층(13)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질이 제2 반도체층(13)을 구성할 수 있다.
- [0041] 본 발명의 일 실시예에 따르면, 발광 소자(LD)는 상술한 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13) 외에도 도 1a 및 도 1b에 도시된 바와 같이 제2 반도체층(13) 상부에 배치되는 하나의 전극층(15)을 더 포함할 수 있다. 또한, 실시예에 따라 발광 소자(LD)는 전극층(15) 외에도 도 1c 및 도 1d에 도시된 바와 같이 제1 반도체층(11)의 일단에 배치되는 하나의 다른 전극층(16)을 더 포함할 수 있다.
- [0042] 전극층들(15, 16)은 오믹(Ohmik) 컨택 전극일 수 있으나, 이에 한정되는 것은 아니다. 전극층들(15, 16)은 금속 또는 금속 산화물을 포함할 수 있으며, 예를 들어, 크롬(Cr), 티타늄(Ti), 알루미늄(Al), 금(Au), 니켈(Ni), ITO 및 이들의 산화물 또는 합금 등을 단독 또는 혼합하여 사용할 수 있으나, 이에 한정되지 않는다.
- [0043] 전극층들(15, 16) 각각에 포함된 물질은 서로 동일하거나 상이할 수 있다. 전극층들(15, 16)은 실질적으로 투명 또는 반투명할 수 있다. 이에 따라, 발광 소자(LD)에서 생성된 광은 전극층들(15, 16)을 투과하여 발광 소자

(LD)의 외부로 방출될 수 있다.

- [0044] 본 발명의 일 실시예에 있어서, 발광 소자(LD)는 절연 피막(14)을 더 포함할 수 있다. 다만, 실시예에 따라, 절연 피막(14)은 생략될 수도 있으며, 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13) 중 일부만을 덮도록 제공될 수도 있다.
- [0045] 절연 피막(14)은 활성층(12)이 제1 반도체층(11) 및 제2 반도체층(13) 외의 전도성 물질과 접촉하여 발생할 수 있는 전기적 단락을 방지할 수 있다. 또한, 절연 피막(14)을 형성함에 의해 발광 소자(LD)의 표면 결함을 최소화하여 수명과 효율을 향상시킬 수 있다. 또한, 복수의 발광 소자들(LD)이 밀접하게 배치되는 경우, 절연 피막(14)은 발광 소자들(LD)의 사이에서 발생할 수 있는 원치 않은 단락을 방지할 수 있다. 활성층(12)이 외부의 도전성 물질과 단락이 발생하는 것을 방지할 수 있다면, 절연 피막(14)의 구비 여부가 한정되지는 않는다.
- [0046] 절연 피막(14)은 도 1a 및 도 1b에 도시된 바와 같이 발광 소자(LD)의 양 단부 중 하나의 단부를 제외한 부분에 제공될 수 있다. 이러한 경우, 절연 피막(14)은 발광 소자(LD)의 제2 반도체층(13)의 일단 측에 배치된 하나의 전극층(15)만을 노출하고, 상기 하나의 전극층(15)을 제외한 나머지 구성들의 측면을 전체적으로 둘러쌀 수 있다. 다만, 절연 피막(14)은 적어도 발광 소자(LD)의 양 단부를 노출하며, 일 예로 제2 반도체층(13)의 일단 측에 배치된 하나의 전극층(15)과 더불어, 제1 반도체층(11)의 일 단부를 노출할 수 있다.
- [0047] 또한, 실시예에 따라, 도 1c 및 도 1d에 도시된 바와 같이 발광 소자(LD)의 양 단부에 전극층들(15, 16)이 배치될 경우, 절연 피막(14)은 전극층들(15, 16) 각각의 적어도 일 영역을 노출할 수 있다. 또는, 또 다른 실시예에서는, 절연 피막(14)이 제공되지 않을 수도 있다.
- [0048] 본 발명의 일 실시예에 따르면, 절연 피막(14)은 투명한 절연 물질을 포함할 수 있다. 예를 들어, 절연 피막(14)은 SiO₂, Si₃N₄, Al₂O₃ 및 TiO₂로 이루어지는 군으로부터 선택된 하나 이상의 절연물질을 포함할 수 있으나, 이에 한정되지는 않으며, 절연성을 갖는 다양한 재료가 사용될 수 있다.
- [0049] 절연 피막(14)이 발광 소자(LD)에 제공되면, 활성층(12)이 도시되지 않은 제1 전극 및/또는 제2 전극과 단락되는 것을 방지할 수 있다. 또한, 절연 피막(14)을 형성함에 의해 발광 소자(LD)의 표면 결함을 최소화하여 수명과 효율을 향상시킬 수 있다. 또한, 복수의 발광 소자들(LD)이 밀접하게 배치되는 경우, 절연 피막(14)은 발광 소자들(LD)의 사이에서 발생할 수 있는 원치 않은 단락을 방지할 수 있다.
- [0050] 상술한 발광 소자(LD)는, 다양한 표시 장치의 발광원으로 이용될 수 있다. 발광 소자(LD)는 표면 처리 과정을 거쳐 제조될 수 있다. 예를 들어, 다수의 발광 소자들(LD)을 용액(또는, 용매)에 혼합하여 각각의 발광 영역(일 예로, 각 서브 화소의 발광 영역)에 공급할 때, 상기 발광 소자들(LD)이 용액 내에 불균일하게 응집하지 않고 균일하게 분산될 수 있도록 각각의 발광 소자(LD)를 표면 처리할 수 있다.
- [0051] 상술한 발광 소자(LD)를 포함한 발광 장치는, 표시 장치를 비롯하여 광원을 필요로 하는 다양한 종류의 장치에서 이용될 수 있다. 예를 들어, 표시 패널의 각 화소의 발광 영역 내에 복수 개의 발광 소자들(LD)을 배치하는 경우, 상기 발광 소자들(LD)은 각 화소의 광원으로 이용될 수 있다. 다만, 발광 소자(LD)의 적용 분야가 상술한 예에 한정되지는 않는다. 예를 들어, 발광 소자(LD)는 조명 장치 등과 같이 광원을 필요로 하는 다른 종류의 장치에도 이용될 수 있다.
- [0052] 다음으로, 도 1e 및 도 1f를 참조하여 코어-셸 구조의 발광 소자(LD)에 대해 설명한다. 코어-셸 구조의 발광 소자(LD)에 대해 설명함에 있어, 상술한 일 실시예와 상이한 점을 중심으로 설명하며, 상기 코어-셸 구조의 발광 소자(LD)에서 특별히 설명하지 않은 부분은 상술한 일 실시예에 따르며, 상술한 일 실시예와 유사 및/또는 동일한 구성 요소(일 예로, 서로 상응하는 구성 요소)에 대해서는 동일한 번호를 부여한다.
- [0053] 도 1e 및 도 1f를 참조하면, 본 발명의 일 실시예에 따른 발광 소자(LD)는, 제1 반도체층(11) 및 제2 반도체층(13)과, 상기 제1 및 제2 반도체층들(11, 13) 사이에 개재된 활성층(12)을 포함할 수 있다. 실시예에 따라, 발광 소자(LD)는 중앙에 위치한 제1 반도체층(11), 상기 제1 반도체층(11)의 적어도 일측을 둘러싸는 활성층(12), 상기 활성층(12)의 적어도 일측을 둘러싸는 제2 반도체층(13), 및 상기 제2 반도체층(13)의 적어도 일측을 둘러싸는 전극층(15)을 구비하는 코어-셸 구조의 발광 패턴(10)을 포함할 수 있다.
- [0054] 발광 소자(LD)는 일 방향으로 연장된 다각 벌 형상으로 제공될 수 있다. 본 발명의 일 실시예에 있어서, 발광 소자(LD)는 육각 벌 형상으로 제공될 수 있다. 발광 소자(LD)의 연장 방향을 길이(L) 방향이라고 하면, 발광 소자(LD)는 상기 길이(L) 방향을 따라 일 단부(혹은 하 단부)와 타 단부(혹은 상 단부)를 가질 수 있다. 실시예에 따라, 발광 소자(LD)의 일 단부(혹은 하 단부)에는 제1 및 제2 반도체층들(11, 13) 중 하나가 배치되고, 상기

발광 소자(LD)의 타 단부(혹은 상 단부)에는 상기 제1 및 제2 반도체층들(11, 13) 중 나머지 하나가 배치될 수 있다.

- [0055] 실시예에 따라, 발광 소자(LD)는 나노 스케일 내지 마이크로 스케일 정도로 작은 크기, 일 예로 각각 나노 스케일 또는 마이크로 스케일 범위의 직경 및/또는 길이(L)를 가질 수 있다. 다만, 본 발명에서 발광 소자(LD)의 크기가 이에 한정되는 것은 아니며, 발광 소자(LD)가 적용되는 조명 장치 또는 자발광 표시 장치의 요구 조건(혹은 적용 조건)에 부합되도록 상기 발광 소자(LD)의 크기가 변경될 수도 있다.
- [0056] 본 발명의 일 실시예에 있어서, 제1 반도체층(11)은 발광 소자(LD)의 코어(core), 즉, 중심(혹은 가운데)에 위치할 수 있다. 발광 소자(LD)는 제1 반도체층(11)의 형상에 대응되는 형상으로 제공될 수 있다. 일 예로, 제1 반도체층(11)이 육각 벌 형상을 갖는 경우, 발광 소자(LD) 및 발광 패턴(10)도 육각 벌 형상을 가질 수 있다.
- [0057] 활성층(12)은 발광 소자(LD)의 길이(L) 방향에서 제1 반도체층(11)의 외주면을 둘러싸는 형태로 제공 및/또는 형성될 수 있다. 구체적으로, 활성층(12)은 발광 소자(LD)의 길이(L) 방향에서 제1 반도체층(11)의 양측 단부 중 하측에 배치된 타측 단부를 제외한 나머지 영역을 둘러싸는 형태로 제공 및/또는 형성될 수 있다.
- [0058] 제2 반도체층(13)은 발광 소자(LD)의 길이(L) 방향에서 활성층(12)을 둘러싸는 형태로 제공 및/또는 형성되며, 제1 반도체층(11)과 상이한 타입의 반도체층을 포함할 수 있다. 일 예로, 제2 반도체층(13)은 적어도 하나의 p형 반도체층을 포함할 수 있다.
- [0059] 본 발명의 일 실시예에 있어서, 발광 소자(LD)는 제2 반도체층(13)의 적어도 일측을 둘러싸는 전극층(15)을 포함한다. 전극층(15)은 제2 반도체층(13)에 전기적으로 연결되는 오믹(Ohmic) 컨택 전극일 수 있으나, 이에 한정되는 것은 아니다.
- [0060] 상술한 바와 같이, 발광 소자(LD)는 양 단부가 돌출된 형상을 갖는 육각 벌 형태로 구성될 수 있으며, 그 중심에 제공된 제1 반도체층(11), 상기 제1 반도체층(11)을 둘러싸는 활성층(12), 상기 활성층(12)을 둘러싸는 제2 반도체층(13), 및 상기 제2 반도체층(13)을 둘러싸는 전극층(15)을 포함하는 코어-셸 구조의 발광 패턴(10)으로 구현될 수 있다. 육각 벌 형상을 갖는 발광 소자(LD)의 일 단부(혹은 하단부)에는 제1 반도체층(11)이 배치되고, 상기 발광 소자(LD)의 타 단부(혹은 상단부)에는 전극층(15)이 배치될 수 있다.
- [0061] 또한, 실시예에 따라, 발광 소자(LD)는 코어-셸 구조의 발광 패턴(10)의 외주면에 제공된 절연 피막(14)을 더 포함할 수 있다. 절연 피막(14)은 투명한 절연 물질을 포함할 수 있다.
- [0062] 도 2는 본 발명의 일 실시예에 따른 표시 장치를 도시한 것으로, 특히, 도 1a 내지 도 1f에 도시된 발광 소자들 중 어느 하나의 발광 소자를 발광원으로 사용한 표시 장치의 개략적인 평면도이다.
- [0063] 도 2에 있어서, 편의를 위하여 영상이 표시되는 표시 영역을 중심으로 표시 장치의 구조를 간략하게 도시하였다. 다만, 실시예에 따라서 도시되지 않은 적어도 하나의 구동 회로부(일 예로, 주사 구동부 및 데이터 구동부) 및/또는 복수의 신호 배선들이 상기 표시 장치에 더 배치될 수도 있다.
- [0064] 도 1a 내지 도 1f, 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 기관(SUB), 상기 기관(SUB) 상에 제공되며 적어도 하나의 발광 소자(LD)를 포함하는 복수의 화소들(PXL), 기관(SUB) 상에 제공되며 화소들(PXL)을 구동하는 구동부(미도시), 및 화소들(PXL)과 구동부를 연결하는 배선부(미도시)를 포함할 수 있다.
- [0065] 표시 장치는 발광 소자(LD)를 구동하는 방식에 따라 패시브 매트릭스형 표시 장치와 액티브 매트릭스형 표시 장치로 분류될 수 있다. 일 예로, 표시 장치가 액티브 매트릭스형으로 구현되는 경우, 화소들(PXL) 각각은 발광 소자(LD)에 공급되는 전류량을 제어하는 구동 트랜지스터와 상기 구동 트랜지스터로 데이터 신호를 전달하는 스위칭 트랜지스터 등을 포함할 수 있다.
- [0066] 최근 해상도, 콘트라스트, 동작 속도의 관점에서 각 화소(PXL)마다 선택하여 점등하는 액티브 매트릭스형 표시 장치가 주류가 되고 있으나 본 발명이 이에 한정되는 것은 아니며 화소(PXL) 그룹별로 점등이 수행되는 패시브 매트릭스형 표시 장치 또한 발광 소자(LD)를 구동하기 위한 구성 요소들(일 예로, 제1 및 제2 전극 등)을 사용할 수 있다.
- [0067] 기관(SUB)은 표시 영역(DA) 및 비표시 영역(NDA)을 포함할 수 있다.
- [0068] 실시예에 따라, 표시 영역(DA)은 표시 장치의 중앙 영역에 배치되고, 비표시 영역(NDA)은 표시 영역(DA)을 둘러싸도록 표시 장치의 가장자리 영역에 배치될 수 있다. 다만, 표시 영역(DA) 및 비표시 영역(NDA)의 위치가 이에 한정되지는 않으며, 이들의 위치는 변경될 수 있다.

- [0069] 표시 영역(DA)은 영상을 표시하는 화소들(PXL)이 제공되는 영역일 수 있다. 비표시 영역(NDA)은 화소들(PXL)을 구동하기 위한 구동부, 및 상기 화소들(PXL)과 구동부를 연결하는 배선부의 일부가 제공되는 영역일 수 있다.
- [0070] 표시 영역(DA)은 다양한 형상을 가질 수 있다. 예를 들어, 표시 영역(DA)은 직선으로 이루어진 변을 포함하는 닫힌 형태의 다각형, 곡선으로 이루어진 변을 포함하는 원, 타원 등, 직선과 곡선으로 이루어진 변을 포함하는 반원, 반타원 등 다양한 형상으로 제공될 수 있다.
- [0071] 비표시 영역(NDA)은 표시 영역(DA)의 적어도 일측에 제공될 수 있다. 본 발명의 일 실시예에 있어서, 비표시 영역(NDA)은 표시 영역(DA)의 둘레를 둘러쌀 수 있다.
- [0072] 기관(SUB)은 투명 절연 물질을 포함하여 광의 투과가 가능할 수 있다. 기관(SUB)은 경성(rigid) 기관일 수 있다. 예를 들면, 경성 기관은 유리 기관, 석영 기관, 유리 세라믹 기관, 및 결정질 유리 기관 중 하나일 수 있다.
- [0073] 또한, 기관(SUB)은 가요성(flexible) 기관일 수도 있다. 여기서, 가요성 기관은 고분자 유기물을 포함하는 필름 기관 및 플라스틱 기관 중 하나일 수 있다. 예를 들면, 가요성 기관은 폴리스티렌(polystyrene), 폴리비닐알코올(polyvinyl alcohol), 폴리메틸메타크릴레이트(Polymethyl methacrylate), 폴리에테르술폰(polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테르이미드(polyetherimide), 폴리에틸렌 나프탈레이트(polyethylene naphthalate), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide), 폴리아릴레이트(polyarylate), 폴리이미드(polyimide), 폴리카보네이트(polycarbonate), 트리아세테이트 셀룰로오스(triacetate cellulose), 셀룰로오스아세테이트 프로피오네이트(cellulose acetate propionate) 중 적어도 어느 하나를 포함할 수 있다.
- [0074] 다만, 기관(SUB)을 구성하는 재료는 다양하게 변화될 수 있으며, 섬유 강화플라스틱(FRP, Fiber reinforced plastic) 등을 포함할 수도 있다.
- [0075] 기관(SUB) 상의 일 영역은 표시 영역(DA)으로 제공되어 화소들(PXL)이 배치되고, 나머지 영역은 비표시 영역(NDA)으로 제공될 수 있다. 일 예로, 기관(SUB)은, 각각의 화소(PXL)가 배치되는 화소 영역들을 포함한 표시 영역(DA)과, 상기 표시 영역(DA)의 주변에 배치되는 비표시 영역(NDA)을 포함할 수 있다.
- [0076] 화소들(PXL) 각각은 기관(SUB) 상의 표시 영역(DA) 내에 제공될 수 있다. 본 발명의 일 실시예에 있어서, 화소들(PXL)은 스트라이프 또는 펜타일 배열 구조로 표시 영역(DA)에 배열될 수 있으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 화소들(PXL)은 현재 공지된 다양한 배열 구조로 표시 영역(DA)에 배열될 수 있다.
- [0077] 각 화소(PXL)는 대응되는 스캔 신호 및 데이터 신호에 의해 구동되는 발광 소자(LD)를 포함할 수 있다. 발광 소자(LD)는 마이크로 스케일 혹은 나노 스케일 정도로 작은 크기를 가지며 인접하게 배치된 발광 소자들과 서로 병렬로 연결될 수 있으나, 이에 본 발명이 한정되는 것은 아니다. 발광 소자(LD)는 각 화소(PXL)의 광원을 구성할 수 있다.
- [0078] 각 화소(PXL)는 소정의 제어 신호(일 예로, 스캔 신호 및 데이터 신호) 및/또는 소정의 전원(일 예로, 제1 구동 전원 및 제2 구동 전원)에 의해 구동되는 적어도 하나의 광원을 포함할 수 있다. 예를 들면, 각각의 화소(PXL)는 도 1a 내지 도 1f의 실시예들 각각에 도시된 발광 소자(LD), 일 예로, 각각 나노 스케일 내지 마이크로 스케일 정도로 작은 크기를 가지는 적어도 하나의 초소형의 막대형 발광 소자(LD)를 포함할 수 있다. 다만, 본 발명의 실시예에서 화소(PXL)의 광원으로 이용될 수 있는 발광 소자(LD)의 종류가 이에 한정되지는 않는다.
- [0079] 본 발명의 일 실시예에 있어서, 화소들(PXL)의 색상, 종류 및/또는 개수 등이 특별히 한정되지는 않으며, 일 예로 각각의 화소(PXL)가 방출하는 광의 색상은 다양하게 변경될 수 있다.
- [0080] 구동부는 배선부를 통해 각 화소(PXL)에 신호를 제공하며, 이에 따라 각 화소(PXL)의 구동을 제어할 수 있다. 도 2에서는 설명의 편의를 위해 배선부가 생략되었다.
- [0081] 구동부는 스캔 라인을 통해 화소들(PXL)에 스캔 신호를 제공하는 스캔 구동부, 발광 제어 라인을 통해 화소들(PXL)에 발광 제어 신호를 제공하는 발광 구동부, 및 데이터 라인을 통해 화소들(PXL)에 데이터 신호를 제공하는 데이터 구동부, 및 타이밍 제어부를 포함할 수 있다. 타이밍 제어부는 스캔 구동부, 발광 구동부, 및 데이터 구동부를 제어할 수 있다.
- [0082] 도 3a 내지 도 3c는 도 2에 도시된 화소들 중 하나의 화소에 포함된 구성 요소들의 전기적 연결 관계를 다양한 실시예에 따라 나타낸 회로도들이다.

- [0083] 예를 들어, 도 3a 내지 도 3c는 능동형 표시 장치에 적용될 수 있는 화소(PXL)에 포함된 구성 요소들의 전기적 연결 관계를 서로 다른 실시예에 따라 도시하였다. 다만, 본 발명의 실시예가 적용될 수 있는 화소(PXL)에 포함된 구성 요소들의 종류가 이에 한정되지는 않는다.
- [0084] 도 3a 내지 도 3c에서는, 도 2에 도시된 화소들 각각에 포함된 구성 요소들 뿐만 아니라 상기 구성 요소들이 제공되는 영역까지 포괄하여 화소(PXL)로 지칭한다. 실시예에 따라, 도 3a 내지 도 3c에 도시된 각각의 화소(PXL)는 도 2의 표시 장치에 구비된 화소들(PXL) 중 어느 하나일 수 있으며, 상기 화소들(PXL)은 실질적으로 서로 동일 또는 유사한 구조를 가질 수 있다.
- [0085] 도 1a 내지 도 1f, 도 2, 도 3a 내지 도 3c를 참조하면, 하나의 화소(PXL, 이하 '화소'라 함)는 데이터 신호에 대응하는 휘도의 광을 생성하는 발광 유닛(EMU)을 포함할 수 있다. 또한, 화소(PXL)는 발광 유닛(EMU)을 구동하기 위한 화소 회로(144)를 선택적으로 더 포함할 수 있다.
- [0086] 실시예에 따라, 발광 유닛(EMU)은 제1 구동 전원(VDD)이 인가되는 제1 전원 라인(PL1)과 제2 구동 전원(VSS)이 인가되는 제2 전원 라인(PL2) 사이에 병렬로 연결된 복수의 발광 소자들(LD)을 포함할 수 있다. 예를 들어, 발광 유닛(EMU)은, 화소 회로(144) 및 제1 전원 라인(PL1)을 경유하여 제1 구동 전원(VDD)에 연결된 제1 전극(EL1, 혹은 “제1 정렬 전극”)과, 제2 전원 라인(PL2)을 통해 제2 구동 전원(VSS)에 연결된 제2 전극(EL2, 혹은 “제2 정렬 전극”)과, 상기 제1 및 제2 전극들(EL1, EL2) 사이에 서로 동일한 방향으로 병렬 연결되는 복수의 발광 소자들(LD)을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 전극(EL1)은 애노드 전극이고, 제2 전극(EL2)은 캐소드 전극일 수 있다.
- [0087] 본 발명의 일 실시예에 있어서, 발광 유닛(EMU)에 포함된 발광 소자들(LD) 각각은, 제1 전극(EL1)을 통해 제1 구동 전원(VDD)에 연결되는 일측 단부 및 제2 전극(EL2)을 통해 제2 구동 전원(VSS)에 연결된 타측 단부를 포함할 수 있다. 제1 구동 전원(VDD)과 제2 구동 전원(VSS)은 서로 다른 전위를 가질 수 있다. 일 예로, 제1 구동 전원(VDD)은 고전위 전원으로 설정되고, 제2 구동 전원(VSS)은 저전위 전원으로 설정될 수 있다. 이때, 제1 및 제2 구동 전원들(VDD, VSS)의 전위차는 화소(PXL)의 발광 기간 동안 발광 소자들(LD)의 문턱 전압 이상으로 설정될 수 있다.
- [0088] 상술한 바와 같이, 상이한 전위의 전압이 각각 공급되는 제1 전극(EL1)과 제2 전극(EL2) 사이에 동일한 방향(일 예로, 순 방향)으로 병렬 연결된 각각의 발광 소자(LD)는 각각의 유효 광원을 구성할 수 있다. 이러한 유효 광원들이 모여 화소(PXL)의 발광 유닛(EMU)을 구성할 수 있다.
- [0089] 발광 유닛(EMU)의 발광 소자들(LD)은 해당 화소 회로(144)를 통해 공급되는 구동 전류에 대응하는 휘도로 발광할 수 있다. 예를 들어, 각각의 프레임 기간 동안 화소 회로(144)는 해당 프레임 데이터의 계조 값에 대응하는 구동 전류를 발광 유닛(EMU)으로 공급할 수 있다. 발광 유닛(EMU)으로 공급된 구동 전류는 동일한 방향으로 연결된 발광 소자들(LD)에 나뉘어 흐를 수 있다. 이에 따라, 각각의 발광 소자(LD)가 그에 흐르는 전류에 상응하는 휘도로 발광하면서, 발광 유닛(EMU)이 구동 전류에 대응하는 휘도의 광을 방출할 수 있다.
- [0090] 한편, 도 3a 내지 도 3c에 있어서, 발광 소자들(LD)이 제1 및 제2 구동 전원(VDD, VSS) 사이에 서로 동일한 방향으로 연결된 실시예를 도시하였으나, 본 발명이 이에 한정되지는 않는다. 실시예에 따라, 발광 유닛(EMU)은, 각각의 유효 광원을 구성하는 발광 소자들(LD)외에 적어도 하나의 비유효 광원을 더 포함할 수 있다. 일 예로, 발광 유닛(EMU)의 제1 및 제2 전극들(EL1, EL2)의 사이에는, 적어도 역방향 발광 소자(미도시)가 더 연결되어 있을 수 있다. 이러한 역방향 발광 소자는 유효 광원들을 구성하는 발광 소자들(LD)과 함께 제1 및 제2 전극들(EL1, EL2)의 사이에 병렬로 연결되되, 상기 발광 소자들(LD)과는 반대 방향으로 상기 제1 및 제2 전극들(EL1, EL2)의 사이에 연결될 수 있다. 이러한 역방향 발광 소자는, 제1 및 제2 전극들(EL1, EL2) 사이에 소정의 구동 전압(일 예로, 순방향의 구동 전압)이 인가되더라도 비활성된 상태를 유지하게 되고, 이에 따라 역방향 발광 소자에는 실질적으로 전류가 흐르지 않게 된다.
- [0091] 화소 회로(144)는 해당 화소(PXL)의 스캔 라인(Si) 및 데이터 라인(Dj)에 접속될 수 있다. 일 예로, 화소(PXL)가 표시 영역(DA)의 i (i 는 자연수)번째 행 및 j (j 는 자연수)번째 열에 배치되었다고 할 때, 상기 화소(PXL)의 화소 회로(144)는 표시 영역(DA)의 i 번째 스캔 라인(Si) 및 j 번째 데이터 라인(Dj)에 접속될 수 있다. 실시예에 따라, 화소 회로(144)는 도 3a에 도시된 바와 같이 제1 및 제2 트랜지스터(T1, T2)와 스토리지 커패시터(Cst)를 포함할 수 있다. 다만, 화소 회로(144)의 구조가 도 3a에 도시된 실시예에 한정되지는 않는다.
- [0092] 제1 트랜지스터(T1; 스위칭 트랜지스터)의 제1 단자는 데이터 라인(Dj)에 접속될 수 있고, 제2 단자는 제1 노드(N1)에 접속될 수 있다. 여기서, 제1 트랜지스터(T1)의 제1 단자와 제2 단자는 서로 다른 단자로, 예컨대 제1

단자가 소스 전극이면 제2 단자는 드레인 전극일 수 있다. 그리고, 제1 트랜지스터(T1)의 게이트 전극은 스캔 라인(Si)에 접속될 수 있다.

- [0093] 이와 같은 제1 트랜지스터(T1)는, 스캔 라인(Si)으로부터 제1 트랜지스터(T1)가 턴-온될 수 있는 전압(예컨대, 로우 전압)의 스캔 신호가 공급될 때 턴-온되어, 데이터 라인(Dj)과 제1 노드(N1)를 전기적으로 연결한다. 이때, 데이터 라인(Dj)으로는 해당 프레임의 데이터 신호가 공급되고, 이에 따라 제1 노드(N1)로 데이터 신호가 전달된다. 제1 노드(N1)로 전달된 데이터 신호는 스토리지 커패시터(Cst)에 충전된다.
- [0094] 제2 트랜지스터(T2; 구동 트랜지스터)의 제1 단자는 제1 구동 전원(VDD)에 접속될 수 있고, 제2 단자는 발광 소자들(LD) 각각의 제1 전극(EL1)에 전기적으로 접속될 수 있다. 제2 트랜지스터(T2)의 게이트 전극은 제1 노드(N1)에 접속될 수 있다. 이와 같은 제2 트랜지스터(T2)는 제1 노드(N1)의 전압에 대응하여 발광 소자들(LD)로 공급되는 구동 전류의 양을 제어한다.
- [0095] 스토리지 커패시터(Cst)의 일 전극은 제1 구동 전원(VDD)에 접속될 수 있고, 다른 전극은 제1 노드(N1)에 접속될 수 있다. 이와 같은 스토리지 커패시터(Cst)는 제1 노드(N1)로 공급되는 데이터 신호에 대응하는 전압을 충전하고, 다음 프레임의 데이터 신호가 공급될 때까지 충전된 전압을 유지한다.
- [0096] 도 3a에서는 데이터 신호를 화소(PXL) 내부로 전달하기 위한 제1 트랜지스터(T1)와, 상기 데이터 신호의 저장을 위한 스토리지 커패시터(Cst)와, 상기 데이터 신호에 대응하는 구동 전류를 발광 소자들(LD)로 공급하기 위한 제2 트랜지스터(T2)를 포함한 화소 회로(144)를 도시하였다.
- [0097] 하지만, 본 발명이 이에 한정되는 것은 아니며 화소 회로(144)의 구조는 다양하게 변경 실시될 수 있다. 일 예로, 화소 회로(144)는 제2 트랜지스터(T2)의 문턱전압을 보상하기 위한 트랜지스터 소자, 제1 노드(N1)를 초기화하기 위한 트랜지스터 소자, 및/또는 발광 소자(LD)들의 발광 시간을 제어하기 위한 트랜지스터 소자 등과 같은 적어도 하나의 트랜지스터 소자나, 제1 노드(N1)의 전압을 부스팅하기 위한 부스팅 커패시터 등과 같은 다른 회로 소자들을 추가적으로 더 포함할 수 있음을 물론이다.
- [0098] 또한, 도 3a에서는 화소 회로(144)에 포함되는 트랜지스터들, 예컨대 제1 및 제2 트랜지스터들(T1, T2)을 모두 P타입의 트랜지스터들로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 즉, 화소 회로(144)에 포함된 제1 및 제2 트랜지스터들(T1, T2) 중 적어도 하나는 N타입의 트랜지스터로 변경될 수도 있다.
- [0099] 다음으로, 도 1a 내지 도 1f, 도 2, 및 도 3b를 참조하면, 본 발명의 일 실시예에 따르면 제1 및 제2 트랜지스터들(T1, T2)은 N타입의 트랜지스터로 구현될 수 있다. 도 3b에 도시된 화소 회로(144)는 트랜지스터 타입 변경으로 인한 일부 구성요소들의 접속 위치 변경을 제외하고는 그 구성이나 동작이 도 3a의 화소 회로(144)와 유사하다. 따라서, 이에 대한 상세한 설명은 생략하기로 한다.
- [0100] 본 발명의 일 실시예에 있어서, 화소 회로(144)의 구성은 도 3a 및 도 3b에 도시된 실시예에 한정되지 않는다. 일 예로, 화소 회로(144)는 도 3c에 도시된 실시예와 같이 구성될 수도 있다.
- [0101] 화소 회로(144)는, 도 3c에 도시된 바와 같이, 화소(PXL)의 스캔 라인(Si) 및 데이터 라인(Dj)에 연결될 수 있다. 일 예로, 화소(PXL)가 표시 영역(DA)의 i번째 행 및 j번째 열에 배치된 경우, 해당 화소(PXL)의 화소 회로(144)는 표시 영역(DA)의 i번째 스캔 라인(Si) 및 j번째 데이터 라인(Dj)에 연결될 수 있다.
- [0102] 또한, 실시예에 따라, 화소 회로(144)는 적어도 하나의 다른 스캔 라인에 더 연결될 수도 있다. 예를 들어, 표시 영역(DA)의 i번째 행에 배치된 화소(PXL)는 i-1번째 스캔 라인(Si-1) 및/또는 i+1번째 스캔 라인(Si+1)에 더 연결될 수 있다. 또한, 실시예에 따라, 화소 회로(144)는 제1 및 제2 구동 전원(VDD, VSS) 외에도 제3의 전원(예를 들어, 화소 회로(144)는 초기화 전원(Vint)에도 연결될 수 있다.
- [0103] 화소 회로(144)는 제1 내지 제7 트랜지스터들(T1 ~ T7)과, 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0104] 제1 트랜지스터(T1; 구동 트랜지스터)의 일 전극, 일 예로, 소스 전극은 제5 트랜지스터(T5)를 경유하여 제1 구동 전원(VDD)에 접속될 수 있고, 다른 일 전극, 일 예로, 드레인 전극은 제6 트랜지스터(T6)를 경유하여 발광 소자(LD)들의 일측 단부에 접속될 수 있다. 그리고, 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 접속될 수 있다. 이러한 제1 트랜지스터(T1)는, 제1 노드(N1)의 전압에 대응하여, 발광 소자(LD)들을 경유하여 제1 구동 전원(VDD)과 제2 구동 전원(VSS)의 사이에 흐르는 구동 전류를 제어한다.
- [0105] 제2 트랜지스터(T2; 스위칭 트랜지스터)는 화소(PXL)에 연결된 j번째 데이터 라인(Dj)과 제1 트랜지스터(T1)의 소스 전극 사이에 접속될 수 있다. 그리고, 제2 트랜지스터(T2)의 게이트 전극은 화소(PXL)에 연결된 i번째 스

캔 라인(Si)에 접속될 수 있다. 이와 같은 제2 트랜지스터(T2)는 i번째 스캔 라인(Si)으로부터 게이트-온 전압(일 예로, 로우 전압)의 주사 신호가 공급될 때 턴-온되어 j번째 데이터 라인(Dj)을 제1 트랜지스터(T1)의 소스 전극에 전기적으로 연결할 수 있다. 따라서, 제2 트랜지스터(T2)가 턴-온되면, j번째 데이터 라인(Dj)으로부터 공급되는 데이터 신호가 제1 트랜지스터(T1)로 전달된다.

- [0106] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 드레인 전극과 제1 노드(N1) 사이에 접속될 수 있다. 그리고, 제3 트랜지스터(T3)의 게이트 전극은 i번째 스캔 라인(Si)에 접속될 수 있다. 이와 같은 제3 트랜지스터(T3)는 i번째 스캔 라인(Si)으로부터 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 제1 트랜지스터(T1)의 드레인 전극과 제1 노드(N1)를 전기적으로 연결할 수 있다.
- [0107] 제4 트랜지스터(T4)는 제1 노드(N1)와 초기화 전원(Vint)이 인가되는 초기화 전원 라인(IPL) 사이에 접속될 수 있다. 그리고, 제4 트랜지스터(T4)의 게이트 전극은 이전 스캔 라인, 일 예로 i-1번째 스캔 라인(Si-1)에 접속될 수 있다. 이와 같은 제4 트랜지스터(T4)는 i-1번째 스캔 라인(Si-1)으로 게이트-온 전압의 스캔 신호가 공급될 때 턴-온되어 초기화 전원(Vint)의 전압을 제1 노드(N1)로 전달할 수 있다. 여기서, 초기화 전원(Vint)은 데이터 신호의 최저 전압 이하의 전압을 가질 수 있다.
- [0108] 제5 트랜지스터(T5)는 제1 구동 전원(VDD)과 제1 트랜지스터(T1) 사이에 접속될 수 있다. 그리고, 제5 트랜지스터(T5)의 게이트 전극은 대응하는 발광 제어 라인, 일 예로 i번째 발광 제어 라인(Ei)에 접속될 수 있다. 이와 같은 제5 트랜지스터(T5)는 i번째 발광 제어 라인(Ei)으로 게이트-오프 전압의 발광 제어신호가 공급될 때 턴-오프될 수 있고, 그 외의 경우에 턴-온될 수 있다.
- [0109] 제6 트랜지스터(T6)는 제1 트랜지스터(T1)와 발광 소자들(LD)의 일 단부 사이에 접속될 수 있다. 그리고, 제6 트랜지스터(T6)의 게이트 전극은 i번째 발광 제어 라인(Ei)에 접속될 수 있다. 이와 같은 제6 트랜지스터(T6)는 i번째 발광 제어 라인(Ei)으로 게이트-오프 전압의 발광 제어신호가 공급될 때 턴-오프될 수 있고, 그 외의 경우에 턴-온될 수 있다.
- [0110] 제7 트랜지스터(T7)는 발광 소자들(LD)의 일 단부와 초기화 전원 라인(IPL) 사이에 접속될 수 있다. 그리고, 제7 트랜지스터(T7)의 게이트 전극은 다음 단의 스캔 라인들 중 어느 하나, 일 예로 i+1번째 스캔 라인(Si+1)에 접속될 수 있다. 이와 같은 제7 트랜지스터(T7)는 i+1번째 스캔 라인(Si+1)으로 게이트-온 전압의 스캔 신호가 공급될 때 턴-온되어 초기화 전원(Vint)의 전압을 발광 소자들(LD)의 일 단부로 공급할 수 있다.
- [0111] 스토리지 커패시터(Cst)는 제1 구동 전원(VDD)과 제1 노드(N1) 사이에 접속될 수 있다. 이와 같은 제1 커패시터(C1)는 각 프레임 기간에 제1 노드(N1)로 공급되는 데이터 신호 및 제1 트랜지스터(T1)의 문턱전압에 대응하는 전압을 저장할 수 있다.
- [0112] 한편, 도 3c에서는 화소 회로(144)에 포함되는 트랜지스터들, 일 예로, 제1 내지 제7 트랜지스터들(T1 내지 T7)을 모두 P타입의 트랜지스터들로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 제1 내지 제7 트랜지스터들(T1 내지 T7) 중 적어도 하나는 N타입의 트랜지스터로 변경될 수도 있다.
- [0113] 또한, 도 3a 내지 도 3c에서는, 각각의 발광 유닛(EMU)을 구성하는 발광 소자들(LD)이 모두 병렬로 연결된 실시예를 도시하였으나, 본 발명이 이에 한정되지는 않는다. 실시예에 따라, 발광 유닛(EMU)은 서로 병렬로 연결된 복수의 발광 소자들(LD)을 포함하는 적어도 하나의 직렬 단을 포함하도록 구성될 수 있다. 즉, 발광 유닛(EMU)은 직/병렬 혼합 구조로 구성될 수도 있다.
- [0114] 본 발명에 적용될 수 있는 화소(PXL)의 구조가 도 3a 내지 도 3c에 도시된 실시예들에 한정되지는 않으며, 해당 화소는 다양한 구조를 가질 수 있다. 또한, 본 발명의 다른 실시예에서, 각 화소(PXL)는 수동형 발광 표시 장치 등의 내부에 구성될 수도 있다. 이 경우, 화소 회로(144)는 생략되고, 발광 유닛(EMU)에 포함된 발광 소자들(LD)의 양 단부는, 각각 스캔 라인(Si-1, Si, Si+1), 데이터 라인(Dj), 제1 구동 전원(VDD)이 인가되는 제1 전원 라인(PL1), 제2 구동 전원(VSS)이 인가되는 제2 전원 라인(PL2) 및/또는 소정의 제어선 등에 직접 접속될 수 있다.
- [0115] 도 4는 도 2에 도시된 화소들 중 하나의 화소에 포함된 표시 소자층을 개략적으로 도시한 평면도이고, 도 5는 도 4의 제1 및 제2 전극과 그 사이에 정렬된 발광 소자들만을 도시한 평면도이고, 도 6은 도 4의 I ~ I'선에 따른 단면도이고, 도 7은 도 6에 도시된 제1 및 제2 컨택 전극이 동일한 층에 배치되는 실시예를 도시한 것으로 도 4의 I ~ I'선에 대응되는 단면도이고, 도 8은 도 6에 도시된 제1 전극과 제1 컨택 전극 사이 및 제2 전극과 제2 컨택 전극 사이에 각각 캡핑층이 배치되는 실시예를 도시한 것으로 도 4의 I ~ I'선에 대응되는 단면도이고, 도 9는 도 4의 II ~ II' 선에 따른 단면도이고, 도 10은 도 4의 III ~ III' 선에 따른 단면도이며, 도 11

은 도 10에 도시된 격벽을 다른 형태에 따라 구현한 것으로, 도 4의 III ~ III'선에 대응되는 단면도이다.

- [0116] 도 4에 있어서, 편의를 위하여 발광 소자들에 연결되는 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들의 도시를 생략하였다.
- [0117] 이에 더하여, 도 4 내지 도 11에서는 각각의 전극을 단일의 전극층으로, 각각의 절연층을 단일의 절연층으로만 도시하는 등 하나의 화소의 구조를 단순화하여 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0118] 추가적으로, 본 발명의 일 실시예에 있어서, “동일한 층에 형성 및/또는 제공된다” 함은 동일한 공정에서 형성됨을 의미할 수 있다.
- [0119] 도 1a 내지 도 11을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 기관(SUB), 배선부, 및 복수의 화소들(PXL)을 포함할 수 있다.
- [0120] 화소들(PXL) 각각은 기관(SUB) 상에 제공되며, 광을 방출하는 발광 영역(EMA)과 상기 발광 영역(EMA)의 주변에 위치하는 주변 영역을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 발광 영역(EMA)은 광이 방출되는 영역을 의미할 수 있고, 주변 영역은 상기 광이 방출되지 않는 영역을 의미할 수 있다. 화소들(PXL) 각각의 화소 영역은 해당 화소(PXL)의 발광 영역(EMA)과 그 주변 영역을 포함할 수 있다.
- [0121] 화소들(PXL) 각각의 화소 영역에는 기관(SUB), 화소 회로층(PCL), 및 표시 소자층(DPL)이 제공 및/또는 형성될 수 있다.
- [0122] 기관(SUB)은 투명 절연 물질을 포함하여 광을 투과시킬 수 있다. 기관(SUB)은 경성(Rigid) 기관이거나 연성(flexible) 기관일 수 있다.
- [0123] 기관(SUB)에 적용되는 물질은 표시 장치의 제조 공정 시, 높은 처리 온도에 대해 저항성(또는 내열성)을 갖는 것이 바람직할 수 있다. 본 발명의 일 실시예에 있어서, 기관(SUB)은 전체 또는 적어도 일부가 가요성(flexibility)을 가질 수 있다.
- [0124] 화소 회로층(PCL)은 버퍼층(BFL) 상에 제공 및/또는 형성된 적어도 하나의 트랜지스터와, 구동 전압 배선(DVL), 상기 트랜지스터와 구동 전압 배선(DVL)을 커버하는 보호층(PKV)을 포함할 수 있다.
- [0125] 버퍼층(BFL)은 트랜지스터에 불순물이 확산되는 것을 방지할 수 있다. 버퍼층(BFL)은 단일층으로 제공될 수 있으나, 적어도 이중층 이상의 다중층으로 제공될 수도 있다. 버퍼층(BFL)이 다중층으로 제공되는 경우, 각 층은 동일한 재료로 형성되거나 또는 서로 다른 재료로 형성될 수 있다. 버퍼층(BFL)은 기관(SUB)의 재료 및/또는 공정 조건 등에 따라 생략될 수도 있다.
- [0126] 트랜지스터는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 트랜지스터(T1)는 해당 화소(PXL)의 발광 소자들(LD)에 전기적으로 연결되어 상기 발광 소자들(LD)을 구동하는 구동 트랜지스터일 수 있고, 제2 트랜지스터(T2)는 상기 제1 트랜지스터(T1)를 스위칭하는 스위칭 트랜지스터일 수 있다.
- [0127] 제1 및 제2 트랜지스터들(T1, T2) 각각은 반도체층(SCL), 게이트 전극(GE), 제1 및 제2 단자(SE, DE)를 포함할 수 있다. 제1 단자(SE)는 소스 전극 및 드레인 전극 중 어느 하나의 전극일 수 있으며, 제2 단자(DE)는 소스 전극 및 드레인 전극 중 나머지 전극일 수 있다. 예를 들어, 제1 단자(SE)가 소스 전극일 경우 제2 단자(DE)는 드레인 전극일 수 있다.
- [0128] 반도체층(SCL)은 버퍼층(BFL) 상에 배치될 수 있다. 반도체층(SCL)은 제1 단자(SE)에 접촉하는 제1 영역과 제2 단자(DE)에 접촉하는 제2 영역을 포함할 수 있다. 제1 영역과 제2 영역 사이의 영역은 채널 영역일 수 있다.
- [0129] 반도체층(SCL)은 폴리 실리콘, 아몰퍼스 실리콘, 산화물 반도체 등으로 이루어진 반도체 패턴일 수 있다. 채널 영역은 불순물로 도핑되지 않는 반도체 패턴으로서, 진성 반도체일 수 있다. 소스 영역 및 드레인 영역은 불순물이 도핑된 반도체 패턴일 수 있다.
- [0130] 게이트 전극(GE)은 게이트 절연층(GI)을 사이에 두고 반도체층(SCL) 상에 제공될 수 있다.
- [0131] 제1 단자(SE)와 제2 단자(DE) 각각은 층간 절연층(ILD)과 게이트 절연층(GI)을 관통하는 컨택 홀(혹은 비아 홀)을 통해 반도체층(SCL)의 제1 영역 및 제2 영역에 접촉될 수 있다. 제1 단자(SE)와 제2 단자(DE) 각각은, 도전성 물질을 포함하며, 단일층 또는 다중층으로 형성될 수 있다.
- [0132] 본 발명의 일 실시예에 있어서, 화소들(PXL) 각각의 화소 회로층(PCL)에 포함된 적어도 하나 이상의 트랜지스터

는 LTPS 박막 트랜지스터로 구성될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라, 산화물 반도체 박막 트랜지스터로 구성될 수도 있다. 추가적으로, 본 발명의 일 실시예에 있어서, 트랜지스터가 탑 게이트(top gate) 구조의 박막 트랜지스터인 경우를 예로서 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 트랜지스터는 바텀 게이트(bottom gate) 구조의 박막 트랜지스터일 수도 있다.

- [0133] 구동 전압 배선(DVL)은 층간 절연층(ILD) 상에 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라 화소 회로부(PCL) 내에 포함된 절연층들 중 어느 하나의 절연층 상에 제공될 수도 있다. 구동 전압 배선(DVL)에는 제2 구동 전원(VSS)이 인가될 수 있다. 본 발명의 일 실시예에 있어서, 구동 전압 배선(DVL)은 도 3a 내지 도 3c 각각에서 제2 구동 전원(VDD)이 인가되는 제2 전원 라인(PL2)일 수 있다.
- [0134] 보호층(PSV)은 제1 트랜지스터(T1)의 제2 단자(DE)의 일부를 노출하는 제1 콘택 홀(CH1)과 구동 전압 배선(DVL)의 일부를 노출하는 제2 콘택 홀(CH2)을 포함할 수 있다.
- [0135] 보호층(PSV)은 유기 절연막, 무기 절연막, 또는 상기 무기 절연막 상에 배치된 상기 유기 절연막을 포함하는 형태로 제공될 수 있다. 여기서, 무기 절연막은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 중 적어도 하나를 포함할 수 있다. 유기 절연막은 광을 투과시킬 수 있는 유기 절연 물질을 포함할 수 있다. 유기 절연막은 예를 들어, 아크릴계 수지(polyacrylates resin), 에폭시계 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌 에테르계 수지(poly-phenylene ethers resin), 폴리페닐렌 설파이드계 수지(poly-phenylene sulfides resin), 및 벤조사이클로부텐 수지(enzocyclobutene resin) 중 적어도 하나를 포함할 수 있다.
- [0136] 화소들(PXL) 각각의 표시 소자층(DPL)은 격벽(PW), 제1 및 제2 전극들(EL1, EL2), 복수의 발광 소자들(LD), 제1 및 제2 연결 배선들(CNL1, CNL2)을 포함할 수 있다. 추가적으로, 화소들(PXL) 각각의 표시 소자층(DPL)은 제1 전극(EL1)에 직접 연결된 적어도 하나의 제1 콘택 전극(CNE1) 및 제2 전극(EL2)에 직접 연결된 적어도 하나의 제2 콘택 전극(CNE2)을 선택적으로 더 포함할 수 있다.
- [0137] 격벽(PW)은 화소들(PXL) 각각의 발광 영역(EMA)의 보호층(PSV) 상에 제공 및/또는 형성될 수 있다. 격벽(PW)은 무기 재료로 이루어진 무기 절연막 또는 유기 재료로 이루어진 유기 절연막을 포함할 수 있다. 실시예에 따라, 격벽(PW)은 단일층의 유기 절연막 및/또는 단일층의 무기 절연막을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 일 예로, 격벽(PW)은 적어도 하나 이상의 유기 절연막과 적어도 하나 이상의 무기 절연막이 적층된 다중층으로 구성될 수도 있다.
- [0138] 격벽(PW)은, 보호층(PSV)의 일면으로부터 상부로 향할수록 폭이 좁아지는 사다리꼴 형상의 단면을 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 격벽(PW)은, 도 11에 도시된 바와 같이, 보호층(PSV)의 일면으로부터 상부로 향할수록 폭이 좁아지는 반타원 형상, 반원 형상 등의 단면을 가지는 곡면을 포함할 수도 있다. 단면 상에서 볼 때, 격벽(PW)의 형상은 상술한 실시예들에 한정되는 것은 아니며 발광 소자들(LD) 각각에서 방출된 광의 효율을 향상시킬 수 있는 범위 내에서 다양하게 변경될 수 있다.
- [0139] 인접한 격벽들(PW)은 보호층(PSV) 상의 동일한 평면 상에 배치될 수 있으며, 동일한 높이를 가질 수 있다. 본 발명의 일 실시예에 있어서, 인접한 격벽들(PW)은 서로 상이한 폭을 가질 수 있다. 이에 대한 상세한 설명은, 제1 및 제2 전극들(EL1, EL2)에 대한 설명을 참조하여 후술한다.
- [0140] 화소들(PXL) 각각의 표시 소자층(DPL)은, 화소들(PXL) 각각의 발광 영역(EMA)을 둘러싸도록 해당 화소(PXL)의 주변 영역(일 예로, 발광 소자들이 정렬되지 않은 비발광 영역임)에 배치된 बैं크(미도시)를 더 포함할 수 있다. बैं크는 화소들(PXL) 각각의 발광 영역(EMA)을 정의(또는 구획)하는 구조물로서, 일 예로, 화소 정의막일 수 있다. 이러한 बैं크는 적어도 하나의 차광 물질 및/또는 반사 물질을 포함하도록 구성되어 인접한 화소들(PXL) 사이에서 광(혹은 빛)이 새는 빛샘 불량을 방지할 수 있다.
- [0141] 실시예에 따라, 화소들(PXL) 각각에서 방출되는 광의 효율을 더욱 향상시키기 위해 बैं크 상에는 반사 물질층이 형성될 수 있다. बैं크는 격벽(PW)과 상이한 층에 형성 및/또는 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라 상기 बैं크는 격벽과 상이한 층에 형성 및/또는 제공될 수도 있다. बैं크가 격벽(PW)과 동일한 층(혹은 평면)에 형성 및/또는 제공되는 경우, बैं크와 격벽(PW)은 동일한 물질을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, बैं크와 격벽(PW)은 서로 상이한 물질을 포함할 수도 있다.
- [0142] 제1 연결 배선(CNL1)은 화소들(PXL) 각각의 제1 방향(DR1, 일 예로 '행 방향')으로 연장될 수 있다. 제1 연결 배선(CNL1)은 인접한 화소들(PXL)로부터 하나의 화소(PXL)를 독립적으로 구동하기 위해 각 화소(PXL) 내에만 제

공 및/또는 형성되며, 인접한 화소들(PXL) 각각에 제공 및/또는 형성된 제1 연결 배선(CNL1)과 전기적 및/또는 물리적으로 분리될 수 있다.

- [0143] 제2 연결 배선(CNL2)은 제1 연결 배선(CNL1)의 연장 방향과 평행하게 연장될 수 있다. 제2 연결 배선(CNL2)은 인접한 화소들(PXL)에 공통으로 제공될 수 있다. 이에 따라, 제1 방향(DR1)을 따라 동일한 화소 행에 배치된 복수의 화소들(PXL)은 제2 연결 배선(CNL2)에 공통으로 연결될 수 있다. 제2 연결 배선(CNL2)은 보호층(PSV)을 관통하는 제2 콘택 홀(CH2)을 통해 화소들(PXL) 각각의 화소 회로층(PCL)의 구동 전압 배선(DVL)에 전기적으로 연결될 수 있다. 이에 따라, 구동 전압 배선(DVL)에 인가된 제2 구동 전원(VSS)이 해당 화소(PXL)의 제2 연결 배선(CNL2)으로 전달될 수 있다.
- [0144] 제1 및 제2 전극들(EL1, EL2) 각각은, 화소들(PXL) 각각의 발광 영역(EMA)에 제공되며, 제2 방향(DR2, 일 예로 '열 방향')을 따라 연장될 수 있다. 제1 및 제2 전극들(EL1, EL2)은 동일한 평면 상에 제공되며 일정 간격 이격될 수 있다.
- [0145] 제1 전극(EL1)과 제1 연결 배선(CNL1)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 제1 전극(EL1)과 제1 연결 배선(CNL1)이 일체로 형성 및/또는 제공되는 경우, 상기 제1 연결 배선(CNL1)이 상기 제1 전극(EL1)의 일 영역이거나 상기 제1 전극(EL1)이 상기 제1 연결 배선(CNL1)의 일 영역일 수 있다. 제1 전극(EL1)은 제1 연결 배선(CNL1)으로부터 제2 방향(DR2)으로 분기될 수 있다.
- [0146] 본 발명의 일 실시예에 있어서, 제1 연결 배선(CNL1)은 보호층(PSV)을 관통하는 제1 콘택 홀(CH1)을 통해 화소들(PXL) 각각의 화소 회로층(PCL)의 제1 트랜지스터(T1)에 전기적으로 연결될 수 있다. 이에 따라, 제1 트랜지스터(T1)에 인가된 신호(혹은 전압)가 해당 화소(PXL)의 제1 연결 배선(CNL1)으로 전달될 수 있다. 상술한 바와 같이, 제1 연결 배선(CNL1)이 제1 전극(EL1)과 일체로 제공 및/또는 형성되므로, 상기 제1 연결 배선(CNL1)으로 인가된 신호(혹은 전압)는 상기 제1 전극(EL1)으로 전달될 수 있다.
- [0147] 본 발명의 일 실시예에 있어서, 제1 전극(EL1)은 복수의 제1 메인 전극들(MAE1) 및 복수의 제1 보조 전극들(AUE1)을 포함할 수 있다.
- [0148] 제1 메인 전극들(MAE1) 각각은 제2 방향(DR2)을 따라 인접한 제1 메인 전극(MAE1)과 이격되게 배치될 수 있다. 제1 메인 전극들(MAE1) 각각은 평면 상에서 볼 때 육각 형상으로 이루어질 수 있으나, 상기 제1 메인 전극들(MAE1)의 형상이 이에 한정되는 것은 아니다.
- [0149] 제1 보조 전극들(AUE1) 각각은 제2 방향(DR2)을 따라 인접하게 배치된 2개의 제1 메인 전극들(MAE1) 사이에 배치되어, 상기 2개의 제1 메인 전극들(MAE1)을 연결하는 브릿지의 역할을 할 수 있다. 제1 보조 전극들(AUE1) 각각은, 평면 상에서 볼 때, 직사각 형상으로 이루어질 수 있으나, 상기 제1 보조 전극들(AUE1)의 형상이 이에 한정되는 것은 아니다.
- [0150] 본 발명의 일 실시예에 있어서, 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1)이 일체로 형성 및/또는 제공되는 경우, 상기 제1 보조 전극들(AUE1)이 상기 제1 메인 전극들(MAE1)의 일 영역일 수 있다.
- [0151] 상술한 실시예에서는, 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1)이 일체로 형성 및/또는 제공되는 경우를 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1)은 서로 개별적으로 형성되어, 도시되지 않은 콘택 홀 또는 연결 수단 등을 통해 전기적으로 연결될 수도 있다.
- [0152] 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 어느 하나의 단부에 중첩하며 상기 하나의 단부에 직접 접촉하여 상기 발광 소자들(LD) 각각에 전기적 및/또는 물리적으로 연결될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1)은 제1 콘택 전극(CNE1)을 통해 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 어느 하나의 단부에 전기적 및/또는 물리적으로 연결될 수도 있다.
- [0153] 본 발명의 일 실시예에 있어서, 제1 메인 전극들(MAE1) 각각의 폭(W1)은 제1 보조 전극들(AUE1) 각각의 폭(W2)보다 클 수 있다. 여기서, 제1 메인 전극들(MAE1) 각각의 폭(W1)과 제1 보조 전극들(AUE1) 각각의 폭(W2)은 제1 방향(DR1, 수평 방향)으로 연장된 폭을 의미할 수 있다.
- [0154] 제1 메인 전극들(MAE1) 각각의 폭(W1)은 대략 10 μ m 정도일 수 있으며 제1 보조 전극들(AUE1) 각각의 폭(W2)은 대략 3 μ m 정도일 수 있다. 다만, 본 발명이 상술한 실시예에 한정되는 것은 아니며, 실시예에 따라, 제1 보조

전극들(AUE1) 각각의 폭(W2)이 제1 메인 전극들(MAE1) 각각의 폭(W2)보다 클 수도 있다.

- [0155] 제1 메인 전극들(MAE1) 및 제1 보조 전극들(AUE1) 각각의 하부에는 격벽(PW)이 제공 및/또는 형성될 수 있다. 제1 메인 전극들(MAE1) 및 제1 보조 전극들(AUE1) 각각은 그 하부에 배치된 격벽(PW)에 중첩될 수 있다. 본 발명의 일 실시예에 있어서, 제1 메인 전극들(MAE1) 각각의 하부에 배치된 격벽(PW)의 폭은 제1 보조 전극들(AUE1) 각각의 하부에 배치된 격벽(PW)의 폭과 상이할 수 있다. 구체적으로, 제1 메인 전극들(MAE1) 각각의 하부에 배치된 격벽(PW)의 폭은 제1 보조 전극들(AUE1) 각각의 하부에 배치된 격벽(PW)의 폭보다 클 수 있다.
- [0156] 이하에서는, 편의를 위하여 제1 메인 전극들(MAE) 각각의 하부에 배치된 격벽(PW)을 제1-1 격벽(PW)이라 지칭하고, 제1 보조 전극들(AUE) 각각의 하부에 배치된 격벽(PW)을 제1-2 격벽(PW)이라 지칭한다.
- [0157] 제1 메인 전극들(MAE1) 각각은 그 하부에 배치된 제1-1 격벽(PW)의 형상에 대응되는 표면 프로파일을 가질 수 있고, 제1 보조 전극들(AUE1) 각각은 그 하부에 배치된 제1-2 격벽(PW)의 형상에 대응되는 표면 프로파일을 가질 수 있다.
- [0158] 또한, 제1 메인 전극들(MAE1) 각각은 제1-1 격벽(PW)을 완전히 커버하도록 충분히 넓은(혹은 큰) 면적을 가질 수 있으며, 제1 보조 전극들(AUE1) 각각도 제1-2 격벽(PW)을 완전히 커버하도록 충분히 넓은(혹은 큰) 면적을 가질 수 있다. 일 예로, 제1 메인 전극들(MAE1) 각각의 폭(W1)은 제1-1 격벽(PW)의 제1 방향(DR1)으로의 폭보다 클 수 있고, 제1 보조 전극들(AUE1) 각각의 폭(W2)은 제1-2 격벽(PW)의 제1 방향(DR1)으로의 폭보다 클 수 있다. 다만, 본 발명이 상술한 실시예에 한정되는 것은 아니며, 실시예에 따라 제1 메인 전극들(MAE1) 각각의 폭(W1)은 제1-1 격벽(PW)의 제1 방향(DR1)으로의 폭보다 작거나 동일할 수 있고, 제1 보조 전극들(AUE1) 각각의 폭(W2)은 제1-2 격벽(PW)의 제1 방향(DR1)으로의 폭보다 작거나 동일할 수 있다.
- [0159] 상술한 바와 같이, 일체로 형성 및/또는 제공되어 전기적 및/또는 물리적으로 연결된 제1 메인 전극들(MAE1) 및 제1 보조 전극들(AUE1)이 화소들(PXL) 각각의 제1 전극(EL1)을 구성할 수 있다. 제1 전극(EL1)은, 복수의 제1 메인 전극들(MAE1)과 복수의 제1 보조 전극들(AUE1)로 인해 상기 제1 전극(EL1)의 연장된 방향을 따라 제1 방향(DR1)으로의 폭이 일정하지 않을 수 있다. 즉, 제1 전극(EL1)은 그의 연장된 방향, 일 예로, 제2 방향(DR2)을 따라 적어도 2개 이상의 폭(W1, W2)을 가질 수 있다.
- [0160] 본 발명의 일 실시예에 있어서, 제2 전극(EL2)은 복수의 제1 메인 전극들(MAE2) 및 복수의 제2 보조 전극들(AUE2)을 포함할 수 있다.
- [0161] 제2 메인 전극들(MAE2) 각각은 제2 방향(DR2)을 따라 인접한 제2 메인 전극(MAE2)과 이격되게 배치될 수 있다. 제2 메인 전극들(MAE2) 각각은 제1 메인 전극들(MAE1)과 동일한 형상을 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라 상기 제1 메인 전극들(MAE1)과 상이한 형상을 가질 수도 있다.
- [0162] 제2 보조 전극들(AUE2) 각각은 제2 방향(DR2)을 따라 인접하게 배치된 2개의 제2 메인 전극들(MAE2) 사이에 배치되어, 상기 2개의 제2 메인 전극들(MAE2)을 연결하는 브릿지의 역할을 할 수 있다. 제2 보조 전극들(AUE2) 각각은, 제1 보조 전극들(AUE1)과 동일한 형상을 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라 상기 제1 보조 전극들(AUE1)과 상이한 형상을 가질 수도 있다.
- [0163] 본 발명의 일 실시예에 있어서, 제2 메인 전극들(MAE2)과 제2 보조 전극들(AUE2)은 일체로 제공되어, 전기적 및/또는 물리적으로 연결될 수 있다. 제2 메인 전극들(MAE2)과 제2 보조 전극들(AUE2)이 일체로 형성 및/또는 제공되는 경우, 상기 제2 보조 전극들(AUE2)이 상기 제2 메인 전극들(MAE2)의 일 영역일 수 있다.
- [0164] 상술한 실시예에서는, 제2 메인 전극들(MAE2)과 제2 보조 전극들(AUE2)이 일체로 형성 및/또는 제공되는 경우를 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제2 메인 전극들(MAE2)과 제2 보조 전극들(AUE2)은 서로 개별적으로 형성되어, 도시되지 않은 컨택 홀 또는 연결 수단 등을 통해 전기적으로 연결될 수도 있다.
- [0165] 제2 메인 전극들(MAE2) 각각의 폭(W3)은 제1 메인 전극들(MAE1) 각각의 폭(W1)과 동일할 수 있고, 제2 보조 전극들(AUE2) 각각의 폭(W4)은 제1 보조 전극들(AUE1) 각각의 폭(W2)과 동일할 수 있다. 다만, 본 발명이 상술한 실시예에 한정되는 것은 아니며, 실시예에 따라, 제2 메인 전극들(MAE2) 각각은 제1 메인 전극들(MAE1) 각각의 폭(W1)과 상이한 폭을 가질 수 있고, 제2 보조 전극들(AUE2) 각각은 제1 보조 전극들(AUE1) 각각의 폭(W2)과 상이한 폭을 가질 수도 있다.
- [0166] 제2 메인 전극들(MAE2) 및 제2 보조 전극들(AUE2) 각각의 하부에는 격벽(PW)이 제공 및/또는 형성될 수 있다.

제2 메인 전극들(MAE2) 및 제2 보조 전극들(AUE2) 각각은 그 하부에 배치된 격벽(PW)에 중첩될 수 있다.

- [0167] 본 발명의 일 실시예에 있어서, 제2 메인 전극들(MAE2) 각각의 하부에 배치된 격벽(PW)의 폭은 제2 보조 전극들(AUE2) 각각의 하부에 배치된 격벽(PW)의 폭과 상이할 수 있다. 또한, 제2 메인 전극들(MAE2) 각각의 하부에 배치된 격벽(PW)의 폭은 제1-1 격벽(PW)의 폭과 동일할 수 있으며, 제2 보조 전극들(AUE2) 각각의 하부에 배치된 격벽(PW)의 폭은 제1-2 격벽(PW)의 폭과 동일할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라, 제2 메인 전극들(MAE2) 각각의 하부에 배치된 격벽(PW)은 제1-1 격벽(PW)과 상이한 폭을 가질 수 있으며, 제2 보조 전극들(AUE2) 각각의 하부에 배치된 격벽(PW)은 제1-2 격벽(PW)과 상이한 폭을 가질 수도 있다.
- [0168] 제2 메인 전극들(MAE2) 각각은 그 하부에 배치된 격벽(PW)의 형상에 대응되는 표면 프로파일을 가질 수 있고, 제2 보조 전극들(AUE2) 각각은 그 하부에 배치된 격벽(PW)의 형상에 대응되는 표면 프로파일을 가질 수 있다. 또한, 제2 메인 전극들(MAE2) 각각은 그 하부에 배치된 격벽(PW)을 완전히 커버하도록 충분히 넓은(혹은 큰) 면적(혹은 크기)을 가질 수 있으며, 제2 보조 전극들(AUE2) 각각도 그 하부에 배치된 격벽(PW)을 완전히 커버하도록 충분히 넓은(혹은 큰) 면적(혹은 크기)을 가질 수 있다.
- [0169] 제2 메인 전극들(MAE2)과 제2 보조 전극들(AUE2)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부에 중첩하며 상기 나머지 단부에 직접 접촉하여 상기 발광 소자들(LD) 각각에 전기적 및/또는 물리적으로 연결될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 제2 메인 전극들(MAE2)과 제2 보조 전극들(AUE2)은 제2 컨택 전극(CNE2)을 통해 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부에 전기적 및/또는 물리적으로 연결될 수도 있다.
- [0170] 상술한 바와 같이, 일체로 형성 및/또는 제공되어 전기적 및/또는 물리적으로 연결된 제2 메인 전극들(MAE2) 및 제2 보조 전극들(AUE2)이 화소들(PXL) 각각의 제2 전극(EL2)을 구성할 수 있다. 제2 전극(EL2)은, 복수의 제2 메인 전극들(MAE2)과 복수의 제2 보조 전극들(AUE2)로 인해 상기 제2 전극(EL2)의 연장된 방향을 따라 제1 방향(DR1)으로의 폭이 일정하지 않을 수 있다. 즉, 제2 전극(EL2)은 그의 연장된 방향, 일 예로, 제2 방향(DR2)을 따라 적어도 2개 이상의 폭(W3, W4)을 가질 수 있다.
- [0171] 본 발명의 일 실시예에 있어서, 제1 전극(EL1)과 제2 전극(EL2)은, 평면 상에서 볼 때, 해당 화소(PXL)의 화소 회로층(PCL) 상에서 서로 교번하여 배치될 수 있다. 일 예로, 제1 전극(EL1)의 제1 메인 전극들(MAE1) 각각은 제2 전극(EL2)의 제2 보조 전극들(AUE2) 각각과 제1 방향(DR1, 혹은 행 방향)을 따라 교번하여 배치될 수 있고, 상기 제1 전극(EL1)의 제1 보조 전극들(AUE1) 각각은 상기 제2 전극(EL2)의 제2 메인 전극들(MAE2) 각각과 상기 제1 방향(DR1)을 따라 교번하여 배치될 수 있다.
- [0172] 즉, 제1 메인 전극들(MAE1) 각각은 제1 방향(DR1)으로 제2 보조 전극들(AUE2) 각각과 동일한 행에 제공되어 상기 제2 보조 전극들(AUE2) 각각에 대응될 수 있고, 제2 메인 전극들(MAE2) 각각은 상기 제1 방향(DR1)으로 제1 보조 전극들(AUE1) 각각과 동일한 행에 제공되어 상기 제1 보조 전극들(AUE1) 각각에 대응될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라 제1 메인 전극들(MAE1) 각각이 제1 방향(DR1)으로 제2 메인 전극들(MAE2) 각각과 동일한 행에 제공되어 상기 제2 메인 전극들(MAE2) 각각에 대응되고, 제1 보조 전극들(AUE1) 각각이 상기 제1 방향(DR1)으로 제2 보조 전극들(AUE2)과 동일한 행에 제공되어 상기 제2 보조 전극들(AUE2) 각각에 대응될 수도 있다.
- [0173] 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1)을 포함한 제1 전극(EL1)과 제2 메인 전극들(MAE2)과 제2 보조 전극들(AUE2)을 포함한 제2 전극(EL2)은 화소들(PXL) 각각의 발광 영역(PXL) 내에 발광 소자들(LD)을 정렬하기 위한 정렬 전극으로 기능할 수 있다.
- [0174] 화소들(PXL) 각각의 발광 영역(EMA)에 발광 소자들(LD)이 정렬되기 전, 제1 전극(EL1)에는 제1 연결 배선(CNL1)을 통해 제1 정렬 전압이 인가되고, 제2 전극(EL2)에는 제2 연결 배선(CNL2)을 통해 제2 정렬 전압이 인가될 수 있다. 제1 정렬 전압과 제2 정렬 전압은 서로 상이한 전압 레벨을 가질 수 있다. 예를 들어, 제1 정렬 전압은 그라운드 전압(GND)일 수 있으며, 제2 정렬 전압은 교류 전압일 수 있다.
- [0175] 제1 전극(EL1)과 제2 전극(EL2) 각각에 서로 상이한 전압 레벨을 갖는 소정의 정렬 전압이 인가됨에 따라 제1 전극(EL1)과 제2 전극(EL2) 사이에 전계가 형성될 수 있다. 상술한 전계에 의해 제1 전극(EL1)과 제2 전극(EL2) 사이에 발광 소자들(LD)이 정렬될 수 있다.
- [0176] 화소들(PXL) 각각의 발광 영역(EMA)에 발광 소자들(LD)이 정렬된 후, 제1 전극(EL1)과 제2 전극(EL2) 각각은 상기 발광 소자들(LD)을 구동하기 위한 구동 전극으로 기능할 수 있다.

- [0177] 제1 전극(EL1)과 제2 전극(EL2) 각각은, 발광 소자들(LD) 각각의 양 단부(EP1, EP2)에서 방출되는 광을 표시 장치의 화상 표시 방향(일 예로, 정면 방향)으로 진행되게 하기 위하여 일정한 반사율을 갖는 재료로 이루어질 수 있다. 본 발명의 일 실시예에 있어서, 제1 전극(EL1), 제2 전극(EL2), 제1 연결 배선(CNL1), 및 제2 연결 배선(CNL2)은 동일한 층에 제공되며, 동일한 물질로 구성될 수 있다.
- [0178] 제1 및 제2 전극들(EL1, EL2), 제1 및 제2 연결 배선들(CNL1, CNL2)은 일정한 반사율을 갖는 도전성 재료로 이루어질 수 있다. 도전성 재료로는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Ti, 이들의 합금과 같은 금속, ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide)와 같은 투명한 도전성 산화물, PEDOT와 같은 도전성 고분자 등이 포함될 수 있다. 실시예에 따라, 제1 및 제2 전극들(EL1, EL2), 제1 및 제2 연결 배선들(CNL1, CNL2)이 투명한 도전성 산화물, 또는 도전성 고분자 등을 포함하는 경우, 발광 소자들(LD)에서 방출되는 광을 표시 장치의 화상 표시 방향으로 반사시키기 위한 불투명한 금속으로 이루어진 별도의 도전층이 추가로 포함될 수 있다. 제1 및 제2 전극들(EL1, EL2)과 제1 및 제2 연결 배선들(CNL1, CNL2) 각각의 재료는 상술한 재료들에 한정되는 것은 아니다.
- [0179] 또한, 제1 및 제2 전극들(EL1, EL2)과 제1 및 제2 연결 배선들(CNL1, CNL2) 각각은 단일층으로 형성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 및 제2 전극들(EL1, EL2)과 제1 및 제2 연결 배선들(CNL1, CNL2)은 금속들, 합금들, 도전성 산화물들, 도전성 고분자들 중 둘 이상 물질이 적층된 다중층으로 형성될 수도 있다. 제1 및 제2 전극들(EL1, EL2)과 제1 및 제2 연결 배선들(CNL1, CNL2) 각각은 발광 소자들(LD) 각각의 양 단부(EP1, EP2)로 신호(혹은 전압)를 전달할 때 신호 지연에 의한 왜곡을 최소화하기 위해 적어도 이중층 이상의 다중층으로 이루어질 수도 있다. 예를 들어, 제1 및 제2 전극들(EL1, EL2)과 제1 및 제2 연결 배선들(CNL1, CNL2) 각각은 ITO/Ag/ITO의 순으로 순차적으로 적층된 다중층으로 이루어질 수도 있다.
- [0180] 상술한 바와 같이, 제1 전극(EL1)과 제2 전극(EL2)은 격벽(PW)의 형상에 대응되는 형상을 가지므로, 발광 소자들(LD) 각각의 양 단부(EP1, EP2)에서 방출된 광이 상기 제1 및 제2 전극들(EL1, EL2)에 의해 반사되어 표시 장치의 화상 표시 방향으로 더욱 진행될 수 있다. 이에 따라, 발광 소자들(LD) 각각에서 방출된 광의 효율이 더욱 향상될 수 있다.
- [0181] 본 발명의 일 실시예에 있어서, 격벽(PW), 제1 및 제2 전극들(EL1, EL2) 각각은 발광 소자들(LD)에서 방출된 광을 원하는 방향으로 유도하여 표시 장치의 광 효율을 향상시키는 반사 부재로 기능할 수 있다. 즉, 격벽(PW), 제1 및 제2 전극들(EL1, EL2) 각각은 발광 소자들(LD)에서 방출된 광을 표시 장치의 화상 표시 방향으로 진행되게 하여 상기 발광 소자들(LD)의 출광 효율을 향상시키는 반사 부재로 기능할 수 있다.
- [0182] 제1 전극(EL1)과 제2 전극(EL2) 중 어느 하나의 전극은 애노드 전극일 수 있으며, 나머지 하나의 전극은 캐소드 전극일 수 있다. 본 발명의 일 실시예에 있어서, 제1 전극(EL1)이 애노드 전극일 수 있고, 제2 전극(EL2)이 캐소드 전극일 수 있다.
- [0183] 발광 소자들(LD) 각각은 무기 결정 구조의 재료를 이용한 초소형의, 예를 들면 나노 또는 마이크로 스케일 정도로 작은 크기의, 발광 다이오드일 수 있다. 발광 소자들(LD)은 화소(PXL)에서 제1 전극(EL1)과 제2 전극(EL2) 사이에 정렬될 수 있다.
- [0184] 화소들(PXL) 각각의 발광 영역(EMA)에는 적어도 2개 내지 수십개의 발광 소자들(LD)이 정렬될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 화소들(PXL) 각각에 제공되는 발광 소자들(LD)의 개수는 다양하게 변경될 수 있다.
- [0185] 발광 소자들(LD) 각각은, 식각 방식으로 제조된 원기둥 형상의 발광 소자를 포함하거나 성장 방식으로 제조된 코어-셸 구조의 발광 소자를 포함할 수 있다.
- [0186] 발광 소자들(LD) 각각이 원기둥 형상의 발광 소자인 경우, 각 발광 소자(LD)는 길이(L) 방향을 따라 제1 반도체층(11), 활성층(12), 제2 반도체층(13), 및 전극층(15)이 순차적으로 적층된 발광 적층체(혹은 적층 패턴)를 포함할 수 있다. 또한, 발광 소자들(LD) 각각이 코어-셸 구조의 발광 소자인 경우, 각 발광 소자(LD)는 중앙에 위치한 제1 반도체층(11), 상기 제1 반도체층(11)의 적어도 일측을 둘러싸는 활성층(12), 상기 활성층(12)의 적어도 일측을 둘러싸는 제2 반도체층(13), 및 상기 제2 반도체층(13)의 적어도 일측을 둘러싸는 전극층(15)을 구비한 발광 패턴(10)을 포함할 수 있다.
- [0187] 발광 소자들(LD) 각각은 제1 단부(EP1)와 제2 단부(EP2)를 포함할 수 있다. 발광 소자들(LD) 각각의 제1 단부(EP1)에는 제1 반도체층(11) 및 제2 반도체층(13) 중 어느 하나가 배치될 수 있고, 그의 제2 단부(EP2)에는 상

기 제1 반도체층(11) 및 상기 제2 반도체층(13) 중 나머지가 배치될 수 있다. 발광 소자들(LD) 각각은 컬러 광 또는 백색 광을 방출할 수 있다.

[0188] 발광 소자들(LD)은 화소들(PXL) 각각의 발광 영역(EMA)에서 제1 전극(EL1)과 제2 전극(EL2) 사이에 형성된 전계에 의해 상기 제1 전극(EL1)과 제2 전극(EL2) 사이에 정렬될 수 있다.

[0189] 구체적으로, 제1 전극(EL1)과 제2 전극(EL2) 사이에 전계가 형성된 상태에서 잉크젯 프린팅 방식 등을 이용하여 다수의 발광 소자들(LD)이 혼합된 용매를 분사 및/또는 도포하여 상기 발광 소자들(LD)을 화소들(PXL) 각각의 발광 영역(EMA)으로 투입할 수 있다. 본 발명의 일 실시예에 있어서, 용매는 아세톤, 물, 알코올, 및 톨루엔 중 어느 하나 이상일 수 있으나, 이에 한정되는 것은 아니다. 예를들어, 용매는 상온 또는 열에 의해 기화될 수 있는 물질을 포함할 수 있다. 또한, 용매는 잉크 또는 페이스트의 형태일 수 있다. 발광 소자들(LD)을 분사 및/또는 도포하는 방식이 이에 한정되는 것은 아니며, 상기 발광 소자들(LD)을 분사 및/또는 도포하는 방식은 다양하게 변경될 수 있다. 발광 소자들(LD)을 화소들(PXL) 각각의 발광 영역(EMA)에 투입한 후 용매는 제거될 수 있다.

[0190] 발광 소자들(LD)을 화소들(PXL) 각각의 발광 영역(EMA)에 투입할 경우, 제1 전극(EL1)과 제2 전극(EL2) 사이에 형성된 전계로 인해 상기 발광 소자들(LD)의 자가 정렬이 유도될 수 있다. 이에 따라, 제1 전극(EL1)과 제2 전극(EL2) 사이에 발광 소자들(LD)이 정렬될 수 있다. 즉, 발광 소자들(LD)이 목적하는 영역, 일 예로, 화소들(PXL) 각각의 발광 영역(EMA) 내에 다양한 방향으로 정렬될 수 있다.

[0191] 본 발명의 일 실시예에 있어서, 제1 전극(EL1)이 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1)을 포함하고, 제2 전극(EL2)이 제2 메인 전극들(MAE2)과 제2 보조 전극들(AUE2)을 포함하므로, 발광 소자들(LD)은 제1 방향(DR1)으로 인접한 제1 메인 전극들(MAE1)과 제2 보조 전극들(AUE2) 사이 및 제2 메인 전극들(MAE2)과 제1 보조 전극들(AUE1) 사이에 각각 정렬될 수 있다. 또한, 본 발명의 일 실시예에 있어서, 일부의 발광 소자들(LD)은 평면 상에서 볼 때, 대각선 방향으로 서로 마주보는 하나의 제1 메인 전극(MAE1)과 하나의 제2 메인 전극(MAE2) 사이에 정렬될 수 있다.

[0192] 발광 소자들(LD)은 화소들(PXL) 각각의 발광 영역(EMA)에서 제1 전극(EL1)과 제2 전극(EL2) 사이에 정렬될 수 있다. 특히, 발광 소자들(LD)의 양 단부(EP1, EP2) 중 어느 하나의 단부는 제1 전극(EL1)에 전기적으로 연결되고, 상기 발광 소자들(LD)의 양 단부(EP1, EP2) 중 나머지 단부는 제2 전극(EL2)에 전기적으로 연결될 수 있다. 이에 따라, 발광 소자들(LD)의 양 단부(EP1, EP2) 중 어느 하나의 단부에는 제1 전극(EL1)을 경유하여 화소들(PXL) 각각의 화소 회로층(PCL)의 제1 트랜지스터(T1)의 신호(혹은 전압)가 인가되고, 상기 발광 소자들(LD)의 양 단부(EP1, EP2) 중 나머지 단부에는 제2 전극(EL2)을 경유하여 구동 전압 배선(DVL)의 제2 구동 전원(VSS)이 인가될 수 있다.

[0193] 발광 소자들(LD)은 화소들(PXL) 각각의 유효 광원을 구성할 수 있다. 일 예로, 각각의 프레임 기간 동안 화소들(PXL) 각각에 구동 전류가 흐르게 되면, 각 화소(PXL)의 제1 및 제2 전극들(EL1, EL2)에 전기적으로 연결된 발광 소자들(LD)이 발광하면서 상기 구동 전류에 대응하는 휘도의 광을 방출할 수 있다.

[0194] 상술한 발광 소자들(LD)은, 화소들(PXL) 각각의 발광 영역(EMA) 내에서 제1 절연층(INS1) 상에 정렬될 수 있다.

[0195] 제1 절연층(INS1)은 화소들(PXL) 각각의 발광 영역(EMA)에서 제1 전극(EL1)과 제2 전극(EL2) 사이의 발광 소자들(LD) 각각의 하부에 형성 및/또는 제공될 수 있다. 제1 절연층(INS1)은 발광 소자들(LD) 각각과 보호층(PKV) 사이의 공간을 메워 상기 발광 소자들(LD)을 안정적으로 지지하고, 상기 보호층(PKV)으로부터 발광 소자들(LD)의 이탈을 방지할 수 있다.

[0196] 또한, 화소들(PXL) 각각의 발광 영역(EMA)에서, 제1 절연층(INS1)은 제1 전극(EL1)의 일 영역을 노출하고 상기 일 영역을 제외한 나머지 영역을 커버하여 상기 제1 전극(EL1)의 나머지 영역을 보호할 수 있다. 또한, 제1 절연층(INS1)은 제2 전극(EL2)의 일 영역을 노출하고 상기 일 영역을 제외한 나머지 영역을 커버하여 상기 제2 전극(EL2)의 나머지 영역을 보호할 수 있다. 이에 더하여, 제1 절연층(INS1)은 화소들(PXL) 각각의 주변 영역에서 보호층(PKV) 상에 각각 형성 및/또는 제공되어 상기 주변 영역에 배치되는 구성들을 보호할 수 있다.

[0197] 제1 절연층(INS1)은 무기 재료로 이루어진 무기 절연막 또는 유기 재료로 이루어진 유기 절연막을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 절연층(INS1)은 화소 회로층(PCL)으로부터 발광 소자들(LD)을 보호하는 데에 유리한 무기 절연막으로 이루어질 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 절연층(INS1)은 발광 소자들(LD)의 지지면을 평탄화시키는 데 유리한 유기 절연막으로 이루어질 수도 있다.

- [0198] 발광 소자들(LD) 상에는 각각 제2 절연층(INS2)이 제공 및/또는 형성될 수 있다. 제2 절연층(INS2)은 발광 소자들(LD) 상에 각각 제공 및/또는 형성되어 각 발광 소자(LD)의 상면 일부를 커버하며 상기 각 발광 소자(LD)의 양 단부(EP1, EP2)를 외부로 노출할 수 있다. 제2 절연층(INS2)은 화소들(PXL) 각각의 발광 영역(EMA) 상에 독립된 패턴으로 형성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제2 절연층(INS2)은 생략될 수도 있으며, 이러한 경우, 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 하나의 단부에 제1 컨택 전극(CNE1)이 직접 접촉되고 상기 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부에 제2 컨택 전극(CNE2)이 직접 접촉될 수도 있다. 이때, 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)은 전기적으로 분리될 수 있다.
- [0199] 제2 절연층(INS2)은 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 재료를 포함한 무기 절연막 또는 적어도 하나의 유기 재료를 포함한 유기 절연막을 포함할 수 있다. 제2 절연층(INS2)은 화소들(PXL) 각각의 발광 영역(EMA)에 정렬된 발광 소자들(LD) 각각을 고정시킬 수 있다. 본 발명의 일 실시예에 있어서, 제2 절연층(INS2)은 외부의 산소 및 수분 등으로부터 발광 소자들(LD) 각각의 활성층(12) 보호에 유리한 무기 절연막을 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다. 발광 소자들(LD)이 적용되는 표시 장치의 설계 조건 등에 따라 제2 절연층(INS2)은 유기 재료를 포함한 유기 절연막을 포함할 수 있다.
- [0200] 본 발명의 일 실시예에 있어서, 화소들(PXL) 각각의 발광 영역(EMA) 내에 발광 소자들(LD)의 정렬이 완료된 이후 상기 발광 소자들(LD) 상에 제2 절연층(INS2)을 형성함으로써, 상기 발광 소자들(LD)이 정렬된 위치에서 이탈하는 것을 방지할 수 있다. 한편, 제2 절연층(INS2)의 형성 이전에 제1 절연층(INS1)과 발광 소자들(LD)의 사이에 이격 공간, 일 예로, 빈틈이 존재할 경우, 상기 빈틈은 상기 제2 절연층(INS2)을 형성하는 과정에서 상기 제2 절연층(INS2)으로 채워질 수 있다. 이에 따라, 발광 소자들(LD)은 안정적으로 지지될 수 있다. 이때 제2 절연층(INS2)은 제1 절연층(INS1)과 발광 소자들(LD) 사이의 빈틈을 채우는데 유리한 유기 절연막으로 구성될 수 있다.
- [0201] 본 발명의 일 실시예에 있어서, 발광 소자들(LD) 상에 각각 제2 절연층(INS2)을 형성하여 각 발광 소자(LD)의 활성층(12)이 외부의 도전성 물질과 접촉되지 않을 수 있다. 제2 절연층(INS2)은 발광 소자들(LD) 각각의 표면의 일부만을 커버하며 각 발광 소자(LD)의 양 단부(EP1, EP2)를 외부로 노출할 수 있다.
- [0202] 화소들(PXL) 각각의 제1 전극(EL1) 상에는 상기 제1 전극(EL1)과 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 어느 하나의 단부를 전기적 및/또는 물리적으로 안정되게 연결하는 제1 컨택 전극(CNE1)이 제공 및/또는 형성될 수 있다. 또한, 화소들(PXL) 각각의 제2 전극(EL2) 상에는 상기 제2 전극(EL2)과 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부를 전기적 및/또는 물리적으로 안정되게 연결하는 제2 컨택 전극(CNE2)이 제공 및/또는 형성될 수 있다.
- [0203] 실시예에 따라, 제1 및 제2 컨택 전극들(CNE1, CNE2) 각각은 다양한 투명한 도전 물질로 구성될 수 있다. 일 예로, 제1 및 제2 컨택 전극들(CNE1, CNE2) 각각은 발광 소자들(LD) 각각으로부터 방출되어 대응하는 전극에 의해 표시 장치의 화상 표시 방향으로 반사된 광의 손실을 최소화하는 투명한 도전성 재료로 구성될 수 있다. 투명한 도전성 재료는, 예를 들어, ITO, IZO, ITZO를 비롯한 다양한 투명한 도전 물질 중 적어도 하나를 포함하며, 소정의 투광도를 만족하도록 실질적으로 투명 또는 반투명하게 구현될 수 있다. 제1 및 제2 컨택 전극들(CNE1, CNE2)의 재료는 상술한 재료들에 한정되는 것은 아니다.
- [0204] 제1 및 제2 컨택 전극들(CNE1, CNE2) 각각은, 제2 방향(DR2)을 따라 연장된 바(bar) 형상을 가질 수 있다. 제1 컨택 전극(CNE1)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 어느 하나의 단부에 부분적으로 중첩되고, 제2 컨택 전극(CNE2)은 상기 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부에 부분적으로 중첩될 수 있다.
- [0205] 본 발명의 일 실시예에 있어서, 제1 및 제2 컨택 전극들(CNE1, CNE2)은 서로 상이한 층에 제공 및/또는 형성될 수 있다. 이러한 경우, 제1 컨택 전극(CNE1)은 제2 절연층(INS2) 상에 제공 및/또는 형성되고, 제3 절연층(INS3)에 의해 커버될 수 있다. 또한, 제2 컨택 전극(CNE2)은 제3 절연층(INS3) 상에 제공 및/또는 형성되고 제4 절연층(INS4)에 의해 커버될 수 있다. 제3 및 제4 절연층들(INS3, INS4) 각각은 무기 재료를 포함한 무기 절연막 또는 유기 재료를 포함한 유기 절연막 중 어느 하나의 절연막으로 구성될 수 있다. 제4 절연층(INS4) 상에는 오버 코트층(OC)이 제공 및/또는 형성될 수 있다.
- [0206] 상술한 실시예에 있어서, 제1 및 제2 컨택 전극들(CNE1, CNE2)이 서로 상이한 층에 제공 및/또는 형성되는 경우를 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 및 제2 컨택 전극들(CNE1, CNE2)

은 도 7에 도시된 바와 같이 동일한 층에 제공 및/또는 형성될 수도 있다. 이러한 경우, 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)은 제2 절연층(INS2) 상에서 일정 간격 이격되어 전기적으로 분리되고, 제3 절연층(INS3)에 의해 커버될 수 있다. 제3 절연층(INS3) 상에는 오버 코트층(OC)이 제공 및/또는 형성될 수 있다. 여기서, 제3 절연층(INS3)은 제1 및 제2 컨택 전극들(CNE1, CNE2)이 서로 상이한 층에 제공 및/또는 형성되는 경우의 제4 절연층(INS4)에 대응될 수 있다.

- [0207] 오버 코트층(OC)은 그 하부에 배치된 격벽(PW), 제1 및 제2 컨택 전극들(CNE1, CNE2), 제1 및 제2 전극들(EL1, EL2) 등에 의해 발생된 단차를 완화시키며 발광 소자들(LD)로 산소 및 수분 등이 침투하는 것을 방지하는 봉지층일 수 있다. 실시예에 따라, 오버 코트층(OC)은 표시 장치의 설계 조건 등을 고려하여 생략될 수 있다.
- [0208] 상술한 바와 같이, 발광 소자들(LD) 각각의 양 단부(EP1, EP2)에는 제1 전극(EL1)과 제2 전극(EL2)을 통해 소정의 전압이 인가되어 각 발광 소자(LD)의 활성층(12)에서 전자-정공 쌍이 결합하면서 상기 발광 소자들(LD) 각각은 광을 방출할 수 있다. 발광 소자들(LD) 각각은 예를 들어, 400nm 내지 900nm 파장대의 광을 방출할 수 있다.
- [0209] 실시예에 따라, 화소들(PXL) 각각의 발광 영역(EMA)에는, 도 8에 도시된 바와 같이, 캡핑층(CPL)이 제공 및/또는 형성될 수 있다.
- [0210] 캡핑층(CPL)은 제1 전극(EL1)과 제1 컨택 전극(CNE1) 사이 및 제2 전극(EL2)과 제2 컨택 전극(CNE2) 사이에 각각 배치될 수 있다. 또한, 캡핑층(CPL)은 제1 및 제2 연결 배선들(CNL1, CNL2) 상에 각각 제공 및/또는 형성될 수 있다.
- [0211] 캡핑층(CPL)은 표시 장치의 제조 공정 시 발생하는 불량 등으로 인해 대응하는 전극의 손상을 방지하며, 상기 대응하는 전극과 보호층(PDV) 사이의 접착력을 더욱 강화시킬 수 있다. 캡핑층(CPL)은 발광 소자들(LD) 각각에서 출사되어 대응하는 전극에 의해 표시 장치의 화상 표시 방향으로 반사된 광의 손실을 최소화하기 위해 IZO(indium zinc oxide)와 같은 투명한 도전성 재료로 형성될 수 있다.
- [0212] 상술한 바와 같이, 제1 전극(EL1)이 서로 상이한 형상 및 서로 상이한 폭을 갖는 복수의 제1 메인 전극들(MAE1)과 복수의 제1 보조 전극들(AUE1)을 포함하므로, 상기 제1 전극(EL1)의 연장된 방향을 따라 상기 제1 전극(EL1)의 제1 방향(DR1)으로의 폭은 일정하지 않을 수 있다. 즉, 제1 전극(EL1)은 그의 연장된 방향을 따라 적어도 2개 이상의 폭(W1, W2)을 가질 수 있다.
- [0213] 마찬가지로, 제2 전극(EL2)이 서로 상이한 형상을 갖는 복수의 제2 메인 전극들(MAE2)과 복수의 제2 보조 전극들(AUE2)을 포함하므로, 상기 제2 전극(EL2)의 연장된 방향을 따라 상기 제2 전극(EL2)의 제1 방향(DR1)으로의 폭은 일정하지 않을 수 있다. 즉, 제2 전극(EL2)은 그의 연장된 방향을 따라 적어도 2개 이상의 폭(W3, W4)을 가질 수 있다.
- [0214] 화소들(PXL) 각각의 발광 영역(EMA) 내에 발광 소자들(LD)을 정렬하기 전에 제1 전극(EL1)과 제2 전극(EL2) 각각에 대응하는 정렬 전압을 인가하면 상기 제1 전극(EL1)과 상기 제2 전극(EL2) 사이에 전계가 형성된다. 상술한 바와 같이, 연장된 방향을 따라 제1 및 제2 전극들(EL1, EL2) 각각의 제1 방향(DR1)으로의 폭이 일정하지 않기 때문에(또는 연장된 방향으로 적어도 2개 이상의 폭을 가지기 때문에) 상기 제1 전극(EL1)과 상기 제2 전극(EL2) 사이에서 영역별로 상기 전계의 세기 및 상기 전계의 방향이 상이해질 수 있다.
- [0215] 이로 인해, 일부의 발광 소자들(LD)의 길이(L) 방향이 제1 방향(DR1)에 평행하게 정렬될 수 있고, 일부의 다른 발광 소자들(LD)의 길이(L) 방향이 상기 제1 방향(DR1)에 소정 각도로 경사진 방향에 평행하게 정렬될 수 있으며, 일부의 또 다른 발광 소자들(LD)의 길이(L) 방향이 상기 경사진 방향과 반대의 방향에 평행하게 정렬될 수 있다. 결국, 발광 소자들(LD)은 제1 전극(EL1)의 제1 메인 전극들(MAE1) 및/또는 제2 전극(EL2)의 제2 메인 전극들(MAE2) 각각을 중심으로 그 사방으로 정렬될 수 있다. 또한, 발광 소자들(LD)은 제1 전극(EL1)의 제1 보조 전극들(AUE1) 및/또는 제2 전극(EL2)의 제2 보조 전극들(AUE2) 각각을 중심으로 그 사방으로 정렬될 수 있다.
- [0216] 제1 및 제2 전극들(EL1, EL2) 각각의 연장된 방향을 따라 상기 제1 및 제2 전극들(EL1, EL2) 각각의 제1 방향(DR1)으로의 폭이 일정하지 않기 때문에 화소들(PXL) 각각의 발광 영역(EMA)에서 발광 소자들(LD)은 특정 방향, 일 예로, 상기 제1 방향(DR1)으로 편중되게 정렬되지 않을 수 있다. 따라서, 발광 소자들(LD) 각각에서 방출된 광은 특정 방향으로 집중되지 않을 수 있다. 이로 인해, 본 발명의 일 실시예에 따른 표시 장치는 전(全) 영역에 걸쳐 균일한 출광 분포를 가질 수 있다.
- [0217] 만일, 기존의 표시 장치에서와 같이, 제1 및 제2 전극들(EL1, EL2) 각각의 연장된 방향을 따라 상기 제1 전극

(EL1)과 제2 전극(EL2) 각각이 제1 방향(DR1)으로 동일한 쪽을 갖는 경우, 상기 제1 전극(EL1)과 상기 제2 전극(EL2) 사이의 간격은 영역에 상관없이 일정할 수 있다. 이러한 경우, 제1 전극(EL1)과 제2 전극(EL2) 사이에서 형성된 전계는 일정한 세기 및 일정한 방향을 가지게 되므로, 발광 소자들(LD)은 화소들(PXL) 각각의 발광 영역(EMA) 내에서 동일한 방향, 일 예로, 제1 방향(DR1)으로 정렬되고, 상기 발광 소자들(LD) 각각에서 방출된 광이 상기 제1 방향(DR1)으로 진행될 수 있다. 이에, 발광 소자들(LD)의 정렬 방향을 따라 상기 발광 소자들(LD) 각각에서 방출된 광이 집중될 수 있다. 화소들(PXL) 각각의 발광 영역(EMA) 내에서 특정 방향으로 광이 집중되는 경우, 표시 장치의 영역 별로 상기 광의 출광 분포가 달라져 화질 불량을 초래할 수 있다.

[0218] 이에, 본 발명의 일 실시예에 따른 표시 장치에서는, 제1 전극(EL1)과 제2 전극(EL2)의 형상 변경을 통해 화소들(PXL) 각각의 발광 영역(EMA) 내에서 발광 소자들(LD)을 다양한 방향으로 정렬하여 상기 발광 소자들(LD) 각각에서 방출된 광이 특정 방향으로 집중되지 않게 할 수 있다.

[0219] 도 12 내지 도 19는 도 4의 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 화소의 개략적인 평면도들이다.

[0220] 도 12 내지 도 19에 있어서, 화소들(PXL) 각각의 표시 소자층에 포함된 제1 및 제2 전극들, 제1 및 제2 연결 배선들, 및 발광 소자들만을 도시하는 등 각 화소(PXL)의 구조를 단순화하여 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.

[0221] 추가적으로, 도 12 내지 도 19에 있어서, 편의를 위하여 발광 소자들에 연결된 화소 회로층(적어도 하나의 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들)의 도시를 생략하였다.

[0222] 도 12 내지 도 19의 실시예들에 있어서, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 도 12 내지 도 19의 실시예들에서 특별히 설명하지 않는 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.

[0223] 도 1a 내지 도 1f, 도 2, 및, 도 12 내지 도 19를 참조하면, 본 발명의 일 실시예에 따른 화소들(PXL) 각각은 기관(SUB), 화소 회로층(도 6의 PCL 참고), 및 표시 소자층(도 6의 DPL 참고)을 포함할 수 있다.

[0224] 화소들(PXL) 각각의 표시 소자층(DPL)은 제1 및 제2 전극들(EL1, EL2)과, 복수의 발광 소자들(LD)과, 제1 및 제2 연결 배선들(CNL1, CNL2)을 포함할 수 있다. 도 12 내지 도 19에 직접적으로 도시하지 않았으나, 화소들(PXL) 각각의 표시 소자층(DPL)은 제1 및 제2 전극들(EL1, EL2) 각각의 하부에 제공 및/또는 형성된 격벽(도 4의 PW 참고) 및 상기 제1 및 제2 전극들(EL1, EL2) 상에 각각 제공 및/또는 형성된 제1 및 제2 컨택 전극들(도 4의 CNE1, CNE2 참고)을 더 포함할 수 있다.

[0225] 제1 및 제2 전극들(EL1, EL2) 각각은 화소들(PXL) 각각의 발광 영역(EMA)에 제공되며, 제2 방향(DR2, 일 예로 '열 방향')을 따라 연장될 수 있다. 제1 및 제2 전극들(EL1, EL2)은 동일한 평면 상에 제공되며 일정 간격이 격될 수 있다.

[0226] 본 발명의 일 실시예에 있어서, 제1 전극(EL1)은 복수의 제1 메인 전극들(MAE1) 및 복수의 제1 보조 전극들(AUE1)을 포함할 수 있다.

[0227] 제1 메인 전극들(MAE1) 각각은 제2 방향(DR2)을 따라 인접한 제1 메인 전극(MAE1)과 이격되게 배치될 수 있다. 제1 메인 전극들(MAE1) 각각은 평면 상에서 볼 때 사각 형상을 가질 수 있으나, 상기 제1 메인 전극들(MAE1) 각각의 형상이 상술한 실시예에 한정되는 것은 아니다. 실시예에 따라, 제1 메인 전극들(MAE1) 각각은 원 형상을 갖거나, 마름모 형상을 갖거나, 혹은 타원 형상을 가질 수도 있다. 즉, 제1 메인 전극들(MAE1)은 다양한 형상을 가질 수 있다.

[0228] 또한, 일부의 제1 메인 전극들(MAE1), 다른 일부의 제1 메인 전극들(MAE1), 및/또는 또 다른 일부의 제1 메인 전극들(MAE1)은 서로 상이한 형상을 가질 수도 있다. 예를 들어, 도 19에 도시된 바와 같이, 제2 방향(DR2)을 따라 첫 번째로 위치한 제1 메인 전극(MAE1)이 사각 형상을 갖고, 상기 사각 형상의 제1 메인 전극(MAE1)에 상기 제2 방향(DR2)으로 인접한 하나의 제1 메인 전극(MAE1)이 원 형상을 가지며, 상기 원 형상의 제1 메인 전극(MAE1)에 상기 제2 방향(DR2)으로 인접한 하나의 제1 메인 전극(MAE1)이 마름모 형상을 가지며, 상기 마름모 형상의 제1 메인 전극(MAE1)에 상기 제2 방향(DR2)으로 인접한 하나의 제1 메인 전극(MAE1)이 사각 형상을 가질 수 있다. 제2 방향(DR2)을 따라 서로 상이한 형상을 갖는 제1 메인 전극들(MAE1) 각각은 제1 방향(DR1)으로의 폭이 서로 상이할 수 있다.

[0229] 상술한 바와 같이, 제2 방향(DR2)을 따라 서로 상이한 형상을 갖는 제1 메인 전극들(MAE1)은 동일한 층에 제공

및/또는 형성되어 동일한 공정을 통해 제조될 수 있다.

- [0230] 제1 보조 전극들(AUE1) 각각은 제2 방향(DR2)을 따라 인접하게 배치된 2개의 제1 메인 전극들(MAE1)을 연결하는 브릿지의 역할을 하며 직사각 형상을 가질 수 있으나, 이에 한정되는 것은 아니며, 원 형상, 타원 형상, 마름모 형상 등을 포함한 다양한 형상을 가질 수 있다.
- [0231] 본 발명의 일 실시예에 있어서, 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 또한, 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1)은 서로 상이한 형상으로 이루어져, 상기 제1 메인 전극들(MAE1) 각각의 면적(혹은 크기)과 상기 제1 보조 전극들(AUE1) 각각의 면적(혹은 크기)이 서로 상이할 수 있다.
- [0232] 본 발명의 일 실시예에 있어서, 제1 메인 전극들(MAE1) 각각의 제1 방향(DR1)으로의 폭(W1)이 제1 보조 전극들(AUE1) 각각의 제1 방향(DR1)으로의 폭(W2)보다 커서 상기 제1 메인 전극들(MAE1) 각각의 면적(혹은 크기)이 상기 제1 보조 전극들(AUE1) 각각의 면적(혹은 크기)보다 클 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 그 반대의 경우도 가능할 수 있다. 즉, 제1 보조 전극들(AUE1) 각각의 제1 방향(DR1)으로의 폭(W2)이 제1 메인 전극들(MAE1) 각각의 제1 방향(DR1)으로의 폭(W1)보다 커서 상기 제1 보조 전극들(AUE1) 각각의 면적(혹은 크기)이 상기 제1 메인 전극들(MAE1) 각각의 면적(혹은 크기)보다 클 수 있다.
- [0233] 또한, 제1 보조 전극들(AUE1)은, 도 17에 도시된 바와 같이, 제1 방향(DR1)으로 서로 상이한 폭을 갖는 제1-1 보조 전극(AUE1_1)과 제1-2 보조 전극(AUE1_2)을 포함할 수 있다. 제1-1 보조 전극(AUE1_1)의 제1 방향(DR1)으로의 폭(W2)은 제1-2 보조 전극(AUE1_2)의 제1 방향(DR1)으로의 폭(W3)보다 작을 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 그 반대의 경우도 가능할 수 있다. 즉, 제1-1 보조 전극들(AUE1_1)의 제1 방향(DR1)으로의 폭(W2)이 제1-2 보조 전극들(AUE1_2)의 제1 방향(DR1)으로의 폭(W3)보다 클 수 있다.
- [0234] 상술한 바와 같이, 일체로 형성 및/또는 제공되어 전기적 및/또는 물리적으로 연결되며 서로 상이한 형상 및/또는 면적(혹은 크기)을 갖는 복수의 제1 메인 전극들(MAE1)과 복수의 제1 보조 전극들(AUE1)이 화소들(PXL) 각각의 제1 전극(EL1)을 구성할 수 있다. 제1 전극(EL1)은, 복수의 제1 메인 전극들(MAE1)과 복수의 제1 보조 전극들(AUE1)로 인해 상기 제1 전극(EL1)의 연장된 방향을 따라 폭이 일정하지 않을 수 있다. 즉, 제1 전극(EL1)은 그의 연장된 방향, 일 예로, 제2 방향(DR2)을 따라 적어도 2개 이상의 폭(W1, W2)을 가질 수 있다.
- [0235] 본 발명의 일 실시예에 있어서, 제1 전극(EL1)의 연장된 방향을 따라 적어도 두 개 이상의 폭(혹은 일정하지 않는 폭)을 갖는 범위 내에서 제1 메인 전극들(MAE1)과 제1 보조 전극들(AUE1) 각각의 형상은 다양하게 변형될 수 있다.
- [0236] 본 발명의 일 실시예에 있어서, 제2 전극(EL2)은 복수의 제2 메인 전극들(MAE2) 및 제2 보조 전극들(AUE2)을 포함할 수 있다.
- [0237] 제2 메인 전극들(MAE2) 각각은 제2 방향(DR2)을 따라 인접한 제2 메인 전극(MAE2)과 이격되게 배치될 수 있다. 제2 메인 전극들(MAE2) 각각은 평면 상에서 볼 때 사각 형상을 가질 수 있으나, 상기 제2 메인 전극들(MAE2) 각각의 형상이 상술한 실시예에 한정되는 것은 아니다. 실시예에 따라, 제2 메인 전극들(MAE2)은 원 형상을 갖거나, 마름모 형상을 갖거나, 혹은 타원 형상을 가질 수도 있다. 즉, 제2 메인 전극들(MAE2)은 다양한 형상을 가질 수 있다.
- [0238] 또한, 일부의 제2 메인 전극들(MAE2), 다른 일부의 제2 메인 전극들(MAE2), 및/또는 또 다른 일부의 제2 메인 전극들(MAE2)은 서로 상이한 형상을 가질 수도 있다. 예를 들어, 도 19에 도시된 바와 같이, 제2 방향(DR2)을 따라 첫 번째로 위치한 제2 메인 전극(MAE2)이 육각 형상을 갖고, 상기 육각 형상의 제2 메인 전극(MAE2)에 상기 제2 방향(DR2)으로 인접한 제2 메인 전극(MAE2)이 사각 형상을 갖고, 상기 사각 형상의 제2 메인 전극(MAE2)에 상기 제2 방향(DR2)으로 인접한 제2 메인 전극(MAE2)이 타원 형상을 가지며, 상기 타원 형상의 제2 메인 전극(MAE2)에 상기 제2 방향(DR2)으로 인접한 제2 메인 전극(MAE2)이 원 형상을 가질 수 있다. 제2 방향(DR2)을 따라 서로 상이한 형상을 갖는 제2 메인 전극들(MAE2) 각각은 제1 방향(DR1)으로의 폭이 서로 상이할 수 있다.
- [0239] 상술한 바와 같이, 제2 방향(DR2)을 따라 서로 상이한 형상을 갖는 제2 메인 전극들(MAE2)은 동일한 층에 제공 및/또는 형성되어 동일한 공정을 통해 제조될 수 있다.
- [0240] 본 발명의 일 실시예에 있어서, 제2 메인 전극들(MAE2) 각각은 제1 메인 전극들(MAE1) 각각과 동일한 형상을 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제2 메인 전극들(MAE2) 각각은 제1 메인

전극들(MAE1) 각각과 상이한 형상을 가질 수도 있다. 예를 들어, 도 16에 도시된 바와 같이, 제1 메인 전극들(MAE1)이 직사각 형상을 갖는 경우 제2 메인 전극들(MAE2)은 타원 형상을 가질 수 있으며, 그 반대의 경우도 가능하다. 이러한 경우, 제1 메인 전극들(MAE1) 각각의 제1 방향(DR1)으로의 폭(W1)과 제2 메인 전극들(MAE2) 각각의 제1 방향(DR1)으로의 폭(W3)은 서로 동일하거나 혹은 서로 상이할 수 있다.

[0241] 또한, 제2 메인 전극들(MAE2) 각각이 제1 메인 전극들(MAE1) 각각과 동일한 형상을 갖는 경우, 상기 제2 메인 전극들(MAE2)과 상기 제1 메인 전극들(MAE1)은 서로 동일한 면적(혹은 크기)을 갖거나 서로 상이한 면적(혹은 크기)을 가질 수 있다. 제2 메인 전극들(MAE2) 각각이 제1 메인 전극들(MAE1) 각각과 서로 상이한 면적(혹은 크기)을 갖는 경우, 제2 메인 전극들(MAE2) 각각은 도 18에 도시된 바와 같이 제1 메인 전극들(MAE1) 각각보다 큰 면적(혹은 크기)을 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 그 반대의 경우도 가능할 수 있다. 즉, 제2 메인 전극들(MAE2) 각각은 제1 메인 전극들(MAE1) 각각보다 작은 면적(혹은 크기)을 가질 수도 있다.

[0242] 제2 보조 전극들(AUE2) 각각은 제2 방향(DR2)을 따라 인접하게 배치된 2개의 제2 메인 전극들(MAE2)을 연결하는 브릿지 역할을 하며, 실시예에 따라 제1 보조 전극들(AUE1)과 동일한 형상을 갖거나 혹은 상기 제1 보조 전극들(AUE1)과 상이한 형상을 가질 수 있다.

[0243] 본 발명의 일 실시예에 있어서, 제2 메인 전극들(MAE2)과 제2 보조 전극들(AUE2)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 또한, 제2 메인 전극들(MAE2)과 제2 보조 전극들(AUE2)은 서로 상이한 형상으로 이루어져, 상기 제2 메인 전극들(MAE2) 각각의 면적(혹은 크기)과 상기 제2 보조 전극들(AUE2) 각각의 면적(혹은 크기)이 서로 상이할 수 있다.

[0244] 본 발명의 일 실시예에 있어서, 제2 메인 전극들(MAE2) 각각의 제1 방향(DR1)으로의 폭(W3)이 제2 보조 전극들(AUE2) 각각의 제1 방향(DR1)으로의 폭(W4)보다 커서 상기 제2 메인 전극들(MAE2) 각각의 면적(혹은 크기)이 상기 제2 보조 전극들(AUE2) 각각의 면적(혹은 크기)보다 클 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 그 반대의 경우도 가능할 수 있다. 즉, 제2 보조 전극들(AUE2) 각각의 제1 방향(DR1)으로의 폭(W4)이 제2 메인 전극들(MAE2) 각각의 제1 방향(DR1)으로의 폭(W3)보다 커서 상기 제2 보조 전극들(AUE2) 각각의 면적(혹은 크기)이 상기 제2 메인 전극들(MAE2) 각각의 면적(혹은 크기)보다 클 수 있다.

[0245] 또한, 제2 보조 전극들(AUE2)은, 도 17에 도시된 바와 같이, 제1 방향(DR1)으로 서로 상이한 폭을 갖는 제2-1 보조 전극(AUE2_1)과 제2-2 보조 전극(AUE2_2)을 포함할 수 있다. 제2-1 보조 전극(AUE2_1)의 제1 방향(DR1)으로의 폭(W5)은 제2-2 보조 전극(AUE2_2)의 제1 방향(DR1)으로의 폭(W6)보다 작을 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 그 반대의 경우도 가능할 수 있다. 즉, 제2-1 보조 전극들(AUE2_1)의 제1 방향(DR1)으로의 폭(W5)이 제2-2 보조 전극들(AUE2_2)의 제1 방향(DR1)으로의 폭(W6)보다 클 수 있다.

[0246] 본 발명의 일 실시예에 있어서, 제2 전극(EL2)의 제2 메인 전극들(MAE2) 각각은 제1 전극(EL1)의 제1 보조 전극들(AUE1) 각각과 제1 방향(DR1)을 따라 교번하여 배치될 수 있고, 상기 제2 전극(EL2)의 제2 보조 전극들(AUE2) 각각은 상기 제1 전극(EL1)의 제1 메인 전극들(MAE1) 각각과 상기 제1 방향(DR1)을 따라 교번하여 배치될 수 있다. 즉, 제2 메인 전극들(MAE2) 각각은 제1 보조 전극들(AUE1)과 동일한 행에 배치되어 상기 제1 보조 전극들(AUE1)에 대응될 수 있고, 제2 보조 전극들(AUE2) 각각은 제1 메인 전극들(MAE1)과 동일한 행에 배치되어 상기 제1 메인 전극들(MAE1)에 대응될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 제2 메인 전극들(MAE2) 각각이 제1 메인 전극들(MAE1)과 동일한 행에 배치되고 제2 보조 전극들(AUE2) 각각이 제1 보조 전극들(AUE1) 각각과 동일한 행에 배치될 수도 있다.

[0247] 상술한 바와 같이, 일체로 형성 및/또는 제공되어 전기적 및/또는 물리적으로 연결되며 서로 상이한 형상 및/또는 면적(혹은 크기)을 갖는 복수의 제2 메인 전극들(MAE2)과 복수의 제2 보조 전극들(AUE2)이 화소들(PXL) 각각의 제2 전극(EL2)을 구성할 수 있다. 제2 전극(EL2)은, 복수의 제2 메인 전극들(MAE2)과 복수의 제2 보조 전극들(AUE2)로 인해 상기 제2 전극(EL2)의 연장된 방향을 따라 제1 방향(DR1)으로의 폭이 일정하지 않을 수 있다. 즉, 제2 전극(EL2)은 그의 연장된 방향, 일 예로, 제2 방향(DR2)을 따라 적어도 2개 이상의 폭(W3, W4)을 가질 수 있다.

[0248] 제2 방향(DR2)을 따라 제1 및 제2 전극들(EL1, EL2) 각각이 적어도 2개 이상의 폭을 가지므로(또는 제1 방향(DR1)으로의 폭이 일정하지 않으므로), 화소들(PXL) 각각의 발광 영역(EMA)에서 발광 소자들(LD)은 특정 방향으로 정렬되지 않고 다양한 방향으로 정렬될 수 있다. 따라서, 발광 소자들(LD) 각각에서 방출된 광은 특정 방향으로 집중되지 않고 다양한 방향으로 진행될 수 있다. 결국, 본 발명의 일 실시예에 따른 표시 장치는 전(全)

영역에 걸쳐 균일한 출광 분포를 가져 영역 별로 차이나는 출광 분포에 기인한 화질 불량을 최소화할 수 있다.

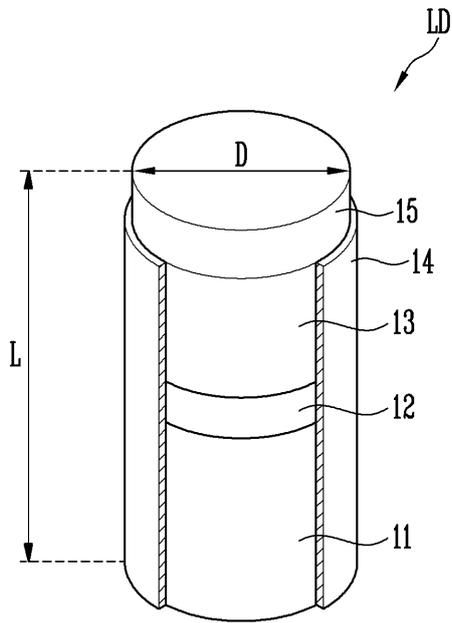
- [0249] 도 20은 도 4의 화소를 또 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 화소의 개략적인 평면도이며, 도 21은 도 20의 IV ~ IV'선에 따른 단면도이다.
- [0250] 도 20 및 도 21에 있어서, 화소들(PXL) 각각의 표시 소자층에 포함된 제1 및 제2 전극들, 제1 및 제2 연결 배선들, 및 발광 소자들만을 도시하는 등 각 화소(PXL)의 구조를 단순화하여 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0251] 추가적으로, 도 20 및 도 21에 있어서, 편의를 위하여 발광 소자들에 연결된 화소 회로층(적어도 하나의 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들)의 도시를 생략하였다.
- [0252] 이에 더하여, 도 20 및 도 21에서는 각각의 전극을 단일의 전극층으로, 각각의 절연층을 단일의 절연층으로만 도시하는 등 하나의 화소(PXL)의 구조를 더욱 단순화하여 도시하였다.
- [0253] 도 20 및 도 21의 실시예에 있어서, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 도 20 및 도 21의 실시예에서 특별히 설명하지 않는 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [0254] 도 1a 내지 도 1f, 도 2, 도 20, 및 도 21을 참조하면, 본 발명의 일 실시예에 따른 화소들(PXL) 각각은 기판(SUB), 화소 회로층(PCL), 및 표시 소자층(DPL)을 포함할 수 있다.
- [0255] 화소 회로층(PCL)은 제1 및 제2 트랜지스터들(T1, T2)과, 구동 전압 배선(DVL)과, 상기 제1 및 제2 트랜지스터들(T1, T2)과 상기 구동 전압 배선(DVL)을 커버하는 보호층(PKV)을 포함할 수 있다.
- [0256] 표시 소자층(DPL)은 격벽(PW), 복수의 제1 메인 전극들(MAE1), 복수의 제2 메인 전극들(MAE2), 제1 및 제2 캡핑층들(CPL1, CPL2), 복수의 발광 소자들(LD), 제1 및 제2 연결 배선들(CNL1, CNL2)을 포함할 수 있다. 추가적으로, 표시 소자층(DPL)은 도면에 직접적으로 도시하지 않았으나, 발광 소자들(LD)의 양 단부(EP1, EP2) 중 어느 하나의 단부를 제1 메인 전극들(MAE1) 각각에 연결하기 위한 컨택 전극 및 상기 발광 소자들(LD)의 양 단부(EP1, EP2) 중 나머지 단부를 제2 메인 전극들(MAE2) 각각에 연결하기 위한 컨택 전극을 더 포함할 수 있다.
- [0257] 제1 및 제2 연결 배선들(CNL1, CNL2) 각각은 화소들(PXL) 각각의 제1 방향(DR1, 일 예로 '행 방향')으로 연장될 수 있다. 제2 연결 배선(CNL2)은 보호층(PKV)을 관통하는 제2 컨택 홀(CH2)을 통해 구동 전압 배선(DVL)에 전기적으로 연결되어 제2 구동 전압(도 3a의 'VSS' 참고)이 인가될 수 있다.
- [0258] 본 발명의 일 실시예에 있어서, 제1 메인 전극들(MAE1) 각각은 제2 방향(DR2, 일 예로 '열 방향')을 따라 배치되고, 상기 제2 방향(DR2)으로 인접한 제1 메인 전극들(MAE1)과 일정 간격 이격될 수 있다. 이로 인해, 제1 메인 전극들(MAE1) 각각은 제2 방향(DR2)으로 인접한 제1 메인 전극들(MAE1)과 전기적 및/또는 물리적으로 분리될 수 있다. 본 발명의 일 실시예에 있어서, 제1 메인 전극들(MAE1) 각각이 제1 전극(EL1)일 수 있다. 이하, 설명의 편의를 위해 제1 메인 전극들(MAE1) 각각을 제1 전극(EL1)으로 지칭한다.
- [0259] 마찬가지로, 제2 메인 전극들(MAE2) 각각은 제2 방향(DR2)을 따라 배치되고, 상기 제2 방향(DR2)으로 인접한 제2 메인 전극들(MAE2)과 일정 간격 이격될 수 있다. 이로 인해, 제2 메인 전극들(MAE2) 각각은 제2 방향(DR2)으로 인접한 제2 메인 전극들(MAE2)과 전기적 및/또는 물리적으로 분리될 수 있다. 본 발명의 일 실시예에 있어서, 제2 메인 전극들(MAE2) 각각이 제2 전극(EL2)일 수 있다. 이하, 설명의 편의를 위해 제2 메인 전극(MAE2) 각각을 제2 전극(EL2)으로 지칭한다.
- [0260] 본 발명의 일 실시예에 있어서, 제1 캡핑층(CPL1)은 제2 방향(DR2)으로 연장된 제1-1 캡핑층(CPL1_1)과 제1 방향(DR1)으로 연장된 제1-2 캡핑층(CPL1_2)을 포함할 수 있다. 제1 캡핑층(CPL1)은 발광 소자들(LD) 각각에서 출사되어 표시 장치의 화상 표시 방향으로 진행되는 광의 손실을 최소화하기 위해 투명한 도전성 물질로 이루어질 수 있다. 투명한 도전성 물질은, 예를 들어, ITO, IZO, ITZO 등을 포함할 수 있으나, 이에 한정되는 것은 아니며, 광의 손실을 최소화하며 도전성을 갖는 재료를 모두 포함할 수도 있다.
- [0261] 제1-1 캡핑층(CPL1_1)은 제1 전극들(EL1, MAE1) 상에 직접 제공 및/또는 형성되어 상기 제1 전극들(EL1, MAE1)과 전기적 및/또는 물리적으로 연결될 수 있다. 제1-1 캡핑층(CPL1_1)은 표시 장치의 제조 공정 시 발생할 수 있는 불량 등에 의해 제1 전극들(EL1, MAE1)의 손상을 방지하면서 상기 제1 전극들(EL1, MAE1)과 보호층(PKV)의 접착력을 강화하는 역할을 할 수 있다.
- [0262] 제1-1 캡핑층(CPL1_1)은 보호층(PKV)을 관통하는 제1 컨택 홀(CH1)을 통해 화소 회로층(PCL)의 제1 트랜지스터

(T1)에 전기적으로 연결될 수 있다. 이에 따라, 제1 트랜지스터(T1)에 인가된 신호(혹은 전압)가 제1-1 캐핑층(CPL1_1)으로 전달될 수 있다.

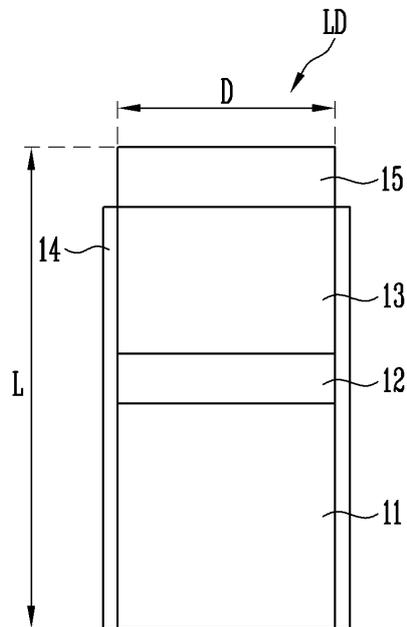
- [0263] 제1-2 캐핑층(CPL1_2)은 제1 연결 배선(CNL1) 상에 직접 제공 및/또는 형성되어 상기 제1 연결 배선(CNL1)과 전기적 및/또는 물리적으로 연결될 수 있다. 제1-2 캐핑층(CPL1_2)은 제1 연결 배선(CNL1)을 보호하면서 상기 제1 연결 배선(CNL1)과 보호층(PSV)의 접촉력을 강화시킬 수 있다.
- [0264] 본 발명의 일 실시예에 있어서, 제1-1 캐핑층(CPL1_1)과 제1-2 캐핑층(CPL1_2)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 제1-1 캐핑층(CPL1_1)과 제1-2 캐핑층(CPL1_2)이 일체로 형성 및/또는 제공되는 경우, 상기 제1-2 캐핑층(CPL1_2)이 상기 제1-1 캐핑층(CPL1_1)의 일 영역이거나 상기 제1-1 캐핑층(CPL1_1)이 상기 제1-2 캐핑층(CPL1_2)의 일 영역일 수 있다.
- [0265] 본 발명의 일 실시예에 있어서, 제1-1 캐핑층(CPL1_1)은 제1 전극들(EL1, MAE1)과 중첩되지 않는 영역에 비하여 상기 제1 전극들(EL1, MAE1)과 중첩되는 영역에서 상대적으로 큰 폭을 갖도록 설계될 수 있다. 특히, 제1-1 캐핑층(CPL1_1)은 제1 전극들(EL1, MAE1)과의 안정적인 전기적 및/또는 물리적 연결을 위하여 상기 제1 전극들(EL1, MAE1) 각각의 면적(혹은 크기)보다 크도록 설계될 수 있다. 이로 인하여, 제1-1 캐핑층(CPL1_1)은 그의 연장된 방향을 따라 제1 방향(DR1)으로의 폭이 일정하지 않는 형상을 가질 수 있다.
- [0266] 제1-1 캐핑층(CPL1_1)이 제2 방향(DR2)을 따라 연장되어 제1 전극들(EL1, MAE1)에 중첩하는 형태로 제공됨에 따라, 상기 제1 전극들(EL1, MAE1)은 상기 제1-1 캐핑층(CPL1_1)에 의해 전기적으로 서로 연결될 수 있다. 이로 인하여, 제1-1 캐핑층(CPL1_1)에 전달된 신호(혹은 전압)가 제1 전극들(EL1, MAE1) 각각에 전달될 수 있다. 이에 따라, 제1 전극들(EL1, MAE1)을 통해 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 어느 하나의 단부에 소정의 신호(혹은 전압)가 공급될 수 있다.
- [0267] 본 발명의 일 실시예에 있어서, 제2 캐핑층(CPL2)은 제2 방향(DR2)으로 연장된 제2-1 캐핑층(CPL2_1)과 제1 방향(DR1)으로 연장된 제2-2 캐핑층(CPL2_2)을 포함할 수 있다. 제2 캐핑층(CPL2)은 제1 캐핑층(CPL1)과 동일한 물질을 포함할 수 있다.
- [0268] 제2-1 캐핑층(CPL2_1)은 제2 전극들(EL2, MAE2) 상에 직접 제공 및/또는 형성되어 상기 제2 전극들(EL2, MAE2)과 전기적 및/또는 물리적으로 연결될 수 있다. 제2-1 캐핑층(CPL2_1)은 제2 전극들(EL2, MAE2)을 커버하여 상기 제2 전극들(EL2, MAE2)을 보호하고, 상기 제2 전극들(EL2, MAE2)과 보호층(PSV)의 접촉력을 강화하는 역할을 할 수 있다.
- [0269] 제2-2 캐핑층(CPL2_2)은 제2 연결 배선(CNL2) 상에 직접 제공 및/또는 형성되어 상기 제2 연결 배선(CNL2)과 전기적 및/또는 물리적으로 연결될 수 있다. 제2-2 캐핑층(CPL2_2)은 제2 연결 배선(CNL2)을 보호하면서 상기 제2 연결 배선(CNL2)과 보호층(PSV)의 접촉력을 강화시킬 수 있다. 제2 연결 배선(CNL2)이 제2-2 캐핑층(CPL2_2)과 전기적으로 연결됨에 따라 상기 제2 연결 배선(CNL2)에 인가된 제2 구동 전원(VSS)이 상기 제2-2 캐핑층(CPL2_2)으로 전달될 수 있다.
- [0270] 본 발명의 일 실시예에 있어서, 제2-1 캐핑층(CPL2_1)과 제2-2 캐핑층(CPL2_2)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 제2-1 캐핑층(CPL2_1)과 제2-2 캐핑층(CPL2_2)이 일체로 형성 및/또는 제공되는 경우, 상기 제2-2 캐핑층(CPL2_2)이 상기 제2-1 캐핑층(CPL2_1)의 일 영역이거나 상기 제2-1 캐핑층(CPL2_1)이 상기 제2-2 캐핑층(CPL2_2)의 일 영역일 수 있다.
- [0271] 본 발명의 일 실시예에 있어서, 제2-1 캐핑층(CPL2_1)은 제2 전극들(EL2, MAE2)과 중첩되지 않는 영역에 비하여 상기 제2 전극들(EL2, MAE2)과 중첩되는 영역에서 상대적으로 큰 폭을 갖도록 설계될 수 있다. 특히, 제2-1 캐핑층(CPL2_1)은 제2 전극들(EL2, MAE2)과의 안정적인 전기적 및/또는 물리적 연결을 위하여 상기 제2 전극들(EL2, MAE2) 각각의 면적(혹은 크기)보다 크도록 설계될 수 있다. 이로 인하여, 제2-1 캐핑층(CPL2_1)은 그의 연장된 방향을 따라 제1 방향(DR1)으로의 폭이 일정하지 않는 형상을 가질 수 있다.
- [0272] 제2-1 캐핑층(CPL2_1)이 제2 방향(DR2)을 따라 연장되어 제2 전극들(EL2, MAE2)에 중첩하는 형태로 제공됨에 따라, 상기 제2 전극들(EL2, MAE2)은 상기 제2-1 캐핑층(CPL2_1)에 의해 전기적으로 서로 연결될 수 있다. 이로 인하여, 제2-1 캐핑층(CPL2_1)에 전달된 제2 구동 전원(VSS)이 제2 전극들(EL2, MAE2) 각각에 전달될 수 있다. 이에 따라, 제2 전극들(EL2, MAE2)을 통해 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부에 제2 구동 전원(VSS)이 공급될 수 있다.
- [0273] 상술한 바와 같이, 제1 전극들(EL1, MAE1) 각각이 제2 방향(DR2)을 따라 인접한 제1 전극들(EL1, MAE1)과 이격

도면

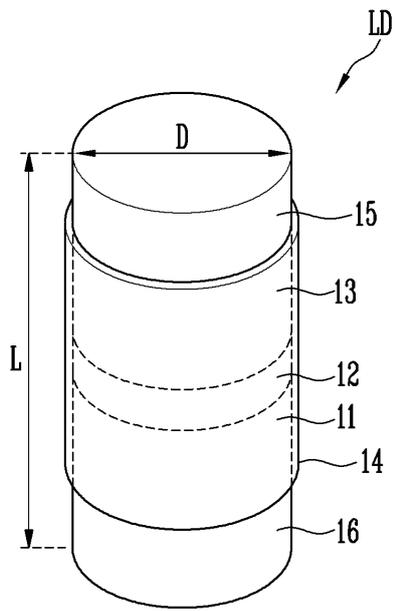
도면1a



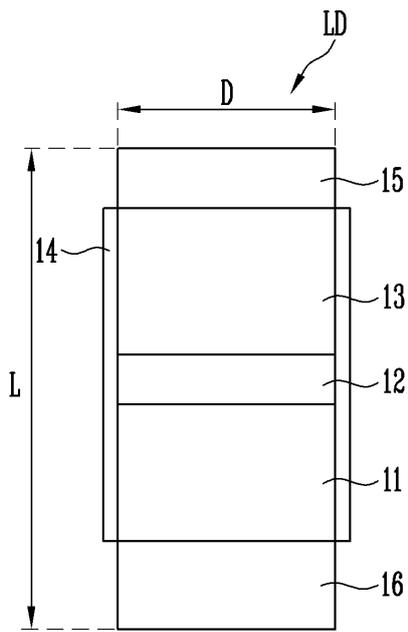
도면1b



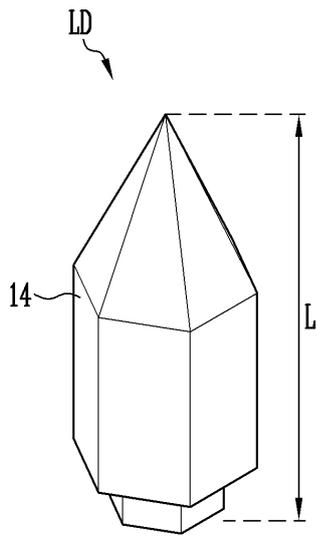
도면1c



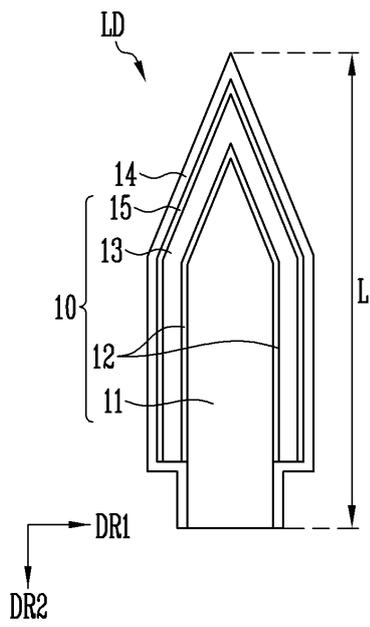
도면1d



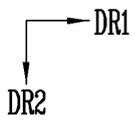
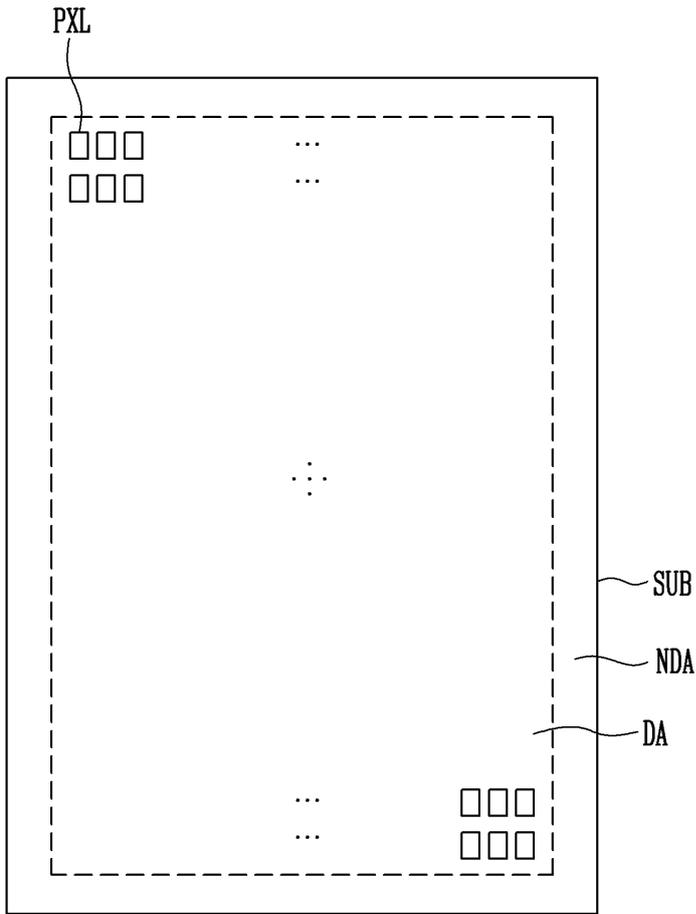
도면1e



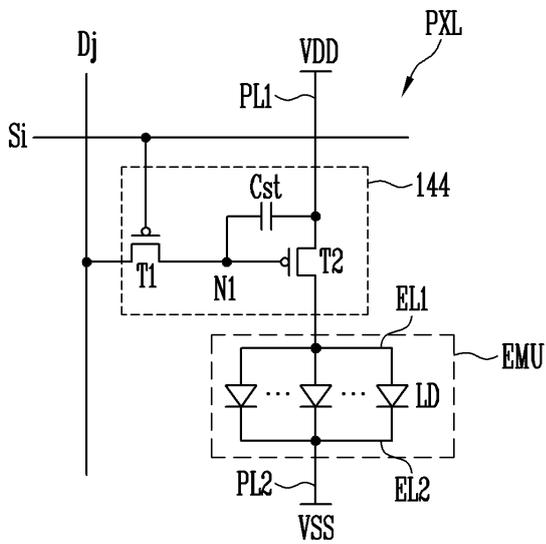
도면1f



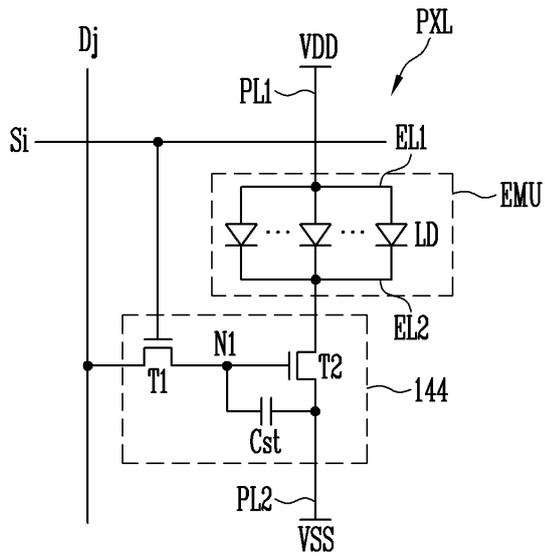
도면2



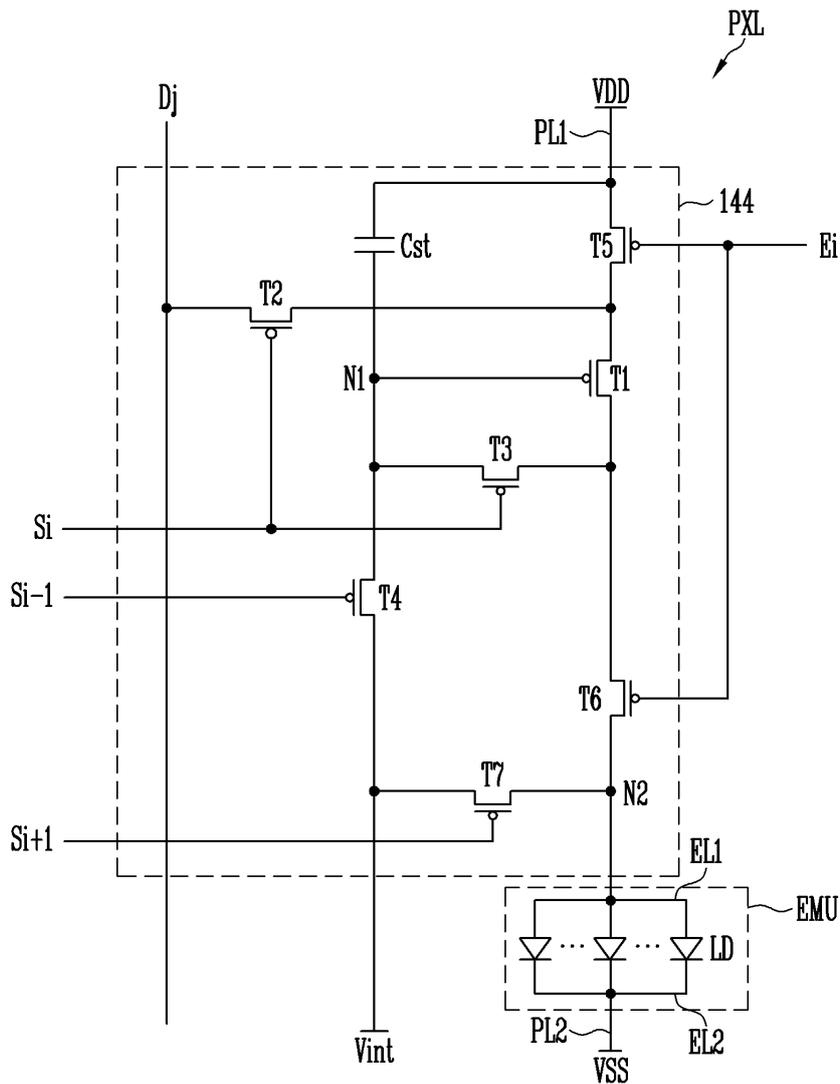
도면3a



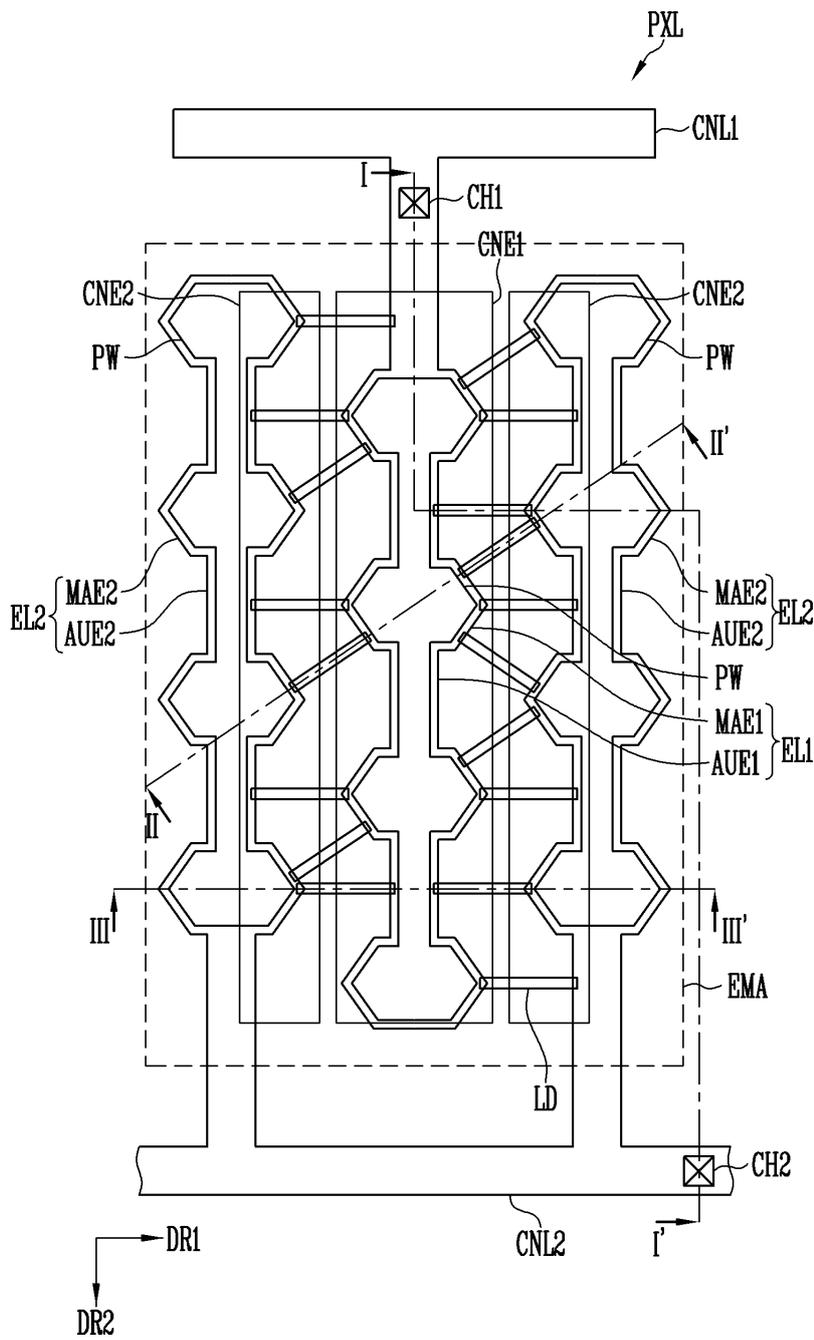
도면3b



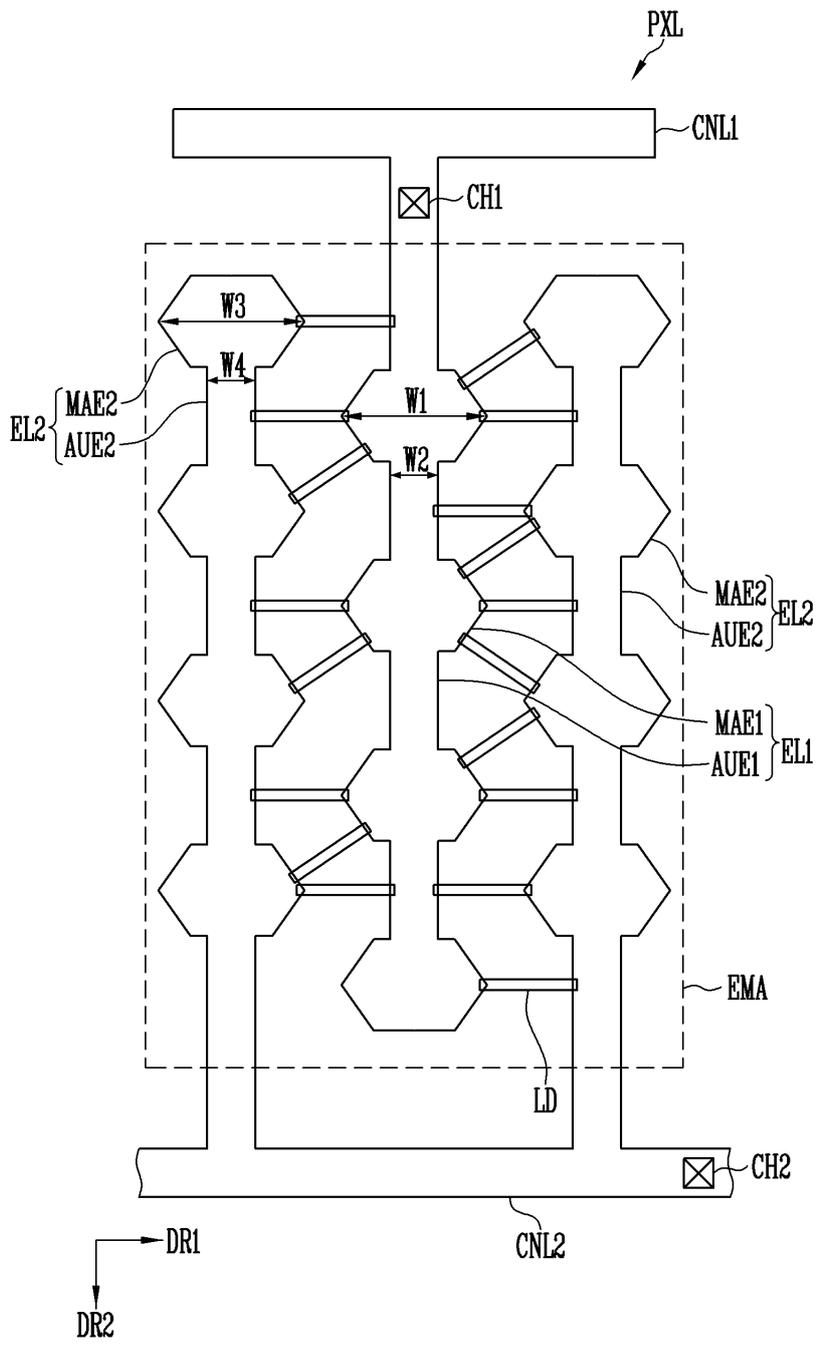
도면3c



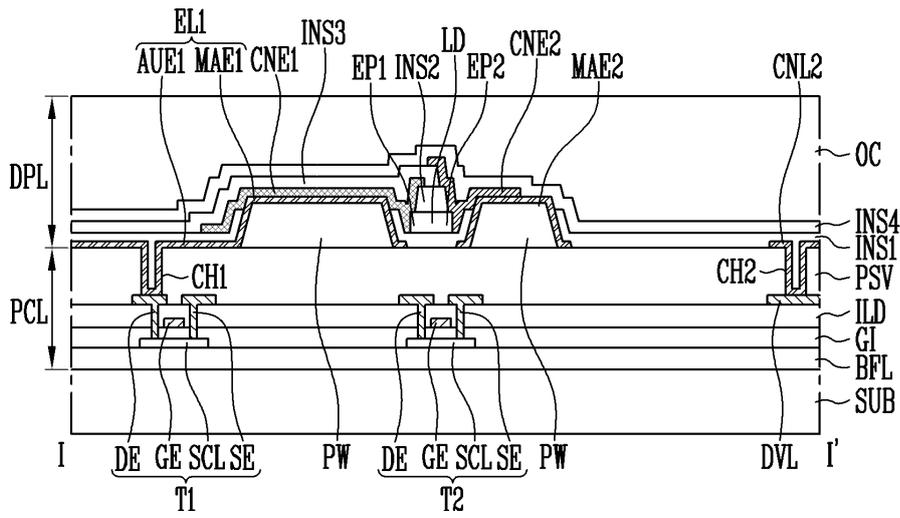
도면4



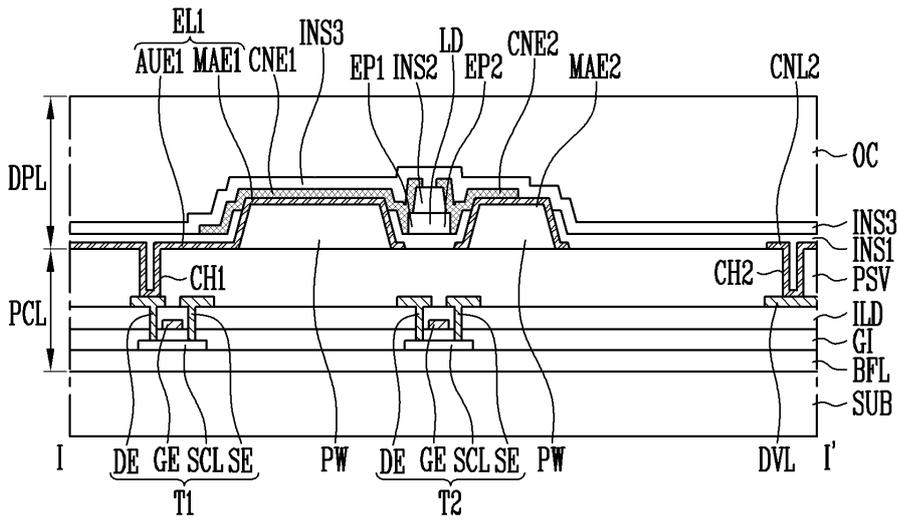
도면5



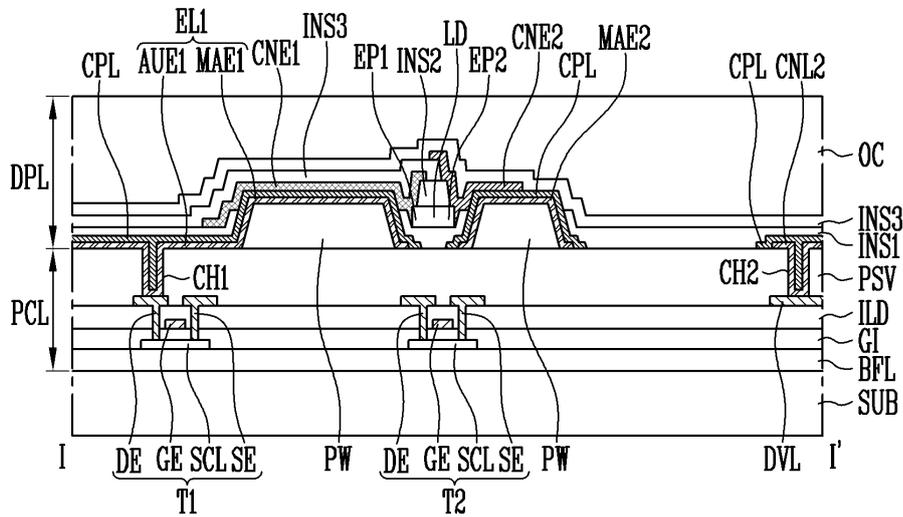
도면6



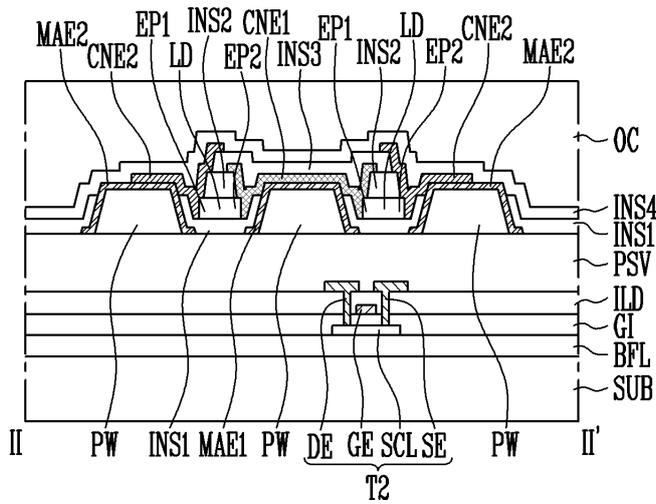
도면7



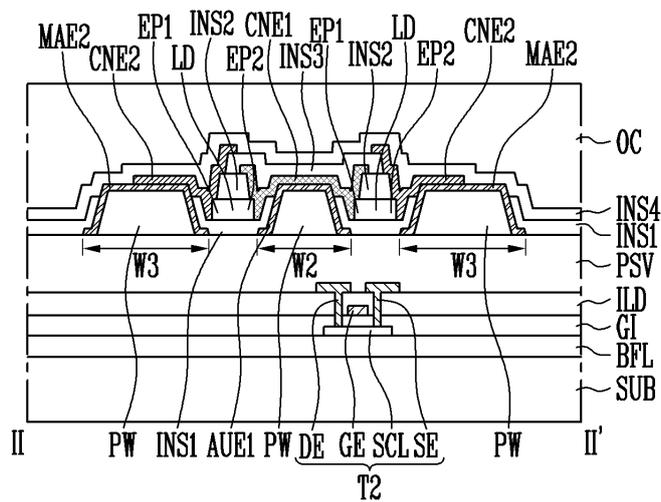
도면8



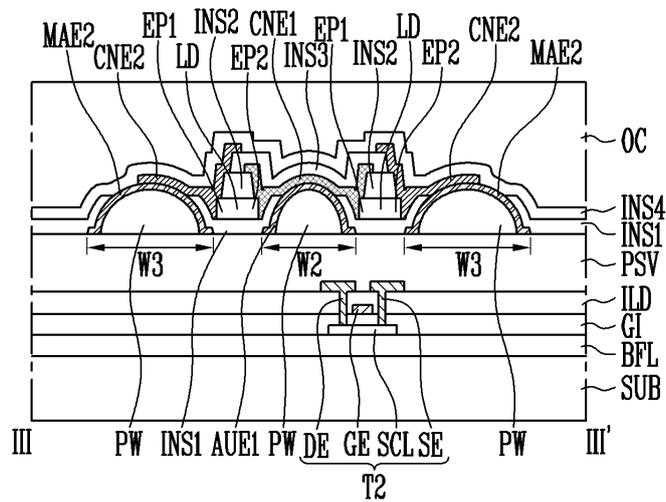
도면9



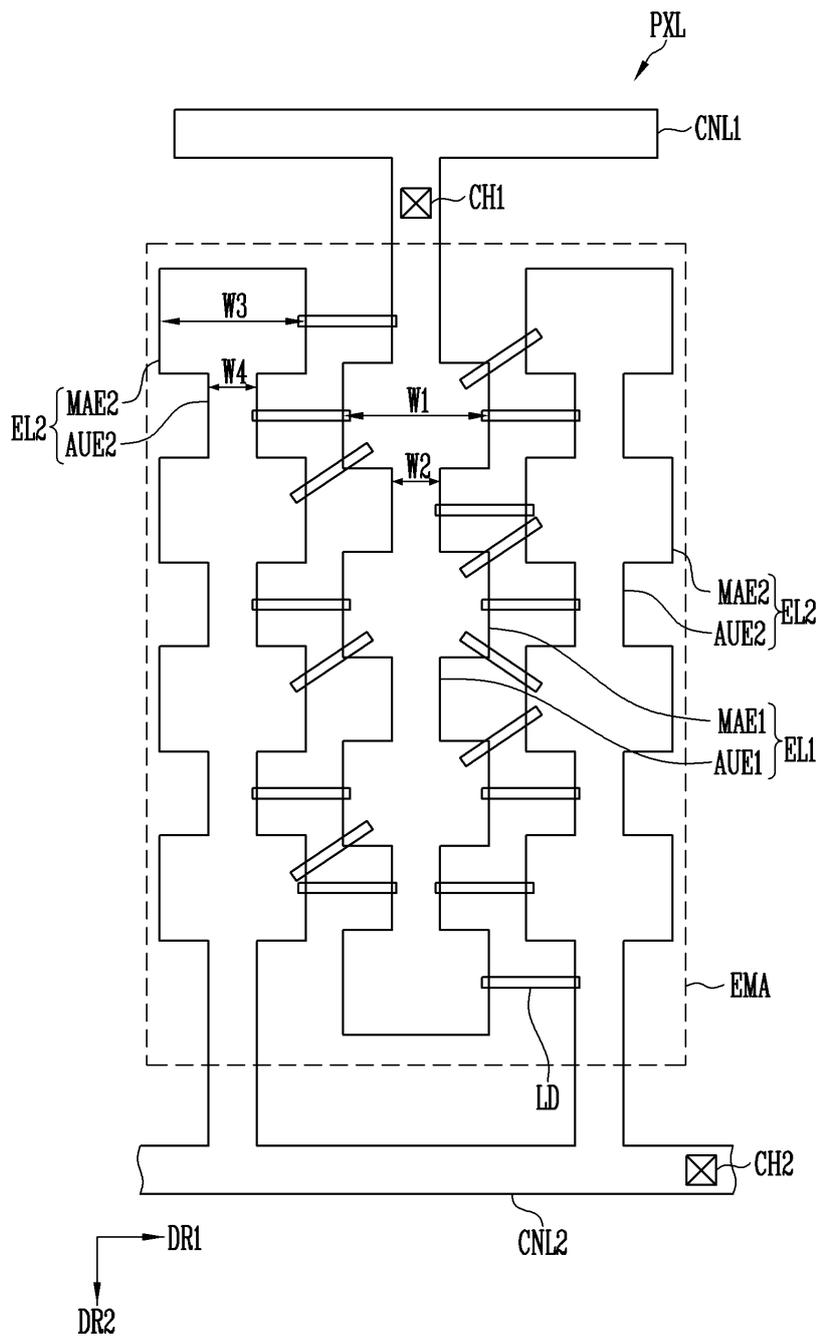
도면10



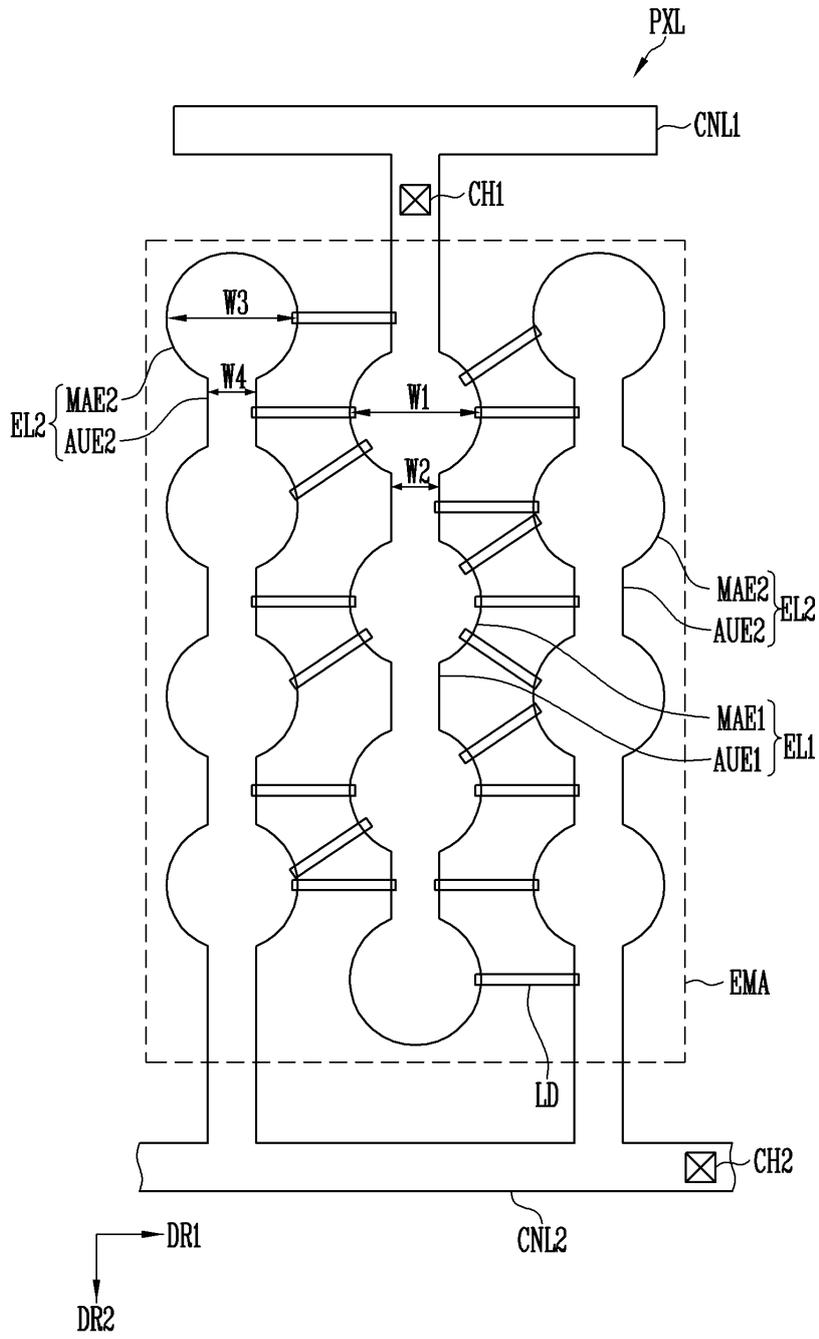
도면11



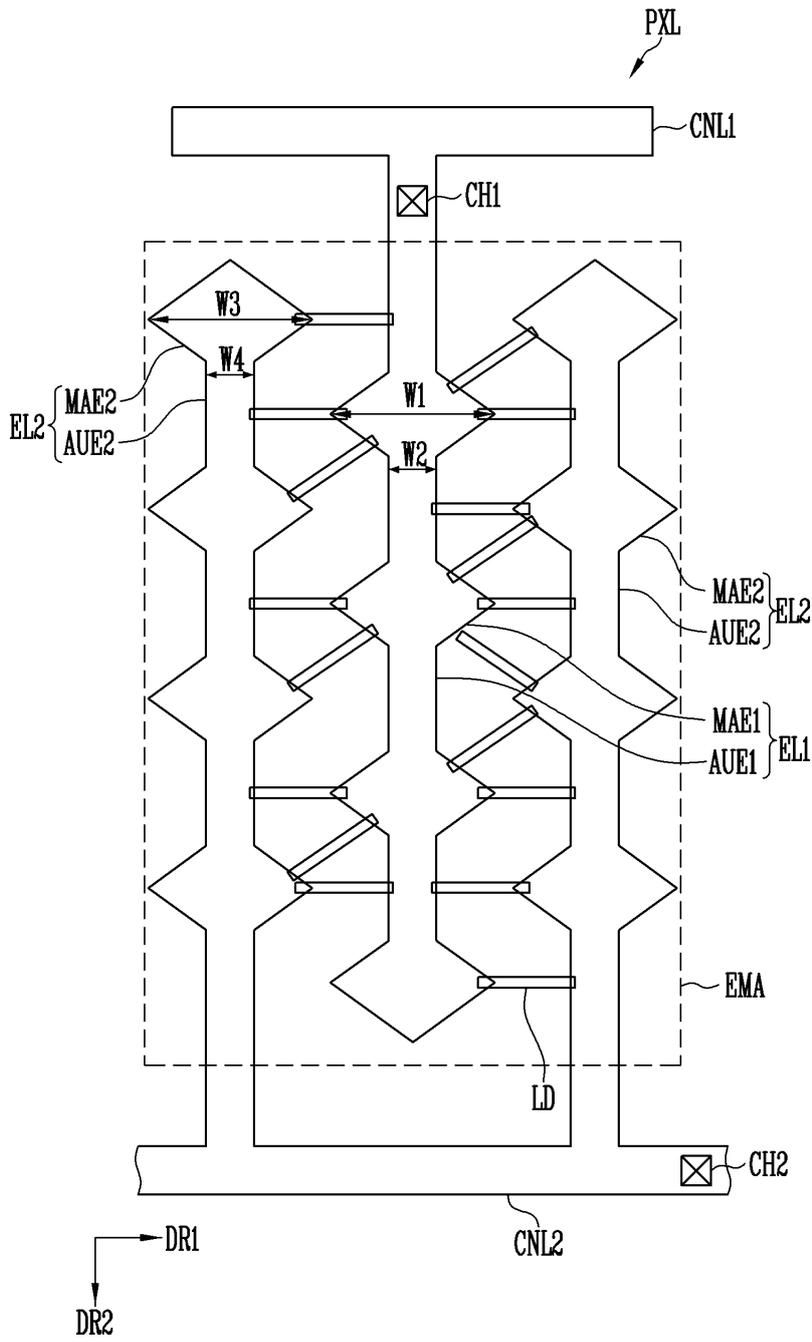
도면12



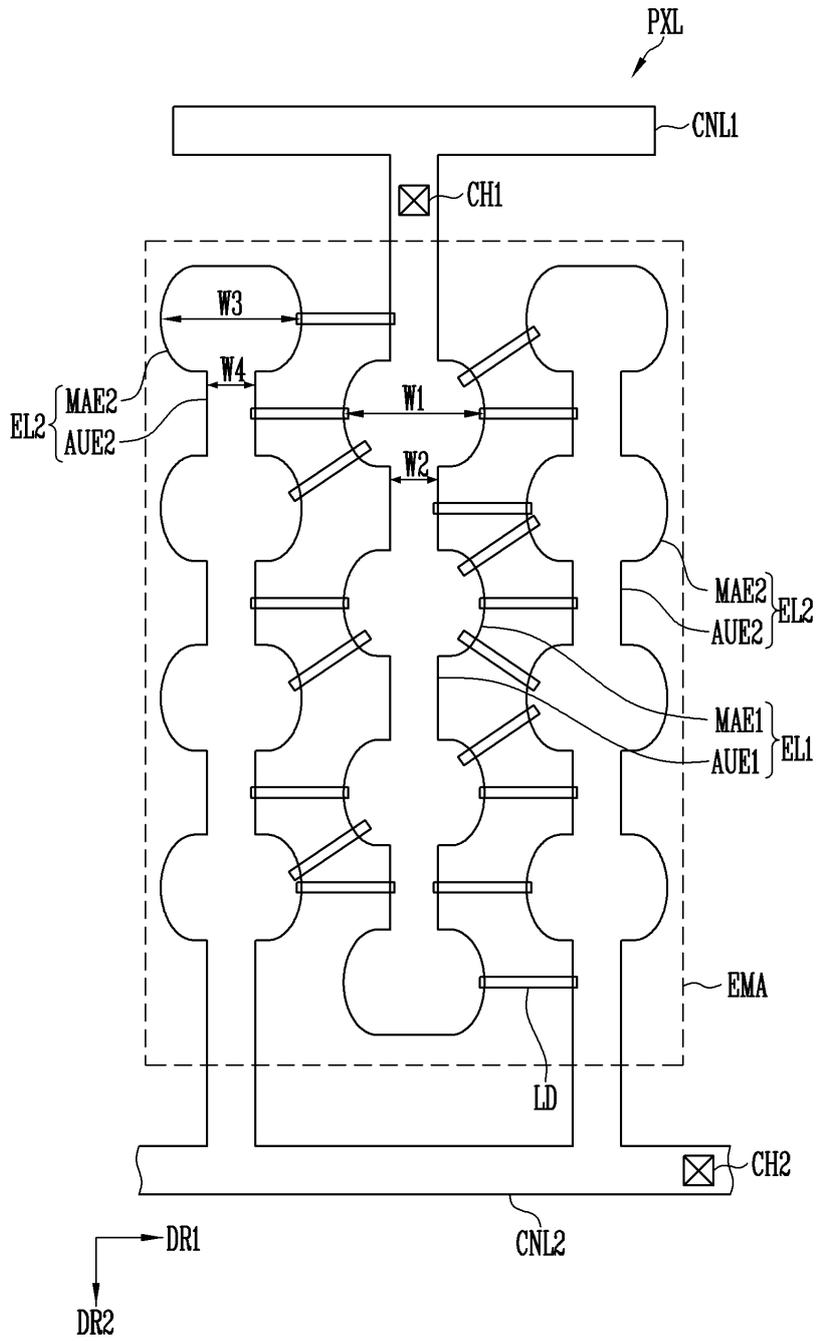
도면13



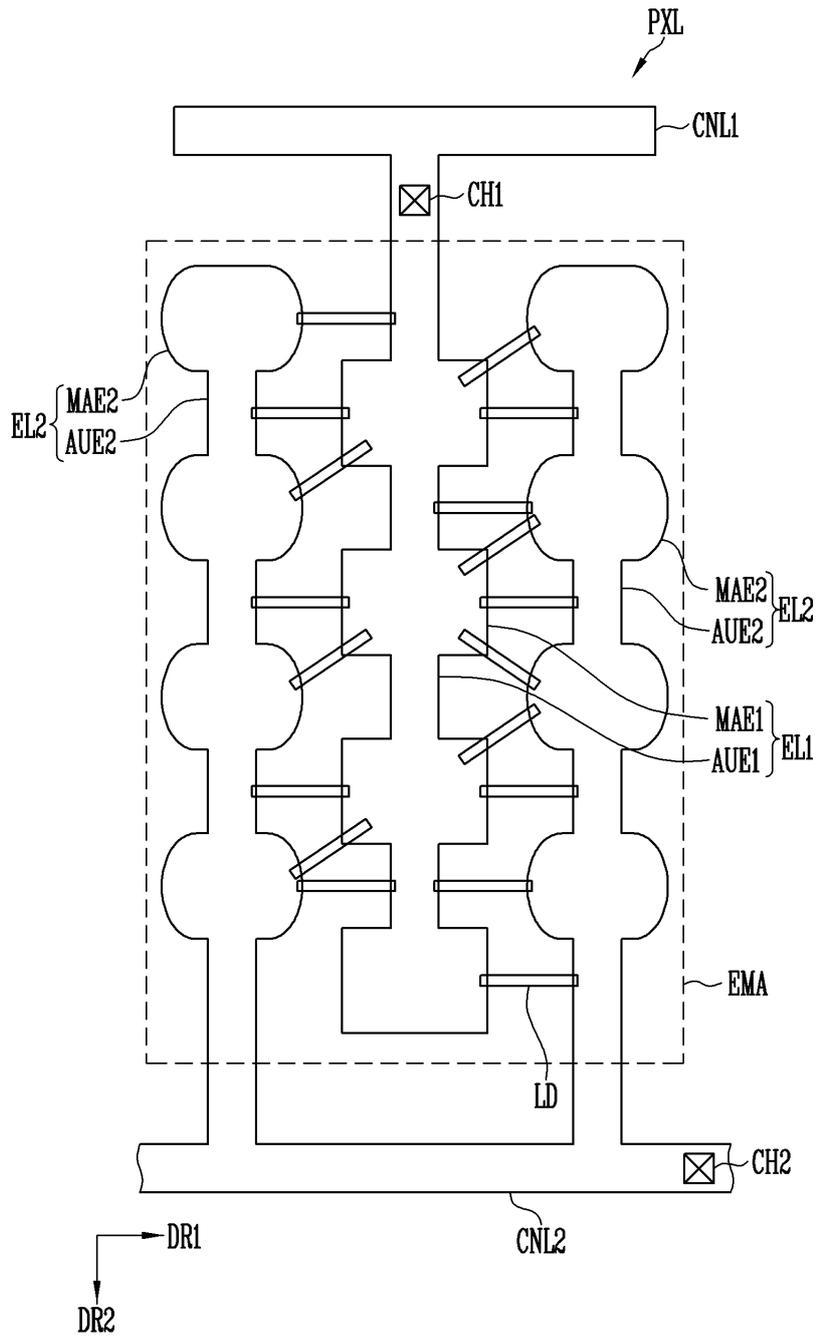
도면14



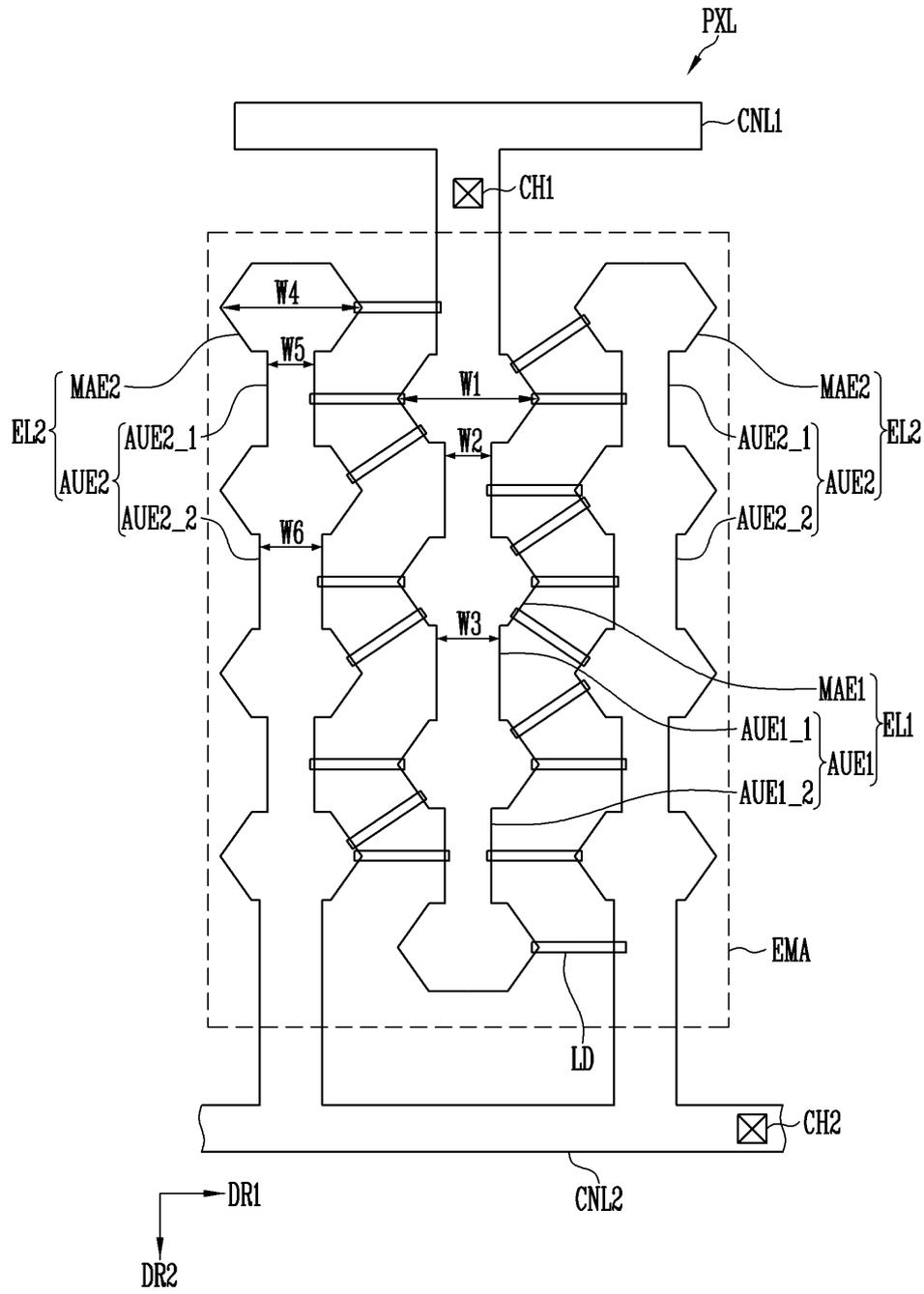
도면15



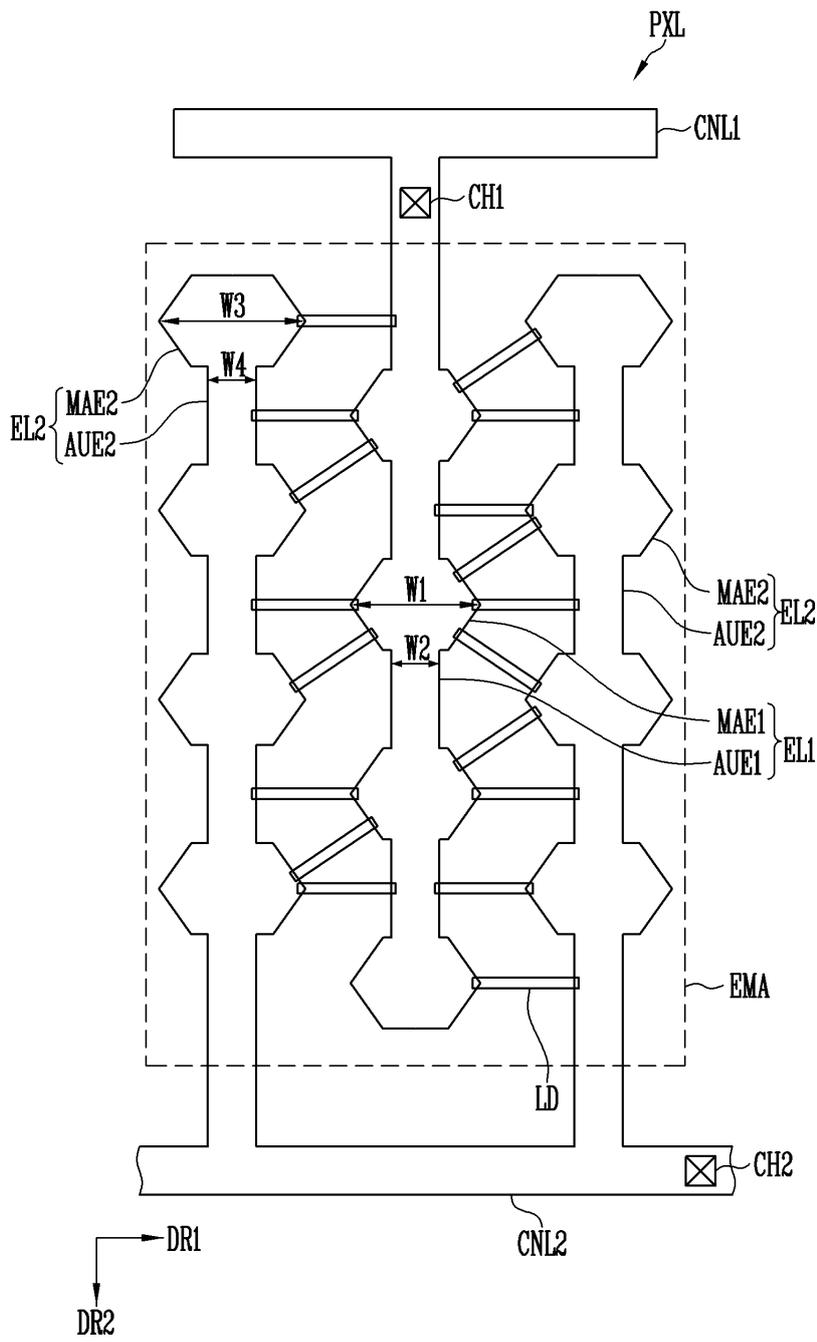
도면16



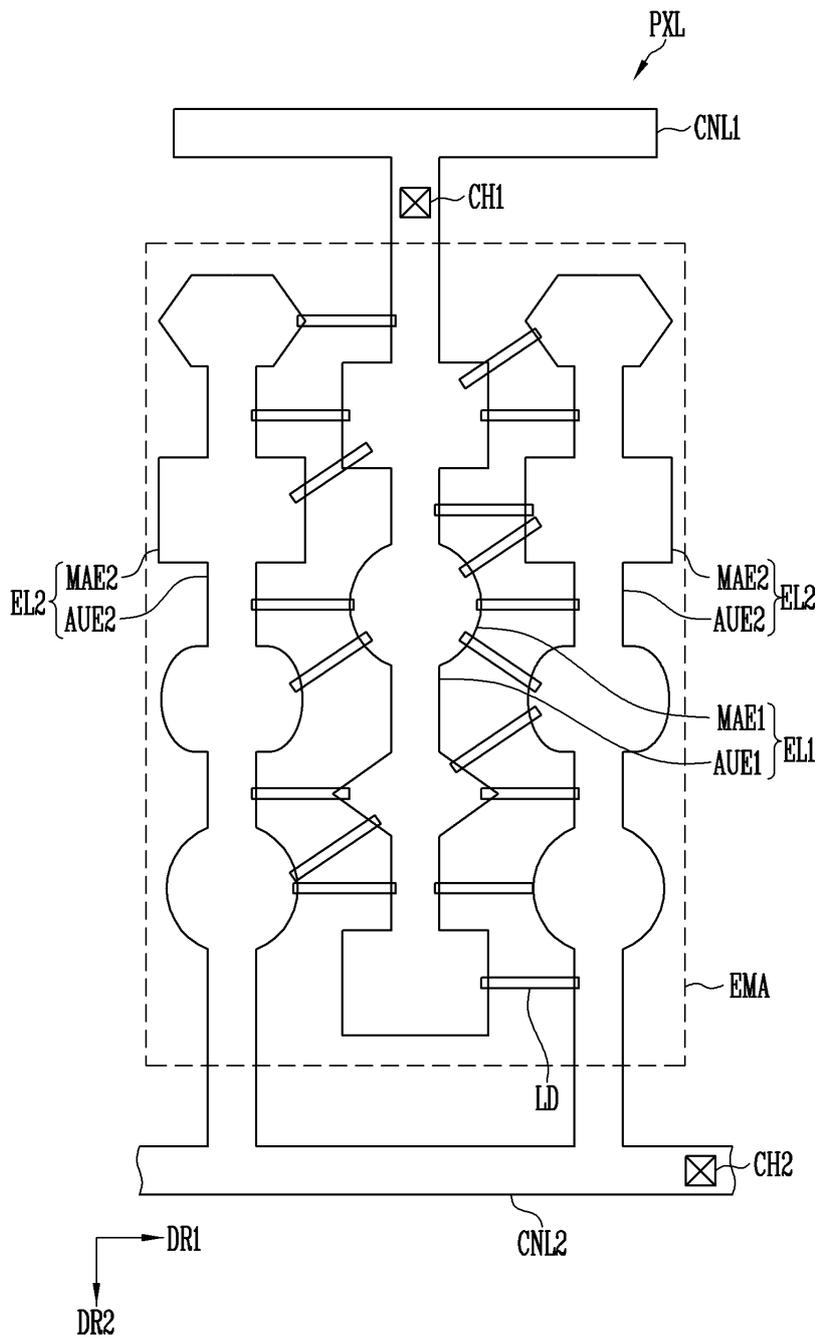
도면17



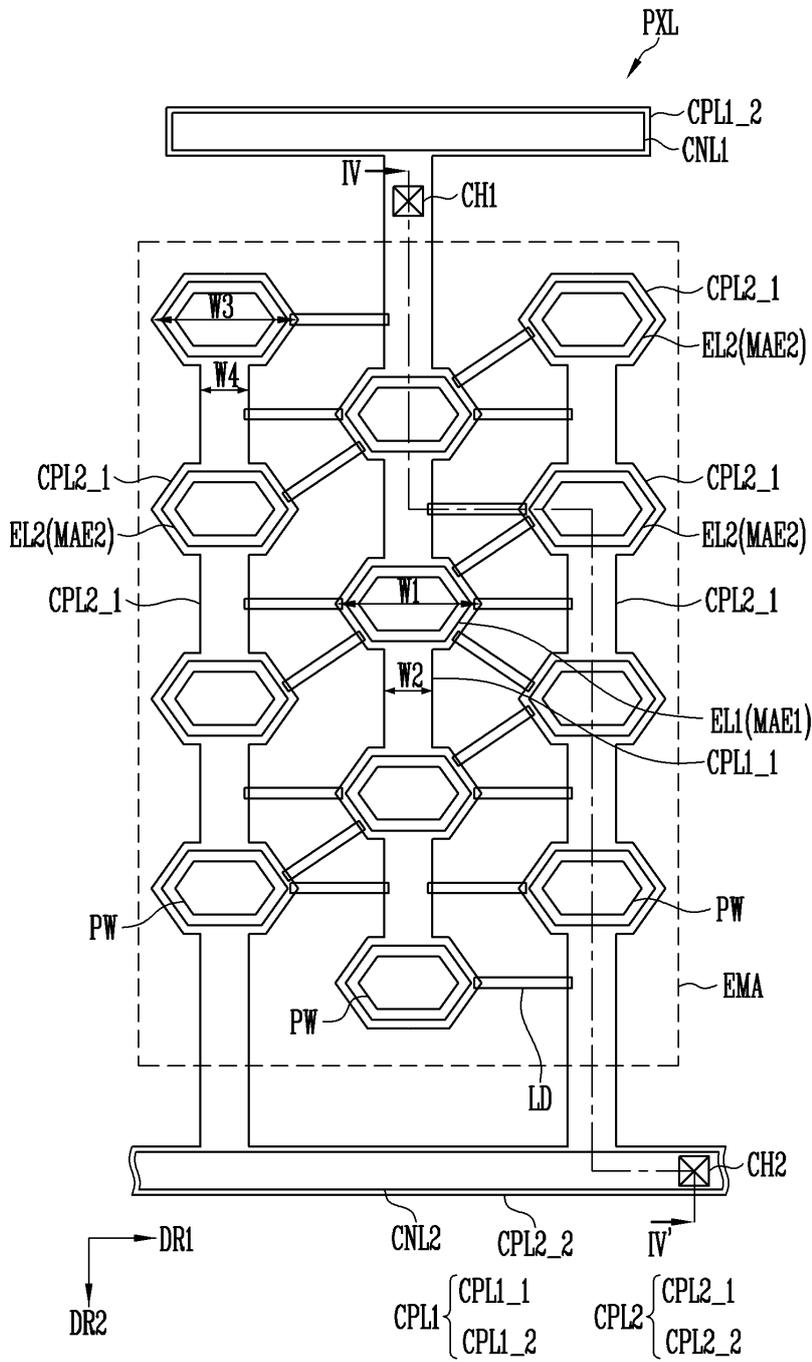
도면18



도면19



도면20



도면21

