



(12) 发明专利申请

(10) 申请公布号 CN 112885399 A

(43) 申请公布日 2021.06.01

(21) 申请号 202110085435.0

(22) 申请日 2021.01.22

(71) 申请人 深圳佰维存储科技股份有限公司  
地址 518000 广东省深圳市南山区桃源街  
道同富裕工业城4号厂房1楼、2楼、4  
楼、5楼

(72) 发明人 孙成思 孙日欣 雷泰

(74) 专利代理机构 深圳市博锐专利事务所  
44275

代理人 任芹玉

(51) Int. Cl.  
G11C 29/04 (2006.01)

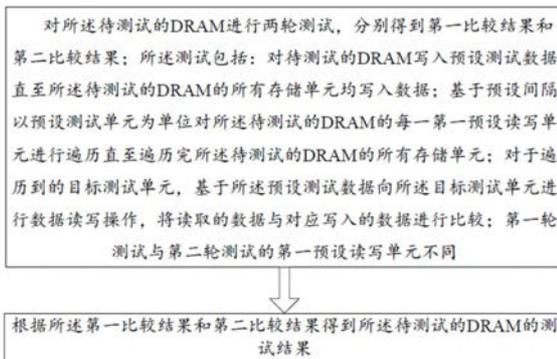
权利要求书2页 说明书13页 附图9页

(54) 发明名称

DRAM测试方法、装置、可读存储介质及电子设备

(57) 摘要

本发明公开一种DRAM测试方法、装置、可读存储介质及电子设备,通过对待测试的DRAM进行两轮测试,基于预设间隔以预设测试单元为单位对待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完待测试的DRAM的所有存储单元,对于遍历到的目标测试单元,基于预设测试数据向目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较,通过两轮测试的比较结果得到最终测试结果,能够模拟具有一定间隔的非连续的访问方式,覆盖此前的测试盲区并检测出现有技术中较难被发现的芯片缺陷,使桥接故障和耦合故障等多存储单元故障得到激发,提高了故障覆盖率,增强测试结果的可靠性,从而提高产品良性。



1. 一种DRAM测试方法,其特征在于,包括步骤:

对所述待测试的DRAM进行两轮测试,分别得到第一比较结果和第二比较结果;

所述测试包括:

对待测试的DRAM写入预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据;

基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元;

对于遍历到的目标测试单元,基于所述预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较;

第一轮测试与第二轮测试的第一预设读写单元不同;

根据所述第一比较结果和第二比较结果得到所述待测试的DRAM的测试结果。

2. 根据权利要求1所述的一种DRAM测试方法,其特征在于,所述对待测试的DRAM写入预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据包括:

以预设突发长度为单位从所述待测试的DRAM的每一第二预设读写单元的低位地址开始写入所述预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据。

3. 根据权利要求1所述的一种DRAM测试方法,其特征在于,所述基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元包括:

从每一第一预设读写单元的预设位置开始,对每一所述第一预设读写单元中每间隔预设间隔的所有预设测试单元进行遍历;

所述待测试的DRAM中每间隔预设间隔的所有预设测试单元中沿第一预设方向的相邻预设测试单元之间间隔所述预设间隔,沿第二预设方向的相邻预设测试单元之间间隔所述预设间隔;

将每一所述第一预设读写单元的预设位置设置为与其相邻的下一位置,并返回执行从每一第一预设读写单元的预设位置开始步骤直至遍历完所述待测试的DRAM的所有存储单元。

4. 根据权利要求3所述的一种DRAM测试方法,其特征在于,所述待测试的DRAM中每间隔预设间隔的所有预设测试单元中沿第一预设方向的相邻预设测试单元之间间隔所述预设间隔,沿第二预设方向的相邻预设测试单元之间间隔所述预设间隔包括:

根据所述预设间隔循环选取对应的连续个数的第一预设读写单元直至遍历完所述待测试的DRAM的所有第一预设读写单元;

对于每次选取的所述连续个数的第一预设读写单元中,按照所述第一预设读写单元的序号顺序各个第一预设读写单元的预设位置依次递增一。

5. 根据权利要求1所述的一种DRAM测试方法,其特征在于,所述基于所述预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较包括:

读取所述目标测试单元的数据,将读取到的数据与对应写入的数据进行比较;

向所述目标测试单元写入所述预设测试数据的反数,并读取所述目标测试单元的数据,将读取到的数据与对应写入的数据进行比较。

6. 根据权利要求1至5中任一项所述的一种DRAM测试方法,其特征在于,所述第一预设

读写单元包括行或列。

7. 根据权利要求1至5中任一项所述的一种DRAM测试方法,其特征在于,所述根据所述第一比较结果和第二比较结果得到所述待测试的DRAM的测试结果包括:

若所述第一比较结果与所述第二比较结果均为比较结果一致,则测试结果为成功;否则,测试结果为失败。

8. 一种DRAM测试装置,其特征在于,包括:

数据读写模块,用于对所述待测试的DRAM进行两轮测试,分别得到第一比较结果和第二比较结果;

所述测试包括:

对待测试的DRAM写入预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据;

基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元;

对于遍历到的目标测试单元,基于所述预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较;

第一轮测试与第二轮测试的第一预设读写单元不同;

测试模块,用于根据所述第一比较结果和第二比较结果得到所述待测试的DRAM的测试结果。

9. 一种计算机可读存储介质,其上存储有计算机程序,其特征在于,所述计算机程序被处理器执行时实现如权利要求1至7任一项所述的一种DRAM测试方法中的各个步骤。

10. 一种电子设备,包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,其特征在于,所述处理器执行所述计算机程序时实现如权利要求1至7任一项所述的一种DRAM测试方法中的各个步骤。

## DRAM测试方法、装置、可读存储介质及电子设备

### 技术领域

[0001] 本发明涉及DRAM芯片测试领域,尤其涉及一种DRAM测试方法、装置、可读存储介质及电子设备。

### 背景技术

[0002] 动态随机存取存储器(Dynamic Random Access Memory, DRAM),是当代计算机系统不可或缺的组成部件,分平台可有应用于个人电脑或服务器的双倍速率同步动态随机存储器(Double Data Rate, DDR) 模组以及应用于嵌入式ARM架构的低功耗内存(Low Power Double Data Rate, LPDDR) 芯片。

[0003] LPDDR的基本存储单元为cell,计算机及嵌入式系统通过在cell中写入高电平或低电平的方式进行数据存储和读写。

[0004] 另外,由于当前DRAM为了高效的存取速率采用的是突发读写方式,即读写操作在一个存储阵列中是以突发长度(Burst Length, BL) 为单位进行的,一次操作多位(如8位、16位或32位) 列地址的读写,并对每个突发长度里访问由0和1组成的数据。例如定位的地址是0行,突发长度为8bit,那么在0行0列至0行7列这一段空间每一位写入1bit数据,共8bit,第二个突发长度由0行8列至15列,以此类推。当一行的存储位置全部写完时,内存控制器(Memory Controller, MC) 定位下一行的地址,继续同样的操作。

[0005] 在实际的使用中,内存的随机访问占据了一定比例,与连续访问相比,随机访问所获取的地址具有一定不确定性。在内存的失效模型中,有部分故障使用非连续的访问更容易激发,比如耦合故障(Coupling Fault, CF)。为了贴合使用情况,在测试过程中以更大的概率激发实际中存在的内存故障,需要采用具有一定间隔的非连续的访问方式。

### 发明内容

[0006] 本发明所要解决的技术问题是:提供了一种DRAM测试方法、装置、可读存储介质及电子设备,能够提高测试DRAM时故障的覆盖率。

[0007] 为了解决上述技术问题,本发明采用的一种技术方案为:

[0008] 一种DRAM测试方法,包括步骤:

[0009] 对所述待测试的DRAM进行两轮测试,分别得到第一比较结果和第二比较结果;

[0010] 所述测试包括:

[0011] 对待测试的DRAM写入预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据;

[0012] 基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元;

[0013] 对于遍历到的目标测试单元,基于所述预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较;

[0014] 第一轮测试与第二轮测试的第一预设读写单元不同;

- [0015] 根据所述第一比较结果和第二比较结果得到所述待测试的DRAM的测试结果。
- [0016] 为了解决上述技术问题,本发明采用的另一种技术方案为:
- [0017] 一种DRAM测试装置,包括:
- [0018] 数据读写模块,用于对所述待测试的DRAM进行两轮测试,分别得到第一比较结果和第二比较结果;
- [0019] 所述测试包括:
- [0020] 对待测试的DRAM写入预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据;
- [0021] 基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元;
- [0022] 对于遍历到的目标测试单元,基于所述预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较;
- [0023] 第一轮测试与第二轮测试的第一预设读写单元不同;
- [0024] 测试模块,用于根据所述第一比较结果和第二比较结果得到所述待测试的DRAM的测试结果。
- [0025] 为了解决上述技术问题,本发明采用的另一种技术方案为:
- [0026] 一种计算机可读存储介质,其上存储有计算机程序,所述计算机程序被处理器执行时实现上述DRAM测试方法中的各个步骤。
- [0027] 为了解决上述技术问题,本发明采用的另一种技术方案为:
- [0028] 一种电子设备,包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,所述处理器执行所述计算机程序时实现上述DRAM测试方法中的各个步骤。
- [0029] 本发明的有益效果在于:通过对待测试的DRAM进行两轮测试,基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元,对于遍历到的目标测试单元,基于所述预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较,通过两轮测试的比较结果得到最终测试结果,由于部分故障使用非连续的访问更容易激发,基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历,能够模拟具有一定间隔的非连续的访问方式,覆盖此前的测试盲区并检测出现有技术中较难被发现的芯片缺陷,使桥接故障和耦合故障等多存储单元故障得到激发,提高了故障覆盖率,增强测试结果的可靠性,从而提高产品良性。

## 附图说明

- [0030] 图1为本发明实施例的一种DRAM测试方法的步骤流程图;
- [0031] 图2为本发明实施例的一种DRAM测试装置的结构示意图;
- [0032] 图3为本发明实施例的一种电子设备的结构示意图;
- [0033] 图4为本发明实施例的DRAM测试方法中预设测试数据以及预设测试数据的反数示意图;
- [0034] 图5为本发明实施例的DRAM测试方法中的测试流程图;
- [0035] 图6为本发明实施例的DRAM测试方法中写入预设测试数据/D的待测试的DRAM的存

储阵列示意图；

[0036] 图7为本发明实施例的DRAM测试方法中第一轮测试的预设测试单元遍历顺序示意图；

[0037] 图8为本发明实施例的DRAM测试方法中第二轮测试的预设测试单元遍历顺序示意图；

[0038] 图9为本发明实施例的DRAM测试方法中对存储阵列的所有行的第一次遍历示意图；

[0039] 图10为本发明实施例的DRAM测试方法中对存储阵列的所有行的第二次遍历示意图；

[0040] 图11为本发明实施例的DRAM测试方法中对存储阵列的所有行的第三次遍历示意图；

[0041] 图12为本发明实施例的DRAM测试方法中对存储阵列的所有行的第四次遍历示意图；

[0042] 图13为本发明实施例的DRAM测试方法中对存储阵列的所有列的第一次遍历示意图；

[0043] 图14为本发明实施例的DRAM测试方法中对存储阵列的所有列的第二次遍历示意图；

[0044] 图15为本发明实施例的DRAM测试方法中对存储阵列的所有列的第三次遍历示意图；

[0045] 图16为本发明实施例的DRAM测试方法中对存储阵列的所有列的第四次遍历示意图。

### 具体实施方式

[0046] 为详细说明本发明的技术内容、所实现目的及效果，以下结合实施方式并配合附图予以说明。

[0047] 请参照图1，本发明实施例提供了一种DRAM测试方法，包括步骤：

[0048] 对所述待测试的DRAM进行两轮测试，分别得到第一比较结果和第二比较结果；

[0049] 所述测试包括：

[0050] 对待测试的DRAM写入预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据；

[0051] 基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元；

[0052] 对于遍历到的目标测试单元，基于所述预设测试数据向所述目标测试单元进行数据读写操作，将读取的数据与对应写入的数据进行比较；

[0053] 第一轮测试与第二轮测试的第一预设读写单元不同；

[0054] 根据所述第一比较结果和第二比较结果得到所述待测试的DRAM的测试结果。

[0055] 从上述描述可知，本发明的有益效果在于：通过对待测试的DRAM进行两轮测试，基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元，对于遍历到的目标测试单元，基于所述

预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较,通过两轮测试的比较结果得到最终测试结果,由于部分故障使用非连续的访问更容易激发,基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历,能够模拟具有一定间隔的非连续的访问方式,覆盖此前的测试盲区并检测出现有技术中较难被发现的芯片缺陷,使桥接故障和耦合故障等多存储单元故障得到激发,提高了故障覆盖率,增强测试结果的可靠性,从而提高产品良性。

[0056] 进一步地,所述对待测试的DRAM写入预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据包括:

[0057] 以预设突发长度为单位从所述待测试的DRAM的每一第二预设读写单元的低位地址开始写入所述预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据。

[0058] 由上述描述可知,通过以突发长度为单位对待测试的DRAM写入预设测试数据,能够提高数据写入速度,且时间复杂度低,适用于量产测试。

[0059] 进一步地,所述基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元包括:

[0060] 从每一第一预设读写单元的预设位置开始,对每一所述第一预设读写单元中每间隔预设间隔的所有预设测试单元进行遍历;

[0061] 所述待测试的DRAM中每间隔预设间隔的所有预设测试单元中沿第一预设方向的相邻预设测试单元之间间隔所述预设间隔,沿第二预设方向的相邻预设测试单元之间间隔所述预设间隔;

[0062] 将每一所述第一预设读写单元的预设位置设置为与其相邻的下一位置,并返回执行从每一第一预设读写单元的预设位置开始步骤直至遍历完所述待测试的DRAM的所有存储单元。

[0063] 由上述描述可知,从每一第一预设读写单元的预设位置开始,对每一所述第一预设读写单元中每间隔预设间隔的所有预设测试单元进行遍历,将每一所述第一预设读写单元的预设位置设置为与其相邻的下一位置,并返回执行从每一第一预设读写单元的预设位置开始步骤直至遍历完所述待测试的DRAM的所有存储单元,模拟了具有一定间隔的非连续的访问,实现了对待测试的DRAM的跳位访问,能够覆盖此前的测试盲区并检测出现有技术中较难被发现的芯片缺陷,使多存储单元故障得到激发,从而提高了故障覆盖率。

[0064] 进一步地,所述待测试的DRAM中每间隔预设间隔的所有预设测试单元中沿第一预设方向的相邻预设测试单元之间间隔所述预设间隔,沿第二预设方向的相邻预设测试单元之间间隔所述预设间隔包括:

[0065] 根据所述预设间隔循环选取对应的连续个数的第一预设读写单元直至遍历完所述待测试的DRAM的所有第一预设读写单元;

[0066] 对于每次选取的所述连续个数的第一预设读写单元中,按照所述第一预设读写单元的序号顺序各个第一预设读写单元的预设位置依次递增一。

[0067] 由上述描述可知,根据所述预设间隔循环选取对应的连续个数的第一预设读写单元,将每次选取的所述连续个数的第一预设读写单元中,按照所述第一预设读写单元的序号顺序各个第一预设读写单元的预设位置依次递增一,能够确保沿第一预设方向的相邻预设测试单元之间间隔预设间隔,沿第二预设方向的相邻预设测试单元之间间隔预设间隔,

由于在实际的使用中,内存的随机访问占据了一定比例,能够很好的模拟用户对DRAM芯片的实际使用环境,保证测试的可靠性和准确性。

[0068] 进一步地,所述基于所述预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较包括:

[0069] 读取所述目标测试单元的数据,将读取到的数据与对应写入的数据进行比较;

[0070] 向所述目标测试单元写入所述预设测试数据的反数,并读取所述目标测试单元的数据,将读取到的数据与对应写入的数据进行比较。

[0071] 由上述描述可知,对于遍历到的目标测试单元,先读取写入的数据,再写入预设测试数据的反数,再读取写入的数据,能够使单存储单元得到激发,提高了故障覆盖率,保证测试的可靠性和准确性。

[0072] 进一步地,所述第一预设读写单元包括行或列。

[0073] 由上述描述可知,测试人员能够根据需要设置第一预设读写单元为行或列,灵活性高。

[0074] 进一步地,所述根据所述第一比较结果和第二比较结果得到所述待测试的DRAM的测试结果包括:

[0075] 若所述第一比较结果与所述第二比较结果均为比较结果一致,则测试结果为成功;否则,测试结果为失败。

[0076] 由上述描述可知,通过由两轮测试分别得到第一比较结果和第二比较结果,能够检测出较难发现的芯片缺陷,提高了测试时的故障覆盖率,并保证了测试的可靠性。

[0077] 请参照图2,本发明另一实施例提供了一种DRAM测试装置,包括:

[0078] 数据读写模块,用于对所述待测试的DRAM进行两轮测试,分别得到第一比较结果和第二比较结果;

[0079] 所述测试包括:

[0080] 对待测试的DRAM写入预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据;

[0081] 基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元;

[0082] 对于遍历到的目标测试单元,基于所述预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较;

[0083] 第一轮测试与第二轮测试的第一预设读写单元不同;

[0084] 测试模块,用于根据所述第一比较结果和第二比较结果得到所述待测试的DRAM的测试结果。

[0085] 本发明另一实施例提供了一种计算机可读存储介质,其上存储有计算机程序,所述计算机程序被处理器执行时实现上述DRAM测试方法中的各个步骤。

[0086] 请参照图3,本发明另一实施例提供了一种电子设备,包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,所述处理器执行所述计算机程序时实现上述DRAM测试方法中的各个步骤。

[0087] 本发明上述DRAM测试方法,装置、计算机可读存储介质及电子设备能够适用于任何类型的DRAM的测试中,比如DDR以及LPDDR各代产品,以下通过具体实施方式进行说明:

[0088] 实施例一

[0089] 请参照图1,本实施例的一种DRAM测试方法,包括步骤:

[0090] S1、对所述待测试的DRAM进行两轮测试,分别得到第一比较结果和第二比较结果;

[0091] 所述测试包括:

[0092] S11、对待测试的DRAM写入预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据;

[0093] 具体的,以预设突发长度为单位从所述待测试的DRAM的每一第二预设读写单元的低位地址开始写入所述预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据;

[0094] 其中,所述第二预设读写单元可以根据实际情况需要进行灵活设置,比如可以设置为列或行;

[0095] 突发长度(Burst Length,BL)是由JEDEC标准确定的,也可以自由设置,即一次操作多位(比如8位或16位)进行对应的读写,比如,在进行基于行的写数据时,如果定位的地址是0行,突发长度为8bit,则在0行0列这个位置开始同时写入要写入的数据的前8位数值,接着第二个突发长度写入要写入的数据的9-16位,一直连续写入直至将0行的存储位置全部写完,接着重新定位下一行的地址,继续上一行的操作,直到全盘写入数据,读数据也是类似的操作;

[0096] 本实施例中,所述第二预设读写单元为行,如图6所示;

[0097] 比如,从第一行的第一列开始写入预设测试数据,写完第一行后,从第二行的第一列开始写入预设测试数据,以此类推,直至待测试的DRAM的每一行均写入数据;

[0098] S12、基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元;

[0099] 其中,所述第一预设读写单元包括列或行;

[0100] 具体的,从每一第一预设读写单元的预设位置开始,对每一所述第一预设读写单元中每间隔预设间隔的所有预设测试单元进行遍历;

[0101] 其中,所述预设间隔可以根据实际情况需要进行灵活设置;

[0102] 本实施例中,所述预设间隔为3;

[0103] 所述待测试的DRAM中每间隔预设间隔的所有预设测试单元中沿第一预设方向的相邻预设测试单元之间间隔所述预设间隔,沿第二预设方向的相邻预设测试单元之间间隔所述预设间隔;

[0104] 其中,第一预设方向与第二预设方向不同,比如第一预设方向为行,第二预设方向为列;或者第一预设方向为列,第二预设方向为行;

[0105] 将每一所述第一预设读写单元的预设位置设置为与其相邻的下一位置,并返回执行从每一第一预设读写单元的预设位置开始步骤直至遍历完所述待测试的DRAM的所有存储单元;

[0106] 比如,存储阵列存在10行10列,预设间隔为2,从第一行的第一列开始,则第一行的预设测试单元有4个,对第一行中的4个预设测试单元进行遍历;从第二行的第二列开始,则第二行的预设测试单元有3个,对第二行中的3个预设测试单元进行遍历;从第三行的第三列开始,则第三行的预设测试单元有3个,对第三行中的3个预设测试单元进行遍历;从第四行的第一列开始,则第四行的预设测试单元有4个,对第四行中的4个预设测试单元进行遍

历,依此类推,直至遍历完所有行;

[0107] 在执行第一次行遍历之后,将每行的预设位置设置为与其相邻的下一位置,即第一行的预设位置设置为第二个位置,第二行的预设位置设置为第三个位置,第三行的预设位置设置为第四个位置,第四行的预设位置设置为第二个位置,依此类推,并返回执行从每一第一预设读写单元的预设位置开始步骤直至遍历完所述待测试的DRAM的所有存储单元;

[0108] 比如,当进行第二次遍历,将第一行的预设位置设置为第二列,对第一行的3个预设测试单元进行遍历,将第二行的预设位置设置为第三列,对第二行的3个预设测试单元进行遍历,将第三行的预设位置设置为第四列,对第三行的4个预设测试单元进行遍历,将第四行的预设位置设置为第二列,对第四行的3个预设测试单元进行遍历,依此类推,直至遍历完所有行;

[0109] 其中,所述待测试的DRAM中每间隔预设间隔的所有预设测试单元中沿第一预设方向的相邻预设测试单元之间间隔所述预设间隔,沿第二预设方向的相邻预设测试单元之间间隔所述预设间隔包括:

[0110] 根据所述预设间隔循环选取对应的连续个数的第一预设读写单元直至遍历完所述待测试的DRAM的所有第一预设读写单元;

[0111] 对于每次选取的所述连续个数的第一预设读写单元中,按照所述第一预设读写单元的序号顺序各个第一预设读写单元的预设位置依次递增一;

[0112] 比如,预设间隔为4,则循环选取连续5行直至遍历完所有行;

[0113] 对于每次选取的5行中,如果第一行的预设位置是第一个,那么第二行的预设位置是第二个,第三行的预设位置是第三个,第四行的预设位置是第四个,第五行的预设位置是第五个;如果第一行的预设位置是第二个,那么第二行的预设位置是第三个,第三行的预设位置是第四个,第四行的预设位置是第五个,第五行的预设位置是第六个;

[0114] 对于遍历到的目标测试单元,基于所述预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较;

[0115] 具体的,读取所述目标测试单元的数据,将读取到的数据与对应写入的数据进行比较;

[0116] 向所述目标测试单元写入所述预设测试数据的反数,并读取所述目标测试单元的数据,将读取到的数据与对应写入的数据进行比较;

[0117] 在进行完第一轮测试后,进行第二轮测试,第一轮测试的第一预设读写单元与第二轮测试的第一预设读写单元不同;

[0118] 本实施例中,第一轮测试的第一预设读写单元为行,第二轮测试的第一预设读写单元为列;

[0119] S2、根据所述第一比较结果和第二比较结果得到所述待测试的DRAM的测试结果;

[0120] 若所述第一比较结果与所述第二比较结果均为比较结果一致,则测试结果为成功;否则,测试结果为失败。

[0121] 本实施例中,具体的参照图4-16,首先,对所述待测试DRAM进行第一轮测试,如图5所示:

[0122] 本轮测试为Column Fast测试,即第一预设读写单元为行,指优先于column(列)方向进行预设测试单元的遍历,如图7所示,依照 $D_1$ 至 $D_{20}$ 的顺序进行;每个被遍历到的目标测

试单元会进行Read/D-Write D-Read D的Column Fast组合操作,该组合操作分为三部分,Read/D指读取该目标测试单元的数据,将读取到的数据与/D进行比较,Write D指向该目标测试单元写入D,Read D指读取该目标测试单元的数据,将读取到的数据与D进行比较;

[0123] 如图4、5所示,定义写入的测试数据为/D=10101010……1010,其反数为D=01010101……0101,假设预设突发长度为BL=8bit,则/D=10101010,D=01010101;

[0124] S1、定位的地址是第0行第0列,从第0行第0列对应的存储单元按BL开始写入测试数据/D,写完第0行后,从第1行第0列开始写入测试数据/D,以此类推,直至整个存储阵列均写入数据,如图6所示;

[0125] S2.1、从R0行的(R0,C0)开始,对R0行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0126] S2.2、从R1行的(R1,C1)开始,对R1行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0127] S2.3、从R2行的(R2,C2)开始,对R2行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0128] S2.4、从R3行的(R3,C3)开始,对R3行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0129] 如图9所示,对存储阵列的所有行依次按照步骤S2.1至步骤S2.4进行遍历直至遍历完该存储阵列的所有行;

[0130] S3.1、从R0行的(R0,C1)开始,对R0行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0131] S3.2、从R1行的(R1,C2)开始,对R1行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0132] S3.3、从R2行的(R2,C3)开始,对R2行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0133] S3.4、从R3行的(R3,C0)开始,对R0行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0134] 如图10所示,对存储阵列的所有行依次按照步骤S3.1至步骤S3.4进行遍历直至遍历完该存储阵列的所有行;

[0135] S4.1、从R0行的(R0,C2)开始,对R0行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0136] S4.2、从R1行的(R1,C3)开始,对R1行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0137] S4.3、从R2行的(R2,C0)开始,对R2行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0138] S4.4、从R3行的(R3,C1)开始,对R0行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作;

[0139] 如图11所示,对存储阵列的所有行依次按照步骤S4.1至步骤S4.4进行遍历直至遍历完该存储阵列的所有行;

[0140] S5.1、从R0行的(R0,C3)开始,对R0行中每间隔3个的所有预设测试单元进行遍历,

对于遍历到的目标测试单元进行Column Fast组合操作；

[0141] S5.2、从R1行的 (R1,C0) 开始,对R1行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0142] S5.3、从R2行的 (R2,C1) 开始,对R2行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0143] S5.4、从R3行的 (R3,C2) 开始,对R0行中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0144] 如图12所示,对存储阵列的所有行依次按照步骤S5.1至步骤S5.4进行遍历直至遍历完该存储阵列的所有行；

[0145] 获得第一比较结果；

[0146] 如图5所示,第二轮测试为Row Fast测试,即第一预设读写单元为列,指优先于Row (行) 方向进行预设测试单元的遍历,如图8所示,依照 $D_1$ 至 $D_{24}$ 的顺序进行;每个被遍历到的目标测试单元会进行Read D-Write/D-Read/D的Row Fast组合操作,该组合操作分为三部分,Read D指读取该目标测试单元的数据,将读取到的数据与D进行比较,Write/D指向该目标测试单元写入/D,Read/D指读取该目标测试单元的数据,将读取到的数据与/D进行比较；

[0147] S6.1、从R0行的 (R0,C0) 开始,对C0列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0148] S6.2、从R1行的 (R1,C1) 开始,对C1列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0149] S6.3、从R2行的 (R2,C2) 开始,对C2列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0150] S6.4、从R3行的 (R3,C3) 开始,对C3列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0151] 如图13所示,对存储阵列的所有列依次按照步骤S6.1至步骤S6.4进行遍历直至遍历完该存储阵列的所有列；

[0152] S7.1、从R0行的 (R1,C0) 开始,对C0列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0153] S7.2、从R1行的 (R2,C1) 开始,对C1列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0154] S7.3、从R2行的 (R3,C2) 开始,对C2列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0155] S7.4、从R3行的 (R0,C3) 开始,对C3列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0156] 如图14所示,对存储阵列的所有列依次按照步骤S7.1至步骤S7.4进行遍历直至遍历完该存储阵列的所有列；

[0157] S8.1、从R0行的 (R2,C0) 开始,对C0列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0158] S8.2、从R1行的 (R3,C1) 开始,对C1列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0159] S8.3、从R2行的 (R0,C2) 开始,对C2列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0160] S8.4、从R3行的 (R1,C3) 开始,对C3列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0161] 如图15所示,对存储阵列的所有列依次按照步骤S8.1至步骤S8.4进行遍历直至遍历完该存储阵列的所有列;

[0162] S9.1、从R0行的 (R3,C0) 开始,对C0列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0163] S9.2、从R1行的 (R0,C1) 开始,对C1列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0164] S9.3、从R2行的 (R1,C2) 开始,对C2列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0165] S9.4、从R3行的 (R2,C3) 开始,对C3列中每间隔3个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0166] 如图16所示,对存储阵列的所有列依次按照步骤S9.1至步骤S9.4进行遍历直至遍历完该存储阵列的所有列;

[0167] 获得第二比较结果;

[0168] 若第一比较结果与第二比较结果均为比较结果一致,则测试结果为成功;否则,测试结果为失败。

[0169] 实施例二

[0170] 本实施例二与实施例一的区别在于第二预设读写单元为列,且第一轮测试的第一预设读写单元为列,第二轮测试的第一预设读写单元为行,预设间隔为2;

[0171] S1、定位的地址是第0列第0行,从第0列第0行对应的存储单元按BL开始写入测试数据/D,即第0列第0行至第12列第0行写入测试数据/D,写完后,从第0列第1行开始写入测试数据/D,写完第0列至第7列所有行后,接着按照行的顺序写入第8列至第13列所有行,以此类推,直至整个存储阵列均写入数据;

[0172] S2.1、从R0行的 (R0,C0) 开始,对C0列中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0173] S2.2、从R1行的 (R1,C1) 开始,对C1列中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0174] S2.3、从R2行的 (R2,C2) 开始,对C2列中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0175] 对存储阵列的所有列依次按照步骤S2.1至步骤S2.3进行遍历直至遍历完该存储阵列的所有列;

[0176] S3.1、从R0行的 (R1,C0) 开始,对C0列中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0177] S3.2、从R1行的 (R2,C1) 开始,对C1列中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作;

[0178] S3.3、从R2行的 (R0,C2) 开始,对C2列中每间隔2个的所有预设测试单元进行遍历,

对于遍历到的目标测试单元进行Row Fast组合操作；

[0179] 对存储阵列的所有列依次按照步骤S3.1至步骤S3.3进行遍历直至遍历完该存储阵列的所有列；

[0180] S4.1、从R0行的 (R2,C0) 开始,对C0列中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0181] S4.2、从R1行的 (R0,C1) 开始,对C1列中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0182] S4.3、从R2行的 (R1,C2) 开始,对C2列中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Row Fast组合操作；

[0183] 对存储阵列的所有列依次按照步骤S4.1至步骤S4.3进行遍历直至遍历完该存储阵列的所有列；

[0184] 获得第一比较结果；

[0185] 第二轮测试中,第一预设读写单元为行；

[0186] S5.1、从R0行的 (R0,C0) 开始,对R0行中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0187] S5.2、从R1行的 (R1,C1) 开始,对R1行中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0188] S5.3、从R2行的 (R2,C2) 开始,对R2行中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0189] 对存储阵列的所有行依次按照步骤S5.1至步骤S5.3进行遍历直至遍历完该存储阵列的所有行；

[0190] S6.1、从R0行的 (R0,C1) 开始,对R0行中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0191] S6.2、从R1行的 (R1,C2) 开始,对R1行中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0192] S6.3、从R2行的 (R2,C0) 开始,对R2行中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0193] 对存储阵列的所有行依次按照步骤S6.1至步骤S6.3进行遍历直至遍历完该存储阵列的所有行；

[0194] S7.1、从R0行的 (R0,C2) 开始,对R0行中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0195] S7.2、从R1行的 (R1,C0) 开始,对R1行中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0196] S7.3、从R2行的 (R2,C1) 开始,对R2行中每间隔2个的所有预设测试单元进行遍历,对于遍历到的目标测试单元进行Column Fast组合操作；

[0197] 对存储阵列的所有行依次按照步骤S7.1至步骤S7.3进行遍历直至遍历完该存储阵列的所有行；

[0198] 获得第二比较结果；

[0199] 若第一比较结果与第二比较结果均为比较结果一致,则测试结果为成功;否则,测

试结果为失败。

[0200] 实施例三

[0201] 请参照图2,一种DRAM测试装置,包括:

[0202] 数据读写模块,用于对所述待测试的DRAM进行两轮测试,分别得到第一比较结果和第二比较结果;

[0203] 所述测试包括:

[0204] 对待测试的DRAM写入预设测试数据直至所述待测试的DRAM的所有存储单元均写入数据;

[0205] 基于预设间隔以预设测试单元为单位对所述待测试的DRAM的每一第一预设读写单元进行遍历直至遍历完所述待测试的DRAM的所有存储单元;

[0206] 对于遍历到的目标测试单元,基于所述预设测试数据向所述目标测试单元进行数据读写操作,将读取的数据与对应写入的数据进行比较;

[0207] 第一轮测试与第二轮测试的第一预设读写单元不同;

[0208] 测试模块,用于根据所述第一比较结果和第二比较结果得到所述待测试的DRAM的测试结果。

[0209] 实施例四

[0210] 一种计算机可读存储介质,其上存储有计算机程序,所述计算机程序被处理器执行时可实现实施例一或实施例二中DRAM测试方法的各个步骤。

[0211] 实施例五

[0212] 请参照图3,一种电子设备,包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,所述处理器执行所述计算机程序时实现实施例一或实施例二中DRAM测试方法的各个步骤。

[0213] 综上所述,本发明提供一种DRAM检测方法、装置、可读存储介质及电子设备,对待检测的DRAM进行两轮测试,在对待测试的DRAM写入预设测试数据的过程中,以预设突发长度为单位进行写入,能够提高数据写入速度,且时间复杂度低,便于量产测试,从每一第一预设读写单元的预设位置开始,对每一所述第一预设读写单元中每间隔预设间隔的所有预设测试单元进行遍历;所述待测试的DRAM中每间隔预设间隔的所有预设测试单元中沿第一预设方向的相邻预设测试单元之间间隔所述预设间隔,沿第二预设方向的相邻预设测试单元之间间隔所述预设间隔;将每一所述第一预设读写单元的预设位置设置为与其相邻的下一位置,并返回执行从每一第一预设读写单元的预设位置开始步骤直至遍历完所述待测试的DRAM的所有存储单元,模拟了具有一定间隔的非连续的访问;对于遍历到的目标测试单元,先读取该目标测试单元的数据,将读取到的数据与对应写入的数据进行比较,再向该目标测试单元写入预设测试数据的反数,并读取该目标测试单元的数据,将读取到的数据与对应写入的数据进行比较,能够使单存储单元得到激发,由于在实际的使用中,内存的随机访问占据了一定比例,通过对待测试的DRAM实现跳位访问,能够很好的模拟用户对DRAM芯片的实际使用环境,覆盖此前的测试盲区并检测出现有技术中较难被发现的芯片缺陷,使桥接故障和耦合故障等多存储单元故障得到激发,提高了故障覆盖率,增强测试结果的可靠性,从而提高产品良性。

[0214] 在本申请所提供的上述实施例中,应该理解到,所揭露的方法、装置、计算机可读

存储介质以及电子设备,可以通过其它的方式实现。例如,以上所描述的装置实施例仅仅是示意性的,例如,所述模块的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个组件或模块可以结合或者可以集成到另一个装置,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口,装置或组件或模块的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0215] 所述作为分离部件说明的组件可以是或者也可以不是物理上分开的,作为组件显示的部件可以是或者也可以不是物理模块,即可以位于一个地方,或者也可以分布到多个网络模块上。可以根据实际的需要选择其中的部分或者全部组件来实现本实施例方案的目的。

[0216] 另外,在本发明各个实施例中的各功能模块可以集成在一个处理模块中,也可以是各个组件单独物理存在,也可以两个或两个以上模块集成在一个模块中。上述集成的模块既可以采用硬件的形式实现,也可以采用软件功能模块的形式实现。

[0217] 所述集成的模块如果以软件功能模块的形式实现并作为独立的产品销售或使用时,可以存储在一个计算机可读取存储介质中。基于这样的理解,本发明的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来,该计算机软件产品存储在一个存储介质中,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本发明各个实施例所述方法的全部或部分步骤。而前述的存储介质包括:U盘、移动硬盘、只读存储器(ROM,Read-Only Memory)、随机存取存储器(RAM,Random Access Memory)、磁碟或者光盘等各种可以存储程序代码的介质。

[0218] 需要说明的是,对于前述的各方法实施例,为了简便描述,故将其都表述为一系列的动作组合,但是本领域技术人员应该知悉,本发明并不受所描述的动作顺序的限制,因为依据本发明,某些步骤可以采用其它顺序或者同时进行。其次,本领域技术人员也应该知悉,说明书中所描述的实施例均属于优选实施例,所涉及的动作和模块并不一定是本发明所必须的。

[0219] 在上述实施例中,对各个实施例的描述都各有侧重,某个实施例中未详述的部分,可以参见其它实施例的相关描述。

[0220] 以上所述仅为本发明的实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等同变换,或直接或间接运用在相关的技术领域,均同理包括在本发明的专利保护范围内。

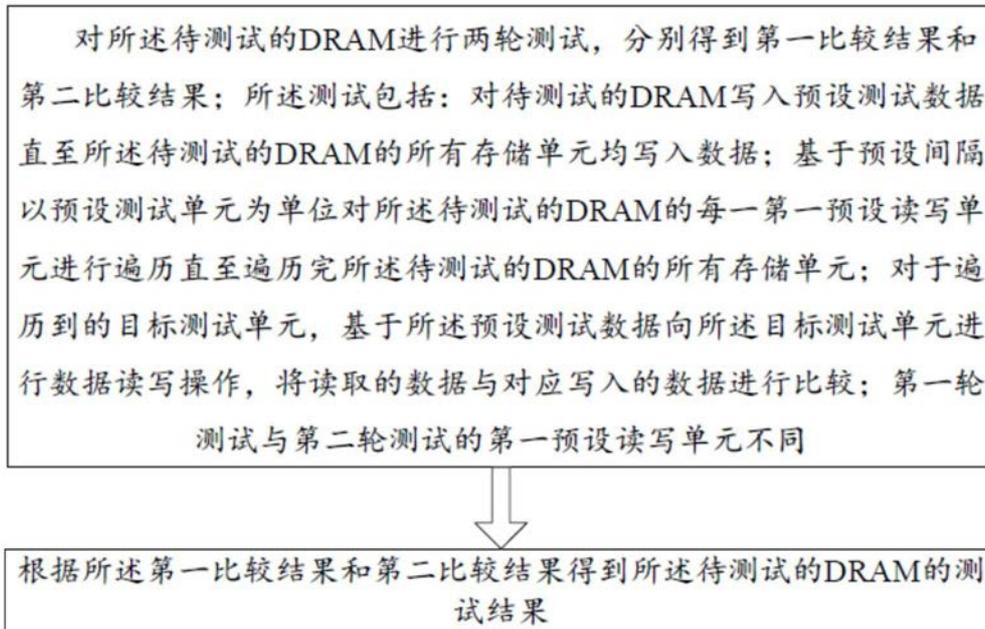


图1

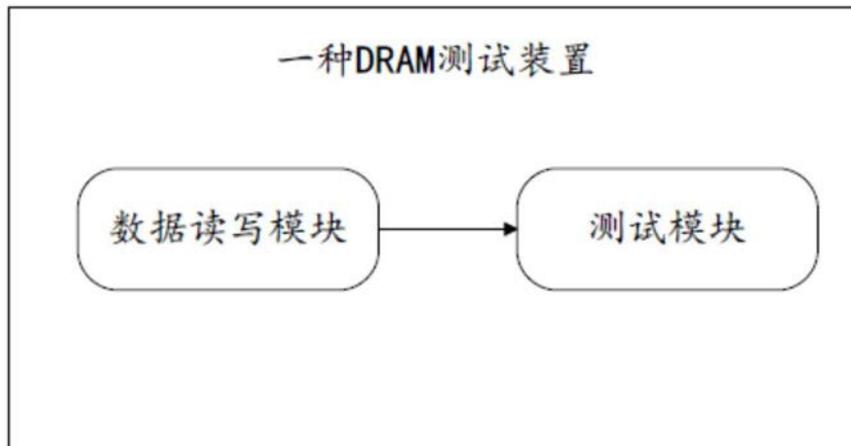


图2

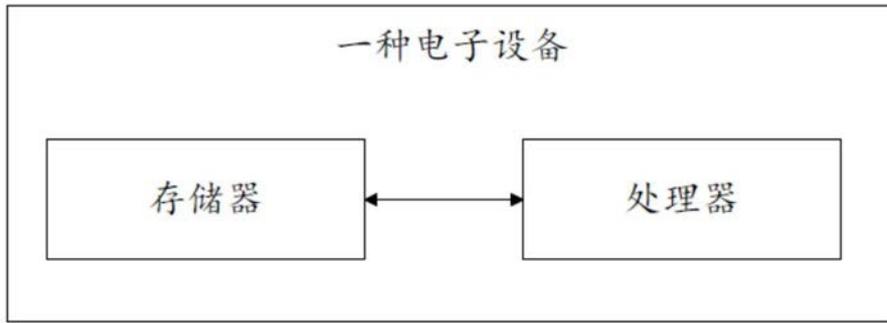


图3

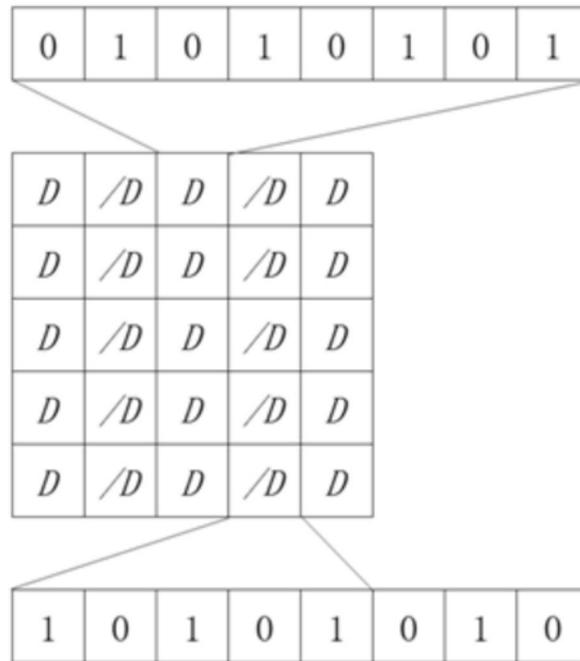


图4

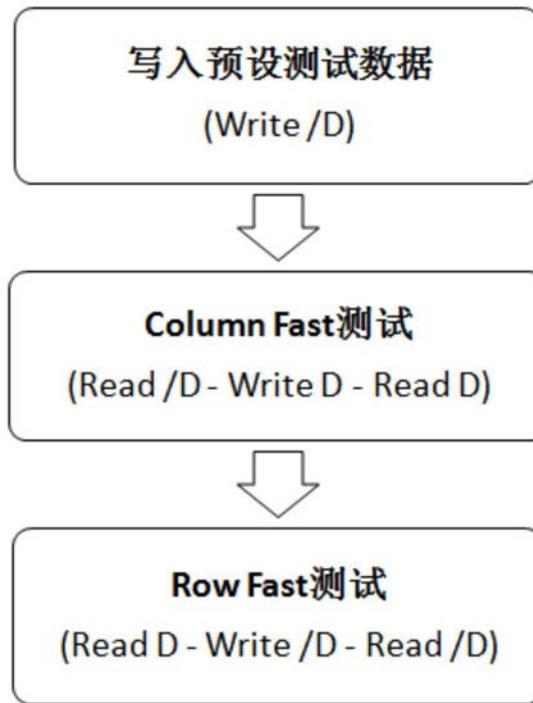


图5

	<i>C0</i>	<i>C1</i>	<i>C2</i>	<i>C3</i>	<i>C4</i>	<i>C5</i>	<i>C6</i>	<i>C7</i>	<i>C8</i>	<i>C9</i>	<i>C10</i>	<i>C11</i>	<i>C12</i>	<i>C13</i>	<i>C14</i>	<i>C15</i>
<i>R0</i>	/D	/D	/D	/D	/D	/D										
<i>R1</i>	/D	/D	/D	/D	/D	/D										
<i>R2</i>	/D	/D	/D	/D	/D	/D										
<i>R3</i>	/D	/D	/D	/D	/D	/D										
<i>R4</i>	/D	/D	/D	/D	/D	/D										
<i>R5</i>	/D	/D	/D	/D	/D	/D										
<i>R6</i>	/D	/D	/D	/D	/D	/D										
<i>R7</i>	/D	/D	/D	/D	/D	/D										
<i>R8</i>	/D	/D	/D	/D	/D	/D										
<i>R9</i>	/D	/D	/D	/D	/D	/D										
<i>R10</i>	/D	/D	/D	/D	/D	/D										
<i>R11</i>	/D	/D	/D	/D	/D	/D										

图6

	<i>C0</i>	<i>C1</i>	<i>C2</i>	<i>C3</i>	<i>C4</i>	<i>C5</i>	<i>C6</i>	<i>C7</i>	<i>C8</i>	<i>C9</i>	<i>C10</i>	<i>C11</i>	<i>C12</i>	<i>C13</i>	<i>C14</i>	<i>C15</i>
<i>R0</i>	$D_1$				$D_2$				$D_3$				$D_4$			
<i>R1</i>		$D_5$				$D_6$				$D_7$				$D_8$		
<i>R2</i>			$D_9$				$D_{10}$				$D_{11}$				$D_{12}$	
<i>R3</i>				$D_{13}$				$D_{14}$				$D_{15}$				$D_{16}$
<i>R4</i>	$D_{17}$				$D_{18}$				$D_{19}$				$D_{20}$			

图7

	<i>C0</i>	<i>C1</i>	<i>C2</i>	<i>C3</i>	<i>C4</i>	<i>C5</i>	<i>C6</i>	<i>C7</i>
<i>R0</i>	$D_1$				$D_{13}$			
<i>R1</i>		$D_4$				$D_{16}$		
<i>R2</i>			$D_7$				$D_{19}$	
<i>R3</i>				$D_{10}$				$D_{22}$
<i>R4</i>	$D_2$				$D_{14}$			
<i>R5</i>		$D_5$				$D_{17}$		
<i>R6</i>			$D_8$				$D_{20}$	
<i>R7</i>				$D_{11}$				$D_{23}$
<i>R8</i>	$D_3$				$D_{15}$			
<i>R9</i>		$D_6$				$D_{18}$		
<i>R10</i>			$D_9$				$D_{21}$	
<i>R11</i>				$D_{12}$				$D_{24}$

图8

	→															
	<i>C0</i>	<i>C1</i>	<i>C2</i>	<i>C3</i>	<i>C4</i>	<i>C5</i>	<i>C6</i>	<i>C7</i>	<i>C8</i>	<i>C9</i>	<i>C10</i>	<i>C11</i>	<i>C12</i>	<i>C13</i>	<i>C14</i>	<i>C15</i>
<i>R0</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>
<i>R1</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>
<i>R2</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>
<i>R3</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>
<i>R4</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>
<i>R5</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>
<i>R6</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>
<i>R7</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>
<i>R8</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>
<i>R9</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>
<i>R10</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>
<i>R11</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>

图9

	→															
	<i>C0</i>	<i>C1</i>	<i>C2</i>	<i>C3</i>	<i>C4</i>	<i>C5</i>	<i>C6</i>	<i>C7</i>	<i>C8</i>	<i>C9</i>	<i>C10</i>	<i>C11</i>	<i>C12</i>	<i>C13</i>	<i>C14</i>	<i>C15</i>
<i>R0</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>
<i>R1</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>
<i>R2</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>
<i>R3</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>
<i>R4</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>
<i>R5</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>
<i>R6</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>
<i>R7</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>
<i>R8</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>
<i>R9</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>
<i>R10</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>
<i>R11</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>/D</i>	<i>D</i>

图10

	→															
	<i>C0</i>	<i>C1</i>	<i>C2</i>	<i>C3</i>	<i>C4</i>	<i>C5</i>	<i>C6</i>	<i>C7</i>	<i>C8</i>	<i>C9</i>	<i>C10</i>	<i>C11</i>	<i>C12</i>	<i>C13</i>	<i>C14</i>	<i>C15</i>
<i>R0</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>
<i>R1</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>
<i>R2</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>
<i>R3</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>
<i>R4</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>
<i>R5</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>
<i>R6</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>
<i>R7</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>
<i>R8</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>
<i>R9</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>
<i>R10</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>
<i>R11</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>/D</i>	<i>D</i>

图11

	→															
	<i>C0</i>	<i>C1</i>	<i>C2</i>	<i>C3</i>	<i>C4</i>	<i>C5</i>	<i>C6</i>	<i>C7</i>	<i>C8</i>	<i>C9</i>	<i>C10</i>	<i>C11</i>	<i>C12</i>	<i>C13</i>	<i>C14</i>	<i>C15</i>
<i>R0</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R1</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R2</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R3</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R4</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R5</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R6</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R7</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R8</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R9</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R10</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										
<i>R11</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>	<i>D</i>										

图12

	C0	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15
R0	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D	D	D	D
R1	D	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D	D	D
R2	D	D	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D	D
R3	D	D	D	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D
R4	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D	D	D	D
R5	D	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D	D	D
R6	D	D	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D	D
R7	D	D	D	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D
R8	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D	D	D	D
R9	D	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D	D	D
R10	D	D	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D	D
R11	D	D	D	/D	D	D	D	/D	D	D	D	/D	D	D	D	/D

图13

	C0	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15
R0	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D
R1	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D
R2	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D
R3	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D
R4	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D
R5	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D
R6	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D
R7	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D
R8	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D
R9	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D
R10	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D
R11	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D	D	D	/D	/D

图14

	<i>C0</i>	<i>C1</i>	<i>C2</i>	<i>C3</i>	<i>C4</i>	<i>C5</i>	<i>C6</i>	<i>C7</i>	<i>C8</i>	<i>C9</i>	<i>C10</i>	<i>C11</i>	<i>C12</i>	<i>C13</i>	<i>C14</i>	<i>C15</i>
<i>R0</i>	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D
<i>R1</i>	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D
<i>R2</i>	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D
<i>R3</i>	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D
<i>R4</i>	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D
<i>R5</i>	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D
<i>R6</i>	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D
<i>R7</i>	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D
<i>R8</i>	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D
<i>R9</i>	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D
<i>R10</i>	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D
<i>R11</i>	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D	D	/D	/D	/D

图15

	<i>C0</i>	<i>C1</i>	<i>C2</i>	<i>C3</i>	<i>C4</i>	<i>C5</i>	<i>C6</i>	<i>C7</i>	<i>C8</i>	<i>C9</i>	<i>C10</i>	<i>C11</i>	<i>C12</i>	<i>C13</i>	<i>C14</i>	<i>C15</i>
<i>R0</i>	/D	/D	/D	/D	/D	/D										
<i>R1</i>	/D	/D	/D	/D	/D	/D										
<i>R2</i>	/D	/D	/D	/D	/D	/D										
<i>R3</i>	/D	/D	/D	/D	/D	/D										
<i>R4</i>	/D	/D	/D	/D	/D	/D										
<i>R5</i>	/D	/D	/D	/D	/D	/D										
<i>R6</i>	/D	/D	/D	/D	/D	/D										
<i>R7</i>	/D	/D	/D	/D	/D	/D										
<i>R8</i>	/D	/D	/D	/D	/D	/D										
<i>R9</i>	/D	/D	/D	/D	/D	/D										
<i>R10</i>	/D	/D	/D	/D	/D	/D										
<i>R11</i>	/D	/D	/D	/D	/D	/D										

图16