

10 : SDRAMP
 11, 12 : 어드레스 디코더
 13, 14 : 오퍼레이션 디코더
 20 : 어드레스 ASIC

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 멀티프로세서 시스템에 관한 것으로, 특히 인텔 펜티엄 프로세서가 가진 하나의 P6버스에 대한 프로세서의 수적인 제한을 해결하기 위해 두 개의 P6버스와 시스템 메모리 버스를 상호 연결시키고 이들의 동작을 컨트롤할 수 있도록 한 멀티프로세서 시스템의 인터페이스 처리회로에 관한 것이다.

종래 인텔이 제공하는 펜티엄 프로를 이용한 시스템은 전기적인 특성으로 인해 하나의 P6버스에 4개까지의 펜티엄 프로 프로세서만 지원할 수 있도록 되어 있다.

그러나, 많은 응용프로그램들은 4개 이상의 프로세서를 요구하고 있으며, 고유의 인텔 규격으로는 이를 만족시킬 수 없는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 이와 같은 종래의 문제점을 해결하기 위하여 안출한 것으로, 듀얼포티드 메모리 구조에서 두 개의 P6버스와 메모리 버스를 서로 연결하여 버스들사이의 유기적인 인터페이스를 컨트롤 할 수 있는 멀티프로세서 시스템의 인터페이스처리회로를 제공하는데 그 목적이 있다.

이와 같은 목적을 달성하기 위한 본 발명은 두 개의 P6버스와 메모리 버스사이에서 어드레스 ASIC를 구비하여 구성함을 특징으로 한다.

본 발명의 구성상의 특징은 상기 어드레스 ASIC가, P6버스상의 I/O요청에 대한 중재를 실행하는 중재로직, 중재로직에 연결되어 두 개의 P6버스상에서 일어나는 오퍼레이션에 대한 반영을 수행하는 마스터, P6버스에서 요구된 요청을 저장해서 순차적인 메모리 오퍼레이션이 이루어지도록 하는 IOQ, 제1어드레스 버스와 제2어드레스 버스사이의 캐쉬 결합 유지를 사용하는 스누프, IOQ와 연결되어 메모리쪽으로 오퍼레이션을 전달하고 이를 컨트롤하는 메모리 컨트롤러, 메모리 컨트롤러의 컨트롤신호에 의해 데이터 제어를 수행하는 데이터 ASIC, 데이터 ASIC로부터의 데이터를 저장하거나 또는 데이터 ASIC로 데이터를 공급하는 SDRAM, 각 버스에서 일어나는 어드레스에 대해 IOQ에 대기여부를 체크하는 어드레스 디코더, 각 버스에서 일어나는 사이클에 대한 오퍼레이션 타임을 체크하는 오퍼레이션 디코더로 구성된 것에 있다.

발명의 구성 및 작용

이하, 본 발명의 실시예를 첨부된 도면을 참고로 하여 상세히 설명하면 다음과 같다.

제1도는 본 발명의 블로도로, P6버스상의 I/O요청에 대한 중재를 수행하는 중재로직(1)과, 상기 중재로직(1)에 연결되어 두 개의 P6버스상에서 일어나는 오퍼레이션에 대한 반영을 수행하는 마스터(2)(3)와, 상기 P6버스에서 요구된 요청을 저장해서 순차적인 메모리 오퍼레이션이 이루어지도록 하는 IOQ(In-Order-Queue)(4)(5)와, 상기 제1어드레스 버스(B1)와 제2어드레스 버스(B2)사이의 캐쉬 결합 유지를 위해 사용되는 스누프(6)(7)와, 상기 IOQ(4)(5)와 연결메모리 컨트롤러(8)의 컨트롤신호에 의해 데이터 제어를 수행하는 데이터ASIC(9)와, 상기 데이터 ASIC(9)로부터의 데이터를 저장하거나 또는 데이터 ASIC(9)로 데이터를 공급하는 SDRAM(10)과, 각 버스에서 일어나는 어드레스에 대해 IOQ(4)(5)에 대기(Queuing)여부를 체크하는 어드레스 디코더(11)(12)와, 각 버스에서 일어나는 사이클에 대한 오퍼레이션 타임을 체크하는 오퍼레이션 디코더(13)(14)로 구성된 것으로, 도면중 미설명 부호 D1, D2는 데이터 어드레스를 말하며, 상기에서 9, 10번을 제외하고 1번부터 14번까지가 하나의 어드레스 ASIC(20)을 이룬다.

이와같은 구성된 본 발명은 어드레스 버스인 B1과 시스템 메모리 버스 사이에 위치한 어드레스 ASIC(20)은 서로 분리된 3개의 버스사이의 인터페이스 및 각 버스의 동작을 컨트롤한다.

이때, 어드레스 ASIC(20)은 두 개의 어드레스 버스인 B1, B2에서 일어나는 동작이 메모리 버스로 전송되어지도록 버스 신호들을 메모리 버스로 전송하고 데이터 페트(PATH)를 위해 데이터 ASIC(20)을 컨트롤한다.

또한, 어드레스 ASIC(20)은 버스상에 연결되어 있는 컨트롤러들의 중재역할도 수행한다.

그리고 하나의 어드레스 버스(예를들어 B1)상에 일어난 동작들이 다른 어드레스 버스(예를들어 B2)상에 있는 프로세서들에게 결합 문제를 발생시킬 가능성이 있을 경우 B1에서 일어나는 동작들이 B2버스로 반영될 수 있도록 컨트롤한다.

본 발명의 동작을 구체적으로 살펴보면, B1(P6 어드레스버스 A상)에서 I/O요청이 들어오면, 어드레스 ASIC(20)내의 중재로직(1)에 의해 중재가 수행된다.

즉, B1쪽에 있는 어드레스 디코더(11)와 오퍼레이션 디코더(13)가 중재로직(1)에 전송된 어드레스와 타임 정보를 가지고 어떤 동작인지 또 어떤 경과가 요구되는지를 결정한다.

그리고 상기 중재로직(1)의 결과를 IOQ(4)로 전송한다.

만일, 요구되는 동작이 B2쪽에 반영이 필요한 경우에는 IOQ(4)는 필요한 정보를 마스터 블록(3)에 전송하고 마스터 블록(3)은 이 정보를 B2(P6버스 B상)에 전송한다.

또한, B2쪽에 전송된 정보에 의한 스누핑 결과가 스누프(7)를 통하여 B1 쪽의 IOQ(4)로 되돌아온다.

그리고 상기 요구되는 동작이 B2쪽에 반영이 필요한 경우에 IOQ(4)가 필요한 정보를 실제 B2쪽의 마스터블록(3)에 전송하고 마스터블록(3)에서 이 정보를 B2상에 전송한 결과로서 어드레스 ASIC(20)에 대한 모든 정보를 가지게 되고 이 정보를 데이터 ASIC(9)에 전송한다.

실제 데이터가 메모리 컨트롤러(8)로부터 전송되어지며, 이에 필요한 콘트롤 신호를 데이터 ASIC(9)로 계속 전송한다.

만일 B2쪽에서 I/O 요청이 들어올 경우에도 상술한 바와같은 동작순서에 의해 진행된다.

발명의 효과

이상에서 설명한 바와 같은 본 발명은 회로구성을 단순화하여 원가를 절감할 수 있으며, 특히 컴퓨터 시스템(예컨대 Hiserver UX 9000)에 있어서 8개까지 프로세서를 확장할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

P6버스상의 I/O요청에 대한 중재를 수행하는 중재로직(1)과, 상기 중재로직(1)에 연결되어 두 개의 P6버스상에서 일어나는 오퍼레이션에 대한 반영을 수행하는 마스터(2)(3)와, 상기 P6버스에서 요구된 요청을 저장해서 순차적인 메모리 어퍼레이션이 이루어지도록 하는 IOQ(4)(5)와, 상기 제1어드레스 버스(B1)와 제2어드레스 버스(B2)사이의 캐쉬 결함 유지를 위해 사용되는 스누프(6)(7)와, 상기 IOQ(4)(5)와 연결되어 메모리쪽으로어퍼레이션을 전달하고 이를 콘트롤하는 메모리 컨트롤러(8)와, 상기 메모리 컨트롤러(8)의 콘트롤신호에 의해 데이터 제어를 수행하는 데이터 ASIC(9)와, 상기 데이터 ASIC(9)로부터의 데이터를 저장하거나 또는 데이터 ASIC(9)로 데이터를 공급하는 SDRAM(10)과, 각 버스에서 일어나는 어드레스에 대해 IOQ(4)(5)에 대기여부를 체크하는 어드레스 디코더(11)(12)와, 각 버스에서 일어나는 사이클에 대한 오퍼레이션 타임을 체크하는 오퍼레이션 디코더(13)(14)를 포함하여 구성된 것을 특징으로 하는 멀티프로세서 시스템의 인터페이스를 처리회로.

도면

도면1

