



(12)发明专利申请

(10)申请公布号 CN 109887993 A

(43)申请公布日 2019.06.14

(21)申请号 201910343518.8

H01L 29/78(2006.01)

(22)申请日 2019.04.26

(66)本国优先权数据

201810824923.7 2018.07.25 CN

(71)申请人 章美云

地址 430074 湖北省武汉市东湖新技术开发区光谷大道41号现代·国际设计城一期3栋22层09室

(72)发明人 章美云

(74)专利代理机构 深圳迈辽知识产权代理有限公司 44525

代理人 赖耀华

(51)Int.Cl.

H01L 29/06(2006.01)

H01L 21/336(2006.01)

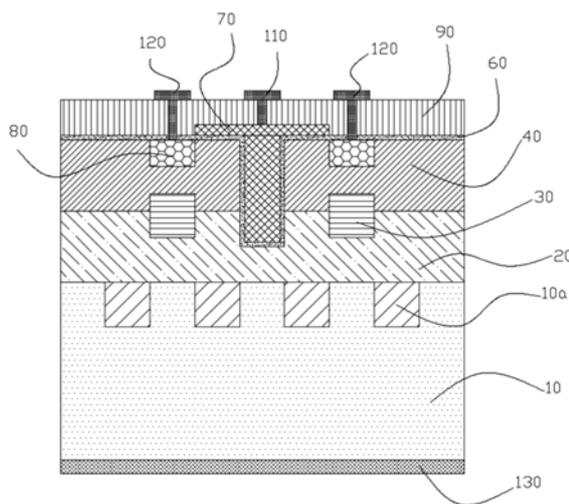
权利要求书2页 说明书10页 附图6页

(54)发明名称

金属氧化物半导体场效应管及其制造方法

(57)摘要

一种金属氧化物半导体场效应管及其制造方法,所述制造方法包括:提供第一导电类型的衬底,在衬底上依次生长第一导电类型的第一外延层和第二导电类型的第二外延层,在所述第一外延层和第二外延层之间还设置有隔离结构,从第二外延层表面刻蚀形成贯穿第二外延层且底部延伸至第一外延层内的沟槽,在沟槽内表面生成栅介质层并填充多晶硅,在所述沟槽两侧的第二外延层内分别形成第一导电类型的注入区。该金属氧化物半导体场效应管不同于传统金属氧化物半导体场效应管的结构,其避免了阱区受长时间高温横向扩散导致沟道长度不稳定的因素,提高可靠性;同时,新的结构还可以降低器件的导通电阻,提高开关速度,减少功耗。



1. 一种金属氧化物半导体场效应管,其特征在于,包括:
  - 第一导电类型的衬底;
  - 形成在所述衬底上表面的第一导电类型的第一外延层;
  - 形成在所述第一外延层上表面的第二导电类型的第二外延层;
  - 贯穿所述第二外延层且延伸至所述第一外延层的沟槽;
  - 形成于所述沟槽两侧的所述第二外延层内的第一导电类型的注入区;
  - 形成于所述第一外延层与所述第二外延层之间的隔离结构,所述隔离结构正对所述注入区,且所述注入区在所述第一外延层表面形成的垂直投影区域与所述隔离结构所在区域重合或者被包含在所述隔离结构所在区域内;
  - 生长在所述沟槽内表面的栅介质层及填充在生长有所述栅介质层的沟槽内的多晶硅;
  - 与所述多晶硅连接的栅极金属层;
  - 与所述注入区连接的源极金属层;
  - 与所述衬底的下表面连接的漏极金属层。
2. 根据权利要求1所述的金属氧化物半导体场效应管,其特征在于,其还包括形成于所述衬底内的至少一个第二导电类型的埋层。
3. 根据权利要求1所述的金属氧化物半导体场效应管,其特征在于,所述隔离结构为二氧化硅隔离层,所述二氧化硅隔离层一部分埋入所述第一外延层,另一部分嵌入所述第二外延层内。
4. 一种金属氧化物半导体场效应管的制造方法,其特征在于,包括如下步骤:
  - S1:提供第一导电类型的衬底;
  - S2:在所述衬底的上表面生长第一导电类型的第一外延层;
  - S3:在所述第一外延层上形成至少两个间隔的隔离结构;
  - S4:在所述第一外延层和所述至少两个隔离结构上表面生长第二导电类型的第二外延层;
  - S5:在所述第二外延层的上表面进行刻蚀以形成沟槽,所述沟槽贯通所述第二外延层且延伸至所述第一外延层内,所述沟槽位于所述至少两个隔离结构中的任意两个隔离结构之间;
  - S6:在所述沟槽内表面生长栅介质层,并在已生长栅介质层的所述沟槽中填充多晶硅;
  - S7:分别在所述沟槽两侧的第二外延层内局部注入形成第一导电类型的注入区,所述注入区在所述第一外延层表面形成的垂直投影区域与对应的隔离结构所在的区域重合或者被包含在所述隔离结构所在区域内;
  - S8:形成与所述多晶硅接触的栅极金属层和与所述注入区接触的源极金属层;
  - S9:形成与所述衬底下表面接触的漏极金属层。
5. 根据权利要求4所述的金属氧化物半导体场效应管的制造方法,其特征在于,S1中还包括在所述衬底内形成至少一个第二导电类型的埋层。
6. 根据权利要求5所述的金属氧化物半导体场效应管的制造方法,其特征在于,形成所述埋层包括如下步骤:采用离子注入的方式对第一导电类型的衬底进行局部掺杂,并使得所述第一导电类型的衬底局部区域反型成为第二导电类型而形成所述第二导电类型的埋层。

7. 根据权利要求4所述的金属氧化物半导体场效应管的制造方法,其特征在于,S3中所述隔离结构为二氧化硅隔离层,所述二氧化硅隔离层一部分埋入所述第一外延层内,另一部分从所述第一外延层表面凸出。

8. 根据权利要求7所述的金属氧化物半导体场效应管的制造方法,其特征在于,形成所述二氧化硅隔离层包括如下步骤:在所述第一外延层表面生长二氧化硅薄层,再在所述二氧化硅薄层表面沉积氮化硅层,在所述氮化硅层表面覆盖光刻胶层,通过曝光、显影在所述氮化硅层表面形成至少两个间隔的窗口,去除窗口处的氮化硅层,去除所述光刻胶层,在所述窗口处生长二氧化硅隔离层,去除剩余的氮化硅层,去除所述二氧化硅薄层。

9. 根据权利要求4所述的金属氧化物半导体场效应管的制造方法,其特征在于,S5中形成所述沟槽包括如下步骤:在所述第二外延层表面生长一层二氧化硅层,在所述二氧化硅层上形成窗口,所述窗口在垂直方向的投影区域位于任意两个隔离结构之间,从所述窗口对所述第二外延层进行穿通刻蚀,之后继续对所述第一外延层进行部分刻蚀,最后回刻蚀去除所述二氧化硅层。

10. 根据权利要求4所述的金属氧化物半导体场效应管的制造方法,其特征在于,S5中所述沟槽的宽度为 $1\sim 1.8\mu\text{m}$ 。

## 金属氧化物半导体场效应管及其制造方法

### 技术领域

[0001] 本发明涉及半导体技术领域,尤其是一种金属氧化物半导体场效应管及其制造方法。

### 背景技术

[0002] 第三代宽禁带半导体材料碳化硅(SiC)具有不同于传统硅半导体材料的诸多特点,其能带间隙为硅的2.8倍,达到3.09电子伏特。碳化硅的绝缘击穿场强为硅的5.3倍,高达3.2MV/CM,因此在高压功率器件领域,碳化硅器件可以使用相对于传统硅材料更薄的外延层,来达到传统硅器件相同的耐压水平,同时拥有更低的导通电阻。碳化硅功率器件的正反向特性随温度和时间变化很小,因此可靠性更佳。碳化硅器件具有很好的反向恢复特性,反向恢复时间段、电流小,开关损耗小,可以降低整个系统的功耗。碳化硅的导热率是硅的3.3倍,为49W/CM·K,因此,采用碳化硅材料制造半导体器件与采用硅作为材料的半导体器件相比,其在高温环境下使用时的特性更佳。

[0003] 目前在大功率器件应用领域,尤其是在轨道交通、新能源汽车、光伏发电等领域,对于功率器件的要求越来越高,不仅要求有更低的系统功耗,更稳定的高温工作性能,还对模块和系统的小型化提出了更为严苛的要求,而碳化硅功率器件,例如:金属氧化物半导体场效应管(Metal-Oxide-SemiconductorField-EffectTransistor, MOSFET)集众优点于一身,因此适合应用在有大功率需求的领域。

[0004] 常规金属氧化物半导体场效应管的制造工艺流程是先生长栅氧化层,再淀积多晶硅,然后通过涂胶、曝光、显影和刻蚀,形成以掺杂多晶硅为材料的栅电极,然后进行P型阱区的光刻和注入,再通过高温扩散使P型阱区横向扩散形成沟道区,由此形成的横向扩散区就是器件的沟道区,而碳化硅中杂质的扩散速率相对于硅中的杂质扩散速率极低,这使得该步工艺需要在高温下进行超长时间的扩散,才能形成所需要的沟道长度。

[0005] 此种常规金属氧化物半导体场效应管的制造工艺方法的缺点显而易见:第一,在高温时设备的稳定性随着工作时间的延长的变得越来越不稳定,进而导致横向扩散的沟道长度的不稳定,影响金属氧化物半导体场效应管的基本性能,比如阈值电压和击穿电压的不稳定,批次间的电参数结果一致性差,无法大规模生产。第二,为了提升金属氧化物半导体场效应管的电压能力,通常需要不断增加横向扩散的沟道长度,这导致器件整体的面积增大,单位晶圆的产出数量下降,成本上升。第三,高温长时间的横向扩散工艺在一般的炉管设备难以实现,需要使用昂贵的专用设备,这使得制造成本大大增加。

### 发明内容

[0006] 本发明要解决的技术问题是提供一种金属氧化物半导体场效应管,该金属氧化物半导体场效应管不同于传统金属氧化物半导体场效应管的结构,其避免了阱区受长时间高温横向扩散导致沟道长度不稳定的因素,提高可靠性;同时,新的结构还可以降低器件的导通电阻,提高开关速度,减少功耗。

[0007] 为解决上述技术问题,本发明采用下述技术方案:所述金属氧化物半导体场效应管,包括:

[0008] 第一导电类型的衬底;

[0009] 形成在所述衬底上表面的第一导电类型的第一外延层;

[0010] 形成在所述第一外延层上表面的第二导电类型的第二外延层;

[0011] 贯穿所述第二外延层且延伸至所述第一外延层的沟槽;

[0012] 形成于所述沟槽两侧的所述第二外延层内的第一导电类型的注入区;

[0013] 形成于所述第一外延层与所述第二外延层之间的隔离结构,所述隔离结构正对所述注入区,且所述注入区在所述第一外延层表面形成的垂直投影区域与所述隔离结构所在区域重合或者被包含在所述隔离结构所在区域内;

[0014] 生长在所述沟槽内表面的栅介质层及填充在生长有所述栅介质层的沟槽内的多晶硅;

[0015] 与所述多晶硅连接的栅极金属层;

[0016] 与所述注入区连接的源极金属层;

[0017] 与所述衬底的下表面连接的漏极金属层。

[0018] 另外,本发明还提供所要求保护的金属氧化物半导体场效应管的制造方法,其包括以下步骤:

[0019] S1:提供第一导电类型的衬底;

[0020] S2:在所述衬底的上表面生长第一导电类型的第一外延层;

[0021] S3:在所述第一外延层上形成至少两个间隔的隔离结构;

[0022] S4:在所述第一外延层和所述至少两个隔离结构上表面生长第二导电类型的第二外延层;

[0023] S5:在所述第二外延层的上表面进行刻蚀以形成沟槽,所述沟槽贯通所述第二外延层且延伸至所述第一外延层内,所述沟槽位于所述至少两个隔离结构中的任意两个隔离结构之间;

[0024] S6:在所述沟槽内表面生长栅介质层,并在已生长栅介质层的所述沟槽中填充多晶硅;

[0025] S7:分别在所述沟槽两侧的第二外延层内局部注入形成第一导电类型的注入区,所述注入区在所述第一外延层表面形成的垂直投影区域与对应的隔离结构所在的区域重合或者被包含在所述隔离结构所在区域内;

[0026] S8:形成与所述多晶硅接触的栅极金属层和与所述注入区接触的源极金属层;

[0027] S9:形成与所述衬底下表面接触的漏极金属层。

[0028] 本发明设置有第二导电类型的第二外延层,只需通过控制第二导电类型的第二外延层生长时的掺杂浓度,就可以精确的控制沟道浓度,避免了传统技术需要对沟道进行长时间高温推进的过程,提高了金属氧化物半导体场效应管的电学特性,也提高了量产时参数的稳定性。还有,在第一导电类型的第一外延层与第二导电类型的第二外延层之间增加隔离结构,所述隔离结构使得位于所述注入区正下方的第一外延层与第二外延层无法直接接触,避免了在所述注入区正下方形成耗尽区,从而使得第一导电类型的第一外延层、第二导电类型的第二外延层和第一导电类型的注入区三层结构形成的寄生晶体管避免了发射

极与集电极穿通击穿的可能,提高了漏极到源极的击穿电压,突破了传统工艺的技术瓶颈。另外,增加隔离结构后,由于击穿电压的提高,可以将第二外延层的厚度尽可能的降低,带来的益处是降低金属氧化物半导体场效应管的导通电阻,从而提高开关速度,减少功耗,提升金属氧化物半导体场效应管在高频大功率环境下的性能。再有,通过引入沟槽,使得栅介质层一部分为纵向分布,缩小了单个器件的面积,提高了器件的集成度,使得每片晶圆上能够生产出更多的器件,大大降低生产成本。

### 附图说明

[0029] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0030] 图1是本发明一实施例提供的金属氧化物半导体场效应管的制造方法的流程示意图;

[0031] 图2是本发明一实施例提供的金属氧化物半导体场效应管的剖面结构示意图;

[0032] 图3至图10是本发明一实施例提供的金属氧化物半导体场效应管的形成过程的剖面结构示意图。

[0033] 附图标记说明:

[0034] 10:衬底;

[0035] 10a:埋层;

[0036] 20:第一外延层;

[0037] 30:隔离结构;

[0038] 40:第二外延层;

[0039] 50:沟槽;

[0040] 60:栅介质层;

[0041] 70:多晶硅栅极;

[0042] 80:注入区;

[0043] 90:绝缘介质层;

[0044] 110:栅极金属层;

[0045] 120:源极金属层;

[0046] 130:漏极金属层。

### 具体实施方式

[0047] 为了使本发明的目的、技术方案和有益技术效果更加清晰明白,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0048] 在本发明的描述中,需要说明的是,术语“中心”、“上”、“下”、“左”、“右”、“竖直”、

“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,或者是该发明产品使用时惯常摆放的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。此外,术语“第一”、“第二”、“第三”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0049] 请参阅图1及图2,一种金属氧化物半导体场效应管的制造方法,其包括如下步骤:

[0050] S1:提供第一导电类型的衬底10;

[0051] S2:在所述衬底10的上表面生长第一导电类型的第一外延层20;

[0052] S3:在所述第一外延层20上形成至少两个间隔的隔离结构30;

[0053] S4:在所述第一外延层20和所述至少两个隔离结构30上表面生长第二导电类型的第二外延层40;

[0054] S5:在所述第二外延层40的上表面进行刻蚀以形成沟槽50,所述沟槽50贯通所述第二外延层40且延伸至所述第一外延层20内,所述沟槽50位于所述至少两个隔离结构30中的任意两个隔离结构30之间;

[0055] S6:在所述沟槽50内表面生长栅介质层60,并在已生长栅介质层60的所述沟槽50中填充多晶硅;

[0056] S7:分别在所述沟槽50两侧的第二外延层40内局部注入形成第一导电类型的注入区80,所述注入区80在所述第一外延层20表面形成的垂直投影区域与对应的隔离结构30所在的区域重合或者被包含在所述隔离结构30所在区域内;

[0057] S8:形成与所述多晶硅接触的栅极金属层110和与所述注入区80接触的源极金属层120;

[0058] S9:形成与所述衬底10下表面接触的漏极金属层130。

[0059] 本发明设置有第二导电类型的第二外延层40,只需通过控制第二导电类型的第二外延层40生长时的掺杂浓度,就可以精确的控制沟道浓度,彻底避免了传统技术需要对沟道进行长时间高温推进的过程,提高了金属氧化物半导体场效应管的电学特性,也提高了量产时参数的稳定性。还有,在第一导电类型的第一外延层20与第二导电类型的第二外延层40之间增加隔离结构30,所述隔离结构30使得位于所述注入区80正下方的第一外延层20与第二外延层40无法直接接触,避免了在所述注入区80正下方形成耗尽区,从而使得第一导电类型的第一外延层20、第二导电类型的第二外延层40和第一导电类型的注入区80三层结构形成的寄生晶体管避免了发射极与集电极贯通击穿的可能,提高了漏极到源极的击穿电压,突破了传统工艺的技术瓶颈。另外,增加隔离结构30后,由于击穿电压的提高,可以将第二外延层40的厚度尽可能的降低,带来的益处是降低金属氧化物半导体场效应管的导通电阻,从而提高开关速度,减少功耗,提升金属氧化物半导体场效应管在高频大功率环境下的性能。再有,通过引入沟槽50,从而使得覆盖在所述沟槽50内表面的栅介质层60一部分为纵向分布,缩小了单个器件的面积,提高了器件的集成度,使得每片晶圆上能够生产出更多的器件,大大降低生产成本。

[0060] 下面参照附图,对所述金属氧化物半导体场效应管的制造方法加以详细阐述。

[0061] 为方便后面的描述,特在此说明:所述第一导电类型可以为N型,那么,所述第二导电类型为P型,反之,所述第一导电类型也可以为P型,相应的,所述第二导电类型为N型。在

接下来的实施例中,均以所述第一导电类型为N型及所述第二导电类型为P型为例进行描述,但并不对此进行限定。

[0062] 请参照图3,执行步骤S1:提供衬底10。所述衬底10作为所述金属氧化物半导体场效应管的载体,主要起到支撑的作用。所述衬底10为碳化硅衬底。碳化硅(SiC)作为第三代宽禁带半导体材料,其具有不同于传统硅半导体材料的诸多特点,其能带间隙为硅的2.8倍,达到3.09电子伏特;碳化硅的绝缘击穿场强为硅的5.3倍,高达3.2MV/CM;碳化硅的导热率是硅的3.3倍,为49W/CM·K,因此在高压功率器件领域,碳化硅器件表现出优异的性能。

[0063] 具体地,所述衬底10为第一导电类型,在本实施例中,所述第一导电类型为N型,因此所述衬底10为N型半导体。在其他实施例中,所述第一导电类型也可以为P型,因此,所述衬底10即为P型半导体。所述N型衬底10可以通过碳化硅掺杂氮元素或磷元素形成,在此不作限定。在所述碳化硅掺杂氮元素时,以氮气(N<sub>2</sub>)作为掺杂源;在所述碳化硅掺杂磷元素时,以磷化氢(PH<sub>3</sub>)作为掺杂源。

[0064] 更具体地,所述N型衬底10为重掺杂的N<sup>+</sup>衬底10。重掺杂的作用是降低所述衬底10的电阻,因为所述衬底10的背面作为电极引出端,降低其电阻可以提高所述金属氧化物半导体场效应管的响应速度和电流能力,进而提升所述金属氧化物半导体场效应管的功率,增大其应用范围。优选地,所述N<sup>+</sup>衬底10的电阻率为0.001~0.005Ω·CM。

[0065] 进一步,在所述衬底10内形成第二导电类型的埋层10a。所述埋层10a的数量可以为一个,也可以为多个,在此不作限定。当所述埋层10a的数量为多个时,所述多个埋层10a之间彼此间隔,优选所述多个埋层10a之间为等距间隔。还有,在本实施例中,所述第二导电类型为P型,因此所述埋层10a为P型半导体。在其他实施例中,所述第二导电类型也可以为N型,因此,所述埋层10a则为N型半导体。所述P型埋层10a可以通过在所述衬底10中掺杂硼元素或铝元素形成,在此不作限定。当在所述衬底10中掺杂硼元素时,以乙硼烷(B<sub>2</sub>H<sub>6</sub>)作为掺杂源;在所述衬底10中掺杂铝元素时,以三甲基铝(TMA)或氯化铝(AlCl<sub>3</sub>)作为掺杂源。

[0066] 具体地,所述掺杂方式有热扩散和离子注入。在本实施例中优选采用离子注入的方式。所述离子注入具有纯度高,均匀度好,能精确控制注入剂量和深度,温度较低,不易发生热缺陷,能够利用光刻胶或金属作为掩膜进行选择区域注入等多重优点。

[0067] 更具体地,形成所述埋层10a包括如下步骤:在所述N型衬底10表面覆盖一层光刻胶层(图未示),之后采用具有所述埋层10a图形的掩膜版作为掩膜对所述光刻胶层进行曝光,再进行显影,在所述光刻胶层上形成与所述埋层10a图形一致的窗口;以所述光刻胶层作为掩膜,采用离子注入的方式从所述光刻胶层的窗口对所述N型衬底10进行局部掺杂,并使得所述N型衬底10局部区域反型成为P型,即形成所述P型埋层10a。

[0068] 增加的P型埋层10a可以和其一侧表面的N型衬底10及后续在其另一侧生长的N型第一外延层200之间形成寄生的NPN晶体管,当金属氧化物半导体场效应管漏端和源端导通时,此寄生NPN晶体管开始工作,可以将N型衬底10的电流进一步放大,提高所述金属氧化物半导体场效应管的电流能力,扩大器件的应用范围。

[0069] 请参照图4,执行步骤S2:在所述衬底10表面生长第一外延层20,所述衬底10表面为形成有所述埋层10a的一侧表面。可以理解,所述第一外延层20也覆盖在所述埋层10a表面。所述第一外延层20为碳化硅外延层。

[0070] 具体地,所述第一外延层20为第一导电类型,在本实施例中,所述第一导电类型为N型,因此第一外延层20为N型半导体。在其他实施例中,所述第一导电类型也可以为P型,因此,所述第一外延层20即为P型半导体。所述N型第一外延层20可以通过碳化硅掺杂氮元素或磷元素形成。在所述碳化硅掺杂氮元素时,以氮气( $N_2$ )作为掺杂源;在所述碳化硅掺杂磷元素时,以磷化氢( $PH_3$ )作为掺杂源。在本实施例中,优选掺杂氮离子。

[0071] 更具体地,所述N型第一外延层20为轻掺杂的N-第一外延层20。轻掺杂的目的是保证所述第一外延层20具有较大的电阻值以使得其可以承受较大的电压,从而提升所述金属氧化物半导体场效应管的击穿电压。此外,还可以通过增大所述第一外延层20的厚度来提升所述第一外延层20承受电压的能力。优选地,在本实施例中,所述第一外延层20中掺杂氮离子的浓度为 $5E14\sim 5E15CM^{-3}$ ,所述第一外延层20的厚度为 $15\sim 20\mu m$ ,在该范围内可以实现击穿电压为 $600\sim 1200V$ 。

[0072] 请参照图5,执行步骤S3:在所述第一外延层20上局部生长隔离结构30。所述隔离结构30的数量为至少两个,且所述至少两个隔离结构30彼此之间间隔,保持独立。详细地,所述隔离结构30为二氧化硅隔离层,所述二氧化硅隔离层部分埋入所述第一外延层20内,其另一部分从所述第一外延层20表面凸出。由于二氧化硅具有很高的介电强度( $10^7V/CM$ ),可以进一步提升所述金属氧化物半导体场效应管的耐击穿能力。在其他实施例中,所述隔离结构30也可以由其他具有较高介电强度的材料制成。优选地,在本实施例中,所述隔离结构30的数量为两个。

[0073] 具体地,形成所述隔离结构30,即二氧化硅隔离层主要包括如下步骤:在所述第一外延层20表面生长一层二氧化硅薄层(图未示),优选所述二氧化硅薄层的厚度为 $15\sim 35nm$ 。在本实施例中,所述二氧化硅薄层的厚度具体为 $20nm$ 。然后在所述二氧化硅薄层表面沉积一层氮化硅层(图未示)。详细地,采用化学气相沉积法在所述二氧化硅薄层表面沉积所述氮化硅层。优选地,所述氮化硅层的厚度为 $0.15\sim 0.4\mu m$ 。在本实施例中,所述氮化硅层的厚度为 $0.2\mu m$ 。接下来,在所述氮化硅层表面覆盖一层光刻胶层(图未示),之后采用具有所述隔离结构30图形的掩膜版作为掩膜对所述光刻胶层进行曝光,再进行显影,在所述光刻胶层上形成与所述隔离结构30图形一致的窗口(图未示);以所述光刻胶层作为掩膜,采用刻蚀的方式从所述光刻胶层的窗口对所述氮化硅层进行刻蚀以在所述氮化硅层上也形成与所述隔离结构30图形一致的开口。详细地,所述刻蚀的方法包括干法刻蚀和湿法刻蚀。在本实施例中,优选采用湿法刻蚀的方法。所述湿法刻蚀是通过化学刻蚀液与被刻蚀物质发生化学反应将被刻蚀物质剥离下来,其具有较好的各向同性刻蚀,因此便于快速去除窗口位置的氮化硅层。此外,湿法刻蚀还具有操作简便、对设备要求低、易于实现大批量生产的特点。更详细地,在本实施例中,采用湿法刻蚀的方法为磷酸湿法腐蚀,通过化学刻蚀液磷酸与氮化硅反应而去除所述窗口位置的氮化硅层。再然后,去除所述氮化硅层表面剩余的光刻胶层。进一步,以所述氮化硅层作为保护介质,采用干法氧化或湿法氧化的方法在所述窗口位置局部生长二氧化硅。在本实施例中,优选采用干法氧化的方法在所述窗口位置生长二氧化硅。详细地,在炉管中,通入氧气,氧气进入所述第一外延层20并与所述第一外延层20内的碳化硅反应生成氧化硅,所述氧化硅部分向所述第一外延层20内部生长,部分向所述第一外延层20外部生长,并形成所述隔离结构30。优选地,所述隔离结构30的厚度为 $0.45\sim 0.55\mu m$ 。在本实施例中,所述隔离结构30的厚度为 $0.5\mu m$ 。更进一步,去除所述氮化硅

层。具体地,使用热磷酸去除所述氮化硅层。再进一步,去除所述二氧化硅薄层。具体地,使用氢氟酸溶液去除所述二氧化硅薄层。在使用所述氢氟酸溶液去除所述二氧化硅薄层时,通过控制腐蚀的时间来实现完全去除所述二氧化硅薄层而不破坏所述隔离结构30。优选地,腐蚀时间为60~70s。因为所述二氧化硅薄层厚度极小,在去除所述二氧化硅薄层时对所述隔离结构30几乎不会造成影响。

[0074] 请参照图6,执行步骤S4:在所述第一外延层20表面和隔离结构30表面生长第二外延层40。所述第二外延层40也是碳化硅外延层。在生长所述第二外延层40时,所述第二外延层40先在所述第一外延层20表面纵向生长,当所述第二外延层40的厚度超过所述隔离结构30凸出所述第一外延层20表面的高度时,所述第二外延层40在纵向生长的同时横向生长,直至合拢并完全覆盖所述隔离结构30。优选地,本实施例中,所述第二外延层40的厚度为10 $\mu\text{m}$ 。

[0075] 具体地,所述第二外延层40为第二导电类型。在本实施例中,所述第二导电类型为P型,因此所述第二外延层40为P型半导体。在其他实施例中,所述第二导电类型也可以为N型,因此,所述第二外延层40则为N型半导体。所述P型第二外延层40可以通过在碳化硅外延层中掺杂硼元素或铝元素形成。当在碳化硅外延层中掺杂硼元素时,以乙硼烷( $\text{B}_2\text{H}_6$ )作为掺杂源;在碳化硅外延层中掺杂铝元素时,以三甲基铝(TMA)或氯化铝( $\text{AlCl}_3$ )作为掺杂源。在本实施例中,优选掺杂铝元素,因为相比硼元素,所述铝元素在碳化硅中更稳定,其不容易受到高温的影响而任意扩散。

[0076] 更具体地,所述第二外延层40为轻掺杂的P-第二外延层40。详细地,在本实施例中,所述第二外延层40中掺杂铝离子的浓度为 $5\text{E}16\sim 1\text{E}18\text{CM}^{-3}$ 。

[0077] 请参照图7,执行步骤S5:从所述第二外延层40的表面进行刻蚀并形成沟槽50,所述沟槽50贯穿所述第二外延层40,且所述沟槽50的底端延伸至所述第一外延层20内,并位于所述两个隔离结构30之间。可以理解,所述沟槽50的深度必须大于所述第二外延层40的厚度才能保证所述沟槽50的底部延伸至所述第一外延层20内,否则器件无法工作。从上述可知,在本实施例中,所述第二外延层40的厚度为10 $\mu\text{m}$ ,因此,在本实施例中,所述沟槽50的深度优选设置为12 $\mu\text{m}$ 。所述沟槽50的宽度设置为1~1.8 $\mu\text{m}$ ,因为所述沟槽50的宽度越小则器件的表面积越小,越有利于提高器件的集成度,但是,所述沟槽50的宽度越小则其工艺生产难度越大。在本实施例中,具体地,所述沟槽50的宽度设置为1.2 $\mu\text{m}$ 。

[0078] 具体地,形成所述沟槽50包括如下步骤:首先利用湿法氧化在所述第二外延层40表面生长一层二氧化硅层(图未示),之后在所述二氧化硅层表面铺设一层光刻胶层(图未示),之后采用具有所述沟槽50图形的掩膜版作为掩膜对所述光刻胶层进行曝光,再进行显影,在所述光刻胶层上形成与所述沟槽50图形一致的窗口(图未示),所述窗口在深度方向(即垂直方向)的投影区域位于所述两个隔离结构30之间,所述沟槽50到其侧边最近的两个隔离结构30的距离可以相等也可以不相等;以所述光刻胶层作为掩膜,采用刻蚀的方式从所述光刻胶层的窗口对所述第二外延层40进行贯穿刻蚀以在所述第二外延层40内形成一个贯穿所述第二外延层40的沟槽50,之后继续对所述第一外延层20进行部分刻蚀以使得所述沟槽50的底部延伸至所述第一外延层20内。详细地,所述刻蚀的方法包括干法刻蚀和湿法刻蚀。在本实施例中,优选采用干法刻蚀的方法。所述干法刻蚀的刻蚀剂是等离子体,利用等离子体与被刻蚀物质反应,形成挥发性物质,或直接轰击被刻蚀物质使之被腐蚀,其能

够实现各向异性刻蚀,从而确保在制作所述沟槽50时所述沟槽50的位置、形状和尺寸的精度,且干法刻蚀易实现自动化、处理过程未引入污染、清洁度高。在本实施例中,所述干法刻蚀为碳化硅刻蚀技术。制作出所述沟槽50后,使用清洗液先去除所述光刻胶层。之后再使用氢氟酸将所述第二外延层40表面的二氧化硅层去除。

[0079] 请参照图8,执行步骤S6:在所述第二外延层40相对所述第一外延层20的一侧表面及所述沟槽50内表面生长栅介质层60。所述栅介质层60的厚度优选为25~50nm,在该厚度范围内所述金属氧化物半导体场效应管的耐击穿性能好。在本实施例中,优选地,所述栅介质层60为栅氧化层,所述氧化层为二氧化硅层。在其他实施例中,所述栅介质层60也可以由其他绝缘材料制成,如氮化硅。

[0080] 具体地,当所述栅介质层60为氧化层时,形成所述栅介质层60包括如下步骤:在生长所述栅介质层60前,先对所述第二外延层40的表面及所述沟槽50内表面进行清洗。所述清洗的作用在于去除所述第二外延层40的表面及所述沟槽50内表面的各种微颗粒杂质以提升后续生长的栅介质层60的质量,进而提升所述金属氧化物半导体场效应管的质量。详细地,所述清洗包括依次使用盐酸、氨水、双氧水和纯水对所述第二外延层40的表面及所述沟槽50内表面进行处理。清洗后,采用氧化法在所述第二外延层40和所述沟槽50的表面生长栅氧化层。所述氧化法包括湿法氧化和干法氧化。在本实施例中,优选采用干法氧化。所述干法氧化指在炉管内生长时,直通氧气,不通氢气,其特点是栅介质层60的生长速率慢,栅介质层60中缺陷少,质量可靠。

[0081] 进一步,在生长有所述栅介质层60的沟槽50内沉积多晶硅并形成多晶硅栅极70。具体地,在所述栅介质层60表面淀积多晶硅,使所述多晶硅填满所述沟槽50,同时还在所述第二外延层40表面对应的栅介质层60表面形成一层多晶硅层。在所述多晶硅层表面覆盖一层光刻胶层,对所述光刻胶层进行曝光、显影形成窗口;通过所述窗口对所述多晶硅层进行刻蚀,刻蚀后留下的多晶硅层在深度方向上的投影区域位于所述两个隔离结构30之间,且刻蚀后留下的多晶硅层与所述沟槽50内的多晶硅连接并共同构成多晶硅栅极70。在其他实施例中,也可以仅在所述沟槽50内填充多晶硅,填充在所述沟槽50内的多晶硅构成所述多晶硅栅极70。

[0082] 请参照图9,执行步骤S7:在所述第二外延层40内进行局部注入形成两个独立的注入区80。所述两个注入区80分别设置在所述沟槽50两侧的第二外延层40内,且所述两个注入区80分别与所述两个隔离结构30对应。在其他实施例中,当所述隔离结构30的个数多于两个时,所述注入区80的个数也可以多于两个,且所述注入区80分别与所述隔离结构30对应。详细地,所述注入区80在所述第一外延层20表面形成的垂直投影区域与对应的隔离结构30所在的区域重合,可以理解,所述注入区80在所述第一外延层20表面形成的垂直投影区域的面积等于所述隔离结构30所在的区域的面积。在其他实施例中,所述注入区80在所述第一外延层20表面形成的垂直投影区域被包含在所述隔离结构30所在的区域内,可以理解,所述注入区80在所述第一外延层20表面形成的垂直投影区域的面积大于所述隔离结构30所在的区域的面积。

[0083] 更详细地,所述注入区80为第一导电类型,在本实施例中,所述第一导电类型为N型,因此所述注入区80为N型。在其他实施例中,所述第一导电类型也可以为P型,因此,所述注入区80即为P型。所述N型注入区80可以通过在所述第二外延层40内局部掺杂氮元素或磷

元素,使得所述P型的第二外延层40局部反型成为N型的注入区80。优选地,在本实施例中,掺杂元素为氮元素。更具体地,所述注入区80内掺杂氮的浓度较高,即为重掺杂的N+所述注入区80,重掺杂可以降低所述注入区80的电阻,增强其导电性。

[0084] 具体地,形成所述注入区80包括如下步骤:在所述栅介质层60表面覆盖光刻胶层(图未示),以掩模版作为遮挡对所述光刻胶层进行曝光,之后显影,以在所述光刻胶层上形成窗口。在本实施例中,所述窗口的位置与所述隔离结构30的位置在深度方向上相对应,且所述窗口在水平方向上的横截面的形状大小与所述隔离结构30在水平方向上的横截面的形状大小一致。这样,在制作所述注入区80时,可以使用在制备所述隔离结构30时所使用的掩模版,从而可以减少掩模版的制作数量,降低生产成本。接下来,通过所述窗口,采用离子注入的方式在所述第二外延层40内注入形成所述注入区80。然后,使用清洗溶液去除所述光刻胶层。再然后,进行退火处理。所述退火处理可以消除在注入形成所述注入区80时所引起的碳化硅晶格错位,修复掺杂元素注入对碳化硅的损伤,同时可以激活掺杂元素。

[0085] 请参照图10,执行步骤S8:在所述栅介质层60表面及所述多晶硅栅极70表面覆盖绝缘介质层90。所述绝缘介质层90可以对碳化硅的表面进行保护。详细地,所述绝缘介质层90为含硼的磷硅玻璃(BPSG)。在其他实施例中,所述绝缘介质层90也可以是不含硼的磷硅玻璃(PSG)。更详细地,在本实施例中,通过化学气相沉积的方法在所述栅介质层60表面及所述多晶硅栅极70表面淀积所述绝缘介质层90。

[0086] 进一步,在所述绝缘介质层90内分别刻蚀形成栅极接触孔和源极接触孔。所述栅极接触孔在深度方向上的投影区域被包含在所述多晶硅栅极70在深度方向上的投影区域内,所述源极接触孔的数量与所述注入区80的数量相等并分别与注入区80对应,且其在深度方向上的投影区域也分别被包含在其所对应的注入区80在深度方向上的投影区域内。具体地,在所述绝缘介质层90表面覆盖一层光刻胶层(图未示),之后采用具有所述栅极接触孔和源极接触孔图形的掩模版作为掩膜对所述光刻胶层进行曝光,再进行显影,在所述光刻胶层上形成与所述栅极接触孔和源极接触孔图形一致的窗口(图未示)。通过所述窗口对所述绝缘介质层90进行贯穿刻蚀以形成栅极接触孔和源极接触孔,这时,所述栅极接触孔的一端为暴露在所述绝缘介质层90表面的开口,所述栅极接触孔的另一端与所述多晶硅栅极70连接,而所述源极接触孔的一端为暴露在所述绝缘介质层90表面的开口,所述源极接触孔的另一端与所述栅介质层60连接。更具体地,对所述栅介质层60进行贯穿刻蚀,使得所述源极接触孔的另一端直接与所述注入区80连接。

[0087] 更进一步,分别在所述栅极接触孔和源极接触孔内填充金属并形成栅极金属层110和源极金属层120,所述栅极金属层110与所述多晶硅栅极70接触,所述源极金属层120分别与对应的注入区80接触。具体地,形成所述栅极金属层110和源极金属层120的步骤包括:在所述栅极接触孔和源极接触孔内填充金属,同时还在所述绝缘介质层90表面形成一层金属层。在所述金属层表面覆盖一层光刻胶层,对所述光刻胶层进行曝光、显影形成窗口;通过所述窗口对所述金属层进行刻蚀,并将所属金属层分割成彼此独立的三个部分,其中一个部分与所述栅极接触孔内填充的金属连接并共同构成栅极金属层110,另外两个部分分别与填充在所述源极接触孔内的金属连接并形成所述源极金属层120。

[0088] 执行步骤S9:在所述衬底10背面,即所述衬底10相对所述第一外延层200的一侧表面沉积一层金属层,所述金属层形成漏极金属层130。

[0089] 以上所述仅为本发明的一个实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明保护的范围之内。

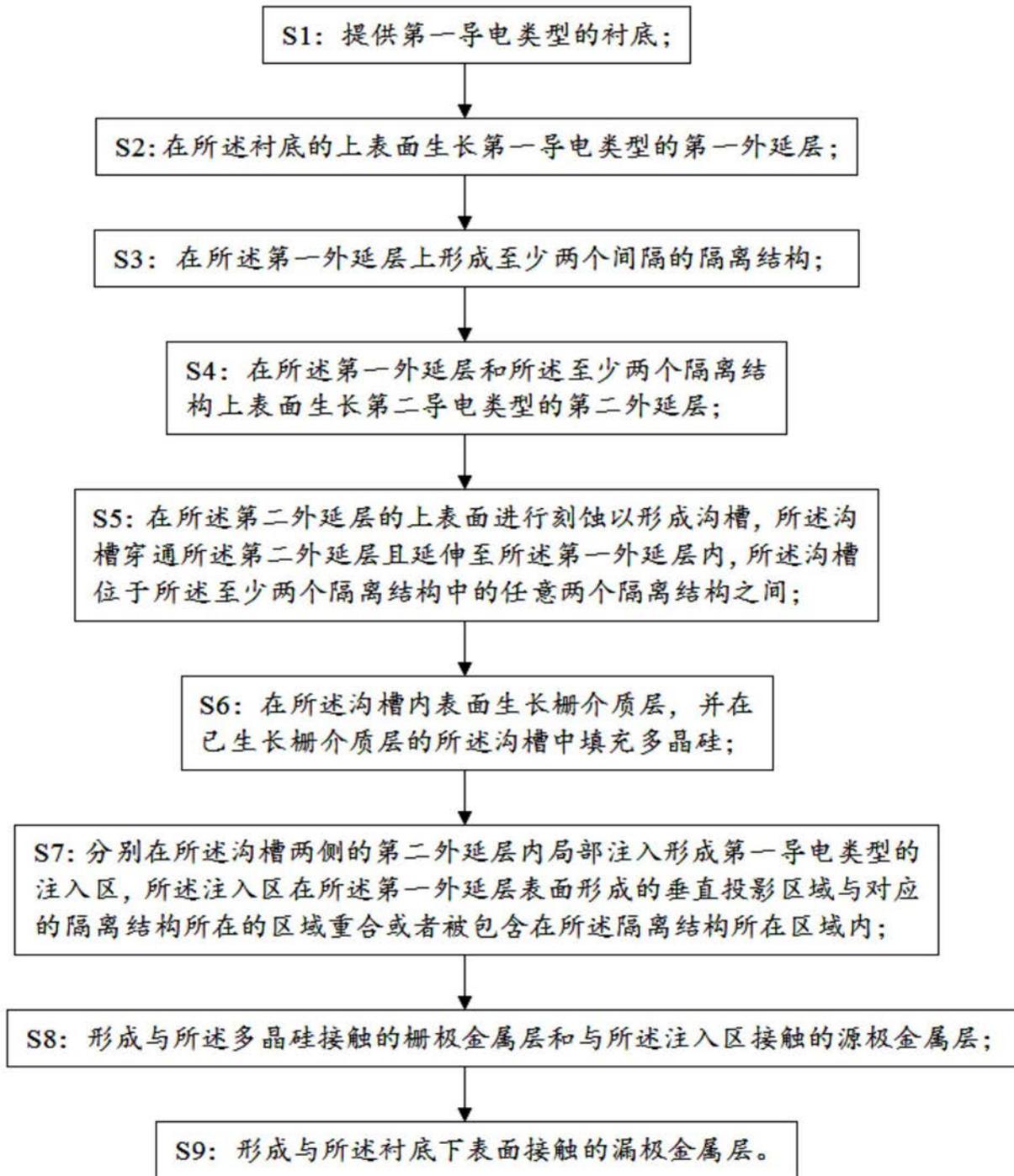


图1

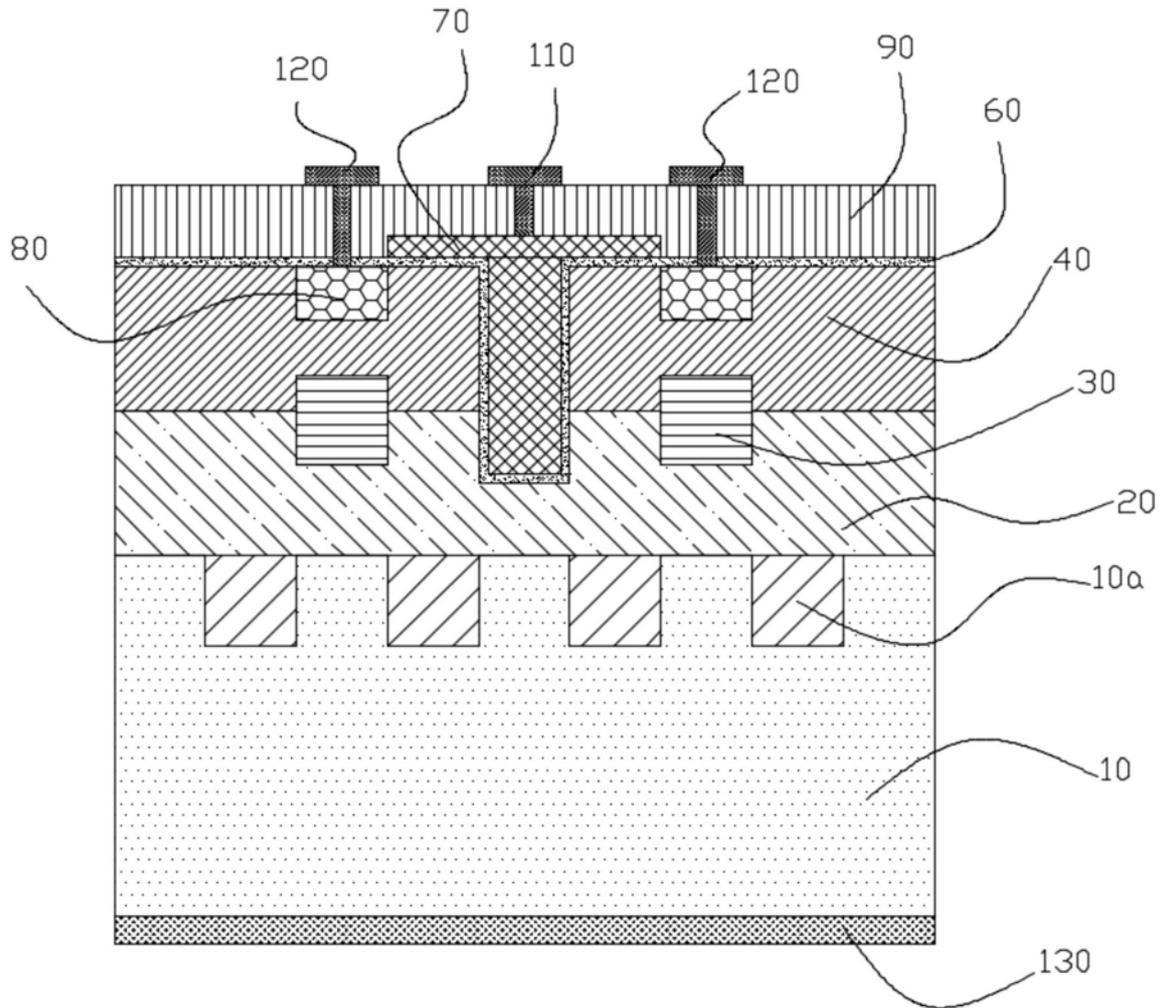


图2

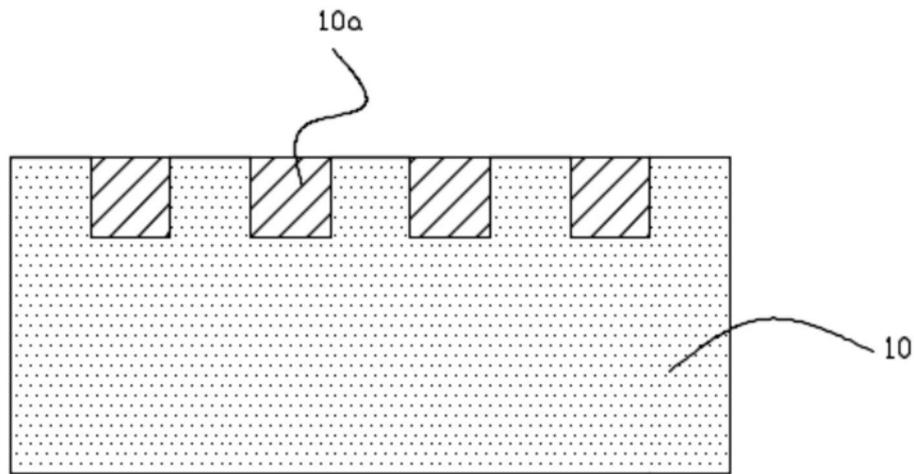


图3

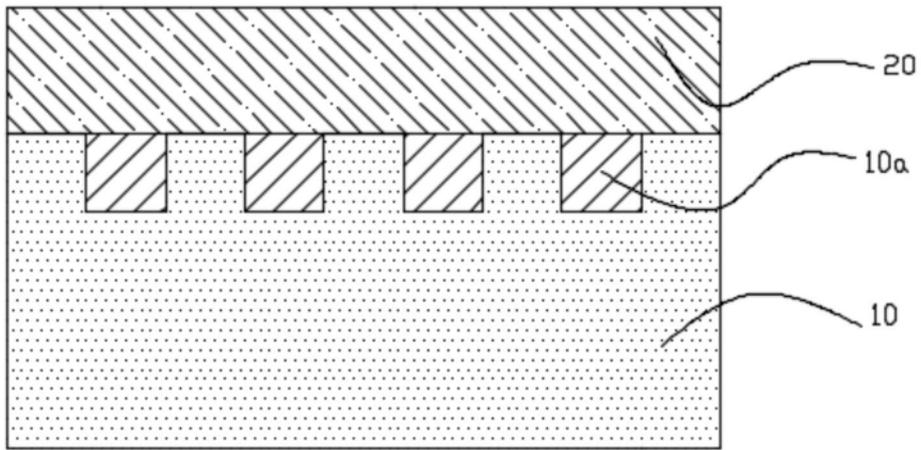


图4

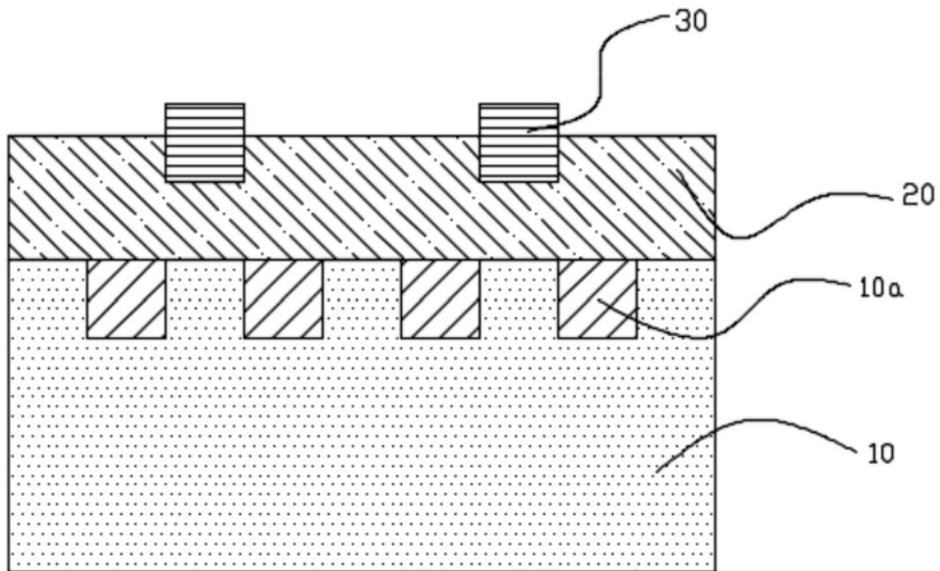


图5

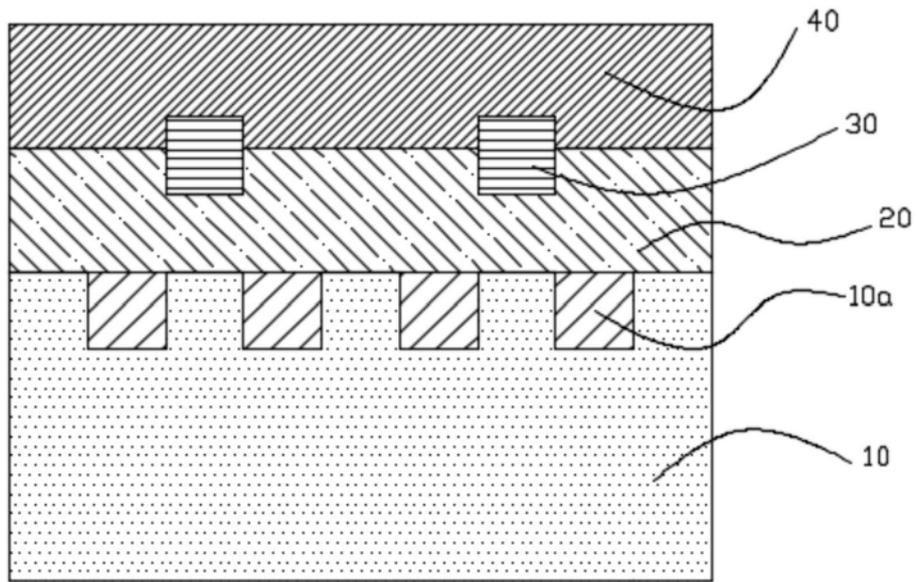


图6

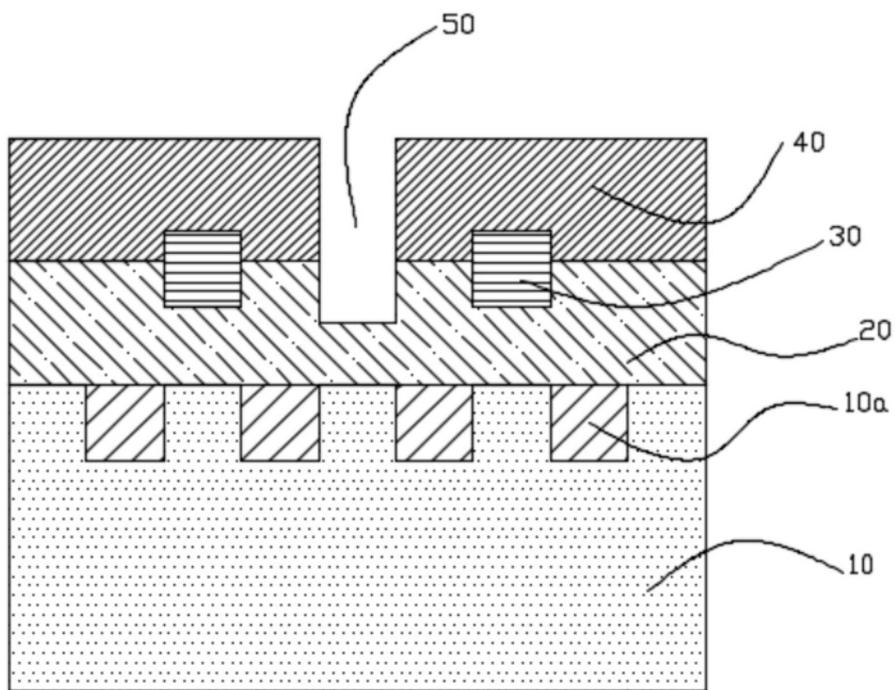


图7

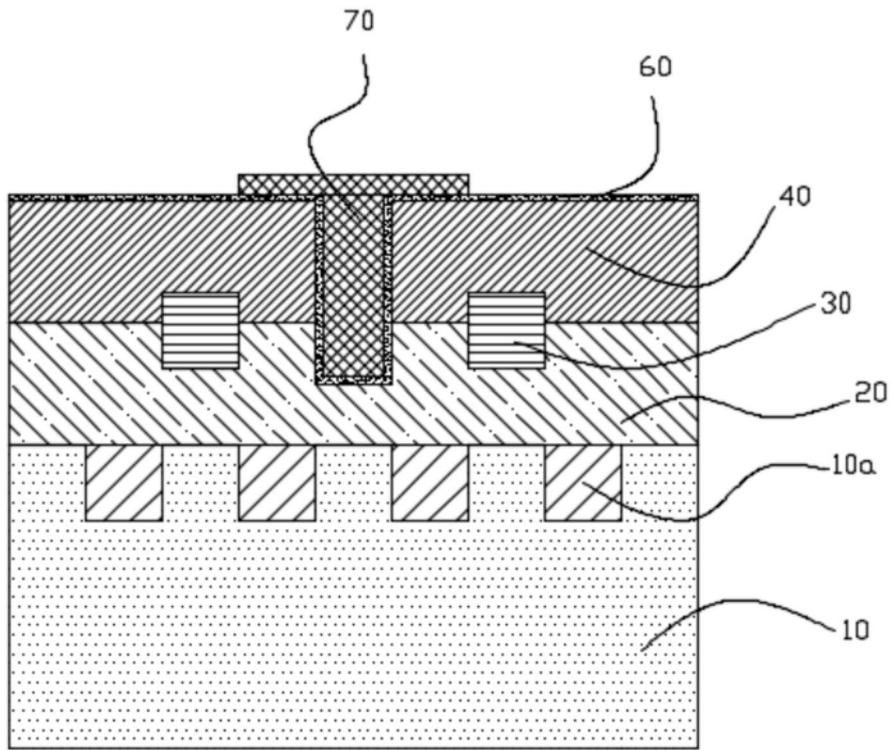


图8

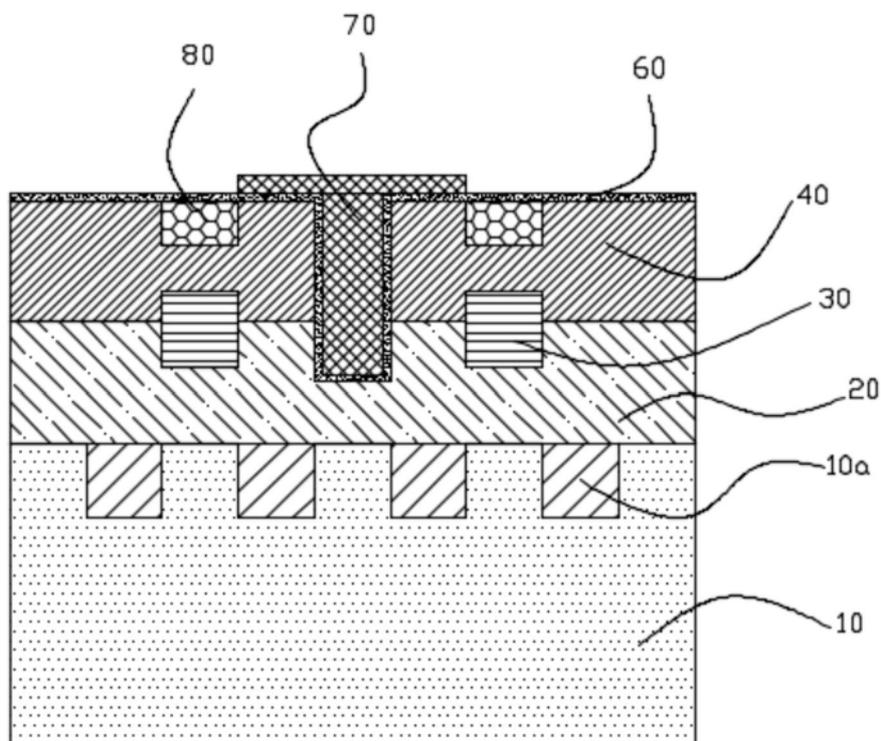


图9

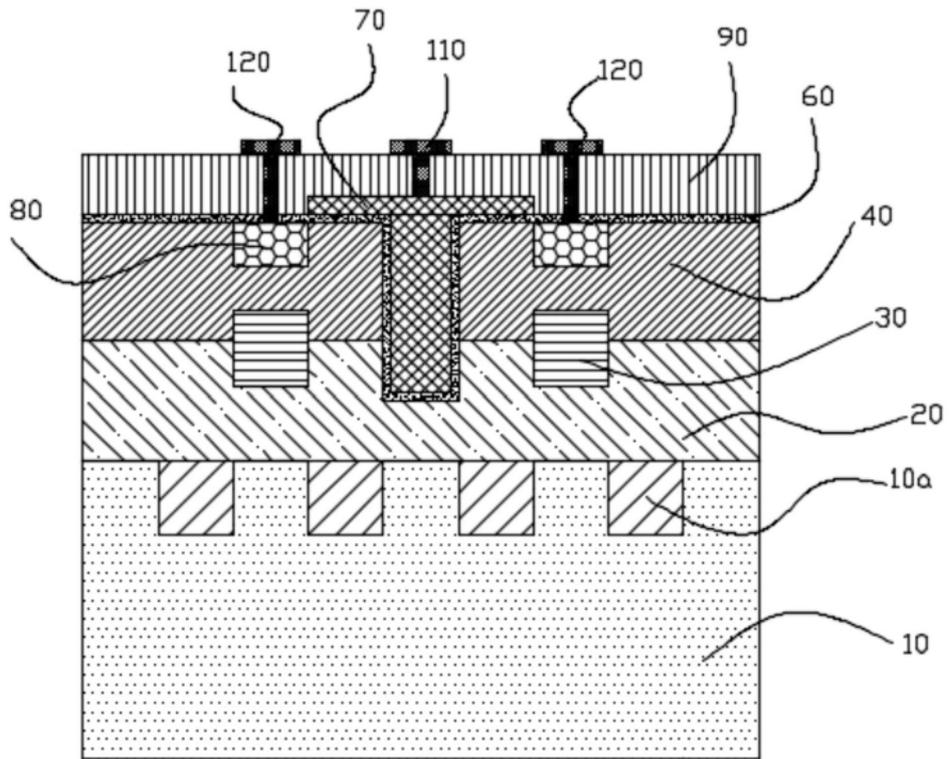


图10