



# [12] 发明专利申请公布说明书

[21] 申请号 200580003324.X

[43] 公开日 2007年2月14日

[11] 公开号 CN 1914598A

[22] 申请日 2005.1.27  
 [21] 申请号 200580003324.X  
 [30] 优先权  
     [32] 2004.1.28 [33] JP [31] 019278/2004  
 [86] 国际申请 PCT/JP2005/001105 2005.1.27  
 [87] 国际公布 WO2005/073850 日 2005.8.11  
 [85] 进入国家阶段日期 2006.7.27  
 [71] 申请人 索尼株式会社  
     地址 日本东京都  
 [72] 发明人 片野由人 吉田正 迫和彦

[74] 专利代理机构 北京市柳沈律师事务所  
 代理人 吕晓章 李晓舒

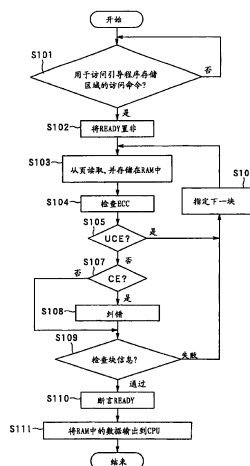
权利要求书 2 页 说明书 8 页 附图 4 页

## [54] 发明名称

半导体装置和用于启动该半导体装置的处理方法

## [57] 摘要

一种半导体装置，其中，使用诸如 NAND 型的每比特成本较低的快闪存储器作为引导装置，并将相同的引导程序存储在快闪存储器中的多个块的每一个中。当从 CPU 接收到对引导程序存储区的访问时，快闪存储器控制器仅在它根据基于该数据中的 ECC 的确定、以及根据基于块信息的确定而确定对应的块无缺陷时，才向 CPU 输出从对应的页读取的数据。否则，快闪存储器控制器读取存储在下一块中的引导程序，并再次进行对于该块是否有缺陷的确定。



1、一种被适配为通过从数据可重写的非易失性存储器读出引导程序而启动的半导体装置，所述引导程序被并行存储在非易失性存储器中的多个块中，所述半导体装置包括：

CPU，其被适配为指定用于在启动时读出存储在非易失性存储器中的引导程序的读取位置，并根据所读出的程序来执行启动过程；以及

读取控制电路，其被适配为根据从与读取位置相对应的块读出的数据来确定该块是否有故障，如果该块被确定为无故障，则向 CPU 输出该数据，而如果该块被确定为有故障，则从存储引导程序的另一块中读取所述数据，并且再次确定所述另一块是否有故障。

2、如权利要求 1 所述的装置，其中，读取控制电路被适配为至少根据在从非易失性存储器读出的数据中包含的纠错码来确定该块是有故障还是无故障。

3、如权利要求 2 所述的装置，其中，当读取控制电路根据纠错码确定所述数据是可校正的数据时，读取控制电路校正该数据，并且将其提供给 CPU，而当读取控制电路确定该数据是不可校正的数据时，读取控制电路确定该块是有故障的。

4、如权利要求 1 所述的装置，其中，读取控制电路被适配为至少根据在从非易失性存储器读出的数据中包含的块状态信息来确定该块是有故障还是无故障。

5、如权利要求 4 所述的装置，其中，当块状态信息未示出预定值时，读取控制电路确定该块是有故障的。

6、如权利要求 4 所述的装置，其中，块状态信息被存储在存储引导程序的每个块的起始页中。

7、如权利要求 1 所述的装置，其中，非易失性存储器是 NAND 型快闪存储器。

8、一种用于启动半导体装置的处理方法，该半导体装置包括 CPU，其被适配为通过从数据可重写的非易失性存储器读出引导程序而启动，该引导程序被并行存储在非易失性存储器中的多个块中，所述处理方法包括以下步骤：

通过非易失性存储器的读取控制电路、在启动时从与由 CPU 指定的读取位置相对应的非易失性存储器中的块读出数据；以及

根据从该块读出的数据来确定该块是否有故障，如果该块被确定为无故障，则将所述数据输出到 CPU，而如果该块被确定为有故障，则从存储引导程序的另一块中读取数据，并且再次确定所述另一块是否有故障。

## 半导体装置和用于启动该半导体装置的处理方法

### 技术领域

本发明涉及一种半导体装置和用于启动该半导体装置的处理方法，该半导体装置被适配为通过从数据可重写(data-rewritable)的非易失性存储器读出引导程序来开始操作。更具体地，本发明涉及一种半导体装置和用于启动该半导体装置的处理方法，该半导体装置被适配为通过从不能在制造过程中消除坏块的大容量非易失性存储器(例如 NAND 型快闪存储器)读出引导程序来启动操作。

此申请要求于 2004 年 1 月 28 日提交的日本专利申请第 2004-019278 号的优先权，其全部内容通过引用而被合并于此。

### 背景技术

近年来，已在例如家用便携式设备的各类设备中使用了具有将大量功能部件(feature)集成在单个芯片上的结构的系统 LSI(大规模集成电路)。系统 LSI 在内部或外部配备有与数据一起存储引导程序和其它各种处理程序的非易失性存储器。这种非易失性存储器经常是允许电重写其存储的数据的快闪存储器。

通常，使用 NOR 型快闪存储器来存储引导程序。然而，近来已经产生了对于在每比特成本方面较不昂贵的 NAND 型快闪存储器的需求。

利用 NAND 型快闪存储器的已知的引导系统包括这样的引导系统，所述引导系统包括 CPU(中央处理单元)核、系统存储器、NAND 型快闪存储器、以及用于每个存储器和 CPU 核之间的数据通信的接口，并且被适配为：通过在 CPU 核的控制下利用所述接口将来自 NAND 型快闪存储器的引导代码暂时存储在 RAM(随机存取存储器)中、并从该 RAM 读出所述引导代码来操作以进行系统引导，以便提高系统的性能。在日本专利申请公开第 2003-271391 号中公开了所述种类的已知引导系统。

同时，在快闪存储器中，在逐块的基础上进行写入或读取数据的操作。然而，已知在 NAND 型快闪存储器中，在制造过程中随机出现坏块。另一方

面，使用 NAND 型快闪存储器的引导需要确保存储引导程序的块没有故障、并且正确地存储了程序。然而，确保 NAND 型快闪存储器没有任何特定的坏块存在问题，因为在出货之前为了该目的而需要进行的测试的成本是巨大的。

### 发明内容

因此，考虑到上面指出的情形，本发明的一个目的是提供一种半导体装置，其能够在使用诸如 NAND 型快闪存储器的每比特成本比较低的快闪存储器作为引导装置时，持续稳定地开始操作。

本发明的另一目的是提供一种用于启动半导体装置的处理方法，所述半导体装置能够在使用诸如 NAND 型快闪存储器的每比特成本比较低的快闪存储器作为引导装置时，持续稳定地启动半导体装置。

在本发明的一个方面，通过提供一种半导体装置来实现第一目的，所述半导体装置被适配为通过从数据可重写的非易失性存储器读出引导程序而启动，该引导程序被并行地存储在非易失性存储器中的多个块中，所述半导体装置包括：CPU，其被适配为指定用于在启动时读出存储在非易失性存储器中的引导程序的读取位置，并根据所读出的程序来执行启动过程；以及读取控制电路，其被适配为根据从与读取位置相对应的块读出的数据来确定该块是否有故障，如果该块被确定为没有故障，则向 CPU 输出该数据，而如果该块被确定为有故障，则从存储引导程序的另一块中读取数据，并且再次确定所述另一块是否有故障。

因此，在根据本发明的半导体装置中，读取控制电路从与其它块并行地存储相同的引导程序的非易失性存储器的块中的一个读出数据。随后，典型地，读取控制电路根据所读出的数据、在包含在所读出的数据中的纠错信息或块状态信息的基础上，确定从中读出所述数据的块是有故障还是无故障的。

如果确定该块是无故障的，则读取控制电路将所读出的数据输出到 CPU。然后，结果，引导程序被依序输入 CPU 并由 CPU 执行，以使半导体装置开始操作。另一方面，如果确定该块是有故障的，则读取控制电路也从存储了引导程序的非易失性存储器中的某个其它块读出数据，并且再次确定从中读出所述数据的块是否有故障。

由于在半导体装置中安装了这样的读取控制电路，因此如果使用大容量非易失性存储器、并且该非易失性存储器随机地包含坏块，则避免了由 CPU

执行存储在坏块中的不正确的引导代码的情形。由此，可以在使用制造成本比较低的非易失性存储器时持续稳定地执行启动过程。

在本发明的另一方面，通过提供一种用于启动半导体装置的处理方法来实现第二目的，所述半导体装置包括 CPU，其被适配为通过从数据可重写的非易失性存储器读出引导程序而启动，所述引导程序被并行存储在非易失性存储器中的多个块中，所述处理方法包括以下步骤：通过非易失性存储器的读取控制电路，在启动时从与由 CPU 指定的读取位置相对应的非易失性存储器中的块读出数据；以及根据从该块读出的数据来确定该块是否有故障，如果该块被确定为无故障，则将该数据输出到 CPU，而如果该块被确定为有故障，则从存储引导程序的另一块读取数据，并且再次确定所述另一块是否有故障。

因此，通过根据本发明的用于启动半导体装置的处理方法，由读取控制电路从与其它块并行地预先存储相同的引导程序的非易失性存储器的块中的一个读出数据。随后，典型地，根据所读出的数据、在包含在所读出的数据中的纠错信息或块状态信息的基础上，确定从中读出所述数据的块是有故障还是无故障的。

如果确定该块是无故障的，则将所读出的数据输出到 CPU。然后，结果，引导程序被依序输入 CPU 并由 CPU 执行，以使半导体装置开始操作。另一方面，如果确定该块是有故障的，则从也存储引导程序的非易失性存储器中的某个其它块读出数据，以便再次确定从中读出所述数据的块是否有故障。

由于由读取控制电路执行这样的处理操作，因此如果使用大容量非易失性存储器、并且该非易失性存储器随机地包含坏块，则避免了由 CPU 执行存储在坏块中的不正确的引导代码的情形。因此，可以在使用制造成本比较低的非易失性存储器时持续稳定地执行启动过程。

因而，根据本发明，可以在不依赖于装运前的测试的情况下，确保非易失性存储器不具有任何存储引导程序的特定的坏块。因此，可以根据存储在低制造成本的大容量非易失性存储器中的引导代码来持续稳定地启动半导体装置。

#### 附图说明

图 1 是示出根据本发明实施例的半导体装置的配置的示意框图；

图 2 是快闪存储器的示例数据结构的示意图解;

图 3 是快闪存储器中的引导程序的存储的状态的示意图解; 以及

图 4 是根据本发明实施例的用于启动半导体装置的快闪存储器控制器的处理操作的流程图。

### 具体实施方式

现在, 将通过参照图解本发明的优选实施例的附图来更详细地描述本发明。

图 1 是根据本发明的半导体装置的实施例的示意框图。

在图 1 中图解的半导体装置包括通过将各种电路集成地安装在单个半导体芯片上而形成的系统 LSI 10、以及被布置在系统 LSI 10 外部的 NAND 型快闪存储器 20。

系统 LSI 10 依次包括 CPU 11、eDRAM(嵌入动态随机存取存储器)12 和 13、快闪存储器控制器 14、输入/输出(I·O)I/F(接口)15、其它外围电路 16 和内部总线 17。

CPU 11 通过内部总线 17 连接到 eDRAM 12 和 13、快闪存储器控制器 14 以及外围电路 16。CPU 11 通过执行存储在快闪存储器 20 中的处理程序来全面地控制整个半导体装置的操作。eDRAM 12 和 13 临时存储要由 CPU 11 执行的程序以及要用于处理操作的数据。

快闪存储器控制器 14 是用于控制读取在外部布置的快闪存储器 20 的操作的电路。它在其内部配备有 RAM 14a。当由 CPU 11 指定了读取地址时, 快闪存储器控制器 14 从快闪存储器 20 读出数据, 并且在它将该数据提供给 CPU 11 之前将该数据暂时存储在 RAM 14a 中。快闪存储器控制器 14 还具有根据在存储在 RAM 14a 中的数据中包含的 ECC(纠错码)来执行纠错处理的功能。

另外, 当由 CPU 11 访问存储在快闪存储器 20 中的引导程序时, 快闪存储器控制器 14 暂时存储从快闪存储器 20 读出的数据, 然后确定从中读出所述数据的快闪存储器 20 中的块是有故障还是无故障。随后, 它仅在确定该块无故障时才将所述数据提供给 CPU。

输入/输出 I/F 15 是用于在快闪存储器控制器 14 和快闪存储器 20 之间交换数据的 I/F 电路。

快闪存储器 20 存储包括用于启动半导体装置的引导程序的各种处理程序、以及数据。由 CPU 11 来执行所述处理程序。

内部总线 17 包括用于传送指示内部总线 17 是否准备好用于访问的总线状态信号 READY 的总线。例如，当 CPU 11 请求快闪存储器控制器 14 从快闪存储器 20 读取数据时，如果总线状态信号 READY 被快闪存储器控制器 14 置非(negate)，则阻止主机系统访问内部总线 17。

快闪存储器 20 预先存储用于半导体装置的引导程序。在启动半导体装置时，CPU 11 向快闪存储器控制器 14 指定存储引导程序的块的起始(leading)地址，并执行从快闪存储器 20 读出的引导程序。结果，半导体装置的各个部件被初始化。

同时，已知坏块随机出现在 NAND 型快闪存储器中。如果与 NOR 型快闪存储器相比的话，这样的快闪存储器具有大存储容量但较不昂贵。另一方面，为了持续稳定地启动半导体装置，有必要始终在正常状态下将存储在快闪存储器 20 中的引导程序提供给 CPU 并由 CPU 执行。

为此目的，在本发明的这一实施例中，将相同的引导程序并行存储在快闪存储器 20 的多个块中。随后，快闪存储器控制器 14 根据所读出的数据来确定从快闪存储器 20 中、从中读出所述数据的块是有故障还是无故障，并且，如果确定该块有故障，则从也存储引导程序的某个其它块再次读出该引导程序。通过此过程，CPU 11 可以始终执行存储在正常的块中的引导程序。

在此实施例中，快闪存储器控制器 14 根据在从快闪存储器 20 读出的数据中包含的 ECC 或块信息来确定该块是有故障还是无故障。

图 2 是快闪存储器 20 的示例数据结构的示意图解。

如图 2 所示，快闪存储器 20 的内部被划分为多个块，并在逐块的基础上读出数据。每个块被进一步划分为多页。在此实施例中，将块划分为 64 页。典型地，将从顶部起总共 2048 字节的存储区域分配为用于用户数据的存储区，并在该存储区域之后布置 64 字节的扩展数据(额外(extra)数据)区域。

将 ECC 划分为 4 个 3 字节的部分，并且将其从扩展数据区域的顶部起存储在该扩展数据区域的 4 个区域中。将“00”插入到每个区域的底部。在每个块的起始页中、在接下来的 4 字节的区域中存储块信息。块信息是用来指示块是否有故障的标志。当该标志的值示出特定值时，可以说该块是正常的。

图 3 是快闪存储器 20 中的引导程序的存储的状态的示意图解。



如图 3 所示,在此实施例中,将相同的引导程序存储在快闪存储器 20 的起始的 4 个块中,并将其它处理程序和数据存储在随后的块中。在起始的 4 个块中,在复位之后立即由 CPU 11 指定第一起始块。如果确定此块有故障,则快闪存储器控制器 14 依序指定第二块、第三块和第四块以读取引导程序。

图 4 是用于启动上述半导体装置的快闪存储器控制器 14 的处理操作的流程图。

[步骤 S101] 当输入了系统复位信号时,CPU 11 通过内部总线 17 访问存储引导程序的快闪存储器 20 的存储区域。快闪存储器控制器 14 等待来自 CPU 11 的访问命令,并且当它实际接收到访问命令时,它访问所述存储区域(更具体地说,起始块的起始页),快闪存储器控制器 14 前进到步骤 S102。

[步骤 S102] 快闪存储器控制器 14 将总线状态信号 READY 置非。结果,试图访问内部总线 17 的主机系统的任何尝试都被阻止。

[步骤 S103] 快闪存储器控制器 14 通过输入/输出 I/F 15 访问快闪存储器 20,并从由 CPU 11 指定的存储区域读取一页的数据。随后,它将它已经读出的数据暂时存储在 RAM 14a 中。如果此时一些数据已经被存储在 RAM 14a 中,则快闪存储器控制器 14 覆写该数据。

[步骤 S104] 快闪存储器控制器 14 依序读出存储在 RAM 14a 中的数据。首先,它检查 ECC,并且如将在下面描述的那样进行步骤 S105 的确定、然后进行步骤 S107 的确定。

[步骤 S105] 如果快闪存储器控制器 14 确定该页的数据包含不可校正的错误(UCE),则它前进到步骤 S106。否则,它前进到步骤 S107。

[步骤 S106] 快闪存储器控制器 14 指定要从中读取数据的快闪存储器 20 中的下一块,并返回步骤 S103。结果,再次从所述下一块的起始页读出所述块中的数据。

由于在此实施例中将引导程序存储在快闪存储器 20 的 4 个块中,因此当该处理操作前进到步骤 S106 四次时,该处理操作终止。

[步骤 S107] 另一方面,如果快闪存储器控制器 14 确定该页的数据包含一个或多个的可校正的错误(CE),则其前进到步骤 S108。否则、或者当它确定该页的数据不包含任何错误,则它前进到步骤 S109。

[步骤 S108] 快闪存储器控制器 14 对该页的数据执行纠错处理,并将校正后的数据写入在 RAM 14a 上。

[步骤 S109] 快闪存储器控制器 14 从 RAM 14a 的数据中提取块信息。如果该块信息未示出预定值，则它确定该块是坏块，并且前进到步骤 S106。结果，从下一块的起始页再次读出数据。另一方面，如果该块信息示出预定值，则它确定该块是正常块，并且前进到步骤 S110。

[步骤 S110] 快闪存储器控制器 14 断言(assert)总线状态信号 READY。

[步骤 S111] 快闪存储器控制器 14 通过内部总线 17 将 RAM 14a 中的数据输出到 CPU 11。结果，CPU 11 执行从快闪存储器 20 读出的引导程序，并启动半导体装置。

注意，上面的流程图适用于当引导程序的量(volume)不大于一页的数据存储区域的容量时的处理。如果引导程序被存储在多页上，则仅在从块的起始页读出引导程序时才进行步骤 S109 的处理操作。如果作为以上处理的结果、快闪存储器控制器 14 确定所述块是正常的，则它通过步骤 S110 和 S111 而将 RAM 14a 中的数据输出到 CPU 11，然后返回步骤 S102，以将总线状态信号 READY 置非。随后，在步骤 S103 中，快闪存储器控制器 14 读取下一页的数据。

作为通过参照图 4 的流程图而在上面描述的处理的结果，快闪存储器控制器 14 仅在其从快闪存储器 20 读出的数据包含一个或多个可校正的错误时、或者在该数据不包含任何错误并且根据块信息而将从中读出该数据的块检测为不是坏块时，才将该数据输出到 CPU 11。由此，当启动半导体装置时，CPU 11 始终可以执行正常的引导程序。换句话说，可以持续稳定地启动半导体装置。

因此，由于快闪存储器控制器 14 所执行的所述处理，可以确保存储引导程序的快闪存储器 20 的特定块无故障。传统上，确保 NAND 型快闪存储器没有任何特定的坏块已经成为问题，因为在出货之前为了该目的而需要进行的测试的成本是巨大的，并且该测试不可避免地减小制造这种快闪存储器的产量。然而，根据本发明，可以在其中随机地存在坏块的情况下使用低成本高容量的快闪存储器作为引导装置。由此，可以在降低制造整个半导体装置的成本的同时持续稳定地启动这样的存储器。

如果要从其中读取引导程序的块被确定为有故障，则快闪存储器控制器 14 再次从某个其它块读出该引导程序，并且仅在确定该块不是坏块时才将该引导程序输出到 CPU 11。由此，CPU 11 可在复位之后执行完全相同的启动过

程，并且，不需要变更除了快闪存储器控制器 14 之外的组件的配置。换句话说，本发明使被适配为通过 CPU 来执行各种处理的计算机系统找到广泛的应用范围，而不会提高制造成本。

尽管在上述实施例中快闪存储器被布置在系统 LSI 外部，但是本发明也适用于快闪存储器被布置在系统 LSI 内部的配置。

用作引导装置的快闪存储器不限于 NAND 型快闪存储器，并且，在出货时难以从中完全消除坏块的、具有比较大的容量以及允许它被依序访问的配置的任意其它类型的快闪存储器也可用于本发明的目的。典型地，这样的快闪存储器包括那些所谓的 AND 型。

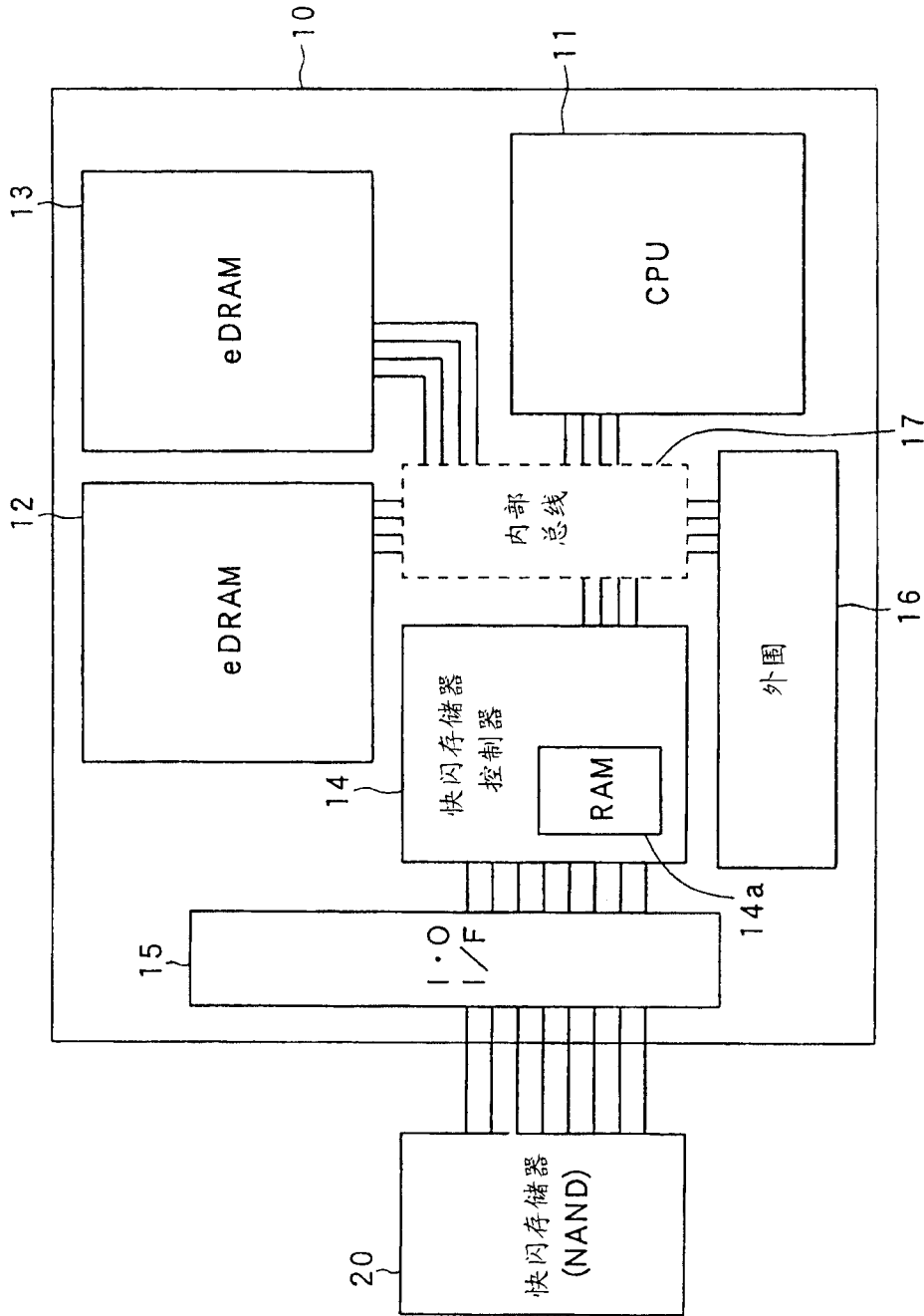


图 1

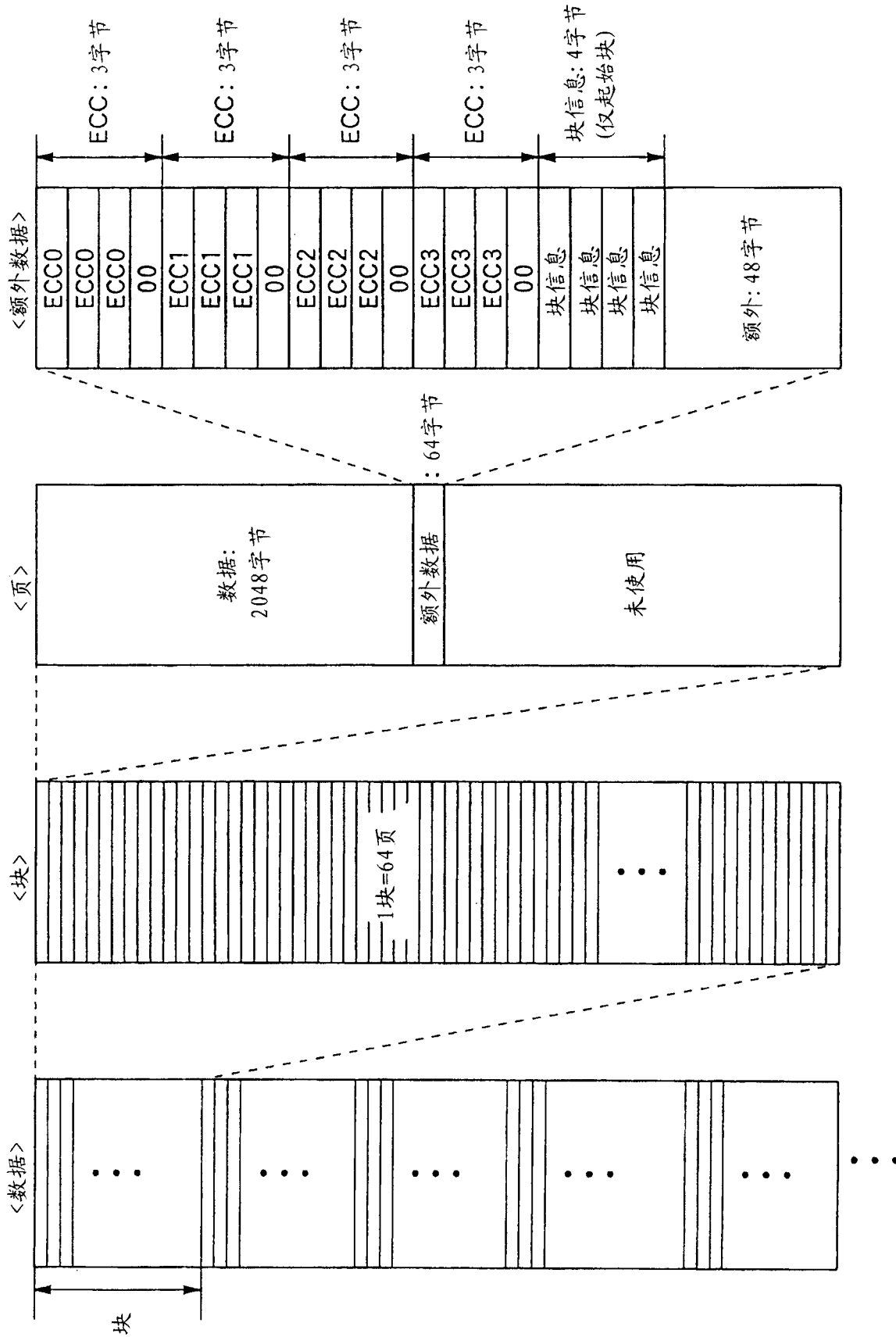


图 2

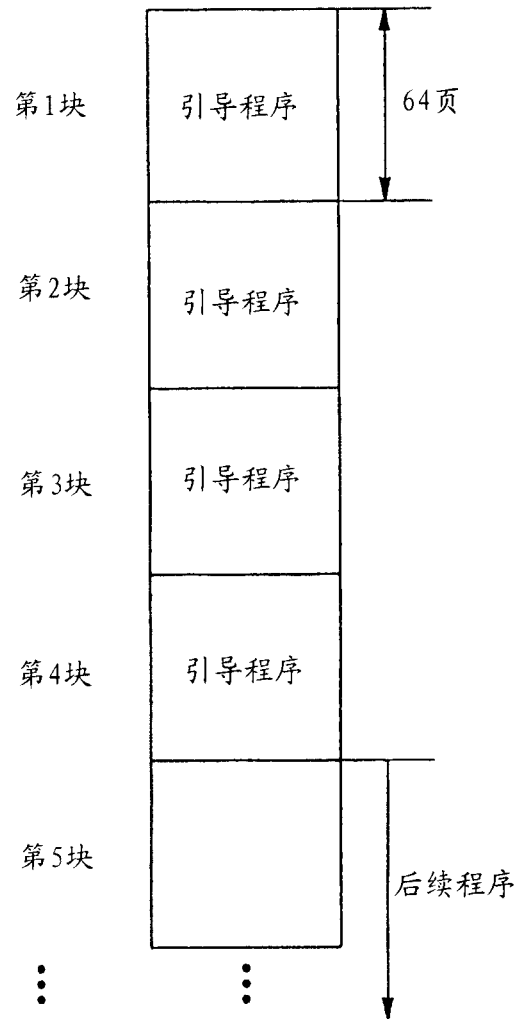


图 3

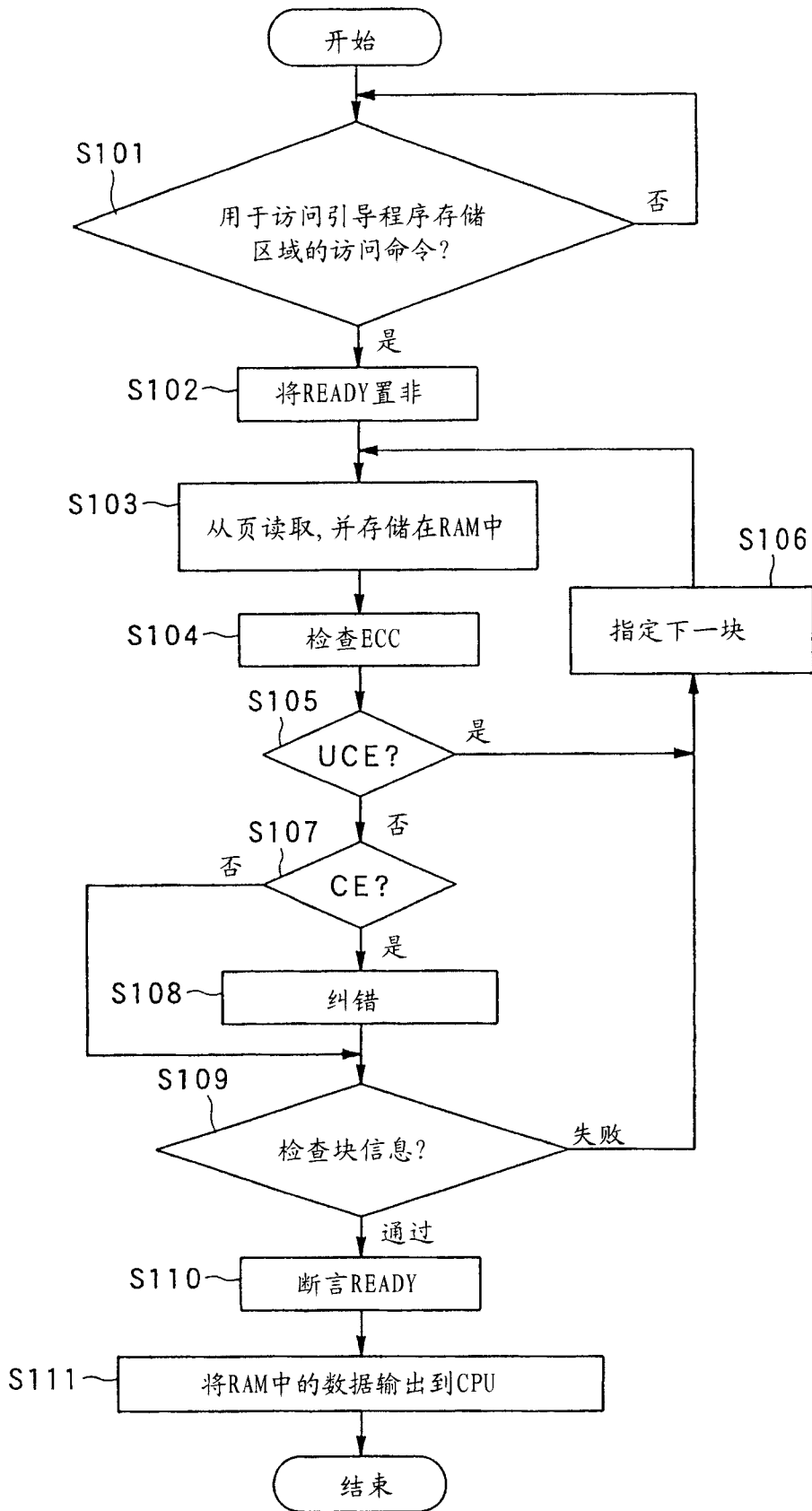


图 4