





## 【發明說明書】

【中文發明名稱】 無基板封裝結構

【英文發明名稱】 SUBSTRATE-LESS PACKAGE STRUCTURE

【技術領域】

【0001】 本發明係關於一種封裝結構，尤指一種具低側高之無基板封裝結構。

【先前技術】

【0002】 在封裝領域，尺寸係須高度考量的產品特徵。若封裝後的積體電路（IC）晶片的尺寸可較小，則可更易於嵌入終端產品（例如移動電話或電子儀器）。因此，更小的晶片尺寸有助於產品競爭力。

【0003】 為了縮小封裝尺寸，已有多種方法可使用。舉例而言，堆疊式封裝（package-on-package，PoP）製程可用以將兩個、或更多已封裝之晶片透過球柵陣列（ball grid array，BGA）垂直堆疊。多個晶片可因此整合於一封裝內，從而可降低尺寸及電路複雜度。然而，該方法仍不易降低封裝之厚度。由於堆疊式封裝包含至少兩互相堆疊之封裝，故堆疊式封裝的常見問題係厚度過厚而難以縮減。以移動電話等應用而言，堆疊式封裝嵌入於小尺寸裝置的難度高，因此，本領域仍須可降低封裝結構之厚度的解決方案。

【發明內容】

【0004】 本發明實施例提供一封裝，包含一晶片、一接合線、一封膠層及一重佈層。該晶片包含一導電接腳。該接合線接合於該晶片之該導電接腳。該封

膠層包覆該晶片及該接合線。該重佈層設置於該封膠層上，且耦接到該接合線之一外露部份。

**【0005】** 本發明另一實施例提供一種封裝方法，包含將一晶片設置於一載體上；將一接合線接合到該晶片之一導電接腳；填充一封膠材料以形成一封膠層，該封膠層包覆該晶片及該接合線，該封膠層包含一第一面及一第二面，該第二面接觸該載體；移除該載體；從該第一面降低該封膠層之厚度以使該接合線之一部分外露；及將一重佈層設置於該封膠層之該第一面，該重佈層接觸該接合線外露於該封膠層的之該部分。該晶片、該接合線、該封膠層及該重佈層係屬於一封裝。

### **【圖式簡單說明】**

#### **【0006】**

第1圖係實施例之封裝結構的示意圖。

第2圖係另一實施例之封裝結構的示意圖。

第3圖係另一實施例之封裝結構的示意圖。

第4圖係實施例之封裝方法的流程圖。

第5圖至第11圖係對應於第4圖之步驟的製程示意圖。

第12圖係另一實施例之封裝方法的流程圖。

第13圖至第18圖係對應於第12圖之步驟的製程示意圖。

### **【實施方式】**

**【0007】** 第1圖係實施例之封裝結構100a的示意圖。封裝結構100a係堆疊式封裝（PoP）結構，包含第一封裝110及第二封裝120。第一封裝110包含第一晶

片110d、黏貼層110f、接合線110w、封膠層110e、第一基板層110s及導電焊球110b。第二封裝120包含第二晶片120d、第二基板層120s、及導電焊球120b。封裝結構100a係可用的堆疊式封裝結構，但須使用至少兩基板層（如110s、120s），且封裝結構100a的厚度TH1須包含第一基板層110s及第二基板層120s的厚度。

**【0008】** 第2圖係另一實施例中，封裝結構200的示意圖。封裝結構200可包含第一封裝210、及第二封裝220。第一封裝210可包含晶片2101、接合線2102、封膠層2103、重佈層（redistribution layer，RDL）2104及導電焊球2105。晶片2101可包含導電接腳2101a。接合線2102係接合（bond）於晶片2101之對應的導電接腳2101a。封膠層2103包覆晶片2101及接合線2102。重佈層2104係設置於封膠層2103上，且電性耦接到接合線2102之外露部份2102e。將接合線2102打線接合後，可形成環弧狀結構，具有弧高。當接合線2102被接合到晶片2101及載體488（示於第6圖）後，接合線2102可接合到晶片2101以形成第一接合點，且被拉牽至載體488之預期位置，接合於該預期位置以形成第二接合點。當拉牽接合線2102到該預期位置時，該拉線（loop）操作可將接合線2102置入於第一接合點與第二接合點之間，且形成弧拱狀。當打線工具以自然拋物線或橢圓曲線拉牽接合線，導致的弧拱狀可稱為線弧（wire loop）。線弧的特徵可包含形狀、長度及高度，且該些特徵可整合為接合線的一組線弧記錄。如第2圖所示，外露部份2102e係位於接合線2102的弧狀部份。封膠層2103的高度可實質上等於接合線2102的弧高。

**【0009】** 導電焊球2105可焊接於重佈層2104。第二封裝220可包含導電介面2201。導電介面2201可電性連接於第一封裝210之導電焊球2105，用以於第一

封裝210及第二封裝220之間，發送及/或接收訊號及資料。由於每條接合線2102之端點2102a係外露於第一封裝210之接面210a，且端點2102a可電性耦接於晶片2101，可選擇性地將第三半導體晶片設置於第一封裝210之接面210a。每條接合線2102之端點2102a可用以電性耦接一第三封裝及第一封裝210。舉例而言，第三封裝的每一連接端點，可直接耦接於接合線2102之端點2102a。或者，電性連接於端點2102a的重佈層可形成於第一封裝210的接面210a，且第三封裝的每一連接端點可透過該重佈層，對應地電性耦接到接合線2102之端點2102a。

**【0010】** 如第2圖所示，第二封裝220可另包含晶片2204、基板層2202、導電焊球2203、封膠層2206、及導電焊球2205，位於晶片2204及基板層2202之間。基板層2202可包含設計電路。基板層2202可為多層架構。重佈層2104可設計且規劃線路以形成電路。晶片2204可包含接腳，連接於導電焊球2205。每個導電焊球2205可連接於對應的基板層2202之導電介面2201，以形成晶片2204及基板層2202之間的資料路徑。

**【0011】** 重佈層2104形成的電路、及基板層2202形成的電路，可根據應用或產品規格而予以設計。因此，在晶片2101及2204之間，可透過導電接腳2101a、接合線2102之外露部份2102e、重佈層2104、導電焊球2105、導電介面2201、基板層2202、及連接於晶片2204之導電焊球2205，發送且接收資料及訊號。換言之，透過接合線2102之外露部份2102e，可建立通訊路徑。

**【0012】** 根據實施例，第一封裝210可包含黏貼層2106，黏貼於第一晶片2101。封膠層2103及2206可使用(但不限於)環氧樹脂模塑材料(epoxy molding compound, EMC)或其他適宜的樹脂類形成。導電焊球2203可用以接觸外部

電路，例如外部的印刷電路板（PCB）等。

【0013】 第3圖係實施例中，封裝結構300的示意圖。封裝結構300相似於封裝結構200，包含第一封裝310及第二封裝220。相較於第2圖的第一封裝210，第3圖的第一封裝310另包含晶片2108。晶片2108包含導電接腳2108a。除了接合於晶片2101之導電接腳2101a，第3圖之接合線2102可另接合於晶片2108的導電接腳2108a。因此，在第3圖之示例中，資料及訊號可透過接合線2102之外露部份，在晶片2101、2202、2108之間傳送。上述中，複數條接合線2102可用於解釋封裝結構200、300之操作。然而根據實施例，封裝結構200、300亦可僅有單條接合線具有外露部份，亦可實現封裝結構200、300之操作。第3圖中，黏貼層2109可黏貼於晶片2108以保護且固定晶片2108。黏貼層2109可為（但不限於）晶片黏附薄膜（die attach film，DAF）。在第2及3圖中，第一封裝210及第一封裝310可視為上封裝。根據不同實施例，上封裝可包含一個、二個或更多晶片。第3圖中，厚度Hb可為150-200微米（micrometer）。習用的堆疊式封裝（PoP）中，上封裝的封膠層可約為350微米。因此，根據本發明實施例，上封裝（不含導電焊球）之厚度可降低至先前技術的42.8%至57.1%。此外，如第2圖、第3圖所示，封裝結構200或300可僅包含一基板層，亦即基板層2202。然而，第1圖之封裝結構100a係包含兩基板層110s、120s。因此，封裝結構200、300的厚度，相較於封裝結構100a，可更加降低。因此，根據本發明實施例，可得到超薄堆疊式封裝（super thin PoP）結構。第3圖中，外露部份2102e可電性連接導電接腳2101a，故可使導電焊球2105耦接到晶片2101。另一例中，外露部份2102e可電性連接到導電接腳2101a及2108a，故可使導電焊球2105耦接到晶片2101及2108。

【0014】 第4圖係根據實施例，封裝方法400的流程圖。封裝方法400可用以製造封裝結構200，其可包含下列步驟。

【0015】 步驟410：將晶片2101設置於載體488上；

【0016】 步驟415：將接合線2102接合到晶片2101之導電接腳2101a；

【0017】 步驟420：填充封膠材料以形成封膠層2103，封膠層2103包覆晶片2101及接合線2102，封膠層2103包含第一面21031及第二面21032，第二面21032接觸載體488；

【0018】 步驟430：從第一面21031降低封膠層2103之厚度，以使接合線2102之外露部分2102e可外露；

【0019】 步驟435：將重佈層2104設置於封膠層2103之第一面21031，重佈層2104可接觸接合線2102外露於封膠層2103的外露部分2102e；

【0020】 步驟440：將導電焊球2105焊接於重佈層2104；

【0021】 步驟445：移除載體488；及

【0022】 步驟450：將第一封裝210設置於第二封裝220（如第2圖所示），其中導電焊球2105可接觸第二封裝220之導電介面2201。

【0023】 第5圖至第11圖、及第2圖，可為分別對應第4圖之步驟410至450的製程示意圖。第5圖至第11圖中，可見第2圖之封裝結構200的上封裝210之製程。

【0024】 步驟415中，接合線2102可接合至導電腳位2101a及載體488，如第6圖所示。適宜的中介材料可用以將接合線2102固定於載體488。步驟450中，做為上封裝之第一封裝210可翻轉，以使導電焊球2105可焊接於導電介面2201，從而建立第一封裝210及第二封裝220之間的傳輸路徑。



【0025】 第5至11圖中製造的上封裝只包含單一晶片，然而根據其他實施例，上封裝可包含更多晶片，如第3圖所示。第12圖係實施例中，封裝方法1200的流程圖。封裝方法1200中，可在上封裝設置多個晶片，其可包含以下步驟。

【0026】 步驟1208：將晶片2108設置於載體488上；

【0027】 步驟1210：將晶片2101設置於晶片2108上；

【0028】 步驟1215：將接合線2102接合至晶片2101的導電腳位2101a及晶片2108的導電腳位2108a；

【0029】 步驟1220：填充封膠材料以形成封膠層2103，封膠層2103包覆晶片2101、晶片2108及接合線2103，封膠層2103具有第一面21031及第二面21032，第二面21032接觸載體488；

【0030】 步驟1230：從第一面21031降低封膠層2103之厚度，以使接合線2102之外露部分2102e可外露；

【0031】 步驟1235：將重佈層2104設置於封膠層2103之第一面21031，重佈層2104可接觸接合線2102外露於封膠層2103的外露部分2102e；

【0032】 步驟1240：將導電焊球2105焊接於重佈層2104；

【0033】 步驟1245：移除載體488；及

【0034】 步驟1250：將第一封裝310設置於第二封裝220（如第3圖所示），其中導電焊球2105可接觸第二封裝220之導電介面2201。

【0035】 第13至18圖可為第3圖之封裝結構300的上封裝，即第一封裝310的製程示意圖。第13、14圖可對應於步驟1208、1210、1215。如第14圖所示，當上封裝（如第一封裝310）具有兩晶片（如晶片2108、2101）時，接合線2102

除了接合於晶片2101之導電接腳2101a，還可另接合於晶片2108的導電接腳2108a，從而形成晶片2101及2108之間的傳輸路徑。第15圖可對應於步驟1220。第16圖可對應於步驟1230。第17圖可對應於步驟1235至1240。第18圖可對應於步驟1245。第3圖可對應於步驟1250。在步驟445及1245中，載體488可藉由研磨、蝕刻、及/或剝離等方式移除。步驟430及1230中，封膠層2103的厚度可藉由研磨來降低。載體488可作為基底元件，使晶片及封膠層2103可形成於其上，待形成後，則載體488可移除。載體488可由玻璃、陶瓷、塑膠及/或適宜之材料形成。如第5圖所示，黏貼層2106可黏貼設置於晶片2101及載體488之間。舉例而言，黏貼薄膜（例如晶片黏附薄膜）可黏貼於未切割的晶圓，該晶圓係承載晶片2101。晶圓被切割後，晶片2101可黏附一片黏貼薄膜，亦即黏貼層2106。同理，根據第13至17圖的實施例，可將黏貼層2106設置於晶片2101及2108之間，黏貼層2109可設置於晶片2108及載體488之間，以提昇可靠度。

**【0036】** 綜上，根據本發明實施例提供的封裝（如210、310）、封裝方法（如400、1200）及封裝結構（如200、300），可降低堆疊式封裝之厚度，從而製造具有低側高的超薄堆疊式封裝結構。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

## **【符號說明】**

### **【0037】**

100a、200、300

封裝結構

110、210、310

第一封裝

120、220	第二封裝
110d	第一晶片
110f、2106、2109	黏貼層
110w、2102	接合線
110e、2103、2206	封膠層
110s	第一基板層
110b、2105、2205、2203	導電焊球
120d	第二晶片
120s	第二基板層
TH1、Hb	厚度
2101、2204、2108	晶片
2104	重佈層
2101a、2108a	導電接腳
2102a	端點
2102e	外露部份
2202	基板層
2201	導電介面
488	載體
400、1200	封裝方法
410至450、1208至1250	步驟
210a	接面
21031	第一面
21032	第二面



公告本

申請日：106/07/05

I651827

【發明摘要】

IPC分類：H01L 23/538 (2006.01)  
H01L 21/60 (2006.01)

【中文發明名稱】 無基板封裝結構

【英文發明名稱】 SUBSTRATE-LESS PACKAGE STRUCTURE

【中文】

一種封裝，包含一晶片、一接合線、一封膠層及一重佈層。該晶片包含一導電接腳。該接合線接合於該晶片之該導電接腳。該封膠層包覆該晶片及該接合線。該重佈層設置於該封膠層上，且電性接觸於該接合線之一外露部份。

【英文】

A package includes a chip, a wire, a mold layer and a redistribution layer. The chip includes a conductive pad. The wire is bonded to the conductive pad of the chip. The mold layer surrounds the chip and the wire. The redistribution layer is disposed on the mold layer and electrically contacts an exposed portion of the wire.

【指定代表圖】第(2)圖。

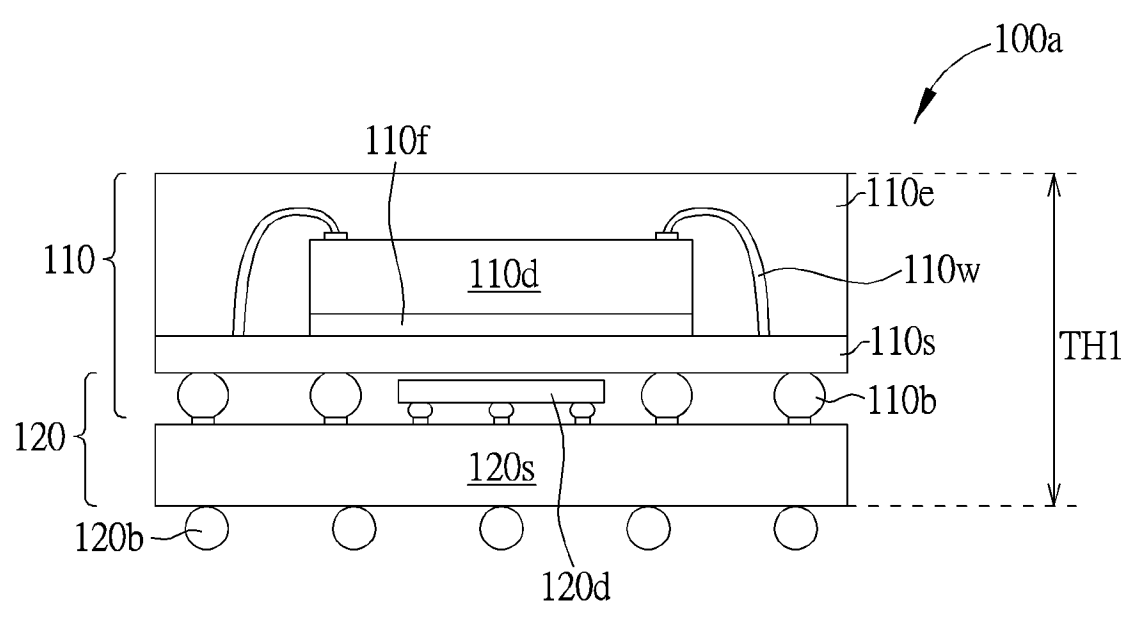
【代表圖之符號簡單說明】

200	封裝結構
210	第一封裝
220	第二封裝
2106	黏貼層
2102	接合線
2103、2206	封膠層
2105、2205、2203	導電焊球
2101、2204	晶片
2104	重佈層
2101a	導電接腳
2102a	端點
2102e	外露部份
2202	基板層
2201	導電介面
210a	介面

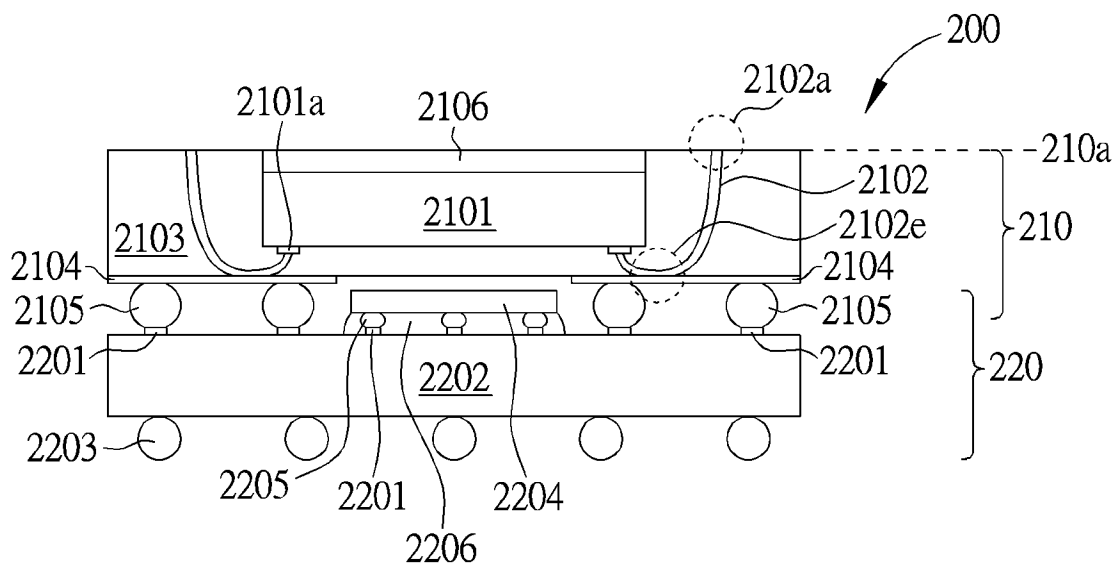
【特徵化學式】

無

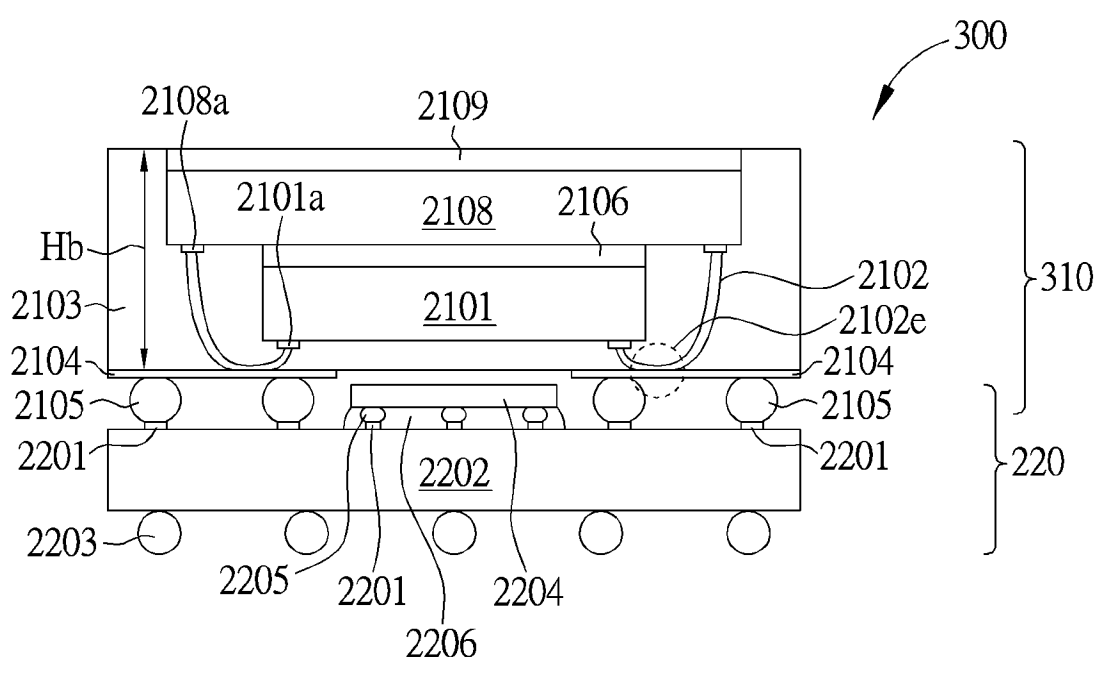
【發明圖式】



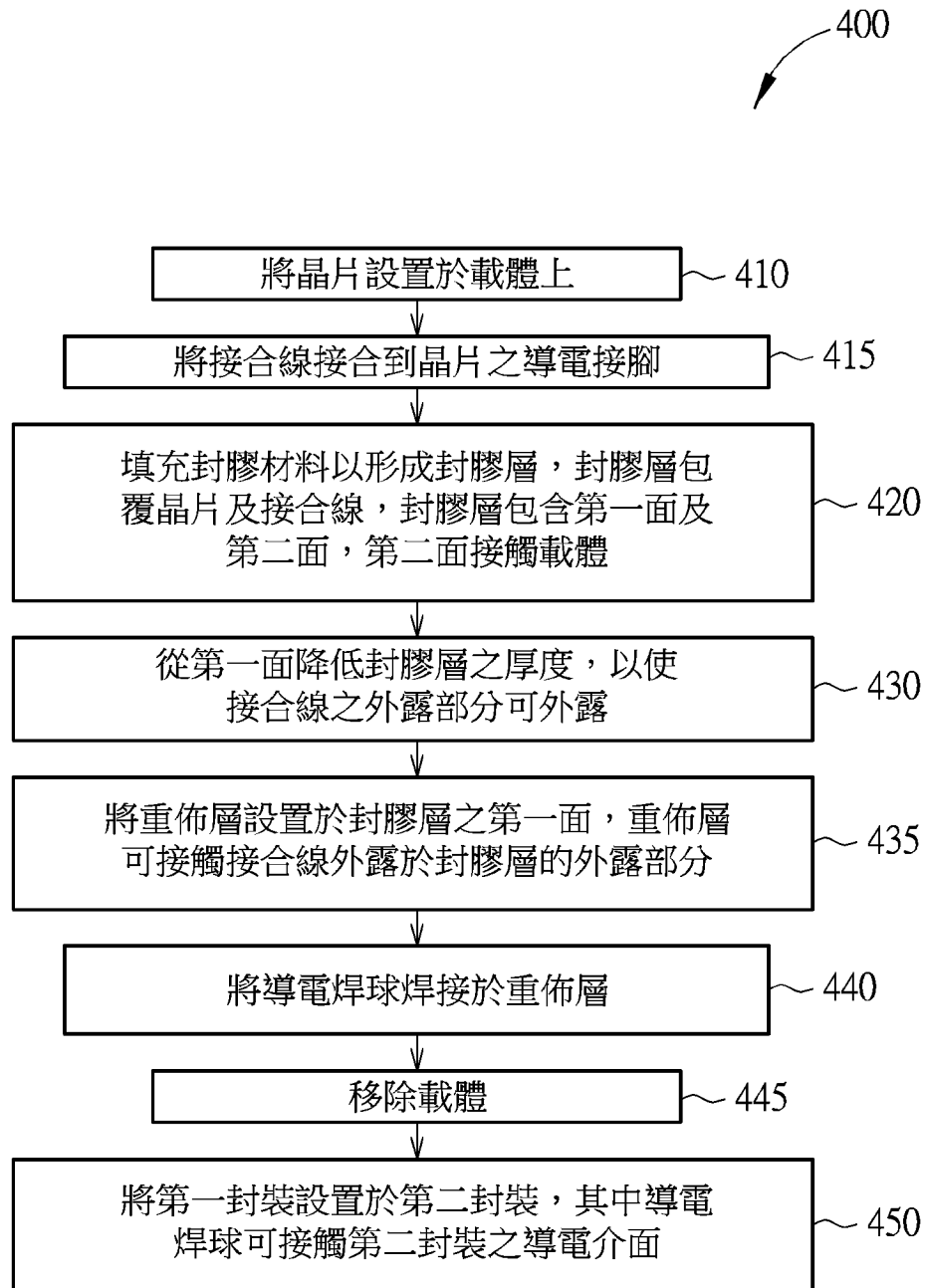
第1圖



第2圖

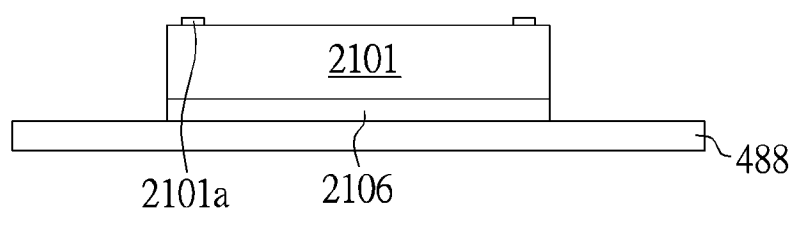


第3圖

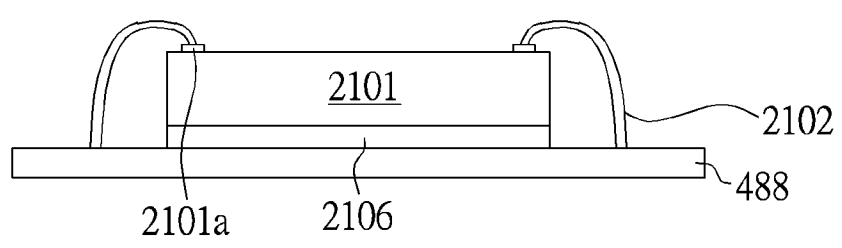


第4圖

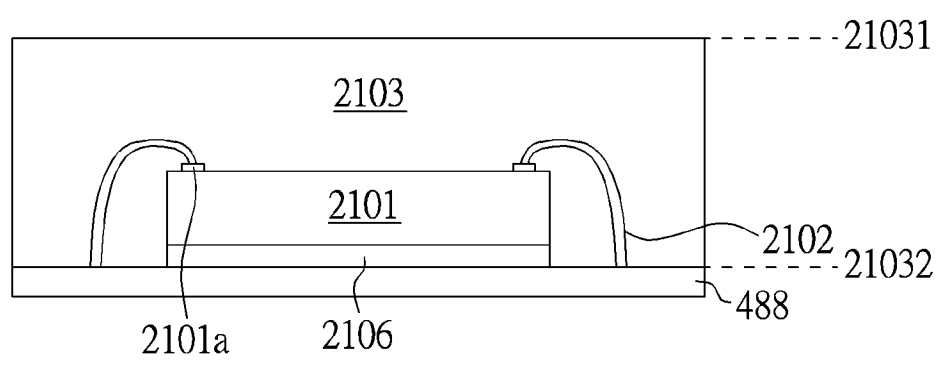




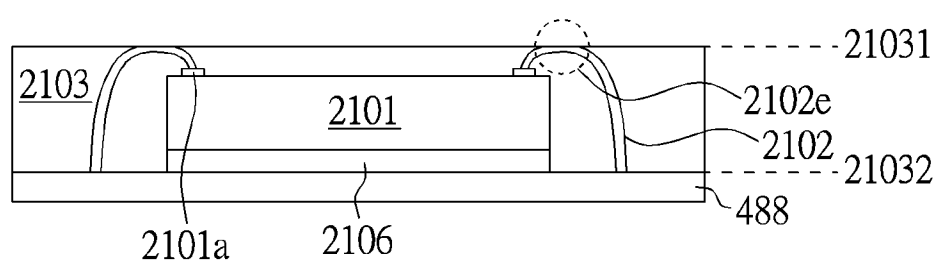
第5圖



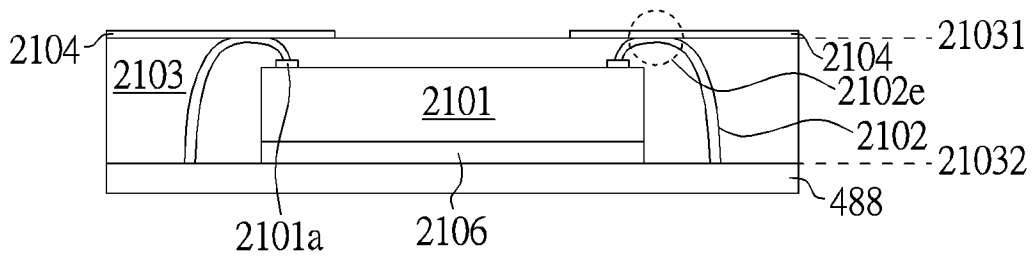
第6圖



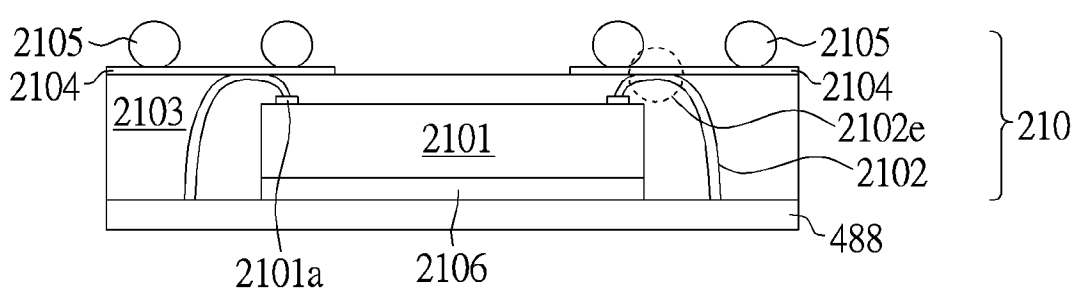
第7圖



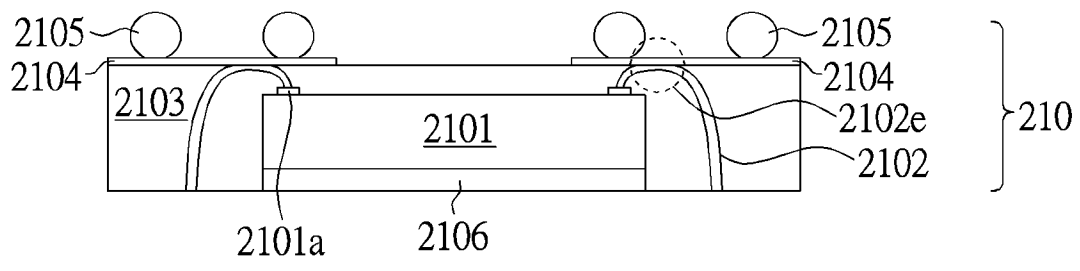
第8圖



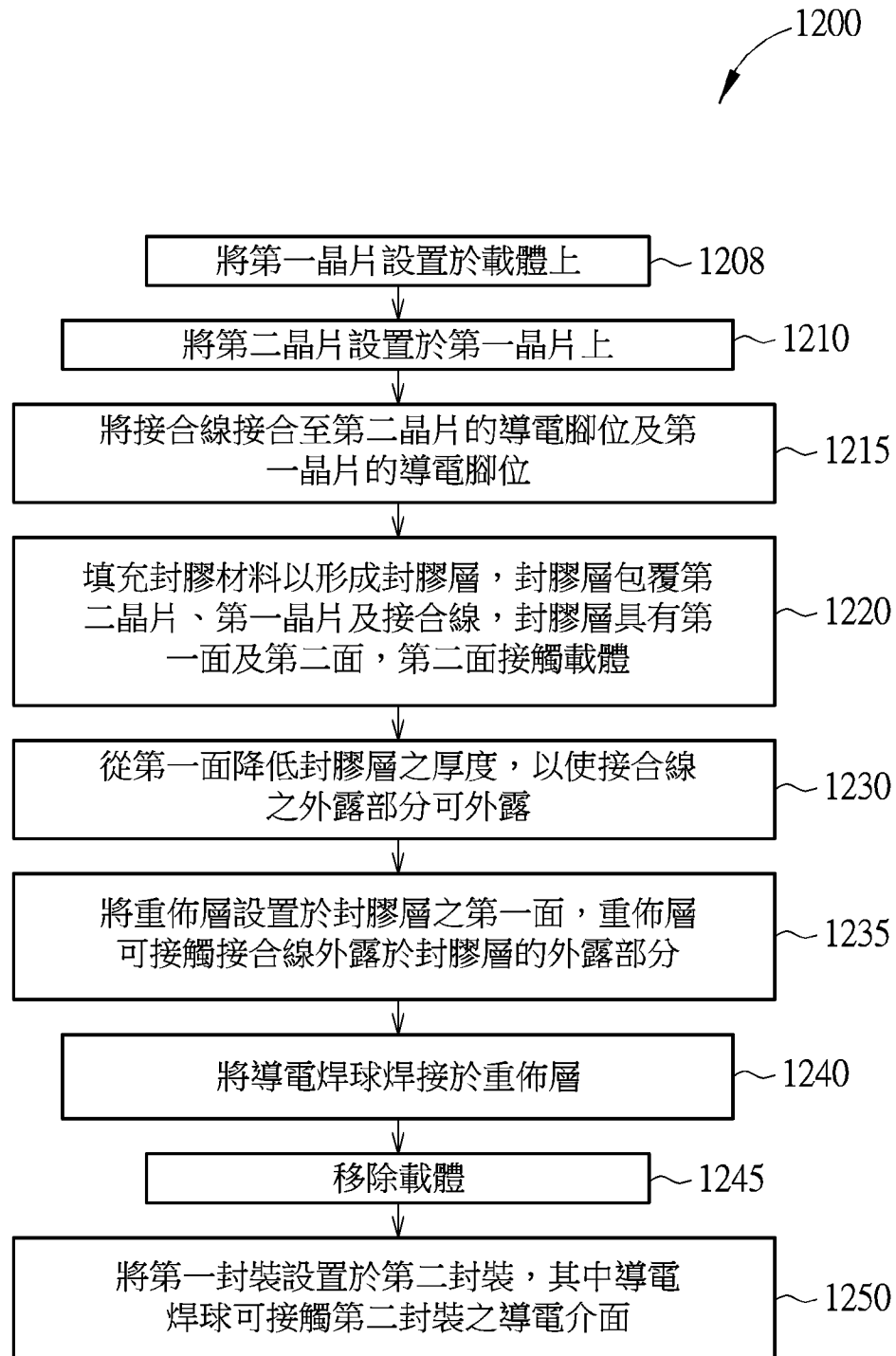
第9圖



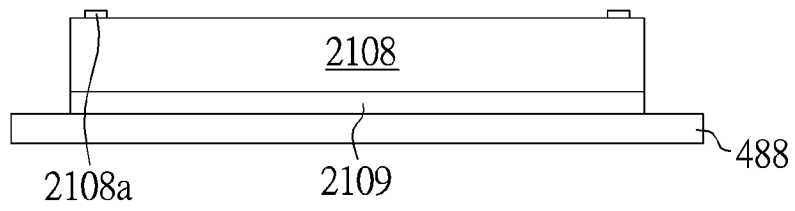
第10圖



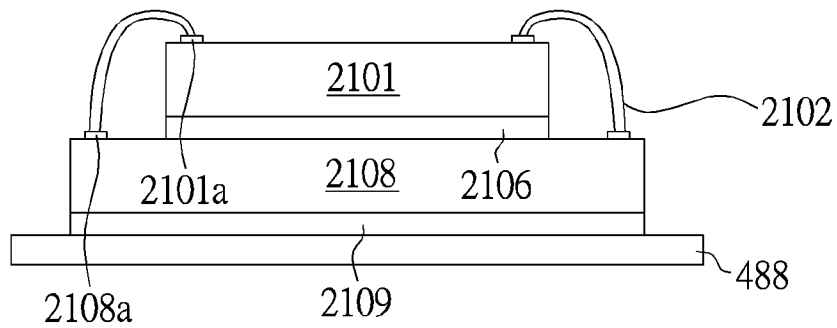
第11圖



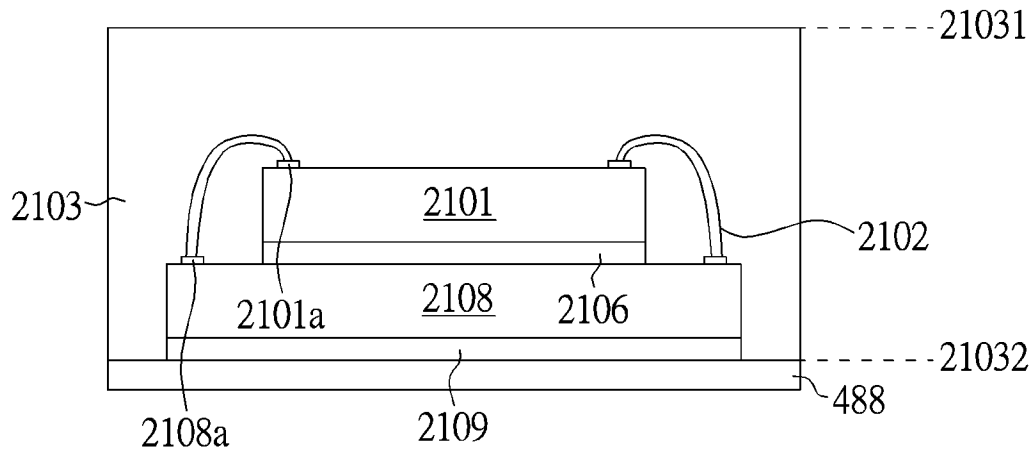
第12圖



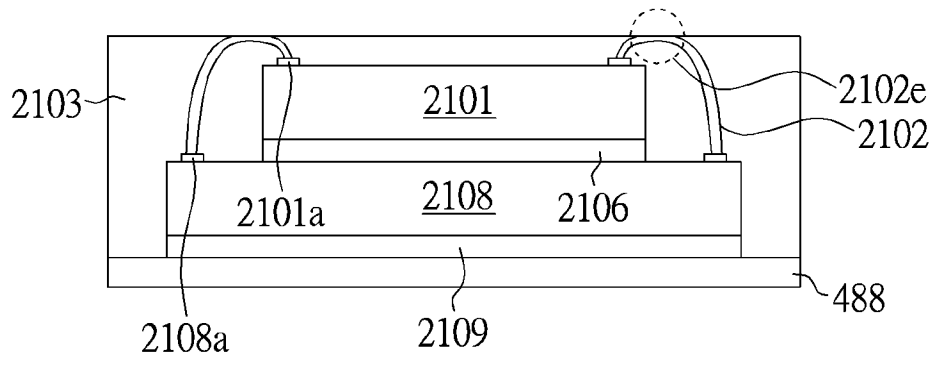
第13圖



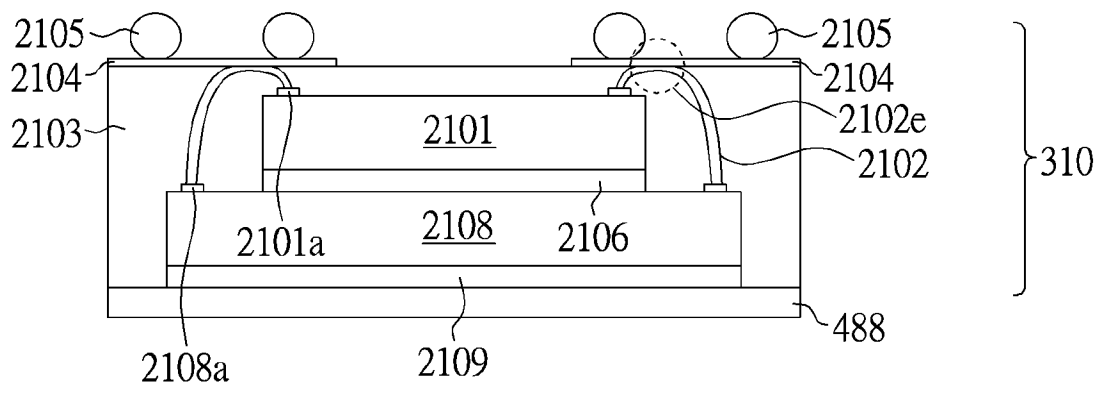
第14圖



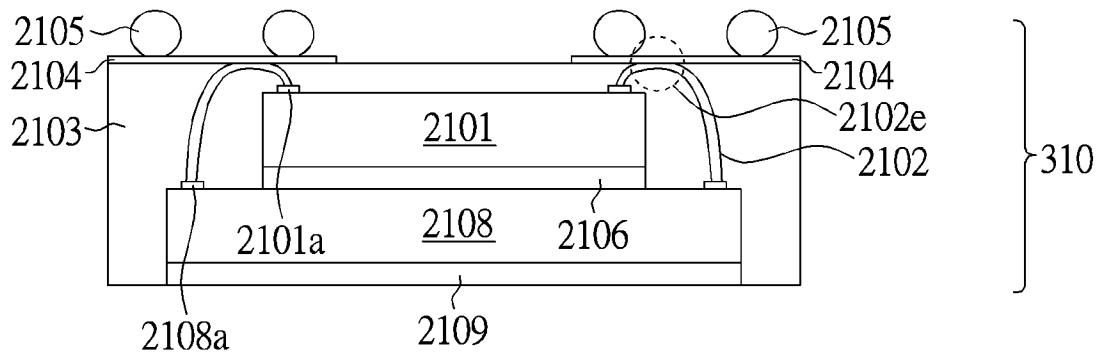
第15圖



第16圖



第17圖



第18圖



## 【發明申請專利範圍】

### 【第1項】 一種封裝，包含：

- 一第一晶片，包含一導電接腳；
- 一接合線，接合於該第一晶片之該導電接腳；
- 一封膠層，包覆該第一晶片及該接合線；
- 一重佈層，設置於該封膠層上，且耦接到該接合線之一外露部份；
- 一第二晶片，堆疊於該第一晶片上，且包含一導電接腳，其中該封膠層另包  
覆該第二晶片，且該接合線另和該第二晶片之該導電接腳直接接合；
- 一第一黏貼層，黏貼於該第一晶片及該第二晶片之間；及
- 一第二黏貼層，黏貼於該第二晶片。

### 【第2項】 一種封裝結構，包含：

- 一第一封裝，包含：
  - 一第一晶片，包含一導電接腳；
  - 一接合線，接合於該第一晶片之該導電接腳；
  - 一封膠層，包覆該第一晶片及該接合線；
  - 一重佈層，設置於該封膠層上，且電性連接於到該接合線之一外露部份；
  - 一第二晶片，設置於該第一晶片上，該第二晶片包含一導電接腳，且該  
接合線另和該第二晶片之該導電接腳直接接合；
  - 一第一黏貼層，黏貼於該第一晶片及該第二晶片之間；
  - 一第二黏貼層，黏貼於該第二晶片；及
  - 一導電焊球，焊接於該重佈層；及
- 一第二封裝，包含一導電介面，該導電介面電性連接於該第一封裝之該導電

焊球。

【第3項】 一種封裝方法，包含：

將一第一晶片設置於一載體上；

將一接合線接合到該第一晶片之一導電接腳；

填充一封膠材料以形成一封膠層，該封膠層包覆該第一晶片及該接合線，該

封膠層包含一第一面及一第二面，該第二面接觸該載體；

移除該載體；

從該第一面降低該封膠層之厚度以使該接合線之一部分外露；及

將一重佈層設置於該封膠層之該第一面，該重佈層接觸該接合線外露於該封

膠層的之該部分；

其中該第一晶片、該接合線、該封膠層及該重佈層係屬於一第一封裝。

【第4項】 如請求項3所述的方法，另包含：

將一導電焊球焊接於該重佈層；及

將該第一封裝設置於一第二封裝之上；

其中該導電焊球接觸該第二封裝之一導電介面。

【第5項】 如請求項3所述的方法，另包含：

將一第二晶片設置於該載體及該第一晶片之間；

其中該接合線係另接合於該第二晶片之一導電接腳。

【第6項】 如請求項3所述的方法，其中將該重佈層設置於該封膠層之該第一

面，包含：

對該重佈層規劃連線以形成一電路；及

將已規劃線路之該重佈層設置於該封膠層之該第一面。