



(12)发明专利

(10)授权公告号 CN 103872054 B

(45)授权公告日 2016.07.06

(21)申请号 201210548994.1

(22)申请日 2012.12.17

(73)专利权人 北大方正集团有限公司
地址 100871 北京市海淀区成府路298号方正大厦9层
专利权人 深圳方正微电子有限公司

(72)发明人 潘光燃 文燕 石金成 高振杰

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291
代理人 张恺宁

(51)Int.Cl.
H01L 27/092(2006.01)
H01L 21/8238(2006.01)
H01L 21/784(2006.01)

(56)对比文件

EP 2402998 A1,2012.01.04,
US 2010/0117150 A1,2010.05.13,
EP 2402998 A1,2012.01.04,
CN 1695255 A,2005.11.09,
US 2010/0117150 A1,2010.05.13,

审查员 张海洋

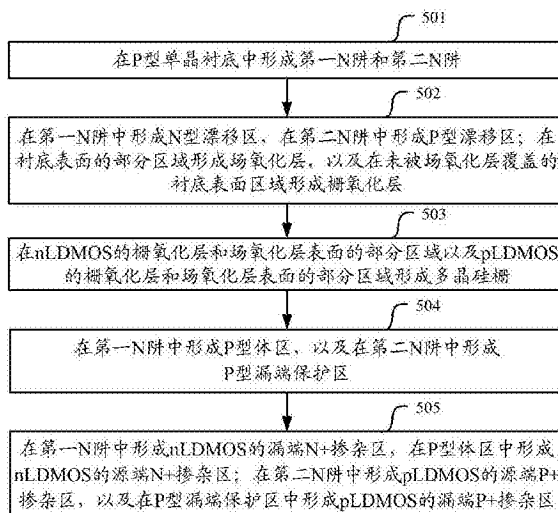
权利要求书2页 说明书8页 附图11页

(54)发明名称

一种集成器件及其制造方法、分立器件、CDMOS

(57)摘要

本发明涉及半导体集成电路制造领域,特别涉及一种集成器件及其制造方法、分立器件、CDMOS,用以解决由于采用在外延层上制作漂移区,而制作外延层的工艺成本很高,所以导致LDMOS的应用范围受到了限制的问题。本发明实施例的nLDMOS和pLDMOS集成器件包括衬底还包括nLDMOS和pLDMOS;其中,所述nLDMOS和pLDMOS位于所述衬底中。由于nLDMOS和pLDMOS位于衬底中,不需要外延层,从而降低了制造成本,扩大了其应用范围。



1. 一种集成器件,包括衬底,其特征在于,还包括N沟道横向双扩散金属氧化物半导体场效应晶体管nLDMOS和P沟道横向双扩散金属氧化物半导体场效应晶体管pLDMOS;

其中,所述nLDMOS和pLDMOS位于所述衬底中;

其中,所述pLDMOS的源端P+掺杂区、P型漂移区和P型漏端保护区位于第二N阱中,且所述P型漂移区位于所述pLDMOS的源端P+掺杂区和所述P型漏端保护区之间;以及所述pLDMOS的漏端P+掺杂区位于所述P型漏端保护区中;

在所述衬底表面的部分区域形成场氧化层,以及在未被所述场氧化层覆盖的衬底表面区域形成栅氧化层;其中,pLDMOS中设置于所述第二N阱中的P型漂移区上方覆盖有栅氧化层和场氧化层;

在nLDMOS的栅氧化层和场氧化层表面的部分区域以及pLDMOS的栅氧化层和场氧化层表面的部分区域形成多晶硅栅。

2. 如权利要求1所述的集成器件,其特征在于,所述衬底为电阻率为5~200欧姆·厘米的P型单晶衬底。

3. 如权利要求1所述的集成器件,其特征在于,所述nLDMOS的漏端N+掺杂区、N型漂移区和P型体区位于第一N阱中,且所述N型漂移区位于所述nLDMOS的漏端N+掺杂区和所述P型体区之间;以及所述nLDMOS的源端N+掺杂区位于所述P型体区中。

4. 如权利要求3所述的集成器件,其特征在于,所述第一N阱的深度为2.5微米~10微米和/或所述N型漂移区的深度为0.4微米~2.0微米。

5. 如权利要求1所述的集成器件,其特征在于,所述第二N阱为所述pLDMOS的N型体区。

6. 如权利要求1所述的集成器件,其特征在于,所述第二N阱的深度为2.5微米~10微米;和/或

所述P型漂移区的深度为0.4微米~2.0微米;和/或

所述P型漏端保护区的深度为0.6微米~1.8微米。

7. 一种分立器件,包括衬底,位于所述衬底中的漏端N+掺杂区和P型体区,以及位于所述P型体区中的源端N+掺杂区,其特征在于,还包括第一N阱和N型漂移区;

所述第一N阱位于所述衬底中,所述N型漂移区、漏端N+掺杂区和P型体区位于第一N阱中,且所述N型漂移区位于所述漏端N+掺杂区和所述P型体区之间;

在所述衬底表面的部分区域形成场氧化层,以及在未被所述场氧化层覆盖的衬底表面区域形成栅氧化层;所述第一N阱中的N型漂移区上方覆盖有栅氧化层和场氧化层;在栅氧化层和场氧化层表面的部分区域形成多晶硅栅。

8. 一种分立器件,包括衬底,以及位于所述衬底中的漏端P+掺杂区和源端P+掺杂区,其特征在于,还包括第二N阱、P型漂移区和P型漏端保护区;

所述第二N阱位于所述衬底中,所述源端P+掺杂区、P型漂移区和P型漏端保护区位于第二N阱中,且所述P型漂移区位于所述源端P+掺杂区和所述P型漏端保护区之间;以及所述漏端P+掺杂区位于所述P型漏端保护区中;

在所述衬底表面的部分区域形成场氧化层,以及在未被所述场氧化层覆盖的衬底表面区域形成栅氧化层;设置于所述第二N阱中的P型漂移区上方覆盖有栅氧化层和场氧化层;在栅氧化层和场氧化层表面的部分区域形成多晶硅栅。

9. 一种互补型-双扩散金属氧化物半导体场效应晶体管CDMOS,其特征在于,包括如权

利要求1~7任一所述的集成器件。

10. 一种权利要求1的集成器件的制造方法,其特征在于,该方法包括:

在P型单晶衬底中形成N沟道横向双扩散金属氧化物半导体场效应晶体管nLDMOS和P沟道横向双扩散金属氧化物半导体场效应晶体管pLDMOS;

其中,在P型单晶衬底中形成nLDMOS和pLDMOS,包括:

在P型单晶衬底中形成第一N阱和第二N阱;

在所述第一N阱中形成N型漂移区,在所述第二N阱中形成P型漂移区;在所述衬底表面的部分区域形成场氧化层,以及在未被所述场氧化层覆盖的衬底表面区域形成栅氧化层;

在nLDMOS的栅氧化层和场氧化层表面的部分区域以及pLDMOS的栅氧化层和场氧化层表面的部分区域形成多晶硅栅;

在所述第一N阱中形成P型体区,以及在所述第二N阱中形成P型漏端保护区;

在所述第一N阱中形成nLDMOS的漏端N+掺杂区,在所述P型体区中形成nLDMOS的源端N+掺杂区;在所述第二N阱中形成pLDMOS的源端P+掺杂区,以及在所述P型漏端保护区中形成pLDMOS的漏端P+掺杂区。

11. 如权利要求10所述的方法,其特征在于,所述在第二N阱中形成P型漂移区,包括:

通过P场P field掺杂方式,在所述第二N阱中形成P型漂移区。

12. 如权利要求10所述的方法,其特征在于,所述在第一N阱中形成P型体区,以及在所述第二N阱中形成P型漏端保护区,包括:

通过相同的工艺,在所述第一N阱中形成P型体区和在所述第二N阱中形成P型漏端保护区。

一种集成器件及其制造方法、分立器件、CDMOS

技术领域

[0001] 本发明涉及半导体集成电路制造领域,特别涉及一种集成器件及其制造方法、分立器件、CDMOS。

背景技术

[0002] CDMOS(互补型-双扩散金属氧化物半导体场效应晶体管)是CMOS(Complementary Metal Oxide Semiconductor,互补金属氧化物半导体场效应晶体管)和DMOS(Double-diffused Metal Oxide Semiconductor field effect transistor,双扩散金属氧化物半导体场效应晶体管)的集成器件,其中DMOS包括LDMOS(横向双扩散金属氧化物半导体场效应晶体管)和VDMOS(纵向双扩散金属氧化物半导体场效应晶体管),由于LDMOS比VDMOS更容易与CMOS工艺兼容,因而广泛用于集成电路设计中,其器件结构主要包括:体区、源区、漏区、Gox(栅氧化层)、Fox(场氧化层)和Poly(多晶硅栅)。LDMOS按照导电沟道的类型分为nLDMOS(N沟道LDMOS)和pLDMOS(P沟道LDMOS);nLDMOS的体区为轻掺杂的P型半导体,源区和漏区为重掺杂的N型半导体;pLDMOS的体区为轻掺杂的N型半导体,源区和漏区为重掺杂的P型半导体。

[0003] LDMOS的性能参数主要有击穿电压和导通电阻,其中击穿电压越大越好,导通电阻越小越好。而在生产应用中,击穿电压和导通电阻却是相互矛盾的两个量,即击穿电压越大,导通电阻也越大,击穿电压越小,导通电阻也越小。在现有技术中,主要是通过制作漂移区和漏端保护区来实现提高LDMOS的击穿电压和减小LDMOS的导通电阻的,其中,nLDMOS的漂移区是制作在N型外延层上,pLDMOS的漂移区是制作在P型外延层上。而由于制作外延层的工艺成本很高,所以LDMOS的应用范围受到了限制。

[0004] 综上所述,目前的LDMOS技术中,由于为了提高击穿电压和减小导通电阻,采用在外延层上制作漂移区,而制作外延层的工艺成本很高,所以LDMOS的应用范围受到了限制。

发明内容

[0005] 本发明实施例提供一种集成器件及其制造方法、分立器件、CDMOS,用以解决现有技术中采用在外延层上制作漂移区,而制作外延层的工艺成本很高,所以LDMOS的应用范围受到了限制的问题。

[0006] 本发明实施例提供一种集成器件,包括衬底,还包括nLDMOS和pLDMOS;

[0007] 其中,nLDMOS和pLDMOS位于衬底中。

[0008] 本发明实施例提供一种分立器件,包括衬底,位于衬底中的漏端N+掺杂区和P型体区,以及位于P型体区中的源端N+掺杂区,还包括第一N阱和N型漂移区;

[0009] 第一N阱位于衬底中,N型漂移区、漏端N+掺杂区和P型体区位于第一N阱中,且N型漂移区位于漏端N+掺杂区和P型体区之间。

[0010] 本发明实施例提供一种分立器件,包括衬底,以及位于衬底中的漏端P+掺杂区和源端P+掺杂区,还包括第二N阱、P型漂移区和P型漏端保护区;

[0011] 第二N阱位于衬底中,源端P+掺杂区、P型漂移区和P型漏端保护区位于第二N阱中,且P型漂移区位于所述源端P+掺杂区和P型漏端保护区之间;以及漏端P+掺杂区位于P型漏端保护区中。

[0012] 本发明实施例提供一种互补型-双扩散金属氧化物半导体场效应晶体管CDMOS,包括所述的集成器件。

[0013] 本发明实施例提供一种集成器件的制造方法,该方法包括:

[0014] 在P型单晶衬底中形成nLDMOS和pLDMOS。

[0015] 在本发明实施例中,一种集成器件,包括衬底,还包括nLDMOS和pLDMOS;其中,nLDMOS和pLDMOS位于衬底中,由于nLDMOS和pLDMOS位于衬底中,不需要外延层,从而降低了制造成本,扩大了其应用范围。

附图说明

[0016] 图1为本发明实施例nLDMOS和pLDMOS集成器件的结构示意图;

[0017] 图2为本发明实施例nLDMOS的结构示意图;

[0018] 图3为本发明实施例pLDMOS的结构示意图;

[0019] 图4为本发明实施例CDMOS的结构示意图;

[0020] 图5为本发明实施例制作nLDMOS和pLDMOS集成器件的方法流程示意图;

[0021] 图6A~图6E为本发明实施例制作nLDMOS和pLDMOS集成器件的过程示意图;

[0022] 图7A~图7E为本发明实施例制作nLDMOS的过程示意图;

[0023] 图8A~图8E为本发明实施例制作pLDMOS的过程示意图;

[0024] 图9A~图9E为本发明实施例制作CDMOS的过程示意图。

具体实施方式

[0025] 本发明实施例中,一种集成器件,包括衬底,还包括nLDMOS和pLDMOS;其中,nLDMOS和pLDMOS位于衬底中,即本发明实施例介绍的nLDMOS和pLDMOS集成器件采用非外延工艺,将nLDMOS和pLDMOS形成于P型单晶衬底中,由于nLDMOS和pLDMOS直接制作在衬底中,不需要传统工艺中的外延层,从而降低了制造成本,提高了性价比,扩大了其应用范围,弥补了现有技术的不足。

[0026] 需要说明的是,本发明实施例中的集成器件可以是nLDMOS和pLDMOS集成器件(即,将nLDMOS和pLDMOS集成在一起的器件),本发明实施例中的分立器件可以是独立器件nLDMOS,也可以是独立器件pLDMOS。

[0027] 下面结合说明书附图对本发明实施例作进一步详细描述。

[0028] 较佳地,为了降低制造成本,可以采用非外延工艺,把器件制作在衬底中;在本发明实施例中,将nLDMOS和pLDMOS制作在衬底中,即不需要生长外延层,nLDMOS和pLDMOS器件结构的所有部分都在衬底中实现。

[0029] 较佳地,本发明实施例中的nLDMOS和pLDMOS可以是分立器件(即,nLDMOS和pLDMOS分别是两个独立器件),可以是nLDMOS和pLDMOS集成器件,也可以是nLDMOS和/或pLDMOS与其他器件集成在一起的器件,下面将分别进行介绍。

[0030] 情况一、nLDMOS和pLDMOS的集成器件,包括衬底,还包括nLDMOS和pLDMOS;其中,所

述nLDMOS和pLDMOS位于所述衬底中。

[0031] 较佳地,衬底为电阻率为5~200欧姆·厘米的P型单晶衬底。

[0032] 较佳地,集成器件中的nLDMOS包括漏端N+掺杂区、P型体区,以及位于P型体区中的源端N+掺杂区,还包括第一N阱和N型漂移区;其中,第一N阱位于衬底中,N型漂移区、漏端N+掺杂区和P型体区位于第一N阱中,且N型漂移区位于漏端N+掺杂区和P型体区之间。

[0033] 其中,漏端N+掺杂区是指经过N型重掺杂形成的漏端区域,源端N+掺杂区是指经过N型重掺杂形成的源端区域。

[0034] 较佳地,第一N阱的深度为2.5微米~10微米和/或N型漂移区的深度为0.4微米~2.0微米。

[0035] 较佳地,P型体区的深度为0.6微米~1.8微米。

[0036] 较佳地,nLDMOS包括将P型体区从nLDMOS引出的P+掺杂区,其中,P+掺杂区是指经过P型重掺杂形成的区域。

[0037] 较佳地,位于衬底表面且位于N型漂移区正上方的场氧化层的厚度为2000~8000埃。

[0038] 较佳地,位于未被场氧化层覆盖的衬底表面且位于有源区上方的栅氧化层的厚度为60~1200埃。

[0039] 较佳地,位于栅氧化层和场氧化层表面的部分区域的多晶硅栅的厚度为2000~10000埃。

[0040] 较佳地,由于漏端N+掺杂区位于第一N阱中,不需要担心漏端N+掺杂区底部发生击穿,因而不需要设置漏端保护区,从而降低了成本。

[0041] 实施中,由于采用第一N阱和位于第一N阱中的N型漂移区,从而提高了nLDMOS的击穿电压;由于采用跨越至场氧化层表面的多晶硅栅,从而减小了表面电场,提高了nLDMOS的击穿电压;以及由于在nLDMOS导通时,第一N阱和位于第一N阱中的N型漂移区同时参与导电,从而减小了导通电阻。

[0042] 较佳地,集成器件中的pLDMOS包括漏端P+掺杂区和源端P+掺杂区,还包括第二N阱、P型漂移区和P型漏端保护区;其中,第二N阱位于衬底中,源端P+掺杂区、P型漂移区和P型漏端保护区位于第二N阱中,且P型漂移区位于源端P+掺杂区和P型漏端保护区之间;以及漏端P+掺杂区位于P型漏端保护区中。

[0043] 其中,漏端P+掺杂区是指经过P型重掺杂形成的漏端区域,源端P+掺杂区是指经过P型重掺杂形成的源端区域。

[0044] 较佳地,第二N阱的深度为2.5微米~10微米;和/或

[0045] P型漂移区的深度为0.4微米~2.0微米;和/或

[0046] P型漏端保护区的深度为0.6微米~1.8微米。

[0047] 较佳地,第二N阱为pLDMOS的N型体区,则pLDMOS包括将N型体区从pLDMOS引出的N+掺杂区,其中,N+掺杂区是指经过N型重掺杂形成的区域。

[0048] 较佳地,位于衬底表面且位于P型漂移区上方的场氧化层的厚度为2000~8000埃。

[0049] 较佳地,位于未被场氧化层覆盖的衬底表面且位于有源区上方的栅氧化层的厚度为60~1200埃。

[0050] 较佳地,位于栅氧化层和场氧化层表面的部分区域的多晶硅栅的厚度为2000~

10000埃。

[0051] 较佳地,采用P场掺杂区作为P型漂移区,从而提高了pLDMOS的击穿电压,其中,P场掺杂区是在CMOS制作工艺中,采用P field(P场)掺杂方式形成的一个区域。

[0052] 实施中,由于采用跨越至场氧化层表面的多晶硅栅,从而减小了表面电场,提高了pLDMOS的击穿电压;以及由于P型漏端保护区的存在,从而减小了导通电阻。

[0053] 本发明实施例nLDMOS和pLDMOS集成器件的结构示意图如图1所示,在图1中,Gox为栅氧化层,Fox为场氧化层,Poly为多晶硅栅层;

[0054] 本发明实施例nLDMOS和pLDMOS集成器件中的nLDMOS的漏端N+掺杂区、N型漂移区和P型体区位于第一N阱中,且N型漂移区位于nLDMOS的漏端N+掺杂区和P型体区之间,以及nLDMOS的源端N+掺杂区位于P型体区中,P+掺杂区是用于将P型体区从nLDMOS引出;

[0055] 本发明实施例nLDMOS和pLDMOS集成器件中的pLDMOS的源端P+掺杂区、P型漂移区和P型漏端保护区位于第二N阱中,且P型漂移区位于pLDMOS的源端P+掺杂区和P型漏端保护区之间,以及pLDMOS的漏端P+掺杂区位于P型漏端保护区中,N+掺杂区是用于将N型体区(第二N阱)从pLDMOS引出;pLDMOS中设置于所述第二N阱中的P型漂移区上方覆盖有栅氧化层和场氧化层;nLDMOS中设置于所述第一N阱中的N型漂移区上方覆盖有栅氧化层和场氧化层;

[0056] 其中,用场氧隔开了nLDMOS和pLDMOS,用于隔开nLDMOS和pLDMOS的场氧下方的p field掺杂区与上述介绍的P场掺杂区相同。

[0057] 情况二、分立器件nLDMOS。

[0058] 实施中,分立器件nLDMOS的结构与情况一中所述的nLDMOS和pLDMOS集成器件中的nLDMOS的结构类似,。

[0059] 较佳地,本发明实施例中的分立器件nLDMOS,包括衬底,位于衬底中的漏端N+掺杂区和P型体区,以及位于P型体区中的源端N+掺杂区,还包括第一N阱和N型漂移区;其中,第一N阱位于衬底中,N型漂移区、漏端N+掺杂区和P型体区位于第一N阱中,且N型漂移区位于漏端N+掺杂区和P型体区之间。

[0060] 较佳地,衬底为电阻率为5~200欧姆·厘米的P型单晶衬底。

[0061] 较佳地,第一N阱的深度为2.5微米~10微米和/或N型漂移区的深度为0.4微米~2.0微米。

[0062] 较佳地,P型体区的深度为0.6微米~1.8微米。

[0063] 较佳地,nLDMOS包括将P型体区从nLDMOS引出的P+掺杂区。

[0064] 较佳地,位于衬底表面且位于N型漂移区正上方的场氧化层的厚度为2000~8000埃。

[0065] 较佳地,位于未被场氧化层覆盖的衬底表面且位于有源区上方的栅氧化层的厚度为60~1200埃。

[0066] 较佳地,位于栅氧化层和场氧化层表面的部分区域的多晶硅栅的厚度为2000~10000埃。

[0067] 较佳地,由于漏端N+掺杂区位于第一N阱中,不需要担心漏端N+掺杂区底部发生击穿,因而不需要设置漏端保护区,从而降低了成本。

[0068] 实施中,由于采用第一N阱和位于第一N阱中的N型漂移区,从而提高了nLDMOS的击穿电压;由于采用跨越至场氧化层表面的多晶硅栅,从而减小了表面电场,提高了nLDMOS的

击穿电压;以及由于在nLDMOS导通时,第一N阱和位于第一N阱中的N型漂移区同时参与导电,从而减小了导通电阻。

[0069] 本发明实施例分立器件nLDMOS的结构示意图如图2所示,在图2中, G_{ox} 为栅氧化层, F_{ox} 为场氧化层, $Poly$ 为多晶硅栅层;

[0070] 用于将P型体区从nLDMOS引出的P+掺杂区和源端N+掺杂区位于P型体区中,P型体区、N型漂移区和漏端N+掺杂区位于第一N阱中,且N型漂移区位于漏端N+掺杂区和P型体区之间,第一N阱位于P型衬底中。

[0071] 情况三、分立器件pLDMOS。

[0072] 实施中,分立器件pLDMOS的结构与情况一中所述的nLDMOS和pLDMOS集成器件中的pLDMOS的结构类似。

[0073] 较佳地,本发明实施例中的pLDMOS,包括衬底,以及位于衬底中的漏端P+掺杂区和源端P+掺杂区,还包括第二N阱、P型漂移区和P型漏端保护区;其中,第二N阱位于所述衬底中,源端P+掺杂区、P型漂移区和P型漏端保护区位于第二N阱中,且P型漂移区位于源端P+掺杂区和P型漏端保护区之间;以及漏端P+掺杂区位于P型漏端保护区中。

[0074] 较佳地,第二N阱的深度为2.5微米~10微米;和/或

[0075] P型漂移区的深度为0.4微米~2.0微米;和/或

[0076] P型漏端保护区的深度为0.6微米~1.8微米。

[0077] 较佳地,第二N阱为pLDMOS的N型体区,则pLDMOS包括将N型体区从pLDMOS引出的N+掺杂区。

[0078] 较佳地,位于衬底表面且位于P型漂移区上方的场氧化层的厚度为2000~8000埃。

[0079] 较佳地,位于未被场氧化层覆盖的衬底表面且位于有源区上方的栅氧化层的厚度为60~1200埃。

[0080] 较佳地,位于栅氧化层和场氧化层表面的部分区域的多晶硅栅的厚度为2000~10000埃。

[0081] 较佳地,采用P场掺杂区作为P型漂移区,从而提高了pLDMOS的击穿电压,其中,P场掺杂区是在CMOS制作工艺中,采用P field(P场)掺杂方式形成的一个区域。

[0082] 实施中,由于采用跨越至场氧化层表面的多晶硅栅,从而减小了表面电场,提高了pLDMOS的击穿电压;以及由于P型漏端保护区的存在,从而减小了导通电阻。

[0083] 本发明实施例分立器件pLDMOS的结构示意图如图3所示,在图3中, G_{ox} 为栅氧化层, F_{ox} 为场氧化层, $Poly$ 为多晶硅栅层;

[0084] 漏端P+掺杂区位于P型漏端保护区中,P型漏端保护区、P型漂移区、源端P+掺杂区和用于将N型体区从pLDMOS引出的N+掺杂区位于第二N阱中,且P型漂移区位于源端P+掺杂区和P型漏端保护区之间,第二N阱位于P型衬底中。

[0085] 情况四、本发明实施例中所述的nLDMOS和pLDMOS的集成器件与CMOS集成在一起构成的CDMOS,其中,CDMOS是指包含CMOS和DMOS的器件。

[0086] 其中,CDMOS中的CMOS可以是任何CMOS器件。

[0087] 实施中,由于nLDMOS和pLDMOS的集成器件没有外延层,从而很容易实现与CMOS器件集成在同一芯片中。

[0088] 实施中,本发明实施例中所述的nLDMOS和pLDMOS的集成器件与CMOS集成在一起

(即,CDMOS)可以用于实现DC-DC(直流-直流转换)、AC-DC(交流-直流转换)和全桥驱动。

[0089] 本发明实施例分立器件pLDMOS的结构示意图如图4所示,在图4中, G_{ox} 为栅氧化层, F_{ox} 为场氧化层,Pol y为多晶硅栅层;

[0090] 图4中的nLDMOS和pLDMOS的结构与nLDMOS和pLDMOS集成器件中nLDMOS和pLDMOS的结构相同;

[0091] 图4中的CMOS结构为常规的CMOS结构,源端N+掺杂区、漏端N+掺杂区和位于源端N+掺杂区、漏端N+掺杂区表面的栅氧化层表面的Pol y引出的栅极构成NMOS;位于第三N阱中的源端P+掺杂区、漏端P+掺杂区和位于源端P+掺杂区、漏端P+掺杂区表面的栅氧化层表面的Pol y引出的栅极构成PMOS;NMOS和PMOS通过场氧化层隔开。

[0092] 需要说明的是,本发明实施例并不限于情况四所述的集成情况,nLDMOS和/或pLDMOS与其他器件的集成情况也适用于本发明的保护范围,nLDMOS和/或pLDMOS与其他器件的集成情况的实施方式与本发明实施例情况四的实施方式类似,在此不再赘述。

[0093] 较佳地,本发明实施例还提供了制作上述所述的各集成器件和分立器件的方法,下面进行分别介绍,需要说明的是,为了突出发明重点,本发明实施例中未对位于衬底中且位于场氧化层下方的P field(p场掺杂区)进行介绍。

[0094] 情况一、本发明实施例制作nLDMOS和pLDMOS集成器件的方法。

[0095] 如图5所示,本发明实施例制作nLDMOS和pLDMOS集成器件的方法,包括:

[0096] 在P型单晶衬底中形成nLDMOS和pLDMOS。

[0097] 较佳地,在P型单晶衬底中形成nLDMOS和pLDMOS,包括:

[0098] 步骤501、在P型单晶衬底中形成第一N阱和第二N阱;

[0099] 实施中,在P型单晶衬底中,通过光刻、离子注入、扩散等工艺步骤,形成第一N阱和第二N阱,具体如图6A所示。

[0100] 较佳地,离子注入的剂量为 $2E12$ 原子/平方厘米 $\sim 8E12$ 原子/平方厘米,注入的离子为五族元素。

[0101] 步骤502、在第一N阱中形成N型漂移区,在第二N阱中形成P型漂移区;在衬底表面的部分区域形成场氧化层,以及在未被场氧化层覆盖的衬底表面区域形成栅氧化层;

[0102] 实施中,通过光刻、刻蚀、离子注入、扩散和氧化等工艺步骤,在第一N阱中形成N型漂移区,在第二N阱中形成P型漂移区;在衬底表面的部分区域形成场氧化层,以及在未被场氧化层覆盖的衬底表面区域形成栅氧化层,具体如图6B所示。

[0103] 较佳地,形成N型漂移区的离子注入剂量为 $1E12$ 原子/平方厘米 $\sim 1E13$ 原子/平方厘米,注入的离子为五族元素。

[0104] 较佳地,在第二N阱中形成P型漂移区,包括:

[0105] 通过P场P field掺杂方式,在第二N阱中形成P型漂移区,即采用P field掺杂区作为P型漂移区。

[0106] 较佳地,形成P型漂移区的离子注入剂量为 $3E12$ 原子/平方厘米 $\sim 1E14$ 原子/平方厘米,注入的离子为三族元素。

[0107] 步骤503、在nLDMOS的栅氧化层和场氧化层表面的部分区域以及pLDMOS的栅氧化层和场氧化层表面的部分区域形成多晶硅栅;

[0108] 实施中,通过淀积、光刻和刻蚀等工艺步骤,在nLDMOS的栅氧化层和场氧化层表面

的部分区域以及pLDMOS的栅氧化层和场氧化层表面的部分区域形成多晶硅栅,具体如图6C所示。

[0109] 步骤504、在第一N阱中形成P型体区,以及在第二N阱中形成P型漏端保护区;

[0110] 实施中,通过光刻、离子注入和扩散等工艺步骤,在第一N阱中形成P型体区,以及在第二N阱中形成P型漏端保护区,具体如图6D所示。

[0111] 较佳地,在第一N阱中形成P型体区,以及在第二N阱中形成P型漏端保护区,包括:

[0112] 通过相同的工艺,在第一N阱中形成P型体区和在第二N阱中形成P型漏端保护区,即采用相同的工艺步骤、工艺原料和工艺原理等,在第一N阱中形成P型体区和在第二N阱中形成P型漏端保护区相同(P型漏端保护区可以看做是P型体区)。

[0113] 实施中,通过相同的工艺,同时形成P型体区和P型漏端保护区,降低了工艺成本。

[0114] 较佳地,形成P型体区的离子注入剂量为 $4E12$ 原子/平方厘米 $\sim 5E13$ 原子/平方厘米,注入的离子为三族元素。

[0115] 较佳地,形成P型漏端保护区的离子注入剂量为 $4E12$ 原子/平方厘米 $\sim 5E13$ 原子/平方厘米,注入的离子为三族元素。

[0116] 步骤505、在第一N阱中形成nLDMOS的漏端N+掺杂区,在P型体区中形成nLDMOS的源端N+掺杂区;在第二N阱中形成pLDMOS的源端P+掺杂区,以及在P型漏端保护区中形成pLDMOS的漏端P+掺杂区。

[0117] 实施中,通过光刻、离子注入和退火等工艺步骤,在第一N阱中形成nLDMOS的漏端N+掺杂区,在P型体区中形成nLDMOS的源端N+掺杂区;在第二N阱中形成pLDMOS的源端P+掺杂区,以及在P型漏端保护区中形成pLDMOS的漏端P+掺杂区,具体如图6E所示。

[0118] 如图6E所示,还形成了引出P型体区的P+掺杂区和引出N型体区的N+掺杂区。

[0119] 较佳地,形成N+掺杂区的离子注入剂量为 $1E15$ 原子/平方厘米 $\sim 1E16$ 原子/平方厘米,注入的离子为五族元素。

[0120] 较佳地,形成P+掺杂区的离子注入剂量为 $1E15$ 原子/平方厘米 $\sim 1E16$ 原子/平方厘米,注入的离子为三族元素。

[0121] 实施中,引线孔、金属布线和钝化层加工的后续工艺步骤与现有的常规工艺相同,在此不再赘述。

[0122] 情况二、本发明实施例制作分立器件nLDMOS的方法。

[0123] 实施中,制作分立器件nLDMOS的方法流程与制作nLDMOS和pLDMOS集成器件中的nLDMOS的方法流程类似,制作分立器件nLDMOS的方法的实施方式可参见制作nLDMOS和pLDMOS集成器件中的nLDMOS的方法的实施。

[0124] 图7A~7E为本发明实施例制作nLDMOS的过程示意图,如图7A所示,在P型衬底中形成第一N阱;

[0125] 如图7B所示,在第一N阱中形成N型漂移区;在衬底表面的部分区域形成场氧化层,以及在未被场氧化层覆盖的衬底表面区域形成栅氧化层;

[0126] 如图7C所示,在栅氧化层和场氧化层表面的部分区域形成多晶硅栅;

[0127] 如图7D所示,在第一N阱中形成P型体区;

[0128] 如图7E所示,在第一N阱中形成nLDMOS的漏端N+掺杂区,在第一N阱中形成引出P型体区的P+掺杂区,以及在P型体区中形成nLDMOS的源端N+掺杂区。

[0129] 情况三、本发明实施例制作分立器件pLDMOS的方法。

[0130] 实施中,制作分立器件pLDMOS的方法流程与制作nLDMOS和pLDMOS集成器件中的pLDMOS的方法流程类似,制作分立器件pLDMOS的方法的实施方式可参见制作nLDMOS和pLDMOS集成器件中的pLDMOS的方法的实施。

[0131] 图8A~8E为本发明实施例制作pLDMOS的过程示意图,如图8A所示,在P型衬底中形成第二N阱;

[0132] 如图8B所示,在第二N阱中形成P型漂移区;在衬底表面的部分区域形成场氧化层,以及在未被场氧化层覆盖的衬底表面区域形成栅氧化层;

[0133] 如图8C所示,在栅氧化层和场氧化层表面的部分区域形成多晶硅栅;

[0134] 如图8D所示,在第二N阱中形成P型漏端保护区;

[0135] 如图8E所示,在第二N阱中形成pLDMOS的源端P+掺杂区,在第二N阱中形成引出N型体区的N+掺杂区,以及在P型漏端保护区中形成pLDMOS的漏端P+掺杂区。

[0136] 情况四、本发明实施例制作nLDMOS和pLDMOS的集成器件与CMOS集成在一起构成的CDMOS的方法。

[0137] 实施中,制作CDMOS的方法流程与制作nLDMOS和pLDMOS集成器件的方法流程类似,只不过在制作nLDMOS和pLDMOS的同时,还要制作CMOS;制作CDMOS的方法的实施方式可参见制作nLDMOS和pLDMOS集成器件的方法的实施。

[0138] 图9A~9E为本发明实施例制作CDMOS的过程示意图,如图9A所示,在P型衬底中形成第一N阱、第二N阱和第三N阱;

[0139] 如图9B所示,在第一N阱中形成N型漂移区,在第二N阱中形成P型漂移区;在衬底表面的部分区域形成场氧化层,以及在未被场氧化层覆盖的衬底表面区域形成栅氧化层;

[0140] 如图9C所示,在栅氧化层和场氧化层表面的部分区域形成多晶硅栅;

[0141] 如图9D所示,在第一N阱中形成P型体区,在第二N阱中形成P型漏端保护区;

[0142] 如图9E所示,在第一N阱中形成nLDMOS的漏端N+掺杂区,在第一N阱中形成引出P型体区的P+掺杂区,以及在P型体区中形成nLDMOS的源端N+掺杂区;在第二N阱中形成pLDMOS的源端P+掺杂区,在第二N阱中形成引出N型体区的N+掺杂区,以及在P型漏端保护区中形成pLDMOS的漏端P+掺杂区;在P型衬底中形成NMOS的源端N+掺杂区和漏端N+掺杂区,以及在第三N阱中形成PMOS的源端P+掺杂区和漏端P+掺杂区。

[0143] 需要说明的是,本发明实施例nLDMOS和/或pLDMOS与其他器件的集成器件的制作方法实施方式与本发明实施例nLDMOS和/或pLDMOS分立器件的制作方法实施方式类似,在此不再赘述。

[0144] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0145] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

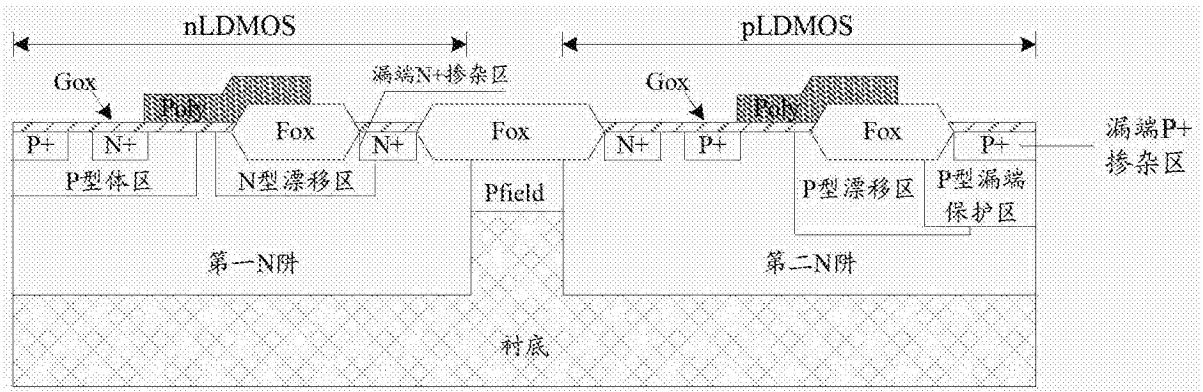


图1

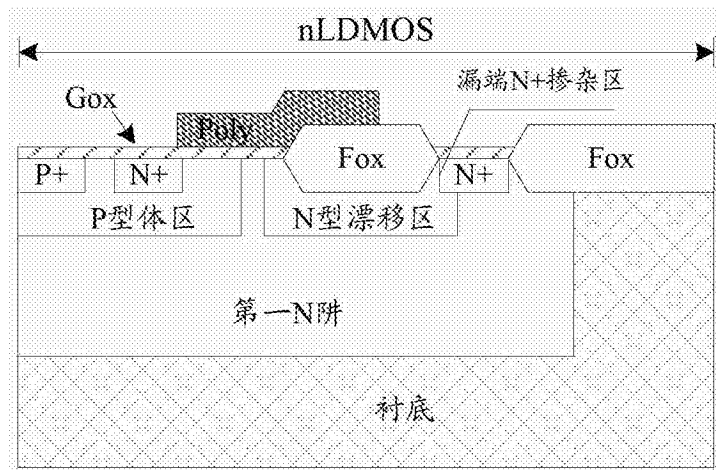


图2

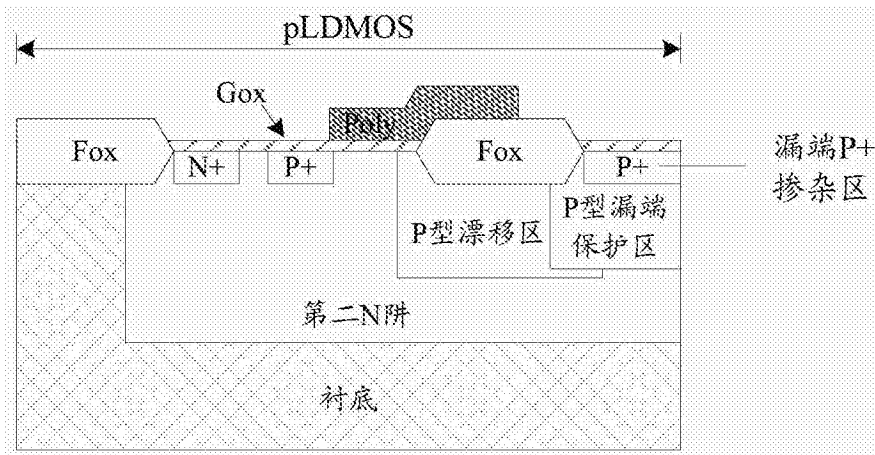


图3

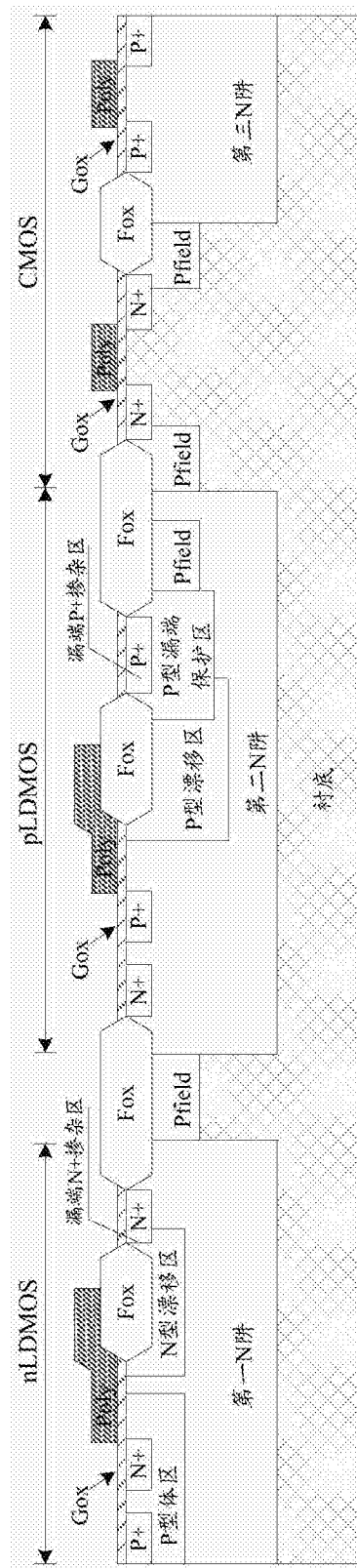


图4

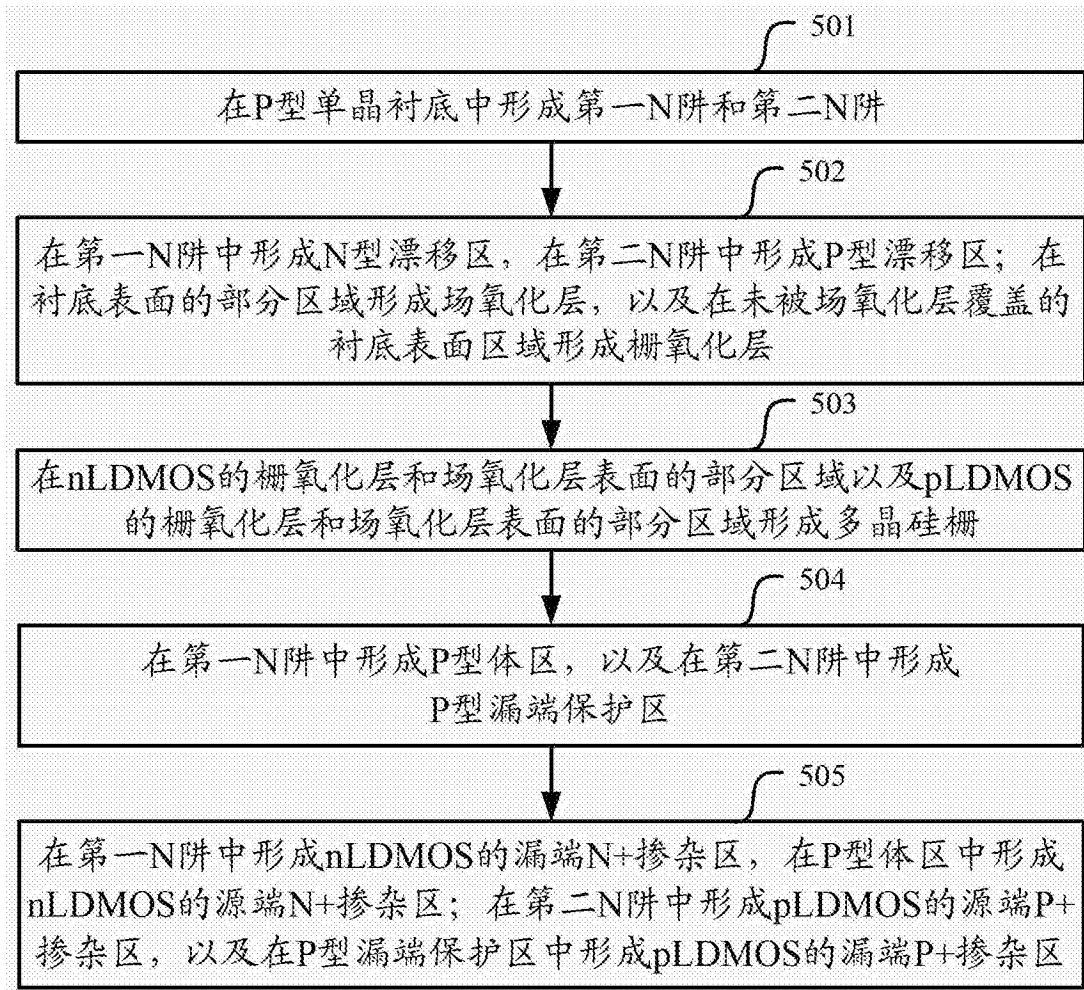


图5

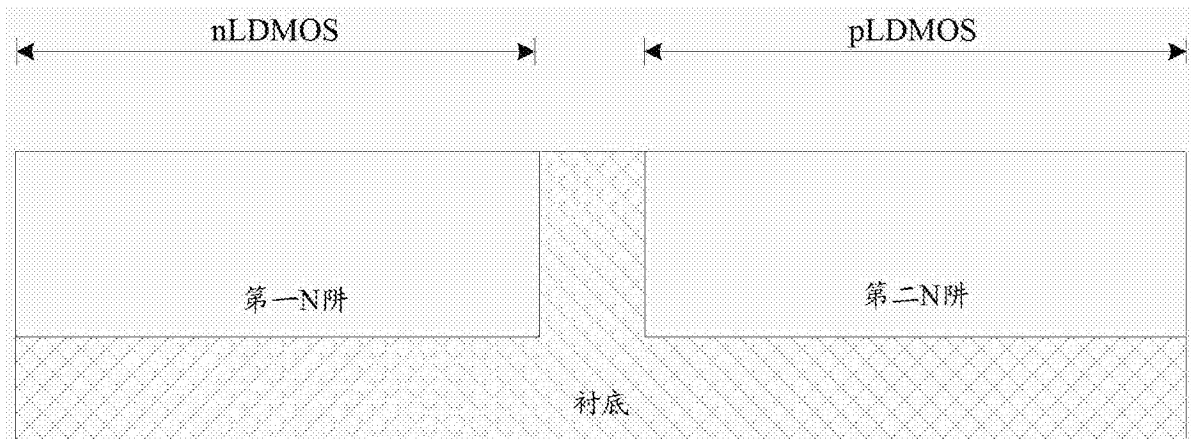


图6A

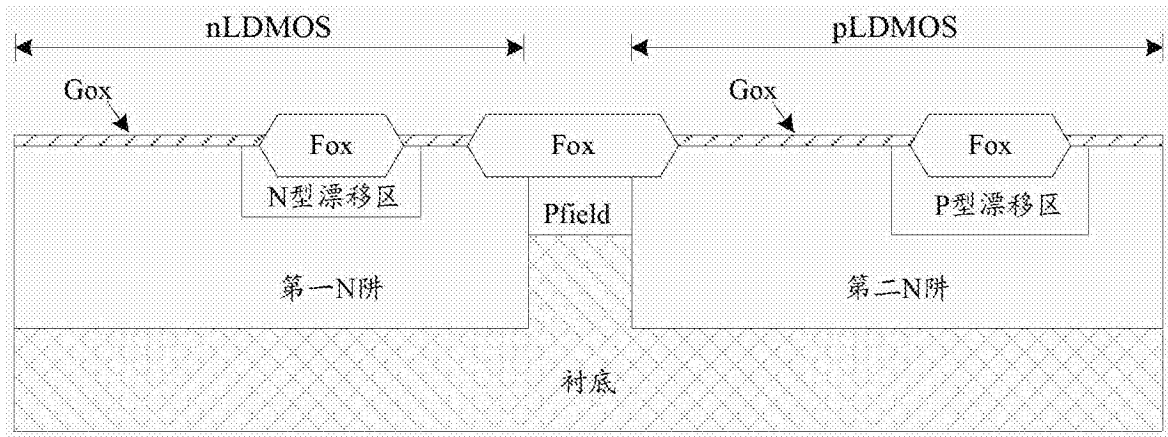


图6B

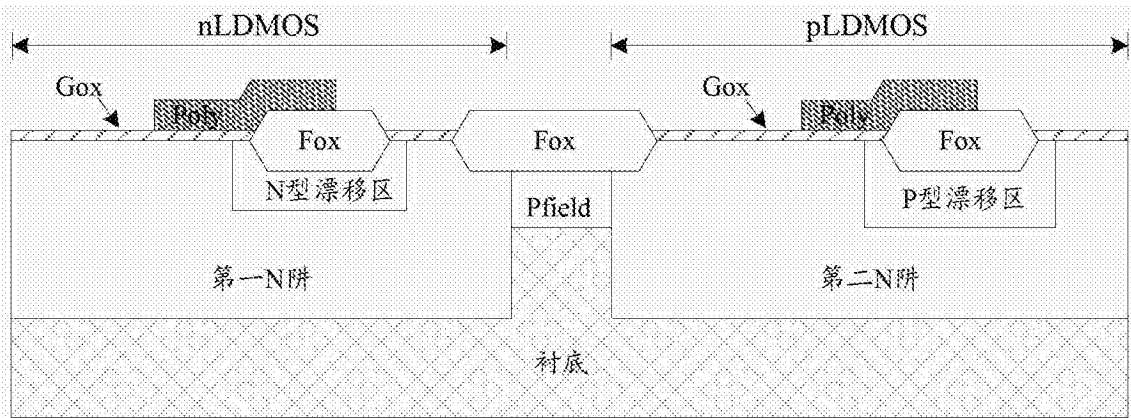


图6C

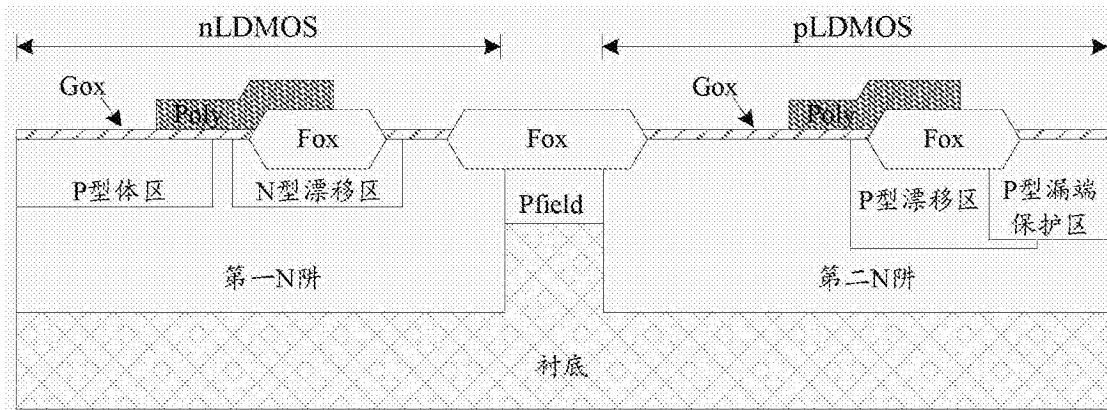


图6D

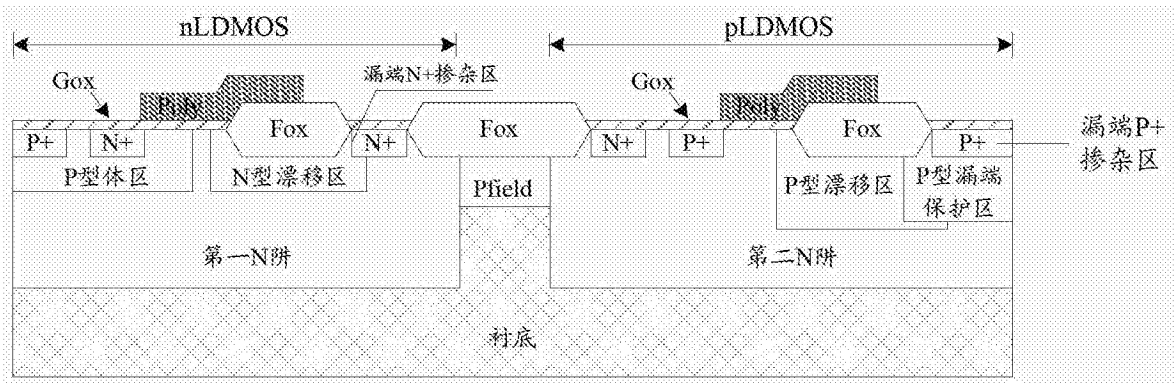


图6E

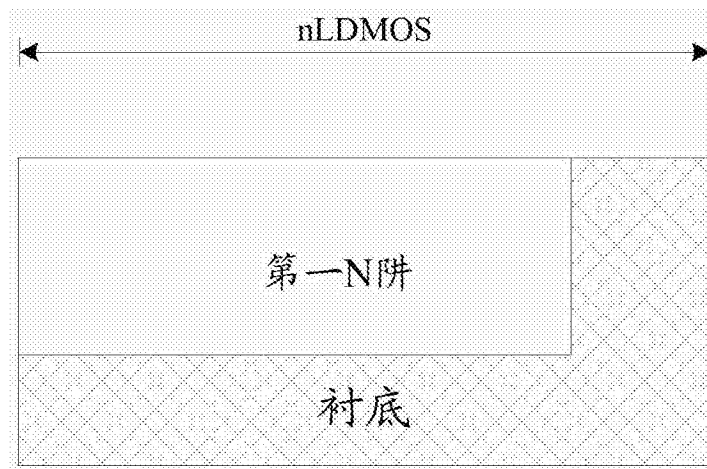


图7A

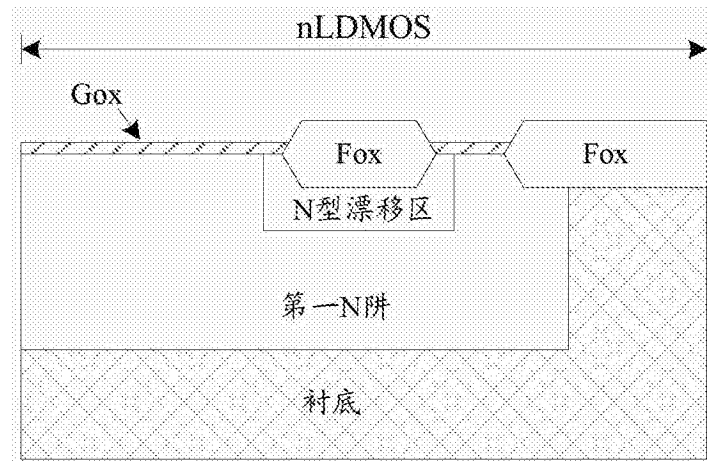


图7B

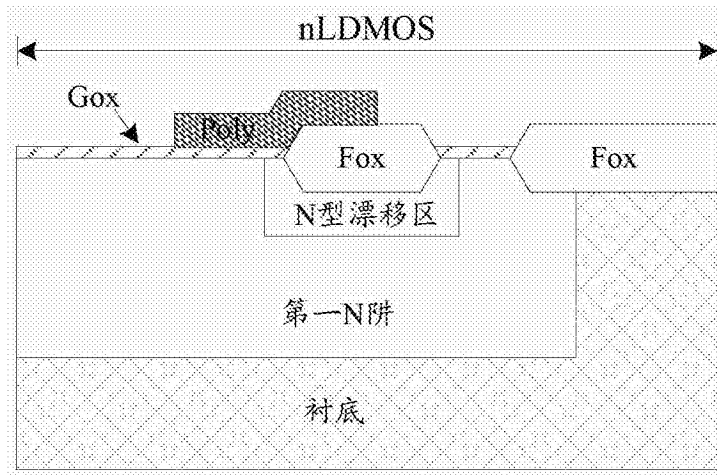


图7C

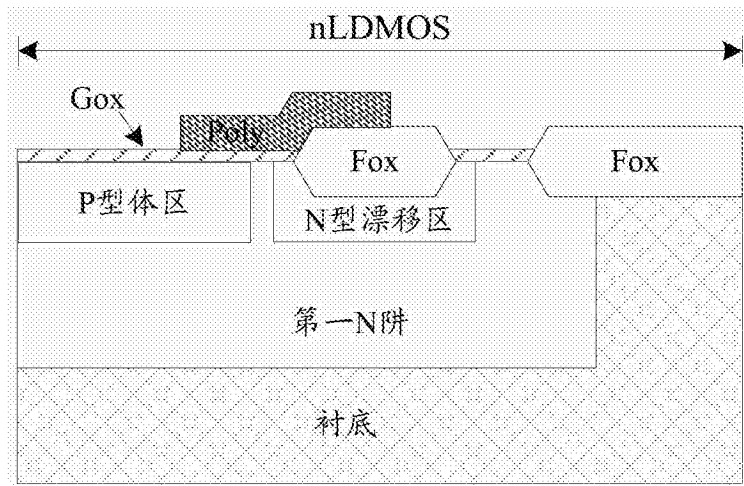


图7D

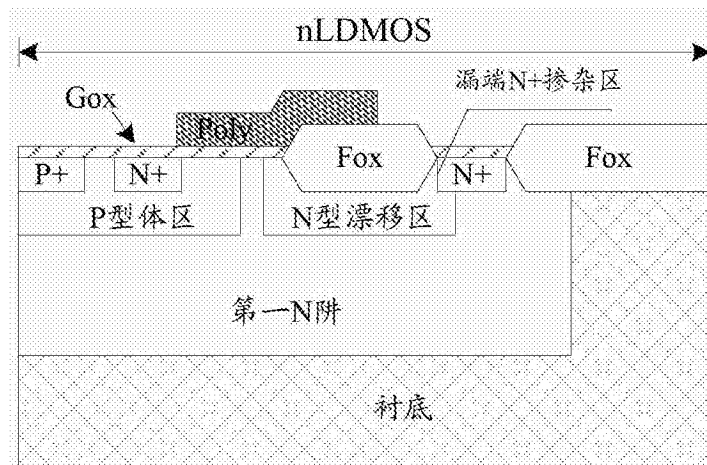


图7E

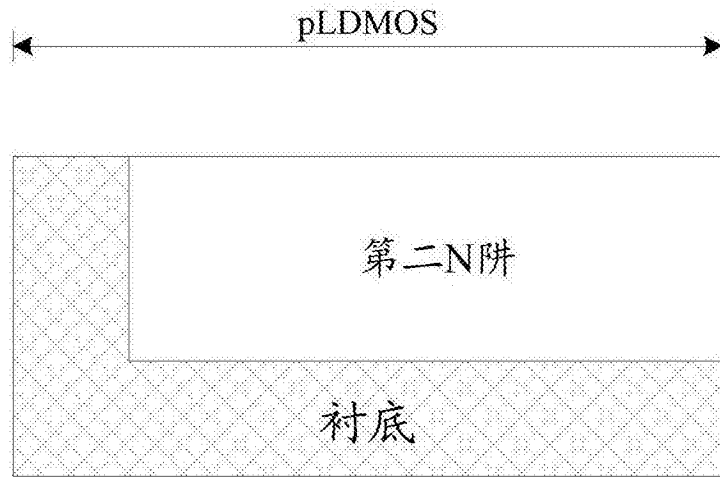


图8A

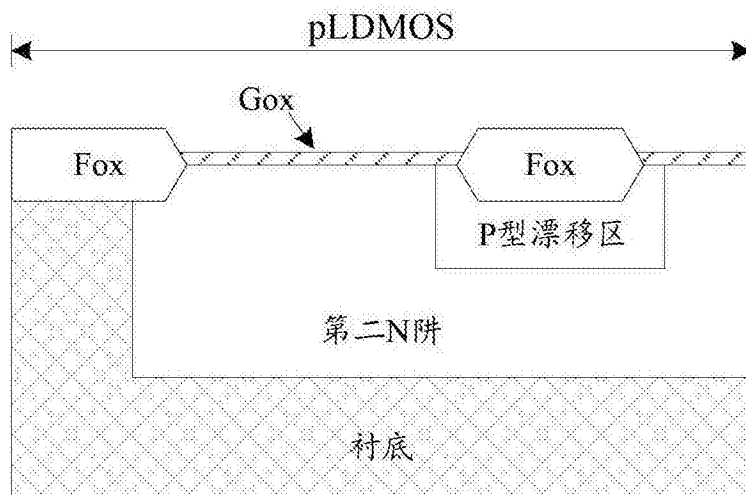


图8B

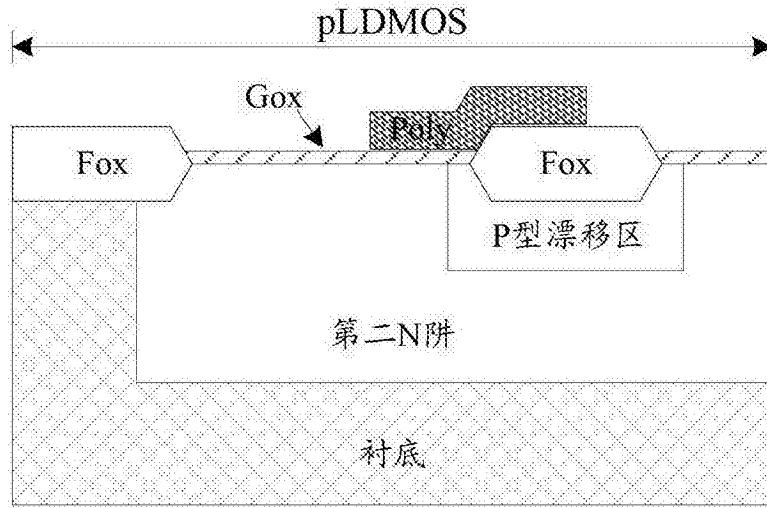


图8C

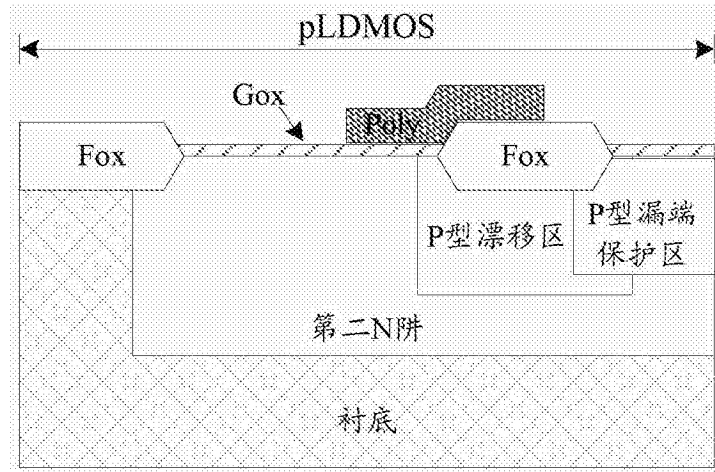


图8D

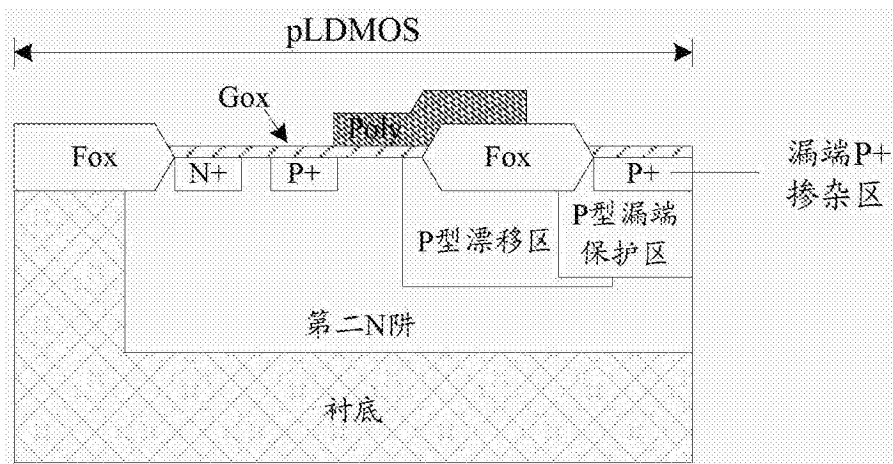


图8E

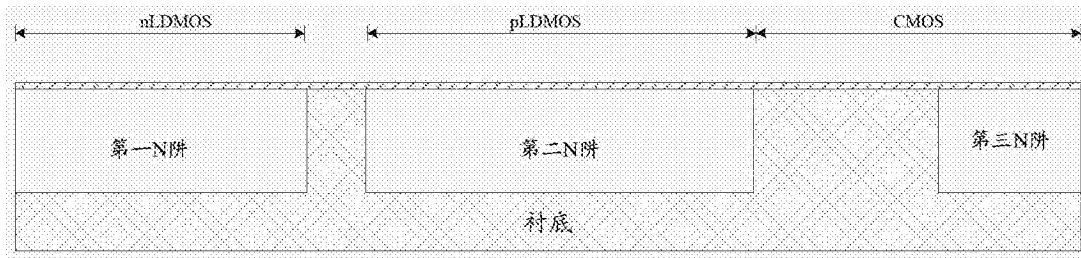


图9A

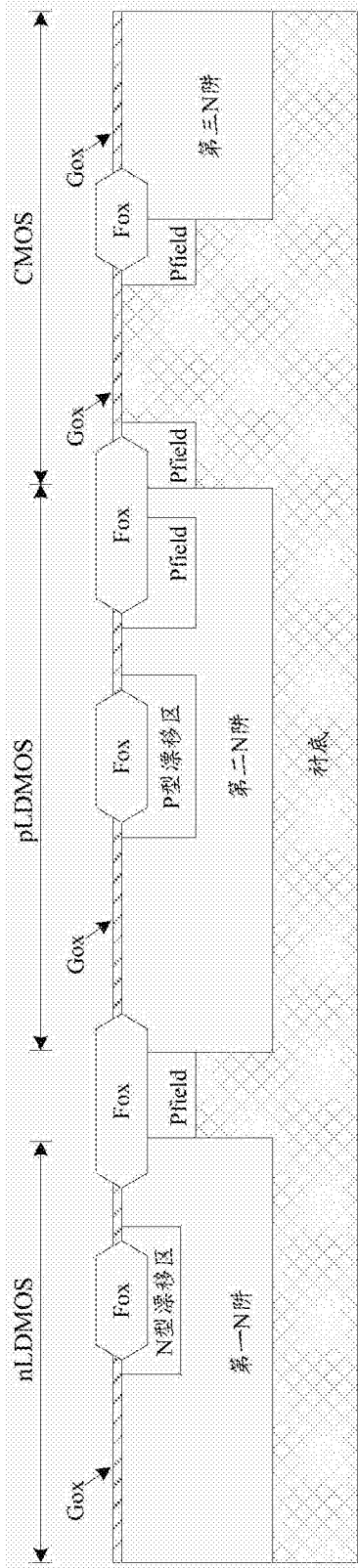


图9B

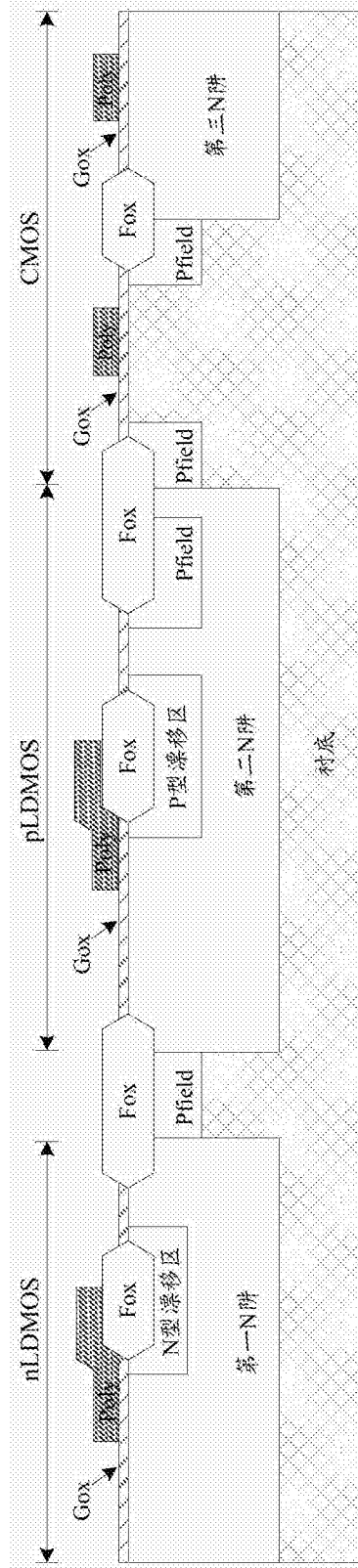


图9C

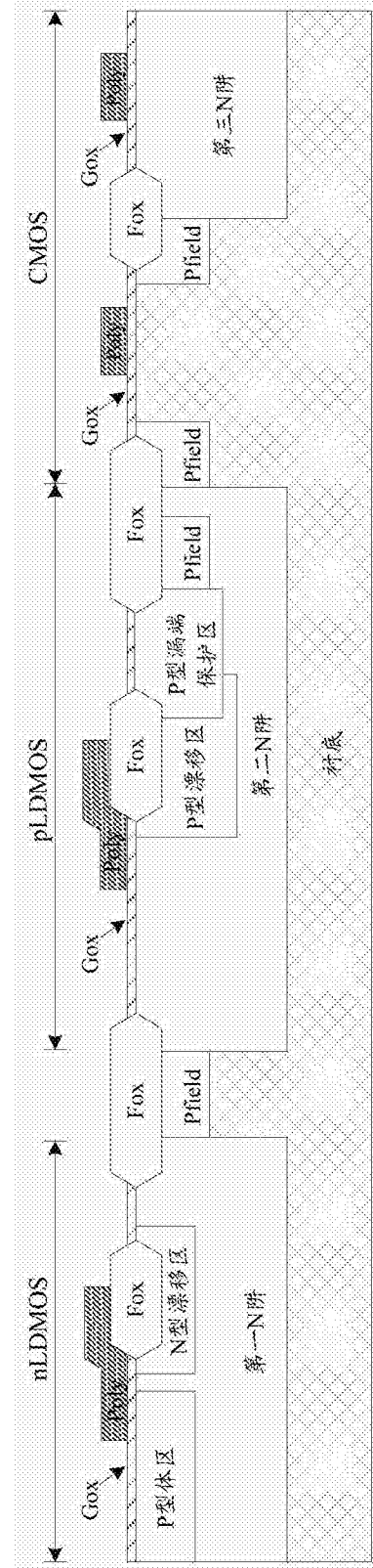


图9D

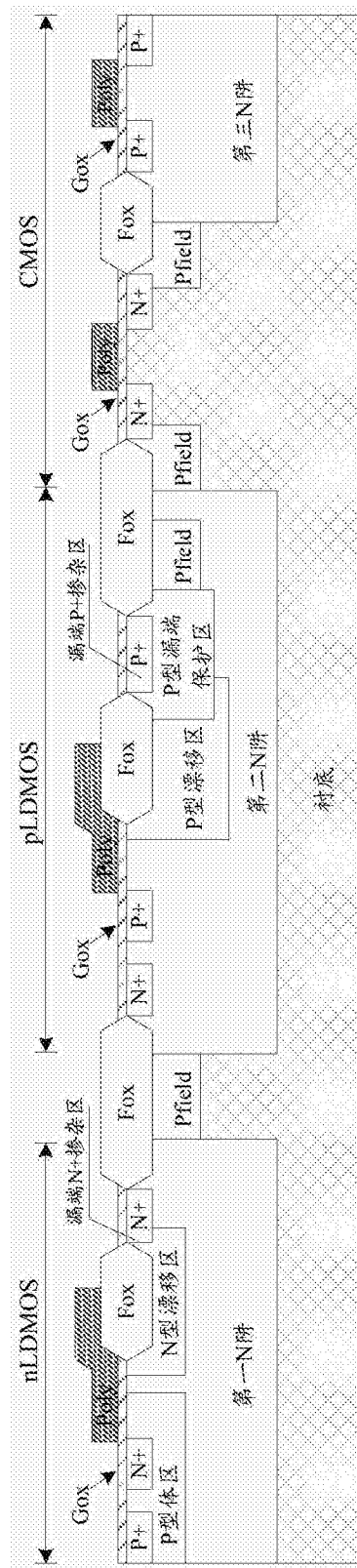


图9E