



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I696348 B

(45) 公告日：中華民國 109 (2020) 年 06 月 11 日

(21) 申請案號：105136723

(22) 申請日：中華民國 105 (2016) 年 11 月 10 日

(51) Int. Cl. : **H03K19/173 (2006.01)****H03K19/177 (2006.01)**

(30) 優先權：2015/11/13 日本

2015-222635

(71) 申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：上妻宗廣 KOZUMA, MUNEHIRO (JP)

(74) 代理人：林怡芳；童啓哲

(56) 參考文獻：

TW 408328

US 5978260

US 6107821

US 6703862

US 7257727B2

US 2008/0263319A1

審查人員：范士隆

申請專利範圍項數：11 項 圖式數：15 共 68 頁

(54) 名稱

半導體裝置、電子構件及電子裝置

(57) 摘要

本發明提供一種適合於高速工作的半導體裝置。該半導體裝置包括具有保持組態資料且生成根據該組態資料的信號的功能的組態記憶體、具有生成控制上下文切換的信號的功能的上下文發生器、具有根據組態記憶體所生成的信號以第一模式或第二模式工作的功能的時脈發生器以及 PLD。時脈信號被輸入到上下文發生器及時脈發生器，時脈發生器以第一模式將時脈信號輸出到 PLD，以第二模式停止向 PLD 輸出時脈信號。

A semiconductor device includes a configuration memory that has functions of holding configuration data and generating a signal based on the configuration data, a context generator that has a function of generating a signal for controlling context switch, a clock generator that has a function of operating in a first mode or a second mode in accordance with the signal generated in the configuration memory, and a PLD. A clock signal is input to the context generator and the clock generator. The clock generator outputs the clock signal to the PLD in the first mode and stops outputting the clock signal to the PLD in the second mode.

指定代表圖：

符號簡單說明：

10 . . . 控制器

11 . . . 上下文發生器

12 . . . 組態記憶體

13 . . . 時脈發生器

20 . . . PLD

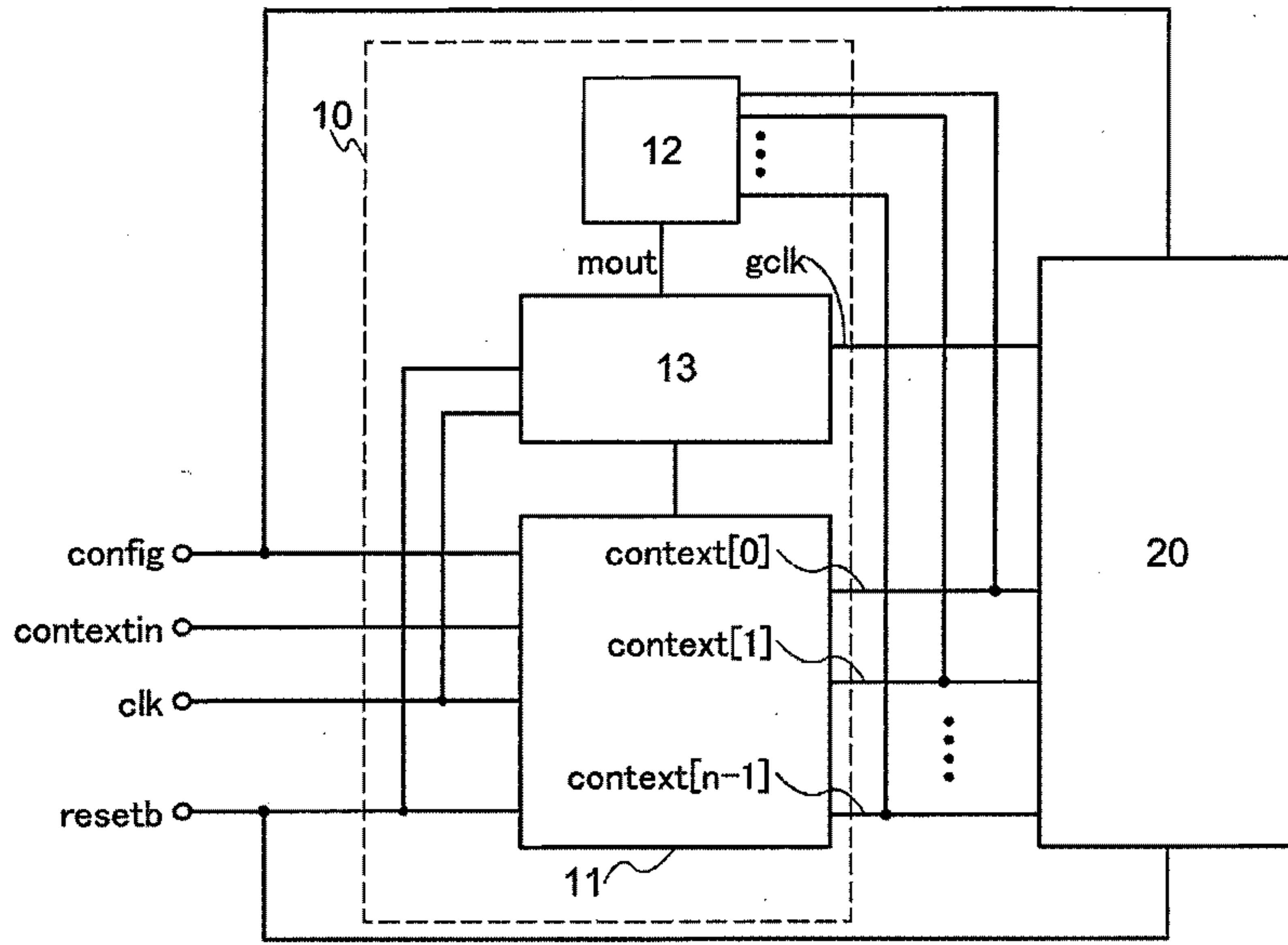


圖 1A

I696348

發明摘要

【發明名稱】(中文/英文)

半導體裝置、電子構件及電子裝置

SEMICONDUCTOR DEVICE, ELECTRONIC COMPONENT, AND
ELECTRONIC DEVICE

【中文】

本發明提供一種適合於高速工作的半導體裝置。該半導體裝置包括具有保持組態資料且生成根據該組態資料的信號的功能的組態記憶體、具有生成控制上下文切換的信號的功能的上下文發生器、具有根據組態記憶體所生成的信號以第一模式或第二模式工作的功能的時脈發生器以及 PLD。時脈信號被輸入到上下文發生器及時脈發生器，時脈發生器以第一模式將時脈信號輸出到 PLD，以第二模式停止向 PLD 輸出時脈信號。

【英文】

A semiconductor device includes a configuration memory that has functions of holding configuration data and generating a signal based on the configuration data, a context generator that has a function of generating a signal for controlling context switch, a clock generator that has a function of operating in a first mode or a second mode in accordance with the signal generated in the configuration memory, and a PLD. A clock signal is input to the context generator and the clock generator. The clock generator outputs the clock signal

to the PLD in the first mode and stops outputting the clock signal to the PLD in the second mode.

【代表圖】

【本案指定代表圖】：第（1A）圖。

【本代表圖之符號簡單說明】：

- | | |
|-----------|----------|
| 10 控制器 | 13 時脈發生器 |
| 11 上下文發生器 | 20 PLD |
| 12 組態記憶體 | |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置、電子構件及電子裝置

SEMICONDUCTOR DEVICE, ELECTRONIC COMPONENT, AND
ELECTRONIC DEVICE

【技術領域】

[0001]

本發明的一個實施方式係關於一種半導體裝置。

[0002]

注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程(process)、機器(machine)、產品(manufacture)或者組合物(composition of matter)。由此，更明確而言，作為本說明書等所公開的本發明的一個實施方式的技術領域的一個例子可以舉出半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、攝像裝置、這些裝置的工作方法或者這些裝置的製造方法。

[0003]

注意，本說明書等中的半導體裝置是指藉由利用半導體特性而能夠工作的所有裝置。電晶體、半導體電路為半導體裝置的一個實施方式。另外，記憶體裝置、顯示裝置、攝像裝置、電子裝置有時包括半導體裝置。

【先前技術】

[0004]

可程式邏輯裝置 (PLD: Programmable Logic Device) 包括多個可程式邏輯元件 (PLE: Programmable Logic Element) 及多個可程式切換元件 (PSE: Programmable Switch Element)。在 PLD 中，作為組態資料存放有各 PLE 的功能的資料及藉由 PSE 連接 PLE 的結構的資料。也就是說，將 PLD 的電路結構作為組態資料儲存。

[0005]

已提出了多上下文 (Multi-Context) 方式的可重構裝置 (例如，非專利文獻 1)。多上下文方式是指將多個組態資料保存於 PLD 中，並藉由改變所使用的組態資料而改變 PLD 的電路結構的方式。表示電路構成資訊的組態資料被稱為上下文。此外，切換 PLD 的電路結構被稱為上下文切換。

[0006]

[非專利文獻 1] H. M. Waidyasooriya et al., "Implementation of a Partially Reconfigurable Multi-Context FPGA Based on Asynchronous Architecture", IEICE TRANSACTIONS on Electronics Vol. E92-C, pp. 539-549, 2009

【發明內容】

[0007]

由於時脈頻率越高相對於上下文切換所需要的時間的一個時脈的週期越短，所以在一個時脈期間內完成不了上下文切換。此時，PLD 所包括的正反器的輸出資料在進行上下文切換期間 (亦即，在不包括於組態的資料組中的不完全的電路結構中) 被處理。由此，生成使用者非預期的資料而不

能正常進行上下文切換前後的資料傳送。再者，在高電位輸出信號及低電位輸出信號被供應於同一節點的不完全的電路中，有可能產生貫通電流而增加功耗。

[0008]

因此，本發明的一個實施方式的目的之一是提供一種即使提高時脈頻率也可以正常進行上下文切換前後的資料傳送的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種能夠抑制貫通電流的產生的半導體裝置。

[0009]

本發明的一個實施方式的目的之一是提供一種適合於高速工作的半導體裝置。本發明的一個實施方式的目的之一是提供一種可靠性高的半導體裝置。本發明的一個實施方式的目的之一是提供一種功耗得到降低的半導體裝置。本發明的一個實施方式的目的之一是提供一種具有關態電流 (off-state current) 小的電晶體的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種能夠在廣溫度範圍下使用的半導體裝置。

[0010]

本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置及新穎的電子裝置等。

[0011]

注意，本發明的一個實施方式的目的不侷限於上述列舉的目的。上述列舉的目的並不妨礙其他目的的存在。另外，其他目的是上面沒有提到而將在下面的記載中進行說明的目的。所屬技術領域的通常知識者可以從說明書或圖式等的記載中導出並適當抽出該上面沒有提到的目的。此外，本發明的一個實施方式是實現上述列舉的記載及/或其他目的中的至少一個

目的的。

[0012]

本發明的一個實施方式是一種半導體裝置，包括：組態記憶體；第一電路；第二電路；以及第三電路，其中，組態記憶體具有保持組態資料的功能，組態記憶體具有生成對應於組態資料的第一信號的功能，第一電路及第二電路被輸入第二信號，第一電路具有生成第三信號及第四信號並將該第三信號及該第四信號輸出到組態記憶體及第三電路的功能，第二電路具有根據第一信號在第一模式或第二模式中工作的功能，在第一模式中，第二電路向第三電路輸出第五信號，在第二模式中，第二電路停止向第三電路輸出第五信號，第三電路具有可程式的邏輯電路的功能，第二信號具有決定第一電路及第二電路的工作時序的時脈信號的功能，第三信號及第四信號具有用於上下文切換的信號的功能，並且，第五信號具有決定第三電路的工作時序的時脈信號的功能。

[0013]

第二電路可以在第三信號的電位和第四信號的電位中的一個開始從低電位切換為高電位之後從第一模式切換為第二模式，然後在停止一個時脈的第五信號的輸出之後，從第二模式切換為第一模式。

[0014]

本發明的一個實施方式是一種半導體裝置，包括：第一至第 m (m 為 2 以上的整數) 組態記憶體；第一電路；第二電路；以及第三電路，其中，第一至第 m 組態記憶體分別具有保持組態資料的功能，第一至第 m 組態記憶體具有生成分別對應於保持於對應組態記憶體中的組態資料的第一至第 m 資料信號的功能，第一電路及第二電路被輸入第一信號，第一電路具有生成第二信號及第三信號並將該第二信號及該第三信號輸出到第一至第 m 組

態記憶體及第三電路的功能，第二電路具有根據第一至第 m 資料信號在第一模式或第二模式中工作的功能，在第一模式中，第二電路向第三電路輸出第四信號，在第二模式中，第二電路停止向第三電路輸出第四信號，第三電路具有可程式的邏輯電路的功能，第一信號具有決定第一電路及第二電路的工作時序的時脈信號的功能，第二信號及第三信號具有用於上下文切換的信號的功能，並且，第四信號具有決定第三電路的工作時序的時脈信號的功能。

[0015]

第二電路具有在第二模式中從第一至第 m 資料信號生成 2 進制的整數資料的功能，第二電路還可以具有如下功能：在第二信號的電位和第三信號的電位中的一個開始從低電位切換為高電位之後，從第一模式切換為第二模式，並且在停止該整數的時脈數的第四信號的輸出之後，從第二模式切換為第一模式。

[0016]

第二電路還可以具有在第一至第 m 資料信號中的任一個成為高電位時切換為第二模式的功能。

[0017]

本發明的一個實施方式是一種電子構件，包括：本發明的一個實施方式的半導體裝置；以及與該半導體裝置電連接的引線。

[0018]

本發明的一個實施方式是一種電子裝置，包括：本發明的一個實施方式的電子構件；以及顯示裝置、觸控面板、麥克風、揚聲器、操作鍵和外殼中的至少一個。

[0019]

本發明的一個實施方式可以提供一種即使提高時脈頻率也可以正常進行上下文切換前後的資料傳送的半導體裝置。此外，本發明的一個實施方式可以提供一種能夠抑制貫通電流的產生的半導體裝置。

[0020]

本發明的一個實施方式可以提供一種適合於高速工作的半導體裝置。本發明的一個實施方式可以提供一種可靠性高的半導體裝置。本發明的一個實施方式可以提供一種功耗得到降低的半導體裝置。本發明的一個實施方式可以提供一種具有關態電流小的電晶體的半導體裝置。此外，本發明的一個實施方式可以提供一種能夠在廣溫度範圍下使用的半導體裝置。

[0021]

本發明的一個實施方式可以提供一種新穎的半導體裝置及新穎的電子裝置等。

[0022]

注意，本發明的一個實施方式的效果不侷限於上述列舉的效果。上述列舉的效果並不妨礙其他效果的存在。另外，其他效果是上面沒有提到而將在下面的記載中進行說明的效果。所屬技術領域的通常知識者可以從說明書或圖式等的記載中導出並適當抽出該上面沒有提到的效果。此外，本發明的一個實施方式是實現上述列舉的記載及/或其他效果中的至少一個效果的。因此，本發明的一個實施方式有時不具有上述列舉的效果。

【圖式簡單說明】

[0023]

在圖式中：

圖 1A 及圖 1B 是說明半導體裝置的結構例子的方塊圖；

圖 2A 及圖 2B 是說明半導體裝置的結構例子的方塊圖；

圖 3 是說明半導體裝置的結構例子的電路圖；

圖 4A 及圖 4B 是說明半導體裝置的結構例子的電路圖；

圖 5 是說明半導體裝置的結構例子的電路圖；

圖 6 是說明半導體裝置的結構例子的電路圖；

圖 7A 及圖 7B 是說明半導體裝置的結構例子的電路圖；

圖 8 是說明半導體裝置的結構例子的電路圖；

圖 9A 及圖 9B 是說明半導體裝置的結構例子的電路圖；

圖 10A 及圖 10B 是說明半導體裝置的結構例子的電路圖；

圖 11 是說明半導體裝置的工作例子的電路圖；

圖 12 是說明半導體裝置的結構例子的方塊圖；

圖 13A 及圖 13B 是說明半導體裝置的結構例子的時序圖；

圖 14A 是說明電子構件的製造方法例子的流程圖，圖 14B 是說明電子構件的結構例子的透視示意圖；

圖 15A 至圖 15F 是說明電子裝置的圖。

【實施方式】

[0024]

參照圖式對實施方式進行詳細說明。但是，本發明不侷限於以下的說明，所屬技術領域的通常知識者可以很容易地理解一個事實就是，本發明的方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。注意，在下面所說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而

省略其重複說明。注意，有時在不同的圖式中適當地省略或改變相同組件的陰影線。

[0025]

另外，在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極(汲極端子、汲極區或汲極電極)與源極(源極端子、源極區或源極電極)之間具有通道區，並且電流能夠流過汲極、通道區以及源極。

[0026]

在此，因為源極和汲極根據電晶體的結構或工作條件等而更換，因此很難確定哪個是源極哪個是汲極。由此，根據情況或狀態，可以互相調換“源極”和“汲極”。

[0027]

例如，在本說明書等中，當明確地記載為“X 與 Y 連接”時，意味著如下情況：X 與 Y 電連接；X 與 Y 在功能上連接；X 與 Y 直接連接。因此，不侷限於規定的連接關係(例如，圖式或文中所示的連接關係等)，圖式或文中所示的連接關係以外的連接關係也包含於圖式或文中所記載的內容中。

[0028]

這裡，X 和 Y 為物件(例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等)。

[0029]

作為 X 與 Y 直接連接的情況的一個例子，可以舉出在 X 與 Y 之間沒有連接能夠電連接 X 與 Y 的元件(例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件及負載等)，並且 X 與 Y 沒有藉由能夠電連接 X 與 Y 的元件(例如開關、電晶體、電容元件、電感器、電阻

元件、二極體、顯示元件、發光元件及負載等) 連接的情況。

[0030]

作為 X 與 Y 電連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件及負載等）。另外，開關具有控制開啓和關閉的功能。換言之，藉由使開關處於導通狀態（開啓狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。另外，X 與 Y 電連接的情況包括 X 與 Y 直接連接的情況。

[0031]

作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號生成電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。另外，X 與 Y 在功能上連接的情況包括 X 與 Y 直接連接的情況及 X 與 Y 電連接的情況。

[0032]

另外，當明確地記載為“X 與 Y 電連接”時，在本說明書等中意味著如下情況：X 與 Y 電連接（亦即，以中間夾有其他元件或其他電路的方式連接 X 與 Y）；X 與 Y 在功能上連接（亦即，以中間夾有其他電路的方式在功能上

連接 X 與 Y)；X 與 Y 直接連接 (亦即，以中間不夾有其他元件或其他電路的方式連接 X 與 Y)。亦即，在本說明書等中，當明確地記載為“電連接”時與只明確地記載為“連接”時的情況相同。

[0033]

注意，例如，在電晶體的源極 (或第一端子等) 藉由 Z1 (或沒有藉由 Z1) 與 X 電連接，電晶體的汲極 (或第二端子等) 藉由 Z2 (或沒有藉由 Z2) 與 Y 電連接的情況下以及在電晶體的源極 (或第一端子等) 與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極 (或第二端子等) 與 Z2 的一部分直接連接，Z2 的另一部分與 Y 直接連接的情況下，可以表示為如下。

[0034]

例如，可以表示為“X、Y、電晶體的源極 (或第一端子等) 與電晶體的汲極 (或第二端子等) 互相電連接，X、電晶體的源極 (或第一端子等)、電晶體的汲極 (或第二端子等) 與 Y 依次電連接”。或者，可以表示為“電晶體的源極 (或第一端子等) 與 X 電連接，電晶體的汲極 (或第二端子等) 與 Y 電連接，X、電晶體的源極 (或第一端子等)、電晶體的汲極 (或第二端子等) 與 Y 依次電連接”。或者，可以表示為“X 藉由電晶體的源極 (或第一端子等) 及汲極 (或第二端子等) 與 Y 電連接，X、電晶體的源極 (或第一端子等)、電晶體的汲極 (或第二端子等)、Y 依次設置為相互連接”。藉由使用與這種例子相同的表示方法規定電路結構中的連接順序，可以區別電晶體的源極 (或第一端子等) 與汲極 (或第二端子等) 而決定技術範圍。

[0035]

另外，作為其他表示方法，例如可以表示為“電晶體的源極 (或第一

端子等)至少經過第一連接路徑與 X 電連接,所述第一連接路徑不具有第二連接路徑,所述第二連接路徑是電晶體的源極(或第一端子等)與電晶體的汲極(或第二端子等)之間的路徑,所述第一連接路徑是藉由 Z1 的路徑,電晶體的汲極(或第二端子等)至少經過第三連接路徑與 Y 電連接,所述第三連接路徑不具有所述第二連接路徑,所述第三連接路徑是藉由 Z2 的路徑”。或者,也可以表示為“電晶體的源極(或第一端子等)至少經過第一連接路徑,藉由 Z1 與 X 電連接,所述第一連接路徑不具有第二連接路徑,所述第二連接路徑具有藉由電晶體的連接路徑,電晶體的汲極(或第二端子等)至少經過第三連接路徑,藉由 Z2 與 Y 電連接,所述第三連接路徑不具有所述第二連接路徑”。或者,也可以表示為“電晶體的源極(或第一端子等)至少經過第一電路徑,藉由 Z1 與 X 電連接,所述第一電路徑不具有第二電路徑,所述第二電路徑是從電晶體的源極(或第一端子等)到電晶體的汲極(或第二端子等)的電路徑,電晶體的汲極(或第二端子等)至少經過第三電路徑,藉由 Z2 與 Y 電連接,所述第三電路徑不具有第四電路徑,所述第四電路徑是從電晶體的汲極(或第二端子等)到電晶體的源極(或第一端子等)的電路徑”。藉由使用與這種例子同樣的表示方法規定電路結構中的連接路徑,可以區別電晶體的源極(或第一端子等)和汲極(或第二端子等)來決定技術範圍。

[0036]

注意,這種表示方法只是一個例子而已,不侷限於上述表示方法。在此,X、Y、Z1 及 Z2 為物件(例如,裝置、元件、電路、佈線、電極、端子、導電膜及層等)。

[0037]

另外,即使圖式示出在電路圖上獨立的組件彼此電連接,也有一個組

件兼有多個組件的功能的情況。例如，在佈線的一部分被用作電極時，一個導電膜兼有佈線和電極的兩個組件的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼有多個組件的功能的情況。

[0038]

另外，一般而言，電位（電壓）是相對的，其大小根據與參考電位之差決定。因此，在記載為“接地”、“GND”等的情況下，電位也不必須侷限於 0V。例如，也有以電路中的最低電位為基準而定義“接地”或“GND”的情況。或者，也有以電路中的中間電位為基準而定義“接地”或“GND”的情況。在該情況下，以該電位為基準規定正電位及負電位。

[0039]

實施方式 1

在本實施方式中，參照圖式說明本發明的一個實施方式的半導體裝置。

[0040]

本發明的一個實施方式係關於包括控制器、由控制器控制的 PLD 的半導體裝置。控制器具有對 PLD 供應時脈信號的功能，基於該時脈信號進行 PLD 的電路結構的重組等。這裡，當 PLD 在進行電路結構的重組等期間被輸入時脈信號時，例如 PLD 提取到異常資料而導致本發明的一個實施方式的半導體裝置發生故障。在本發明的一個實施方式的半導體裝置中進行時脈閘控，可以抑制在電路結構的重組期間等 PLD 被輸入時脈信號。由此，即使提高時脈頻率，也可以使本發明的一個實施方式的半導體裝置正常地工作，可以使本發明的一個實施方式的半導體裝置高速工作。

[0041]

〈半導體裝置〉

圖 1A 是示出本發明的一個實施方式的半導體裝置的結構例子的方塊圖。該半導體裝置包括控制器 10、由控制器 10 控制的 PLD20。控制器 10 包括上下文發生器 11、組態記憶體 12、時脈發生器 13。PLD20 例如包括可程式邏輯電路的 PLE、控制本發明的一個實施方式的半導體裝置所包括的外部端子與 PLE 之間的信號的輸入輸出的輸入輸出電路等。此外，PLD20 包括規定 PLE 彼此之間的連接關係、PLE 與輸入輸出電路的連接關係等的 PSE 等。此外，PLD20 所包括的 PLE 及 PSE 等包括組態記憶體。

[0042]

另外，圖式中的方塊圖的各電路方塊的位置關係是爲了方便說明而指定的，雖然示出了使用不同的電路方塊實現不同功能的情況，但是有時在實際的電路方塊中，也有設置爲在一個電路方塊中實現不同功能的情況。此外，圖式中的各電路方塊的功能是爲了方便說明而指定的，雖然示出了一個電路方塊，但是有時在實際的電路方塊中，也有將藉由一個電路方塊進行的處理設定爲藉由多個電路方塊進行的情況。

[0043]

可以對上下文發生器 11 輸入信號 clk、信號 resetb、信號 config 及信號 contextin。可以對時脈發生器 13 輸入信號 clk 及信號 resetb。可以對 PLD20 輸入信號 resetb 及信號 config。

[0044]

信號 clk 具有決定控制器 10 所包括的各電路的工作時序的時脈信號的功能。在後面說明詳細內容，信號 resetb 具有本發明的一個實施方式的半導體裝置的各電路所包括的正反器的重設信號的功能。信號 config 具有示出組態工作狀態的信號的功能。信號 contextin 具有設定上下文的狀態的

信號的功能。

[0045]

上下文發生器 11 是具有生成上下文切換所需要的信號 context [0] 至信號 context [n-1] (n 為 2 以上的整數) 並將其輸出到組態記憶體 12 及 PLD20 所包括的組態記憶體的功能的電路。此外，在後面說明詳細內容，上下文發生器 11 是具有生成時脈發生器 13 的工作所需要的各種信號的功能的電路。組態記憶體 12 是具有保持組態資料並根據被保持的組態資料生成信號 mout 的功能的電路。

[0046]

時脈發生器 13 是具有如下功能的電路，根據從上下文發生器 11 生成的時脈發生器 13 的工作所需要的各種信號的邏輯及從組態記憶體 12 生成的信號 mout 的邏輯來控制對 PLD20 輸出或停止對其輸出具有時脈信號的功能的信號 gclk。例如，在信號 mout 的電位為 H 位準時，在上下文切換開始後，進行一個時脈的時脈閘控，在信號 mout 的電位為 L 位準時，不進行時脈閘控。

[0047]

在本說明書中，在使用相同的符號時，尤其是在需要對相同的符號進行區別時，有時對符號附加 [0]、[1]、[n] 等用來識別的符號。例如，為了區別多個信號 context，使用 [0]、[n-1] 等的符號。

[0048]

在本說明書中，H 位準表示高電位，L 位準表示低電位。此外，L 位準例如可以是接地電位。

[0049]

例如，在信號 resetb 的電位為 H 位準時，可以解除本發明的一個實施

方式的半導體裝置的各電路所包括的正反器的重設狀態，由此可以根據信號 clk 或信號 $gclk$ 的邏輯進行資料的設置。另一方面，在信號 $resetb$ 的電位為 L 位準時，可以使本發明的一個實施方式的半導體裝置的各電路所包括的正反器處於重設狀態而使其不能進行資料的設置。此外，例如，可以使信號 $config$ 在組態記憶體 12 進行組態工作時為 H 位準電位而在組態記憶體 12 不進行組態工作時為 L 位準電位。此外，信號 $mout$ 、信號 $resetb$ 及信號 $config$ 的邏輯可以適當地被反轉。

[0050]

在圖 1A 中，控制器 10 包括一個組態記憶體 12，但是也可以如圖 1B 所示地包括組態記憶體 12[0] 至組態記憶體 12[m-1] (m 為 2 以上的整數)。在採用圖 1B 所示的結構時，組態記憶體 12[0] 至組態記憶體 12[m-1] 具有分別生成信號 $mout[0]$ 至信號 $mout[m-1]$ 的功能。也就是說，組態記憶體 12 具有生成 m 位元的信號 $mout$ 的功能。

[0051]

在圖 1B 所示的結構中，例如，時脈發生器 13 可以基於信號 $mout[0]$ 至信號 $mout[m-1]$ 的邏輯生成 2 進制的整數資料，以能夠對 PLD20 進行對應於該整數的時脈數的時脈閘控。在 2 進制的整數資料中例如可以生成信號 $mout[0]$ 作為 LSB (Least Significant Bit: 最低有效位元)，生成信號 $mout[m-1]$ 作為 MSB (Most Significant Bit: 最高有效位元)。

[0052]

例如，在信號 $mout[1]$ 的電位為 H 位準而其他信號 $mout$ 的電位都為 L 位準時，時脈發生器 13 可以進行兩個時脈的時脈閘控。例如，在信號 $mout[0]$ 及信號 $mout[1]$ 的電位為 H 位準而其他信號 $mout$ 的電位都為 L 位準時，時脈發生器 13 可以進行三個時脈的時脈閘控。例如，在信號 $mout[m-1]$ 的電

位為 H 位準而其他信號 $mout$ 的電位都為 L 位準時，時脈發生器 13 可以進行 2^{m-1} 個時脈的時脈閘控。例如，在信號 $mout[0]$ 至信號 $mout[m-1]$ 的所有電位都為 H 位準時，時脈發生器 13 可以進行 2^{m-1} 個時脈的時脈閘控。

[0053]

例如，在信號 $mout[0]$ 至信號 $mout[m-1]$ 的電位都為 L 位準時，時脈發生器 13 可以不進行時脈閘控。

[0054]

在圖 1A 及圖 1B 所示的結構的半導體裝置中，藉由對 PLD20 進行時脈閘控直到完成上下文切換，可以在 PLD20 中在高速時脈的工作中在上下文切換前後進行資料傳送。詳細內容將在後面進行說明。

[0055]

本發明的一個實施方式的半導體裝置可以採用圖 2A 及圖 2B 所示的結構。圖 2A 及圖 2B 是半導體裝置的方塊圖，其中除了上下文發生器 11 所生成的信號 $context$ 為信號 $context[0]$ 及信號 $context[1]$ 且 PLD20 包括 PLE21 以外與圖 1A 及圖 1B 所示的結構相同。

[0056]

〈控制器〉

圖 3 是示出圖 2A 所示的控制器 10 的結構例子的電路圖。控制器 10 如上所述包括上下文發生器 11、組態記憶體 12、時脈發生器 13。

[0057]

上下文發生器 11 包括反相器 31、反相器 32、反相器 33、反相器 34、反相器 35、正反器 41、正反器 42、AND 電路 51、AND 電路 52、AND 電路 53、AND 電路 54。時脈發生器 13 包括正反器 43、XOR 電路 55、NAND 電路 56、AND 電路 57。

[0058]

反相器 31 的輸入端子與正反器 41 的時脈輸入端子及 AND 電路 57 的第一輸入端子電連接。反相器 31 的輸出端子與正反器 42 的時脈輸入端子及正反器 43 的時脈輸入端子電連接。

[0059]

反相器 32 的輸入端子與正反器 41 的資料輸出端子及正反器 42 的資料輸入端子電連接。反相器 32 的輸出端子與反相器 33 的輸入端子及 AND 電路 53 的第二輸入端子電連接。

[0060]

反相器 33 的輸出端子與 AND 電路 51 的第二輸入端子電連接。

[0061]

反相器 34 的輸入端子與正反器 42 的資料輸出端子、正反器 43 的資料輸入端子、AND 電路 52 的第一輸入端子及 XOR 電路 55 的第二輸入端子電連接。反相器 34 的輸出端子與 AND 電路 54 的第一輸入端子電連接。

[0062]

反相器 35 的輸出端子與 AND 電路 51 的第一輸入端子及 AND 電路 53 的第一輸入端子電連接。

[0063]

正反器 43 的資料輸出端子與 XOR 電路 55 的第一輸入端子電連接。

[0064]

AND 電路 51 的輸出端子與 AND 電路 52 的第二輸入端子電連接。AND 電路 53 的輸出端子與 AND 電路 54 的第二輸入端子電連接。

[0065]

NAND 電路 56 的第一輸入端子與組態記憶體 12 電連接。NAND 電路 56

的第二輸入端子與 XOR 電路 55 的輸出端子電連接。NAND 電路 56 的輸出端子與 AND 電路 57 的第二輸入端子電連接。

[0066]

可以將信號 clk 輸入到正反器 41 的時脈輸入端子及 AND 電路 57 的第一輸入端子。可以將信號 resetb 輸入到正反器 41 的重設輸入端子、正反器 42 的重設輸入端子及正反器 43 的重設輸入端子。可以將信號 config 輸入到反相器 35 的輸入端子。可以將信號 contextin 輸入到正反器 41 的資料輸入端子。

[0067]

反相器 31 具有生成信號 clk 的反轉信號的功能。

[0068]

正反器 41 具有從信號 contextin 生成與信號 clk 的上升同步的資料輸出信號的功能。例如，在信號 contextin 的電位為 H 位準時，在信號 clk 上升時正反器 41 生成 H 位準電位的資料輸出信號。

[0069]

正反器 42 具有從正反器 41 所生成的資料輸出信號生成與信號 clk 的下降同步的資料輸出信號的功能。例如，在從正反器 41 生成 H 位準電位的資料輸出信號時，在信號 clk 下降時正反器 42 生成 H 位準電位的資料輸出信號。

[0070]

由反相器 32、反相器 34、反相器 35、AND 電路 53 及 AND 電路 54 構成的電路具有生成信號 context[0]的功能。由反相器 32、反相器 33、反相器 35、AND 電路 51 及 AND 電路 52 構成的電路具有生成信號 context[1]的功能。此外，在兩者的電路中，以正反器 41 的資料輸出信號、正反器 42 的

資料輸出信號及信號 config 為輸入信號。

[0071]

正反器 43 具有從正反器 42 所生成的資料輸出信號生成與信號 clk 的下降同步的資料輸出信號的功能。由此，正反器 43 所生成的資料輸出信號比正反器 42 所生成的資料輸出信號晚一個時脈發生邏輯變化。

[0072]

XOR 電路 55 具有如下功能：在從正反器 42 生成的資料輸出信號的邏輯與從正反器 43 生成的資料輸出信號的邏輯不同時，輸出 H 位準電位的信號；在資料輸出信號的邏輯相等時，輸出 L 位準電位的信號。由於在從正反器 42 生成的資料輸出信號的邏輯變化的同時發生上下文切換，所以 XOR 電路 55 在發生上下文切換的瞬間，輸出 H 位準電位的信號，在下一個信號 clk 上升時輸出 L 位準電位的信號。也就是說，藉由 XOR 電路 55 可以在上下文切換時取得脈衝信號。

[0073]

NAND 電路 56 具有生成對 PLD20 進行時脈閘控的控制信號的功能。例如，可以在信號 mout 的電位為 H 位準且從 XOR 電路 55 輸出的信號的電位為 H 位準時對 PLD20 進行時脈閘控，而在上述以外的情況下不進行時脈閘控。

[0074]

AND 電路 57 具有如下功能：在從 NAND 電路 56 輸出 H 位準電位的信號時，生成與信號 clk 的邏輯對應的邏輯的信號 gclk，在從 NAND 電路 56 輸出 L 位準電位的信號時，輸出固定為 L 位準電位的信號 gclk。

[0075]

圖 4A 是示出圖 2B 所示的控制器 10 的結構例子的電路圖。

[0076]

圖 4A 所示的結構的控制器 10 與圖 3 所示的結構的控制器 10 的不同之處在於包括時脈閘控控制電路 60 而不包括 NAND 電路 56 以及包括組態記憶體 12[0]至組態記憶體 12[m-1]。

[0077]

在從 XOR 電路 55 的輸出端子輸出的信號為 sp 時，可以對時脈閘控控制電路 60 輸入信號 clk、信號 mout[0]至信號 mout[m-1]及信號 sp。

[0078]

時脈閘控控制電路 60 具有輸出控制對 PLD20 進行時脈閘控的信號 en 的功能。例如，基於信號 mout[0]至信號 mout[m-1]的邏輯規定對 PLD20 進行時脈閘控的時脈數，對應於該時脈數輸出 L 位準電位的信號 en。由於信號 en 輸入到 AND 電路 57 的第二輸入端子，所以在時脈閘控控制電路 60 輸出 L 位準電位的信號 en 的期間，與信號 clk 的邏輯無關，信號 gclk 的電位成為 L 位準。另一方面，在時脈閘控控制電路 60 輸出 H 位準電位的信號 en 的期間，信號 gclk 的邏輯對應於信號 clk 的邏輯。也就是說，在信號 en 的電位為 L 位準的期間，可以對 PLD20 進行時脈閘控。

[0079]

如上所述，信號 en 具有時脈閘控用賦能信號的功能。

[0080]

信號 en 的邏輯也可以反轉。也就是說，時脈發生器 13 也可以具有在信號 en 的電位為 H 位準時可以對 PLD20 進行時脈閘控的結構。

[0081]

圖 4B 是圖 4A 所示的時脈閘控控制電路 60 的結構例子。時脈閘控控制電路 60 包括計數電路 61、比較器 62。

[0082]

可以對計數電路 61 輸入信號 clk 及信號 sp 。可以對比較器 62 輸入信號 $mout[0]$ 至信號 $mout[m-1]$ 。

[0083]

計數電路 61 具有對信號 clk 的時脈脈衝進行計數並輸出 k 位元 (k 為 2 以上的整數) 的信號的功能。此外，比較器 62 具有對基於從計數電路 61 輸出的 k 位元的信號的邏輯的 2 進制值與基於 m 位元的信號 $mout$ 的邏輯的 2 進制值進行比較並輸出對應於比較結果的邏輯的信號 en 的功能。此外， m 位元的信號 $mout$ 的資料的數值範圍可以藉由執行四則運算由內部邏輯控制。

[0084]

對時脈閘控控制電路 60 的工作進行說明。在信號 sp 的電位為 H 位準時，計數電路 61 所包括的暫存器被初始化。由此，從計數電路 61 輸出的 k 位元的信號的電位都成為 L 位準。因此，信號 en 的電位成為 L 位準而開始對 PLD20 進行時脈閘控。

[0085]

接著，計數電路 61 與信號 clk 的上升或下降同步地開始計數。在計數開始以後，比較器 62 對從計數電路 61 輸出的 k 位元的信號的邏輯的 2 進制值與基於 m 位元的信號 $mout$ 的邏輯的 2 進制值進行比較，在從計數電路 61 輸出的值為信號 $mout$ 的值以上時，輸出 H 位準電位的信號 en 。由此，結束對 PLD20 的時脈閘控。

[0086]

以上是時脈閘控控制電路 60 的工作。此外，在時脈閘控結束之後，例如，計數電路 61 在計到滿計數 (fullcount) 之後，在保持計數值的狀態下停止工作。此外，“滿計數”是指從計數電路 61 輸出的 k 位元的信號的

電位都成爲 H 位準。

[0087]

此外，圖 3、圖 4A 及圖 4B 所示的電路結構只是一個例子，只要能夠實現本發明的一個實施方式就可以採用任意結構。例如，也可以將圖 3 所示的結構的 AND 電路 51、AND 電路 52、AND 電路 53、AND 電路 54、NAND 電路 56 及 AND 電路 57 如圖 5 所示地分別換成電路 71、電路 72、電路 73、電路 74、電路 76 及電路 77。此外，例如也可以將圖 4A 所示的結構的 AND 電路 51 至 AND 電路 54 及 AND 電路 57 如圖 6 所示地分別換成電路 71 至電路 74 及電路 77。

[0088]

〈PLE〉

圖 7A 是示出圖 2A 及圖 2B 所示的 PLE21 的結構例子的電路圖。PLE21 包括查找表 80、正反器 83、多工器 84。查找表 80 包括組態記憶體 81[0] 至組態記憶體 81[16]。此外，圖 7B 示出圖 7A 所示的查找表的結構例子。

[0089]

查找表 80 與正反器 83 的資料輸入端子及多工器 84 的第一輸入端子電連接。組態記憶體 81[16] 與多工器 84 的選擇信號輸入端子電連接。正反器 83 的資料輸出端子與多工器 84 的第二輸入端子電連接。

[0090]

可以對查找表 80 輸入信號 in[0] 至信號 in[3]。可以對組態記憶體 81[0] 至組態記憶體 81[16] 輸入信號 context[0] 及信號 context[1]。可以對正反器 83 的時脈輸入端子輸入信號 gclk。可以對正反器 83 的重設輸入端子輸入信號 resetb。

[0091]

查找表 80 如圖 7B 所示具有根據信號 $in[0]$ 至信號 $in[3]$ 的邏輯輸出組態記憶體 81[0] 至組態記憶體 81[15] 中的一個的輸出信號的功能。與組態記憶體 12 同樣地，組態記憶體 81[0] 至組態記憶體 81[16] 具有保持組態資料且根據組態資料生成信號的功能。正反器 83 具有根據信號 $gclk$ 的邏輯保持來自查找表 80 的輸出信號或對多工器 84 輸出第二輸入端子的功能。多工器 84 具有根據從組態記憶體 81[16] 輸出的信號的邏輯輸出對應於從查找表 80 輸出的信號的邏輯或從正反器 83 的資料輸出端子輸出的信號的邏輯中的一個的邏輯信號作為信號 out 的功能。

[0092]

注意，查找表 80 為 4 輸入查找表，但是本發明的一個實施方式不侷限於此。例如，查找表 80 既可以為 6 輸入查找表，又可以為 p 輸入查找表 (p 為 2 以上的整數)。

[0093]

〈組態記憶體〉

圖 8 是示出圖 2A 及圖 2B 所示的組態記憶體 12 以及圖 7A 及圖 7B 所示的組態記憶體 81 的結構例子的電路圖。組態記憶體 12 及組態記憶體 81 包括記憶單元 91[0]、記憶單元 91[1]、電晶體 92[0]、電晶體 92[1]、電晶體 93、佈線 94。

[0094]

圖 8 示出電晶體 92[0]、電晶體 92[1] 及電晶體 93 都是 n 通道型電晶體的情況的例子，但是本發明的一個實施方式不侷限於此，也可以將部分電晶體或所有電晶體換成 p 通道型電晶體。

[0095]

在本說明書中，有時將 n 通道型電晶體和 p 通道型電晶體分別稱為 n -ch

型電晶體和 p-ch 型電晶體。

[0096]

記憶單元 91[0] 與電晶體 92[0] 的源極和汲極中的一個電連接。記憶單元 91[1] 與電晶體 92[1] 的源極和汲極中的一個電連接。電晶體 92[0] 的源極和汲極中的另一個與電晶體 92[1] 的源極和汲極中的另一個及電晶體 93 的源極和汲極中的一個電連接。電晶體 93 的源極和汲極中的另一個與佈線 94 電連接。

[0097]

可以將信號 data 輸入到記憶單元 91[0] 及記憶單元 91[1]。可以將信號 word[0] 輸入到記憶單元 91[0]。可以將信號 word[1] 輸入到記憶單元 91[1]。可以將信號 context[0] 輸入到電晶體 92[0] 的閘極。可以將信號 context[1] 輸入到電晶體 92[1] 的閘極。可以將信號 config 輸入到電晶體 93 的閘極。

[0098]

記憶單元 91[0] 及記憶單元 91[1] 是具有保持組態資料的功能的電路。電晶體 92[0] 具有如下功能，基於信號 context[0] 的電位控制是否將基於保持在記憶單元 91[0] 中的組態資料的資料作為信號 mout 輸出到組態記憶體 12 及組態記憶體 81 的外部。電晶體 92[1] 具有如下功能，基於信號 context[1] 的電位控制是否將基於保持在記憶單元 91[1] 中的組態資料的資料作為信號 mout 輸出到組態記憶體 12 及組態記憶體 81 的外部。

[0099]

也就是說，在信號 context[0] 的電位為 H 位準時，例如，在保持在記憶單元 91[0] 中的組態資料的電位為 H 位準時，信號 mout 的電位為 H 位準，在保持在記憶單元 91[0] 中的組態資料的電位為 L 位準時，信號 mout 的電

位為 L 位準。此外，在信號 context [1] 的電位為 H 位準時，例如，在保持在記憶單元 91 [1] 中的組態資料的電位為 H 位準時，信號 mout 的電位為 H 位準，在保持在記憶單元 91 [1] 中的組態資料的電位為 L 位準時，信號 mout 的電位為 L 位準。

[0100]

信號 context [0] 及信號 context [1] 的邏輯可以適當地反轉。此外，組態記憶體 12 及組態記憶體 81 可以具有如下結構：例如在保持在記憶單元 91 [0] 中的組態資料的電位為 H 位準時，信號 mout 的電位為 L 位準，在保持在記憶單元 91 [0] 中的組態資料的電位為 L 位準時，信號 mout 的電位為 H 位準。此外，例如在保持在記憶單元 91 [1] 中的組態資料的電位為 H 位準時，信號 mout 的電位為 L 位準，在保持在記憶單元 91 [1] 中的組態資料的電位為 L 位準時，信號 mout 的電位為 H 位準。

[0101]

信號 data 具有將組態資料供應給記憶單元 91 [0] 及記憶單元 91 [1] 的功能。信號 word [0] 具有控制對記憶單元 91 [0] 寫入組態資料的寫入控制信號的功能。信號 word [1] 具有對記憶單元 91 [1] 寫入組態資料的寫入控制信號的功能。

[0102]

電晶體 93 具有在組態工作中使信號 mout 的電位固定為佈線 94 的電位的功能。此外，例如可以對佈線 94 施加 L 位準電位。

[0103]

例如，圖 8 所示的記憶單元 91 [0] 及記憶單元 91 [1] 可以如圖 9A 所示地具有如下結構：記憶單元 91 [0] 包括電晶體 95 [0] 及閃鎖電路 96 [0]，記憶單元 91 [1] 包括電晶體 95 [1] 及閃鎖電路 96 [1]。此外，如圖 9B 所示，也

可以將使信號 data 的邏輯反轉的資料（互補資料）的信號 dataB 供應給門鎖電路 96[0]及門鎖電路 96[1]。在此情況下，信號 dataB 藉由電晶體 97[0]供應給門鎖電路 96[0]，且藉由電晶體 97[1]供應給門鎖電路 96[1]。

[0104]

如圖 10A 所示，也可以具有如下結構：記憶單元 91[0]包括電晶體 95[0]、門鎖電路 98[0]、MRAM99[0]（Magnetoresistive Random Access Memory：磁性隨機存取記憶體）及佈線 100[0]，記憶單元 91[1]包括電晶體 95[1]、門鎖電路 98[1]、MRAM99[1]及佈線 100[1]。此外，如圖 10B 所示，也可以具有如下結構：門鎖電路 98[0]與 MRAM99[0]藉由電晶體 101[0]連接，門鎖電路 98[1]與 MRAM99[1]藉由電晶體 101[1]連接。

[0105]

在圖 10A 及圖 10B 所示的結構的記憶單元 91[0]及記憶單元 91[1]中，也可以不設置門鎖電路 98[0]及門鎖電路 98[1]。

[0106]

圖 8 所示的記憶單元 91[0]及記憶單元 91[1]例如可以具有圖 11 所示的結構。圖 11 所示的記憶單元 91[0]包括電晶體 95A[0]、電晶體 95B[0]、電容元件 102A[0]、電容元件 102B[0]、佈線 103A[0]、佈線 103B[0]、電晶體 104A[0]、電晶體 104B[0]、佈線 105A[0]、佈線 105B[0]。此外，記憶單元 91[1]包括電晶體 95A[1]、電晶體 95B[1]、電容元件 102A[1]、電容元件 102B[1]、佈線 103A[1]、佈線 103B[1]、電晶體 104A[1]、電晶體 104B[1]、佈線 105A[1]、佈線 105B[1]。

[0107]

這裡示出電晶體 95A[0]、電晶體 95B[0]、電晶體 95A[1]、電晶體 95B[1]、電晶體 104A[0]、電晶體 104B[0]、電晶體 104A[1]及電晶體 104B[1]都是

n-ch 型電晶體的例子，但是本發明的一個實施方式不侷限於此，也可以將部分電晶體或所有的電晶體換成 p-ch 型電晶體。

[0108]

電晶體 95A[0]的源極和汲極中的一個與電容元件 102A[0]的一個端子及電晶體 104A[0]的閘極電連接。電晶體 95B[0]的源極和汲極中的一個與電容元件 102B[0]的一個端子及電晶體 104B[0]的閘極電連接。電容元件 102A[0]的另一個端子與佈線 103A[0]電連接。電容元件 102B[0]的另一個端子與佈線 103B[0]電連接。

[0109]

電晶體 104A[0]的源極和汲極中的一個與電晶體 92[0]的源極和汲極中的一個及電晶體 104B[0]的源極和汲極中的一個電連接。電晶體 104A[0]的源極和汲極中的另一個與佈線 105A[0]電連接。電晶體 104B[0]的源極和汲極中的另一個與佈線 105B[0]電連接。

[0110]

電晶體 95A[1]的源極和汲極中的一個與電容元件 102A[1]的一個端子及電晶體 104A[1]的閘極電連接。電晶體 95B[1]的源極和汲極中的一個與電容元件 102B[1]的一個端子及電晶體 104B[1]的閘極電連接。電容元件 102A[1]的另一個端子與佈線 103A[1]電連接。電容元件 102B[1]的另一個端子與佈線 103B[1]電連接。

[0111]

電晶體 104A[1]的源極和汲極中的一個與電晶體 92[1]的源極和汲極中的一個及電晶體 104B[1]的源極和汲極中的一個電連接。電晶體 104A[1]的源極和汲極中的另一個與佈線 105A[1]電連接。電晶體 104B[1]的源極和汲極中的另一個與佈線 105B[1]電連接。

[0112]

佈線 103A[0]、佈線 103B[0]、佈線 103A[1]及佈線 103B[1]的電位例如可以為 L 位準。此外，對佈線 105A[0]及佈線 105B[0]分別施加相反的邏輯的電位，對佈線 105A[1]及佈線 105B[1]分別施加相反的邏輯的電位。例如，在佈線 105A[0]的電位為 H 位準時，佈線 105B[0]的電位為 L 位準。此外，例如在佈線 105A[1]的電位為 H 位準時，佈線 105B[1]的電位為 L 位準。

[0113]

可以將信號 data 輸入到電晶體 95A[0]的源極和汲極中的另一個、電晶體 95B[0]的源極和汲極中的另一個、電晶體 95A[1]的源極和汲極中的另一個及電晶體 95B[1]的源極和汲極中的另一個。可以將信號 wordA[0]輸入到電晶體 95A[0]的閘極。可以將信號 wordB[0]輸入到電晶體 95B[0]的閘極。可以將信號 wordA[1]輸入到電晶體 95A[1]的閘極。可以將信號 wordB[1]輸入到電晶體 95B[1]的閘極。

[0114]

可以對圖 11 所示的結構的記憶單元 91[0]輸入兩種信號 word[0]。此外，可以對圖 11 所示的結構的記憶單元 91[1]輸入兩種信號 word[1]。將兩種信號 word[0]表示為信號 wordA[0]及信號 wordB[0]，將兩種信號 word[1]表示為信號 wordA[1]及信號 wordB[1]。

[0115]

電晶體 95A[0]具有控制將組態資料寫入到電容元件 102A[0]的功能。電晶體 95B[0]具有控制將組態資料寫入到電容元件 102B[0]的功能。電晶體 95A[1]具有控制將組態資料寫入到電容元件 102A[1]的功能。電晶體 95B[1]具有控制將組態資料寫入到電容元件 102B[1]的功能。

[0116]

電容元件 102A[0]、電容元件 102B[0]、電容元件 102A[1]及電容元件 102B[1]具有保持組態資料的功能。電晶體 104A[0]具有使保持在電容元件 102A[0]中的組態資料放大的功能。電晶體 104B[0]具有使保持在電容元件 102B[0]中的組態資料放大的功能。電晶體 104A[1]具有使保持在電容元件 102A[1]中的組態資料放大的功能。電晶體 104B[1]具有使保持在電容元件 102B[1]中的組態資料放大的功能。

[0117]

接著，對記憶單元 91[0]及記憶單元 91[1]具有圖 11 所示的結構時的組態資料的保持及讀出的步驟進行說明。此外，佈線 105A[0]及佈線 105A[1]的電位為 H 位準，佈線 105B[0]及佈線 105B[1]的電位為 L 位準。

[0118]

當在記憶單元 91[0]中保持 H 位準電位的組態資料時，信號 data 及信號 wordA[0]的電位為 H 位準。由此，在電容元件 102A[0]中保持電荷，對電晶體 104A[0]的閘極施加 H 位準電位。因此，電晶體 104A[0]導通。由於佈線 105A[0]的電位為 H 位準，所以在信號 context[0]的電位為 H 位準而電晶體 92[0]導通時，H 位準電位的信號作為信號 mout 輸出。

[0119]

當在記憶單元 91[0]中保持 L 位準電位的組態資料時，信號 data 及信號 wordB[0]的電位為 H 位準。由此，在電容元件 102B[0]中保持電荷，對電晶體 104B[0]的閘極施加 H 位準電位。因此，電晶體 104B[0]導通。由於佈線 105B[0]的電位為 L 位準，在信號 context[0]的電位為 H 位準而電晶體 92[0]導通時，L 位準電位的信號作為信號 mout 輸出。

[0120]

當在記憶單元 91[1]中保持 H 位準電位的組態資料時，使信號 data 及

信號 wordA[1]的電位為 H 位準。此外，當在記憶單元 91[1]中保持 L 位準電位的組態資料時，使信號 data 及信號 wordB[1]的電位為 H 位準。

[0121]

在圖 11 所示的結構的記憶單元 91[0]中，藉由降低電晶體 95A[0]的關態電流，可以使寫入在電容元件 102A[0]中的電荷的保持時間延長，可以降低電晶體 95B[0]的關態電流，可以使寫入在電容元件 102B[0]中的電荷的保持時間延長。此外，藉由降低電晶體 95A[1]的關態電流，可以使寫入在電容元件 102A[1]中的電荷的保持時間延長，可以降低電晶體 95B[1]的關態電流，可以使寫入在電容元件 102B[1]中的電荷的保持時間延長。這裡，“關態電流”是在電晶體處於關閉狀態時流在源極和汲極之間的電流。當電晶體是 n-ch 型時，例如，在臨界電壓為 0V 至 2V 左右時，可以將閘極的電壓相對源極及汲極的電壓為負電壓時流過源極與汲極之間的電流稱為關態電流。另外，關態電流極小是指例如每通道寬度 $1\mu\text{m}$ 的關態電流為 100zA （介安培）以下。由於關態電流越小越好，所以該標準化關態電流較佳為 $10\text{zA}/\mu\text{m}$ 以下或 $1\text{zA}/\mu\text{m}$ 以下，更佳為 $10\text{yA}/\mu\text{m}$ （攸安培）以下。 1zA 為 $1\times 10^{-21}\text{A}$ ， 1yA 為 $1\times 10^{-24}\text{A}$ 。

[0122]

為了將關態電流降低到上述極小的程度，使用能帶間隙較寬的半導體形成電晶體的通道形成區域即可。作為上述半導體，例如可以舉出氧化物半導體。由於氧化物半導體的能帶間隙為 3.0eV 以上，因此活性層或活性區由氧化物半導體形成的電晶體（OS 電晶體）的因熱激發所引起的洩漏電流較小，並且如上所述關態電流極小。OS 電晶體的通道形成區域較佳為包含銦(In)及鋅(Zn)中的至少一個的氧化物半導體。這種氧化物半導體的典型例子為 In-M-Zn 氧化物(元素 M 例如為 Al、Ga、Y 或 Sn)。藉由減少用作

電子予體(施體)的水分或氫等雜質且減少氧空位，能夠使氧化物半導體成爲 i 型(本質半導體)或無限趨近於 i 型。在此，將上述氧化物半導體可以稱爲高度純化了的氧化物半導體。藉由使用高度純化了的氧化物半導體，能夠將以電晶體的通道寬度標準化的 OS 電晶體的關態電流降低到幾 $yA/\mu m$ 至幾 $zA/\mu m$ 左右。

[0123]

OS 電晶體的關態電流特性的溫度依賴性比活性層或活性區域使用矽形成的電晶體(以下稱爲 Si 電晶體)小。因此，即使在高溫(例如， $100^{\circ}C$ 以上)下，OS 電晶體也可以將標準化關態電流爲 $100zA$ 以下。因此，藉由對電晶體 95A[0] 應用 OS 電晶體，即使在高溫環境下也可以長時間保持寫入在電容元件 102A[0] 中的電荷，藉由對電晶體 95B[0] 應用 OS 電晶體，即使在高溫環境下也可以長時間保持寫入在電容元件 102B[0] 中的電荷。此外，藉由對電晶體 95A[1] 應用 OS 電晶體，即使在高溫環境下也可以長時間保持寫入在電容元件 102A[1] 中的電荷，藉由對電晶體 95B[1] 應用 OS 電晶體，即使在高溫環境下也可以長時間保持寫入在電容元件 102B[1] 中的電荷。如上所述，可以在高溫環境下得到具有高可靠性的半導體裝置。

[0124]

電晶體 92[0]、電晶體 92[1]、電晶體 93、電晶體 104A[0]、電晶體 104B[0]、電晶體 104A[1] 及電晶體 104B[1] 可以是 Si 電晶體。Si 電晶體具有其場效移動率比 OS 電晶體高的特性。因此，可以增加流過電晶體 92[0]、電晶體 92[1]、電晶體 93、電晶體 104A[0]、電晶體 104B[0]、電晶體 104A[1] 及電晶體 104B[1] 的電流值。由此，可以使本發明的一個實施方式的半導體裝置的工作高速化。

[0125]

電晶體 92[0]、電晶體 92[1]、電晶體 93、電晶體 104A[0]、電晶體 104B[0]、電晶體 104A[1]及電晶體 104B[1]也可以是 OS 電晶體。也就是說，組態記憶體 12 及組態記憶體 81 所包括的電晶體也可以都是 OS 電晶體。

[0126]

可以使組態記憶體 12 及組態記憶體 81 所包括的電晶體中的任意電晶體為 OS 電晶體，其他電晶體為 Si 電晶體。

[0127]

此外，記憶單元 91[0]及記憶單元 91[1]不侷限於圖 9A 至圖 11 所示的結構，例如也可以包括 ReRAM (Resistance Random Access Memory：電阻式記憶體)，例如也可以包括快閃記憶體。

[0128]

注意，圖 7A 至圖 11 所示的電路結構只是一個例子而已，只要可以實現本發明的一個實施方式就可以採用任意結構。

[0129]

〈PLD〉

圖 12 是示出本發明的一個實施方式的半導體裝置的結構例子的方塊圖，示出 PLD20 所包括的各電路間的連接關係。如上所述，本發明的一個實施方式的半導體裝置包括控制器 10、PLD20，控制器 10 包括上下文發生器 11、組態記憶體 12、時脈發生器 13。

[0130]

PLD20 除了 PLE21 以外還包括輸入輸出電路 110、PSE120、列驅動器 131 及行驅動器 132。此外，PSE120 可以包括與組態記憶體 12 及組態記憶體 81 相同的結構的組態記憶體。

[0131]

輸入輸出電路 110 具有控制本發明的一個實施方式的半導體裝置所包括的外部端子與 PLE21 之間的信號的輸入輸出的功能。PSE120 具有規定 PLE21 彼此之間的連接關係、PLE21 與輸入輸出電路 110 的連接關係等的功能。列驅動器 131 具有生成信號 data 的功能。行驅動器 132 具有生成信號 word[0]及信號 word[1]的功能。

[0132]

在圖 12 的例子中，配置 10 個 PLE21 構成邏輯陣列 LAa，配置 10 個其他 PLE21 構成邏輯陣列 LAb。配置 10 個輸入輸出電路 110 構成輸入輸出陣列 IOAa，配置 10 個其他輸入輸出電路 110 構成輸入輸出陣列 IOAb。此外，PSE120 配置為矩陣狀構成開關陣列 SWAa、開關陣列 SWAb 及開關陣列 SWAc。

[0133]

在本說明書中，將邏輯陣列 LAa 所包括的 10 個 PLE21 記載為 PLE21_00 至 PLE21_09。將邏輯陣列 LAb 所包括的 10 個 PLE21 記載為 PLE21_10 至 PLE21_19。將輸入輸出陣列 IOAa 所包括的 10 個輸入輸出電路 110 記載為輸入輸出電路 110_00 至輸入輸出電路 110_09。將輸入輸出陣列 IOAb 所包括的 10 個輸入輸出電路 110 記載為輸入輸出電路 110_10 至輸入輸出電路 110_19。

[0134]

在圖 12 中，有時將 PLE21_00 至 PLE21_19 記載為 PLE00 至 PLE19，將輸入輸出電路 110_00 至輸入輸出電路 110_19 記載為 I000 至 I019。此外，圖 12 所示的 PSE120 中的記載表示其功能。例如，“PLE0 * to I000”示出 PSE120 配置在 PLE21_00 至 PLE21_09 的輸出節點與輸入輸出電路 110_00 的輸入節點之間。

[0135]

此外，輸入輸出電路 110_00 至輸入輸出電路 110_19 與互相不同的外部端子電連接。輸入輸出陣列 IOAa 及輸入輸出陣列 IOAb 具有控制本發明的一個實施方式的半導體裝置的外部端子與邏輯陣列 LAa 及邏輯陣列 LAb 之間的信號的輸入輸出的功能。

[0136]

圖 1A 至圖 12 所示的結構可以任意地組合。

[0137]

〈工作例子〉

使用圖 13A 所示的時序圖說明圖 2A 所示的結構的半導體裝置的工作例子。此外，使用圖 13B 所示的時序圖說明圖 2B 所示的結構的半導體裝置的工作例子。

[0138]

圖 13A 及圖 13B 所示的時序圖示出信號 clk、信號 resetb、信號 config、信號 contextin、信號 mout、信號 context[0]、信號 context[1] 及信號 gclk 的電位。此外，示出 PLD20 的結構狀態。

[0139]

在信號 context[0] 的電位為 H 位準時，PLD20 例如成為根據保持在組態記憶體 81 等所包括的記憶單元 91[0] 中的組態資料的結構。將該結構的 PLD20 記載為 PLD20_0。此外，在信號 context[1] 的電位為 H 位準時，PLD20 例如成為對應於保持在組態記憶體 81 等所包括的記憶單元 91[1] 中的組態資料的結構。將該結構的 PLD20 記載為 PLD20_1。

[0140]

在圖 13A 及圖 13B 中，信號 gclk 除了時脈閘控的情況以外與信號 clk 同時變化。然而，實際上存在因如閘延遲或 RC 延遲等傳達延遲而產生的時

間間隔。

[0141]

首先，使用圖 13A 所示的時序圖說明圖 2A 所示的結構的半導體裝置的工作。在時刻 T0 之前由組態記憶體 12 進行組態工作，信號 config 的電位為 H 位準。此外，信號 resetb、信號 contextin、信號 mout、信號 context[0] 及信號 context[1] 的電位為 L 位準。

[0142]

在 PLD20 中，決定電路結構的電位固定為初始值。例如，在 PLD20 所包括的 PLE21 是圖 7A 所示的結構時，從信號 in[0] 至信號 in[3] 的電位及組態記憶體 81[0] 至組態記憶體 81[15] 輸出的信號的電位都為 L 位準。有時將該狀態的 PLD20 稱為初始狀態。

[0143]

在時刻 T0，組態記憶體 12 結束組態工作，與信號 clk 的上升同步地使信號 config 的電位成為 L 位準。然後，從組態記憶體 12 輸出的信號 mout 的電位為對應於保持在圖 8 所示的記憶單元 91[0] 中的組態資料的電位。這裡，信號 mout 的電位為 H 位準。

[0144]

在時刻 T1，與信號 clk 的上升同步地使信號 resetb 的電位成為 H 位準。由此，解除本發明的一個實施方式的半導體裝置的各電路所包括的正反器的重設狀態。

[0145]

在時刻 T2，與信號 clk 的下降同步地使信號 context[0] 的電位成為 H 位準。由此，上下文切換開始，開始從 PLD20 的結構的初始狀態至 PLD20_0 的遷移。

[0146]

在時刻 T3，信號 clk 上升，由圖 2A 所示的時脈發生器 13 進行一個時脈的時脈閘控，信號 gclk 的電位保持 L 位準。因此，直到信號 clk 再次上升為止，可以防止對於 PLD20 所包括的正反器的資料設置。在時刻 T3，雖然從初始狀態至 PLD20_0 的遷移未結束，但是由於在信號 gclk 再次上升時 PLD20_0 的遷移結束，所以可以防止在上下文切換中在 PLD20 所包括的正反器中設置資料。因此，可以防止在 PLD20 所包括的正反器中設置異常資料。由此，可以正常地進行上下文切換前後的資料傳送。

[0147]

在時刻 T4，信號 contextin 的電位為 H 位準。此外，信號 contextin 可以與信號 clk 非同步地控制。也就是說，例如也可以使信號 contextin 的電位不在信號 clk 的上升的同時變為 H 位準。

[0148]

在時刻 T5，與信號 clk 的上升同步地使信號 context[0] 的電位成為 L 位準。並且，在信號 clk 再次下降的時刻 T6，信號 context[1] 的電位為 H 位準。由此，上下文切換開始，開始從 PLD20 的結構的 PLD20_0 至 PLD20_1 的遷移。

[0149]

在時刻 T7，雖然信號 clk 上升，但是由於由圖 2A 所示的時脈發生器 13 進行一個時脈的時脈閘控，所以信號 gclk 的電位保持 L 位準。因此，直到信號 clk 再次上升為止，可以防止對於 PLD20 所包括的正反器的資料設置。在時刻 T7，雖然從 PLD20_0 至 PLD20_1 的遷移未結束，但是由於在信號 gclk 再次上升時 PLD20_1 的遷移結束，所以可以防止在上下文切換中在 PLD20 所包括的正反器中設置資料。因此，可以防止在 PLD20 所包括的正反

器中設置異常資料。因此，正常地進行上下文切換前後的資料傳送。

[0150]

在時刻 T0 至時刻 T7，在信號 *mout* 的電位為 L 位準時，圖 2A 所示的時脈發生器 13 在時刻 T3 及時刻 T7 不進行時脈閘控，信號 *gclk* 的電位與信號 *clk* 的電位相等。除此以外，本發明的一個實施方式的半導體裝置的工作與信號 *mout* 的電位為 H 位準時的情況相同。

[0151]

接著，使用圖 13B 所示的時序圖說明圖 2B 所示的結構的半導體裝置的工作。在時刻 T0 之前，組態記憶體 12[0] 至組態記憶體 12[m-1] 進行組態工作，信號 *config* 的電位成為 H 位準。此外，信號 *resetb*、信號 *contextin*、信號 *context[0]* 及信號 *context[1]* 的電位成為 L 位準。再者，信號 *mout[0]* 至信號 *mout[m-1]* 的電位都成為 L 位準。

[0152]

在時刻 T0，組態記憶體 12[0] 至組態記憶體 12[m-1] 結束組態工作，與信號 *clk* 的上升同步地使信號 *config* 的電位成為 L 位準。然後，信號 *mout[0]* 至信號 *mout[m-1]* 的電位分別成為對應於保持在組態記憶體 12[0] 至組態記憶體 12[m-1] 所包括的記憶單元 91[0] 中的組態資料的電位。這裡，信號 *mout[1]* 的電位為 H 位準，其他信號 *mout* 的電位都為 L 位準。

[0153]

此外，在信號 *mout[0]* 為 LSB 且信號 *mout[m-1]* 為 MSB 時，將信號 *mout[0]* 至信號 *mout[m-1]* 的電位都為 L 位準的情況以 10 進制表示時為 “0”。另外，將信號 *mout[1]* 的電位為 H 位準且其他信號 *mout* 的電位都為 L 位準的情況以 10 進制表示時為 “2”。在圖 13B 中，將信號 *mout[0]* 至信號 *mout[m-1]* 的電位都為 L 位準的情況表示為 “0”，將信號 *mout[1]* 的電位為 H 位準且

其他信號 `mout` 的電位都為 L 位準的情況表示為 “2”。

[0154]

在時刻 T1，與信號 `clk` 的上升同步地使信號 `resetb` 的電位成為 H 位準。由此，解除本發明的一個實施方式的半導體裝置的各電路所包括的正反器的重設狀態。

[0155]

在時刻 T2，與信號 `clk` 的下降同步地使信號 `context[0]` 的電位成為 H 位準。由此，上下文切換開始，開始從 PLD20 的結構的初始狀態至 PLD20_0 的遷移。

[0156]

在時刻 T3，雖然信號 `clk` 上升，但是由於由圖 2B 所示的時脈發生器 13 進行 2 時脈的時脈閘控，所以信號 `gclk` 的電位保持 L 位準。因此，在時刻 T3 直到從信號 `clk` 上升開始數第二個時脈的信號 `clk` 上升為止，可以防止 PLD20 所包括的正反器的資料設置。在時刻 T3，雖然從初始狀態至 PLD20_0 的遷移未結束，但是由於在時脈閘控結束後的信號 `gclk` 的上升時 PLD20_0 的遷移結束，所以可以防止在上下文切換中在 PLD20 所包括的正反器中設置資料。因此，可以防止在 PLD20 所包括的正反器中設置異常資料。由此，可以正常地進行上下文切換前後的資料傳送。

[0157]

在時刻 T4，信號 `contextin` 的電位為 H 位準。此外，信號 `contextin` 可以與信號 `clk` 非同步地控制。也就是說，例如也可以使信號 `contextin` 的電位不在信號 `clk` 的上升的同時變為 H 位準。

[0158]

在時刻 T5，與信號 `clk` 的上升同步地使信號 `context[0]` 的電位成為 L

位準。並且，在信號 clk 再次下降的時刻 T6，信號 context[1]的電位為 H 位準。由此，上下文切換開始，開始從 PLD20 的結構的 PLD20_0 至 PLD20_1 的遷移。

[0159]

在時刻 T7，雖然信號 clk 上升，但是由於由圖 2B 所示的時脈發生器 13 進行 2 時脈的時脈閘控，所以信號 gclk 的電位保持 L 位準。因此，在時刻 T7 直到從信號 clk 上升開始數第二個時脈的信號 clk 上升為止，可以防止 PLD20 所包括的正反器的資料設置。在時刻 T7，雖然從 PLD20_0 至 PLD20_1 的遷移未結束，但是由於在時脈閘控結束後的信號 gclk 的上升時 PLD20_1 的遷移結束，所以可以防止在上下文切換中在 PLD20 所包括的正反器中設置資料。因此，可以防止在 PLD20 所包括的正反器中設置異常資料。由此，可以正常地進行上下文切換前後的資料傳送。

[0160]

如上所述，在本發明的一個實施方式的半導體裝置中，即使提高時脈頻率也可以正常進行上下文切換前後的資料傳送。由此，可以使本發明的一個實施方式的半導體裝置的工作高速化。此外，在本發明的一個實施方式的半導體裝置中，由於可以防止在上下文切換中在 PLD20 所包括的正反器中設置資料，所以可以抑制該正反器中的貫通電流的產生。由此，可以降低本發明的一個實施方式的半導體裝置的功耗。此外，由於可以防止在 PLD20 所包括的正反器中設置異常資料，所以可以提高本發明的一個實施方式的半導體裝置的可靠性。

[0161]

例如，在如圖 2B 所示採用具有多個組態記憶體 12 的結構時，對 PLD20 以兩個時脈以上進行時脈閘控。由此，與只有一個組態記憶體 12 的情況相

比可以進一步提高時脈頻率，從而可以使本發明的一個實施方式的半導體裝置的工作高速化。由於組態記憶體 12 的個數越多越能夠增加對 PLD20 進行時脈閘控的時脈數，所以可以提高時脈頻率，由此可以使本發明的一個實施方式的半導體裝置的工作高速化。

[0162]

圖 13A 及圖 13B 所示的工作只是一個例子，只要能夠實現本發明的一個實施方式就可以採用任意結構。例如，在圖 13A 及圖 13B 中，也可以使與信號 clk 或信號 gclk 的上升同步地進行的工作與信號 clk 或信號 gclk 的下降同步地進行。此外，例如，在圖 13A 及圖 13B 中，也可以使與信號 clk 或信號 gclk 的下降同步地進行的工作與信號 clk 或信號 gclk 的上升同步地進行。

[0163]

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

[0164]

實施方式 2

在本實施方式中，作為半導體裝置的一個例子，說明電子構件、攝像裝置及具備電子構件的電子裝置等。

[0165]

圖 14A 是示出電子構件的製造方法的一個例子的流程圖。電子構件也被稱為半導體封裝、IC 用封裝或封裝。電子構件根據端子取出方向或端子的形狀具有多個規格和名稱。在本實施方式中，說明其一個例子。

[0166]

經過組裝製程（後製程），並且藉由在印刷電路板上組合多個能夠裝卸

的構件，完成由電晶體構成的半導體裝置。後製程可以藉由進行圖 14A 所示的各製程完成。明確而言，在由前製程得到的元件基板完成 (S1) 之後，進行將基板分成多個晶片的切割 (dicing) 製程 (S2)。在將基板分成多個晶片之前使基板薄膜化，這樣可以減少在前製程中產生的基板的翹曲等，而實現構件的小型化。

[0167]

進行晶片接合 (die bonding) 製程 (S3)，該製程拾取各晶片並將其安裝並接合於引線框架上。在該晶片接合製程中，可以利用樹脂或膠帶接合晶片與引線框架。至於製造方法，選擇適合於產品的方法，即可。在該晶片接合製程中，在插入物 (interposer) 上安裝晶片並進行接合。在打線接合 (wire bonding) 製程中，使引線框架的引線與晶片上的電極藉由金屬細線 (wire) 電連接 (S4)。作為金屬細線可以使用銀線或金線。打線接合可以使用球焊 (ball bonding) 或楔焊 (wedge bonding)。

[0168]

實施模塑 (molding) 製程 (S5)，該製程以環氧樹脂等對進行了打線接合的晶片進行密封。對引線框架的引線進行電鍍處理。並且對引線進行切斷及成型加工 (S6)。藉由電鍍處理可以防止引線生銹，在之後將引線安裝於印刷電路板時可以更加確實地進行銲接。對封裝表面實施印字處理 (marking) (S7)。藉由檢驗步驟 (S8) 完成電子構件 (S9)。藉由安裝上述半導體裝置，可以提供低功耗且小型的電子構件。

[0169]

圖 14B 示出電子構件的透視示意圖。作為電子構件的一個例子，圖 14B 示出 QFP (Quad Flat Package：四面扁平封裝)。圖 14B 所示的電子構件 600 包括引線 601 及電路部 603。在電路部 603 中，形成有本發明的一個實

施方式的半導體裝置。電子構件 600 例如安裝於印刷電路板 602。藉由組合多個上述電子構件 600 並使其在印刷電路板 602 上彼此電連接，可以將其安裝於電子裝置中。完成的電路基板 604 設置於各種電子裝置等的內部。

[0170]

因此，本實施方式的電子構件能夠用於各種領域的電子裝置：數位信號處理、軟體無線電系統 (software-defined radio systems)、航空電子 (如通訊設備、導航系統、自動駕駛系統 (autopilot systems)、飛行管理系統等與航空有關的電子裝置)、ASIC 原型 (ASIC prototyping)、醫學影像處理、語音辨識、加密、生物資訊學 (bioinformatics)、機械裝置的仿真器及射電天文學中的電波望遠鏡等。藉由本實施方式，可以實現電子構件的小型化以及功耗的降低。

[0171]

例如，作為這種電子裝置，可以舉出顯示裝置、個人電腦或具備儲存媒體的影像再現裝置 (讀出如 DVD (Digital Versatile Disc: 數位影音光碟) 等儲存媒體的影像資料並具有顯示其影像的顯示器的裝置) 等。另外，可以舉出行動電話、包括可攜式的遊戲機、可攜式資訊終端、電子書閱讀器終端、視頻攝影機、數位相機、護目鏡型顯示裝置 (可穿戴顯示裝置)、導航系統、音頻再生裝置 (汽車音響系統、數位聲訊播放機等)、影印機、傳真機、印表機、多功能印表機等。圖 15A 至圖 15F 示出這些電子裝置的具體例子。

[0172]

圖 15A 所示的可攜式遊戲機 700 包括外殼 701、外殼 702、顯示部 703、顯示部 704、麥克風 705、揚聲器 706、操作鍵 707 等以及觸控筆 708 等。

[0173]

圖 15B 所示的可攜式資訊終端 710 包括外殼 711、外殼 712、顯示部 713、顯示部 714、連接部 715 及操作鍵 716 等。顯示部 713 設置在外殼 711 中，顯示部 714 設置在外殼 712 中。並且，外殼 711 與外殼 712 藉由連接部 715 連接，外殼 711 與外殼 712 所形成的角度可以藉由連接部 715 改變。由此，根據連接部 715 中外殼 711 和外殼 712 之間的角度，也可以進行顯示部 713 所顯示的影像的方向的改變及影像的顯示/非顯示的切換。另外，作為顯示部 713 及/或顯示部 714 也可以使用設置有觸控感測器的顯示裝置。

[0174]

圖 15C 所示的個人電腦 720 包括外殼 721、顯示部 722、鍵盤 723 及指向裝置 724 等。

[0175]

圖 15D 是家庭用電器產品的一個例子，在此示出電冷藏冷凍箱。電冷藏冷凍箱 730 包括外殼 731、冷藏室門 732 及冷凍室門 733 等。

[0176]

圖 15E 所示的視頻攝影機 740 包括外殼 741、外殼 742、顯示部 743、操作鍵 744、透鏡 745 以及連接部 746 等。操作鍵 744 及透鏡 745 設置在外殼 741 中，顯示部 743 設置在外殼 742 中。而且，外殼 741 和外殼 742 由連接部 746 連接，由連接部 746 可以改變外殼 741 和外殼 742 之間的角度。另外，根據外殼 742 與外殼 741 所形成的角度，也可以進行顯示部 743 所顯示的影像的方向的改變及影像的顯示/非顯示的切換。

[0177]

圖 15F 所示的汽車 750 包括車體 751、車輪 752、儀表板 753 及燈 754 等。汽車 750 既可以是引擎為動力的汽車，又可以是電動汽車或混合動力汽車。

[0178]

另外，只要具備本發明的一個實施方式的半導體裝置，就不特別侷限於上述所示的電子裝置。

[0179]

本實施方式可以與本說明書所示的其他實施方式適當地組合。

【符號說明】

[0180]

10	控制器	52	AND 電路
11	上下文發生器	53	AND 電路
12	組態記憶體	54	AND 電路
13	時脈發生器	55	XOR 電路
20	PLD	56	NAND 電路
21	PLE	57	AND 電路
31	反相器	60	時脈閘控控制電路
32	反相器	61	計數電路
33	反相器	62	比較器
34	反相器	71	電路
35	反相器	72	電路
41	正反器	73	電路
42	正反器	74	電路
43	正反器	76	電路
51	AND 電路	77	電路

- | | | | |
|------|-------|------|---------|
| 80 | 查找表 | 105B | 佈線 |
| 81 | 組態記憶體 | 110 | 輸入輸出電路 |
| 83 | 正反器 | 120 | PSE |
| 84 | 多工器 | 131 | 列驅動器 |
| 91 | 記憶單元 | 132 | 行驅動器 |
| 92 | 電晶體 | 600 | 電子構件 |
| 93 | 電晶體 | 601 | 引線 |
| 94 | 佈線 | 602 | 印刷電路板 |
| 95 | 電晶體 | 603 | 電路部 |
| 95A | 電晶體 | 604 | 電路基板 |
| 95B | 電晶體 | 700 | 可攜式遊戲機 |
| 96 | 閃鎖電路 | 701 | 外殼 |
| 97 | 電晶體 | 702 | 外殼 |
| 98 | 閃鎖電路 | 703 | 顯示部 |
| 99 | MRAM | 704 | 顯示部 |
| 100 | 佈線 | 705 | 麥克風 |
| 101 | 電晶體 | 706 | 揚聲器 |
| 102A | 電容元件 | 707 | 操作鍵 |
| 102B | 電容元件 | 708 | 觸控筆 |
| 103A | 佈線 | 710 | 可攜式資訊終端 |
| 103B | 佈線 | 711 | 外殼 |
| 104A | 電晶體 | 712 | 外殼 |
| 104B | 電晶體 | 713 | 顯示部 |
| 105A | 佈線 | 714 | 顯示部 |

715 連接部	741 外殼
716 操作鍵	742 外殼
720 個人電腦	743 顯示部
721 外殼	744 操作鍵
722 顯示部	745 透鏡
723 鍵盤	746 連接部
724 指向裝置	750 汽車
730 電冷藏冷凍箱	751 車體
731 外殼	752 車輪
732 冷藏室門	753 儀表板
733 冷凍室門	754 燈
740 視頻攝影機	

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

(109年1月3日專利修正無畫線版本)

申請專利範圍

1. 一種半導體裝置，包括：

組態記憶體；

第一電路；

第二電路；以及

第三電路，

其中，該組態記憶體保持組態資料，

該組態記憶體生成對應於該組態資料的第一信號，

該第一電路及該第二電路被輸入第二信號，

該第一電路生成第三信號及第四信號並將該第三信號及該第四信號輸出到該組態記憶體及該第三電路，

該第二電路根據該第一信號在第一模式或第二模式中工作，

該第二電路在該第一模式中向該第三電路輸出第五信號且在該第二模式中停止向該第三電路輸出該第五信號，

該第三電路具有可程式的邏輯電路的功能，

該第二信號具有決定該第一電路及該第二電路的工作時序的時脈信號的功能，

該第三信號及該第四信號具有用於上下文切換的信號的功能，

並且，該第五信號具有決定該第三電路的工作時序的時脈信號的功能。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中該第二電路在該第三信號的電位和該第四信號的電位中的一個開始從低電位切換為高電位之後從該第一模式切換為該第二模式，

並且該第二電路在停止一個時脈的該第五信號的輸出之後從該第二模

式切換為該第一模式。

3. 一種半導體裝置，包括：

第一至第 m 組態記憶體，其中 m 為 2 以上的整數；

第一電路；

第二電路；以及

第三電路，

其中，該第一至第 m 組態記憶體都保持組態資料，

該第一至第 m 組態記憶體生成分別對應於保持於對應組態記憶體中的該組態資料的第一至第 m 資料信號，

該第一電路及該第二電路被輸入第一信號，

該第一電路生成第二信號及第三信號並將該第二信號及該第三信號輸出到該第一至第 m 組態記憶體及該第三電路，

該第二電路根據該第一至第 m 資料信號在第一模式或第二模式中工作，

該第二電路在該第一模式中向該第三電路輸出第四信號且在該第二模式中停止向該第三電路輸出該第四信號，

該第三電路具有可程式的邏輯電路的功能，

該第一信號具有決定該第一電路及該第二電路的工作時序的時脈信號的功能，

該第二信號及該第三信號具有用於上下文切換的信號的功能，

並且，該第四信號具有決定該第三電路的工作時序的時脈信號的功能。

4. 根據申請專利範圍第 3 項之半導體裝置，

其中該第二電路在該第二模式中從該第一至第 m 資料信號生成 2 進制

(109年1月3日專利修正無畫線版本)

的整數資料，

該第二電路在該第二信號的電位和該第三信號的電位中的一個開始從低電位切換為高電位之後，從該第一模式切換為該第二模式，

並且該第二電路在停止該整數的時脈數的該第四信號的輸出之後從該第二模式切換為該第一模式。

5. 根據申請專利範圍第 3 項之半導體裝置，其中該第二電路在該第一至第 m 資料信號中的一個的電位成為高電位時切換為該第二模式。

6. 一種半導體裝置，包括：

時脈發生器；

可程式邏輯裝置；

向該時脈發生器輸出對應於組態資料的第一信號的組態記憶體；以及

向該可程式邏輯裝置及該組態記憶體輸出上下文信號的上下文發生

器，

其中該時脈發生器根據該第一信號停止向該可程式邏輯裝置輸出的時脈信號的至少一個時脈。

7. 根據申請專利範圍第 6 項之半導體裝置，其中該時脈發生器在該可程式邏輯裝置的重組期間，停止該時脈信號的該至少一個時脈。

8. 一種半導體裝置，包括：

時脈發生器；

可程式邏輯裝置；

向該時脈發生器輸出對應於組態資料的第一信號的組態記憶體；以及

向該可程式邏輯裝置及該組態記憶體輸出上下文信號的上下文發生

器，

其中該時脈發生器在第一期間向該可程式邏輯裝置輸出時脈信號且在

(109年1月3日專利修正無畫線版本)

第二期間根據該第一信號向該可程式邏輯裝置輸出至少一個時脈的低電位。

9. 根據申請專利範圍第 8 項之半導體裝置，其中在該第二期間進行該可程式邏輯裝置的重組。

10. 一種電子構件，包括：

申請專利範圍第 1、3、6 及 8 項中任一項之半導體裝置；以及與該半導體裝置電連接的引線。

11. 一種電子裝置，包括：

申請專利範圍第 10 項之電子構件；以及

顯示裝置、觸控面板、麥克風、揚聲器、操作鍵和外殼中的一個。

圖式

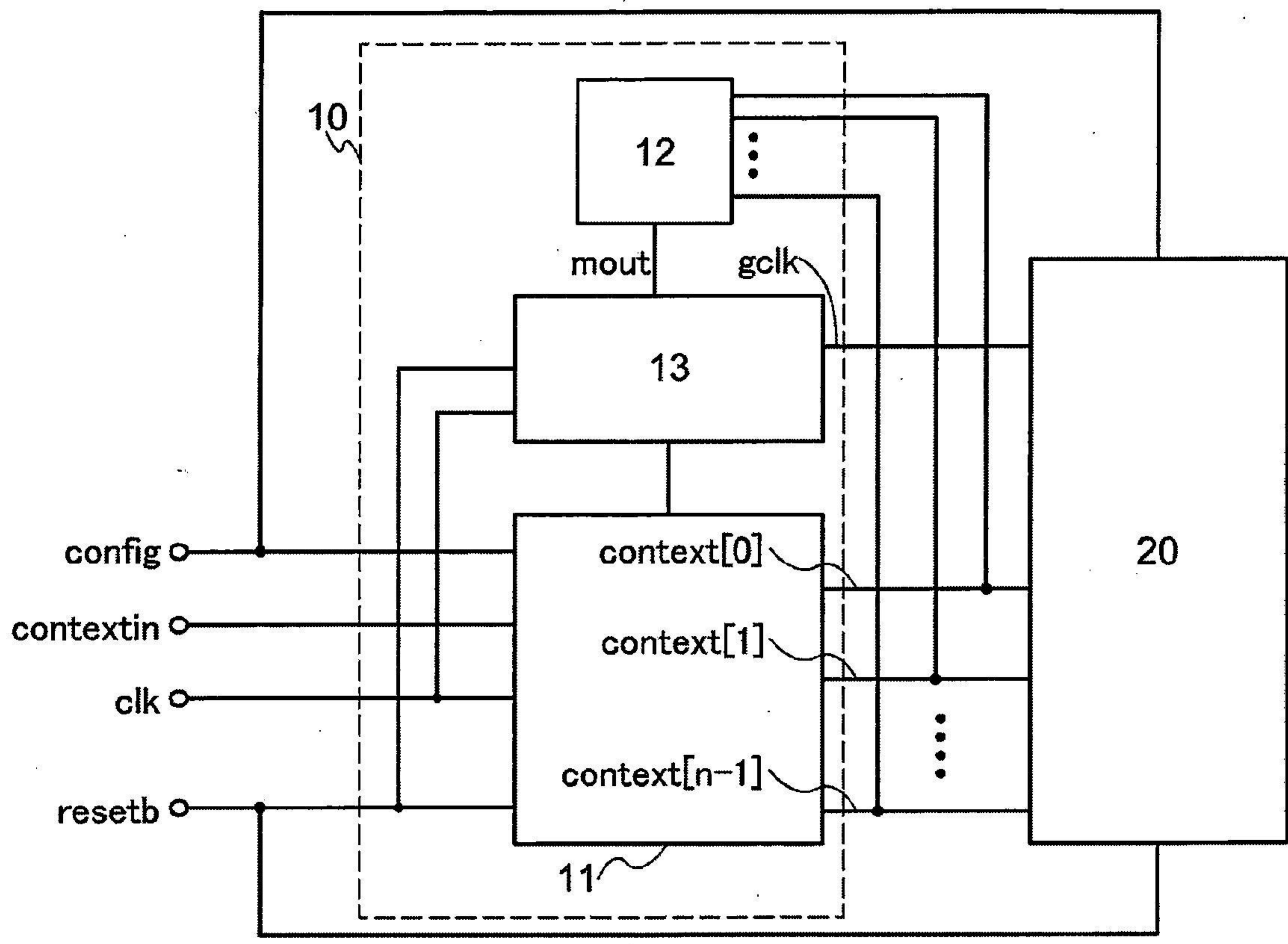


圖 1A

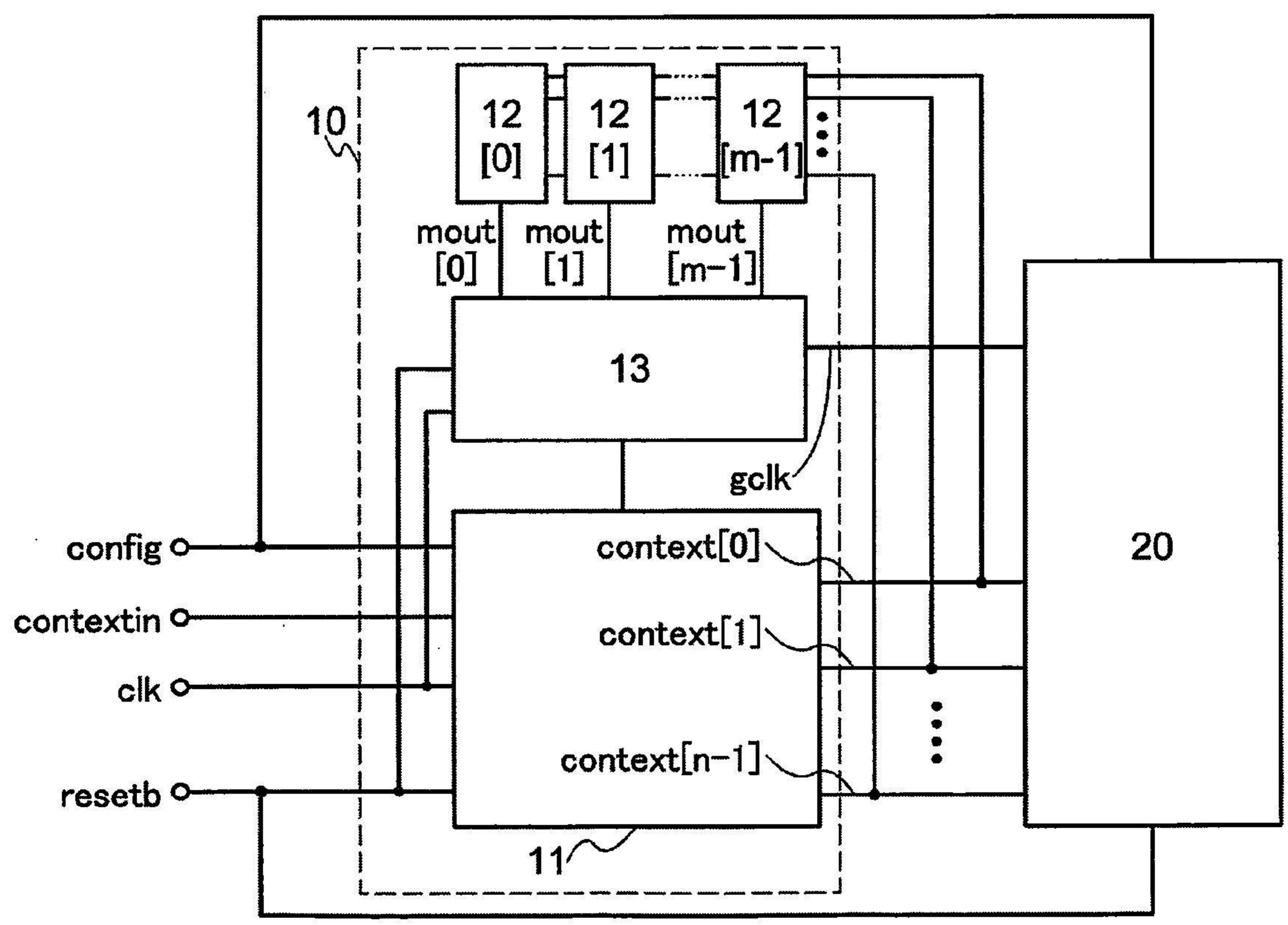


圖 1B

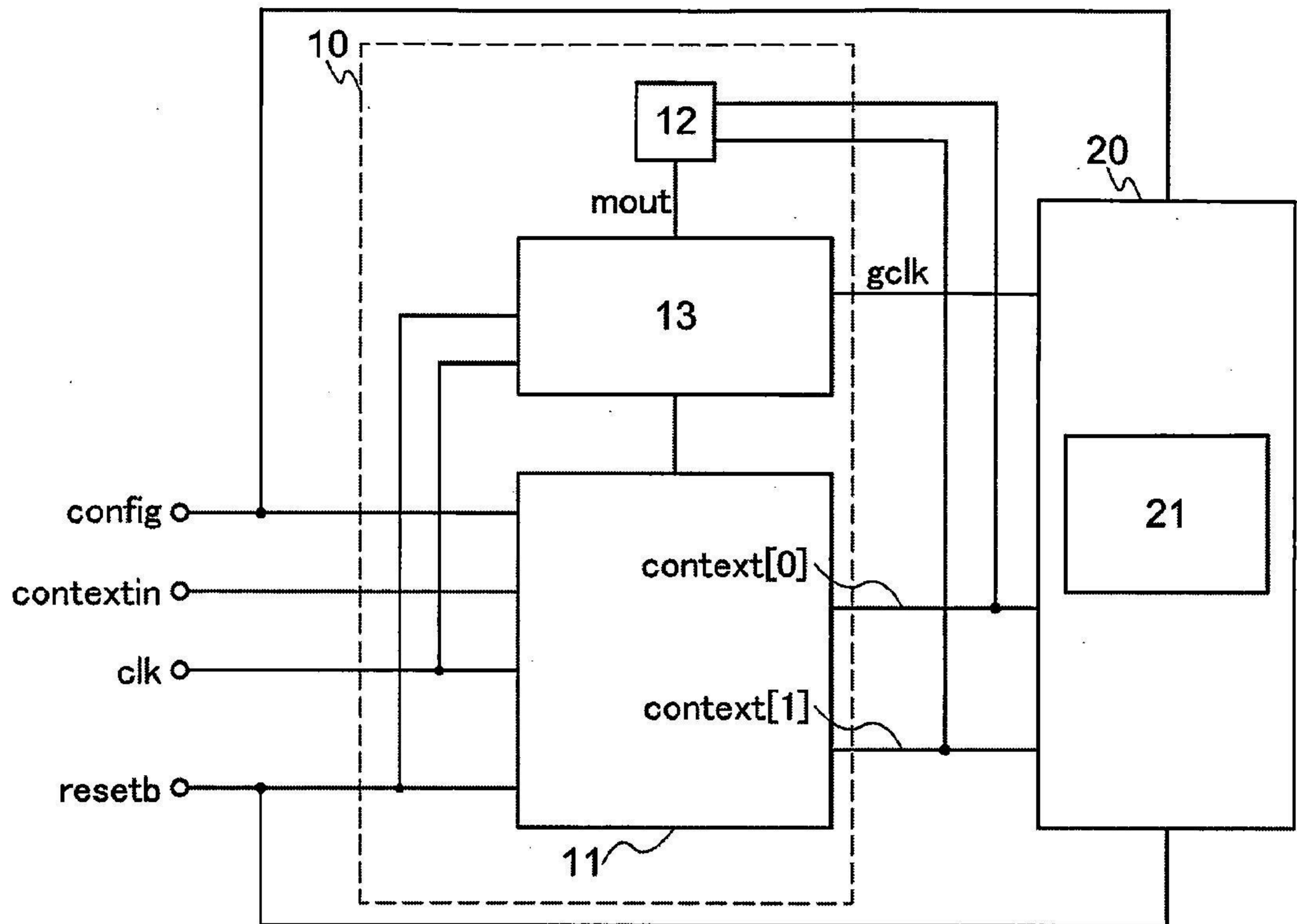


圖 2A

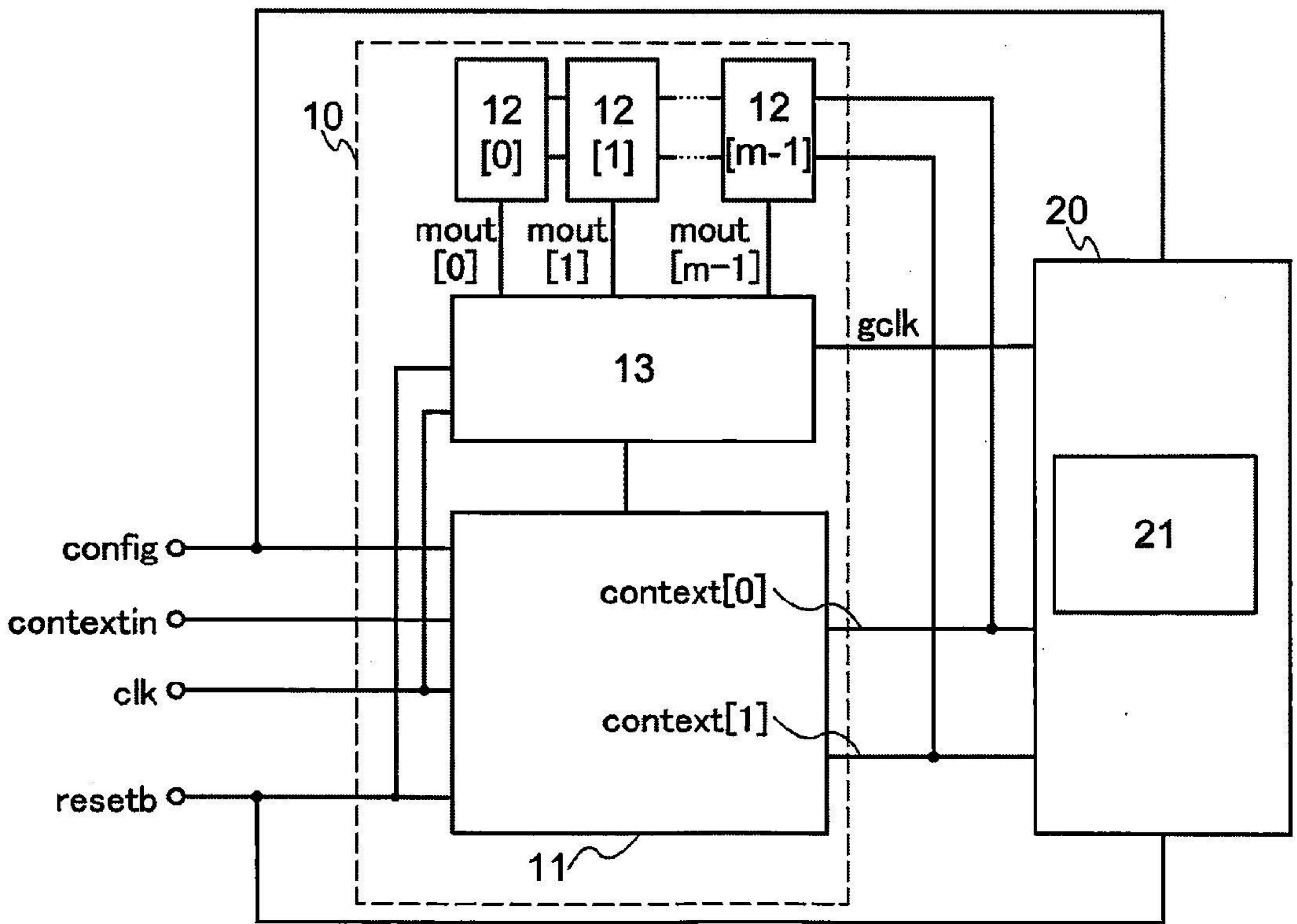


圖 2B

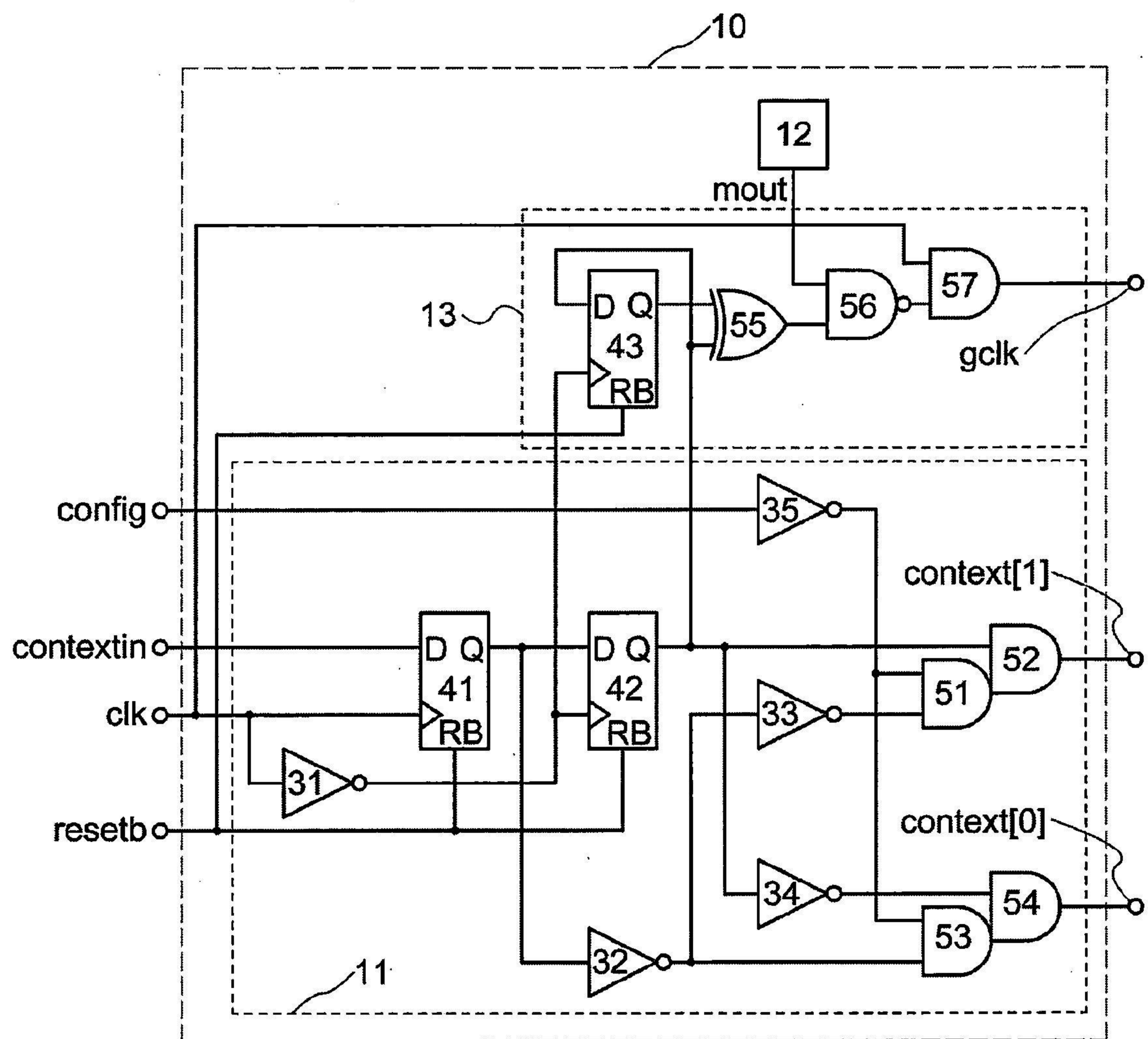


圖 3

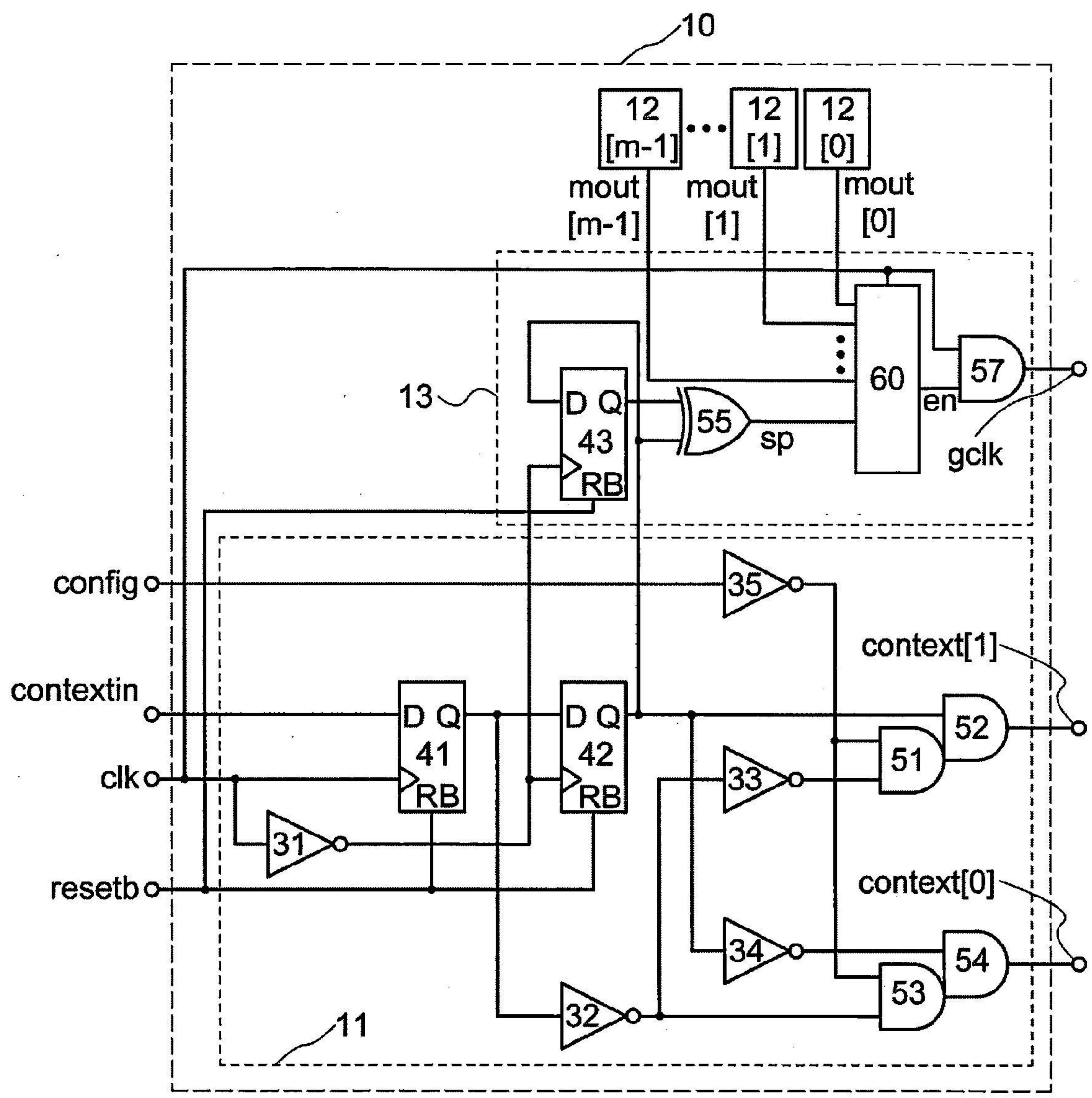


圖 4A

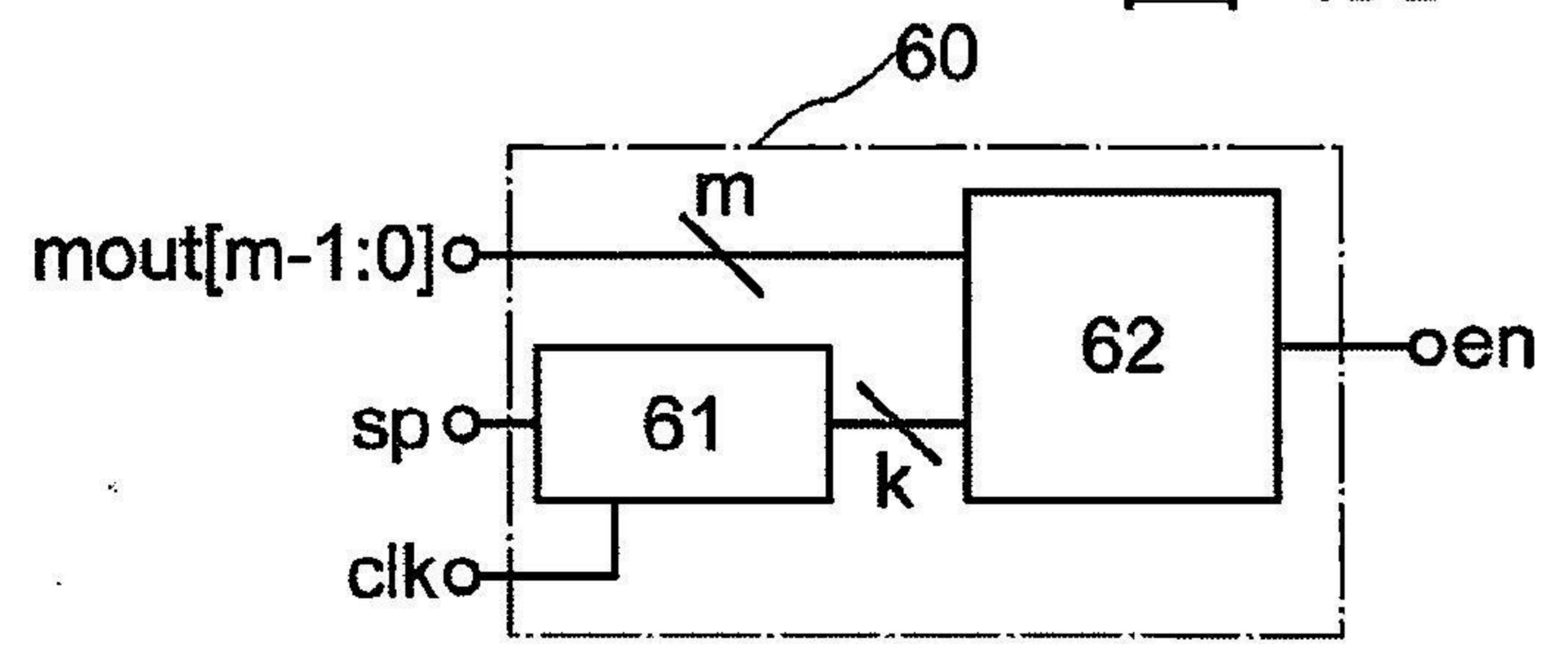


圖 4B

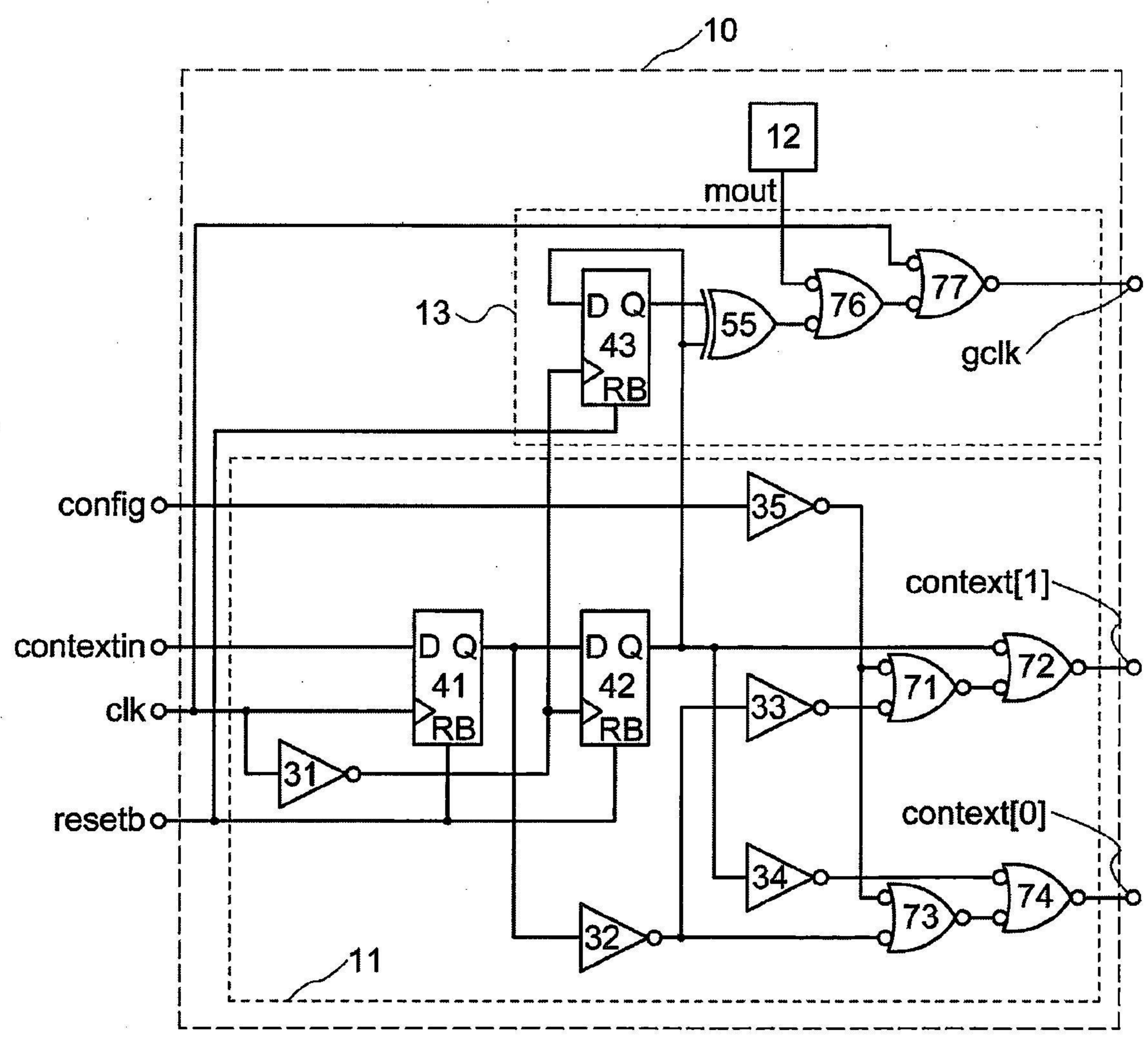


圖 5

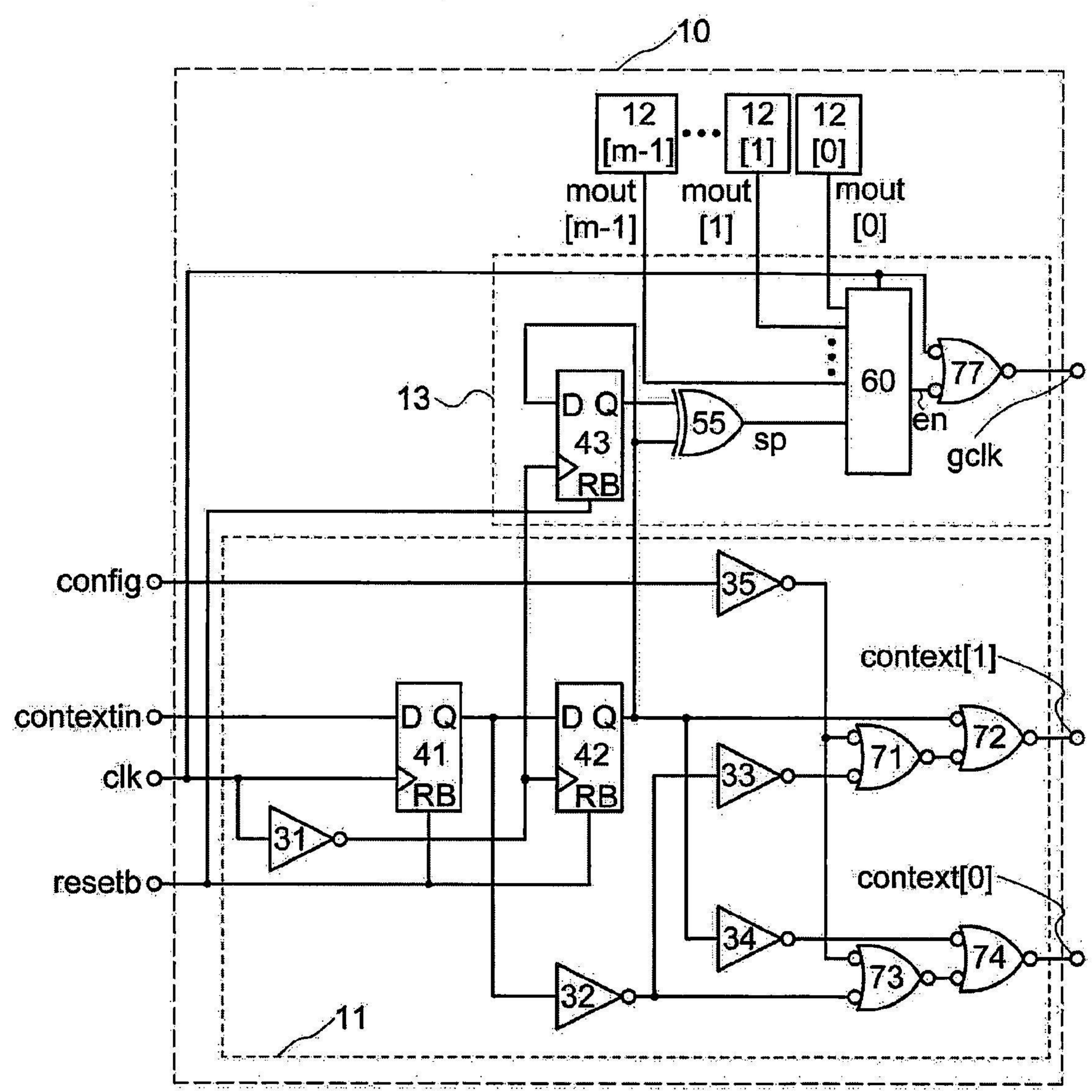


圖 6

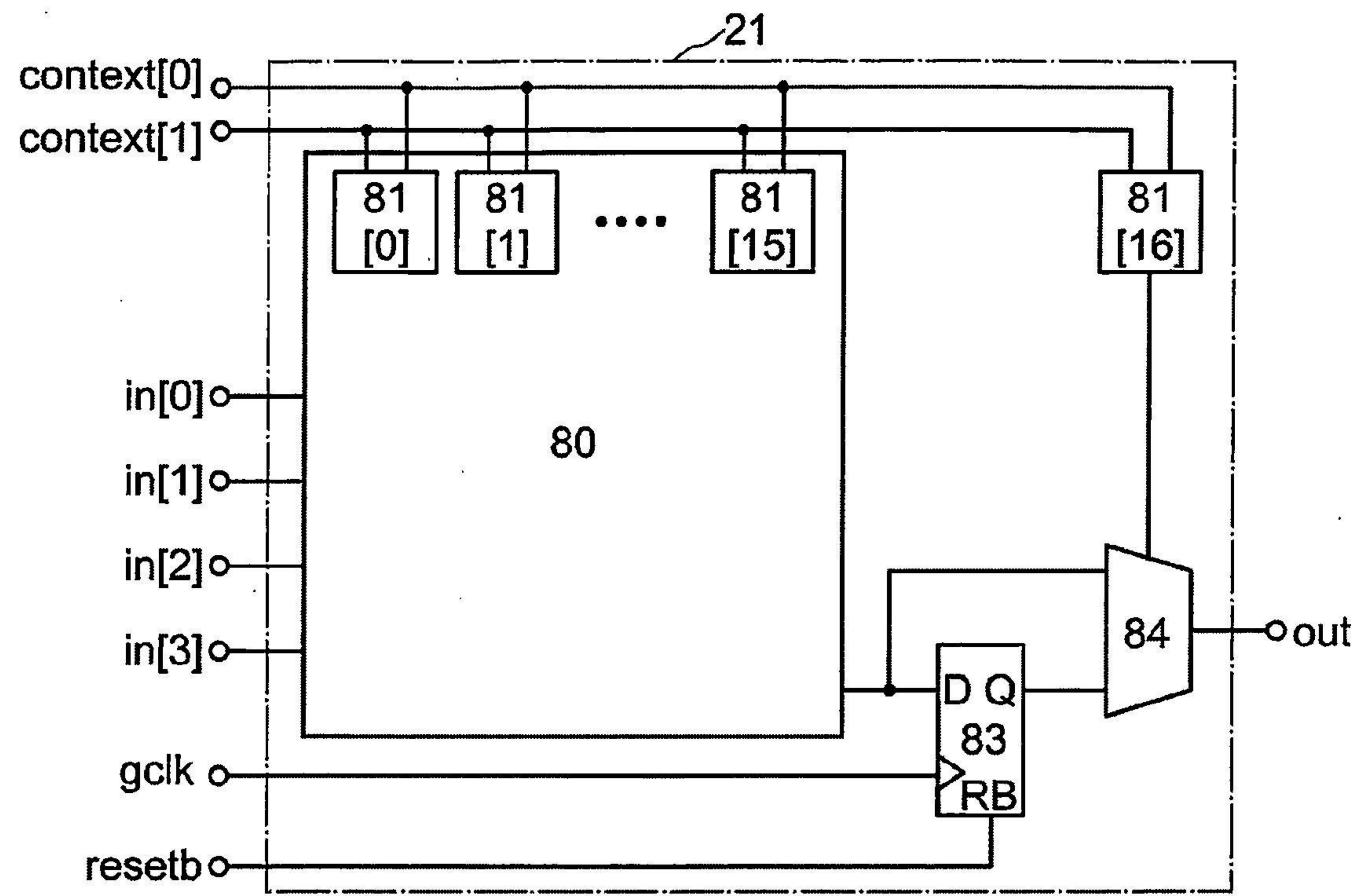


圖 7A

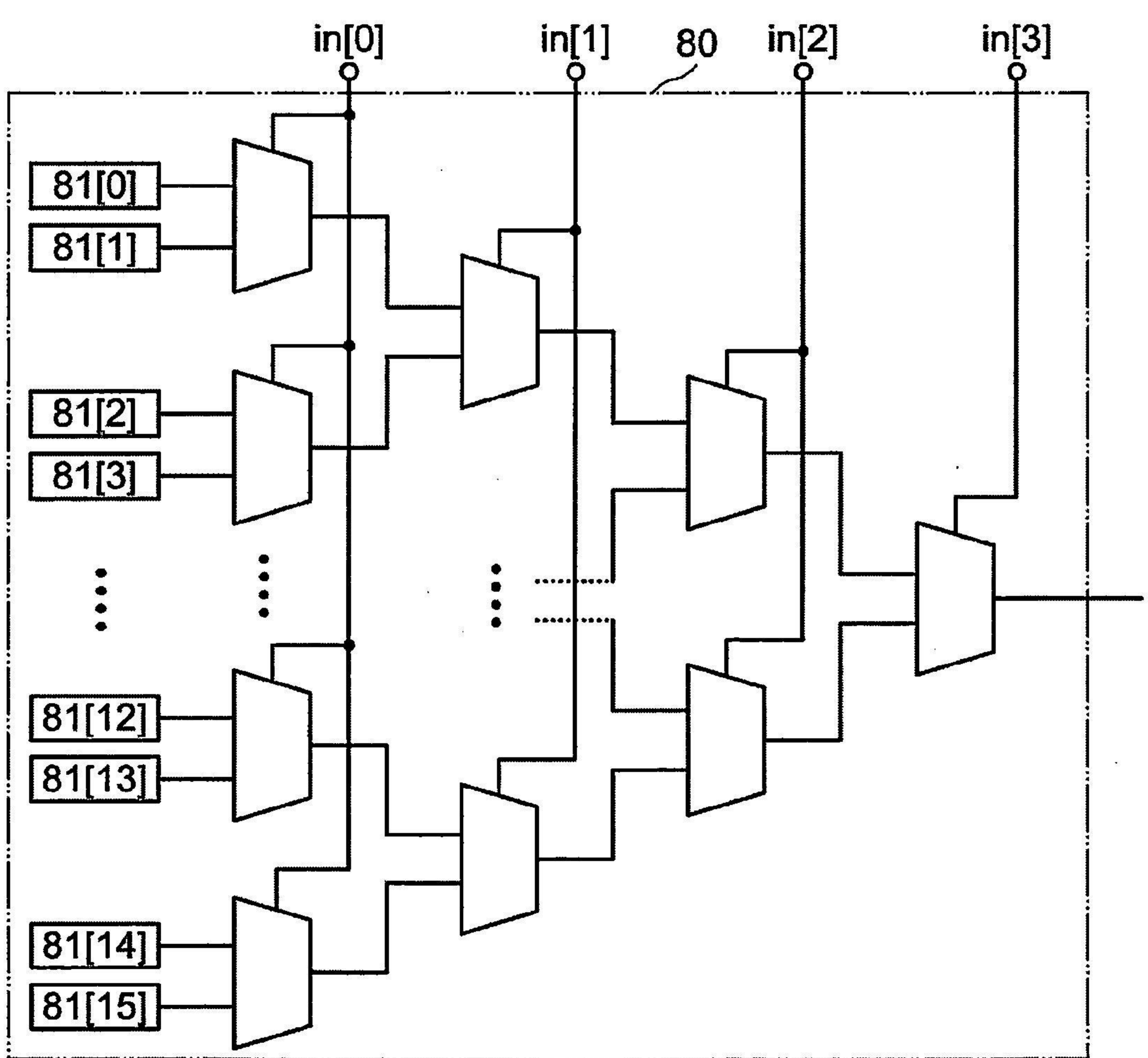


圖 7B

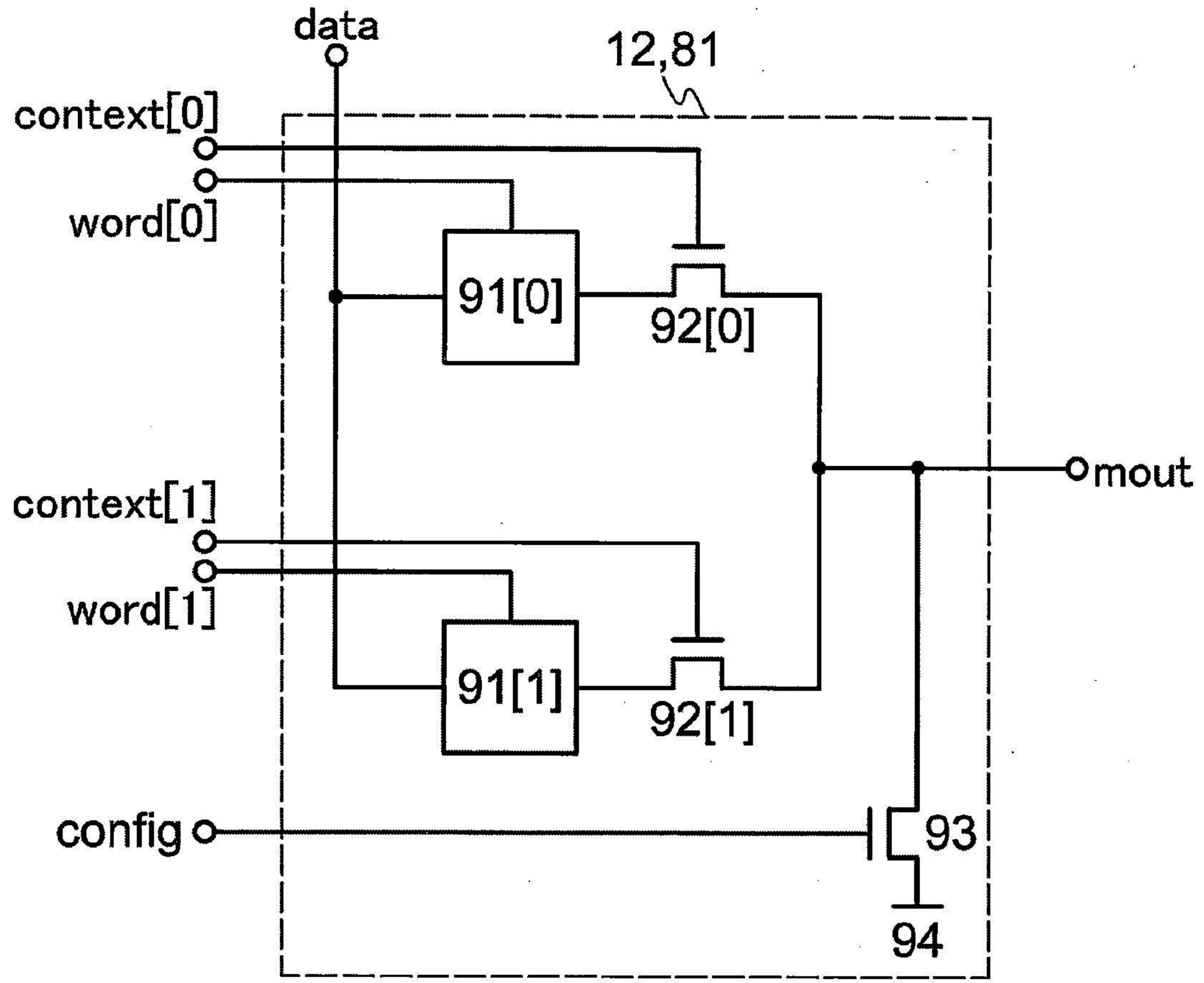


圖 8

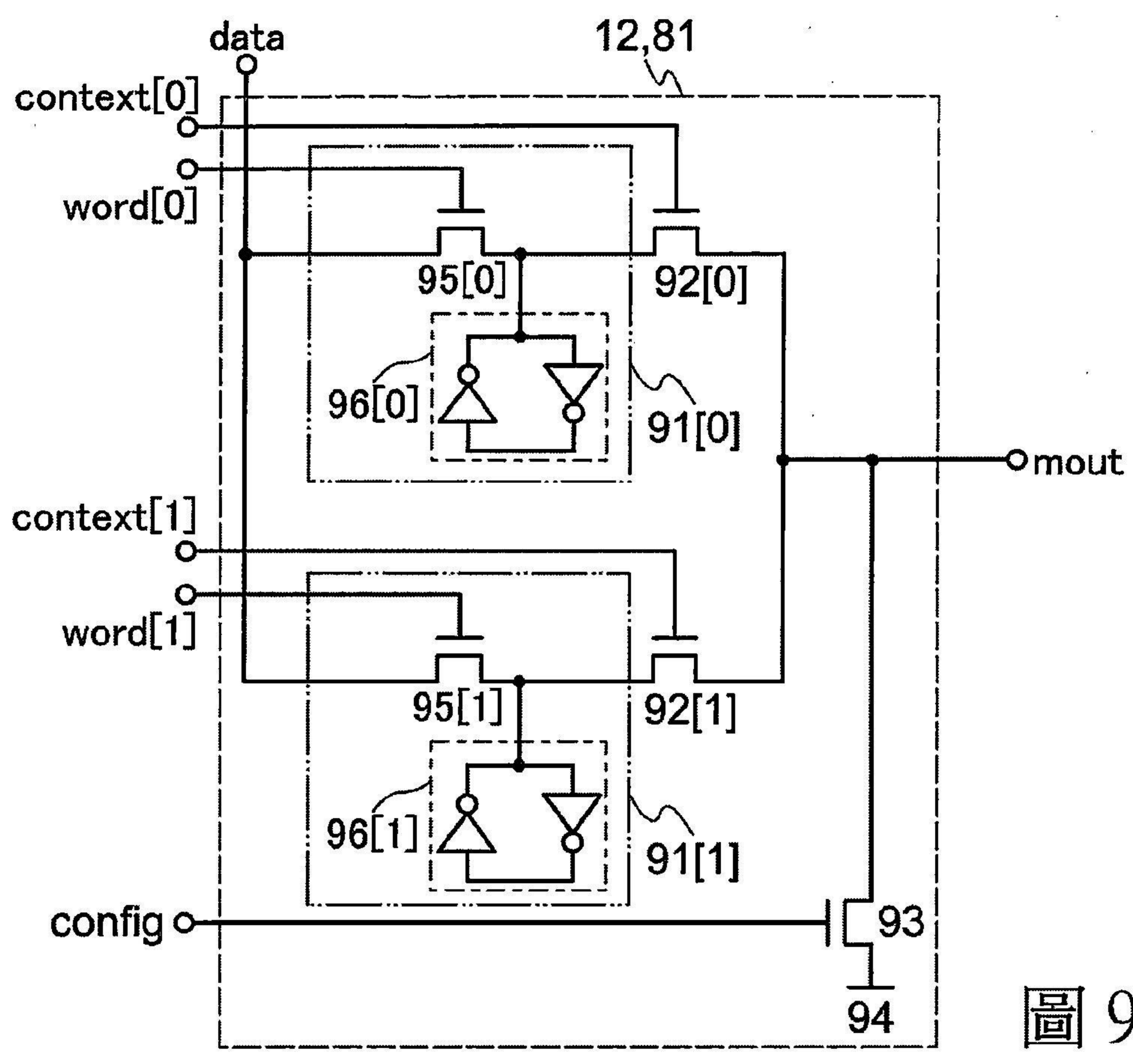


圖 9A

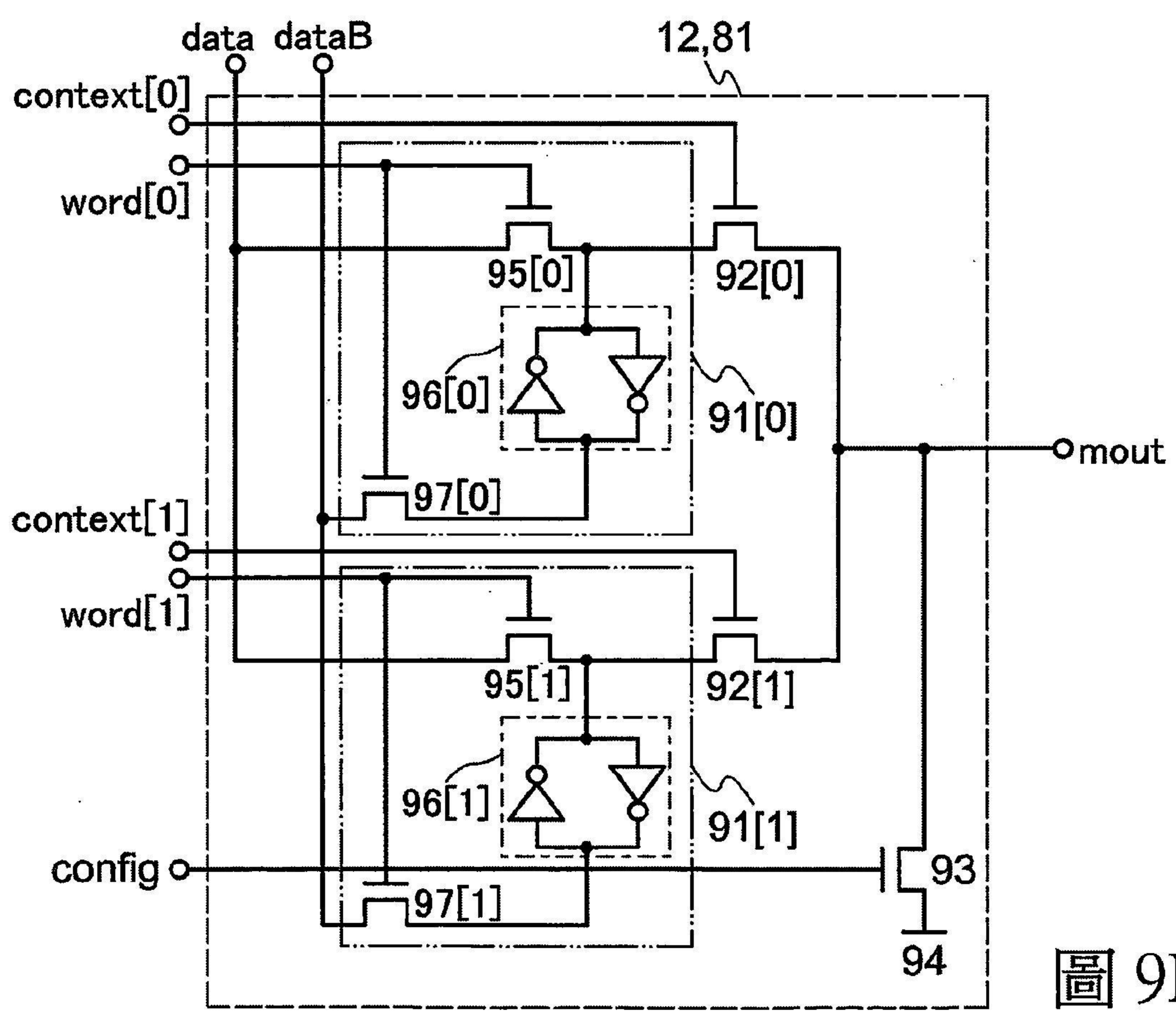


圖 9B

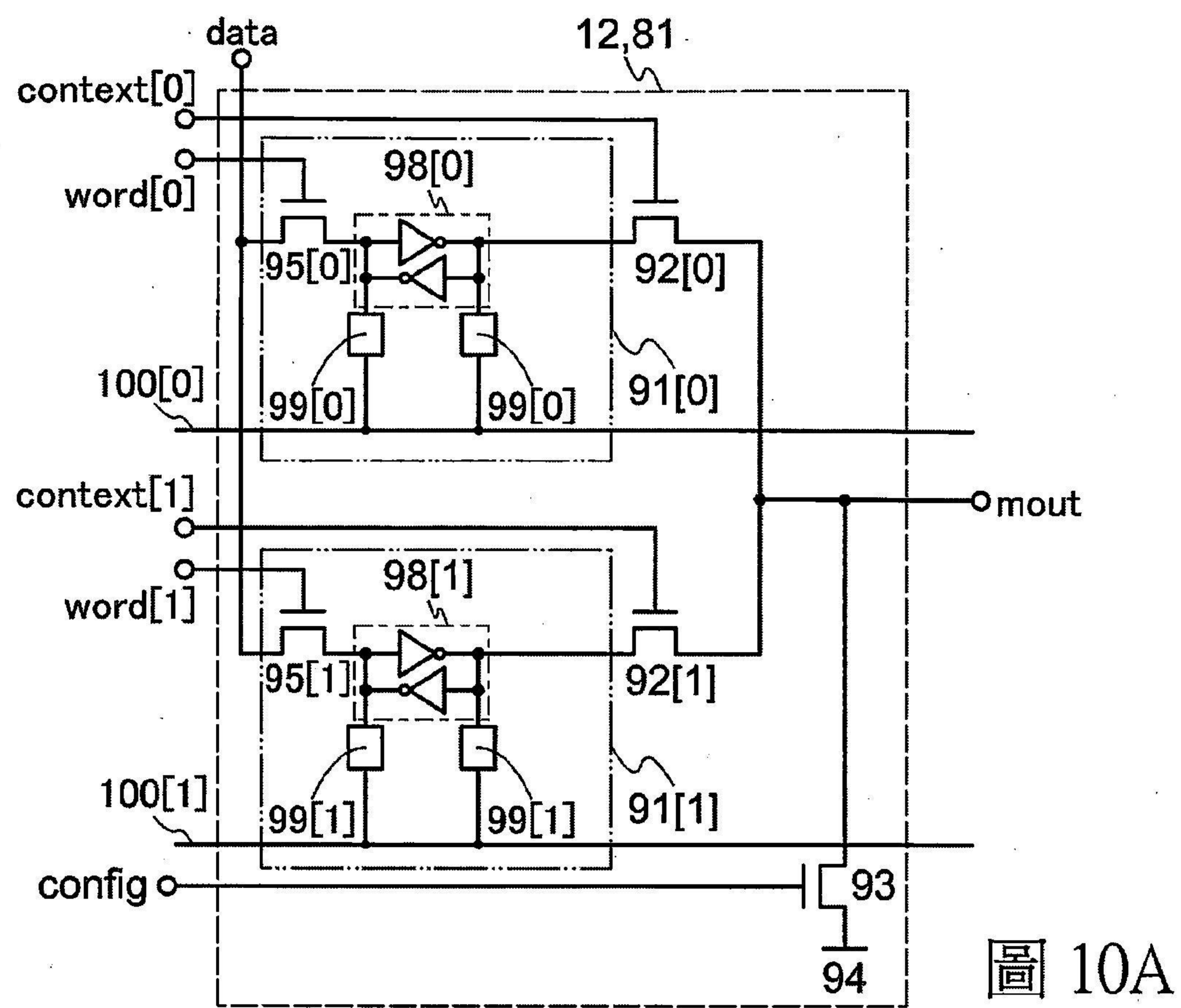


圖 10A

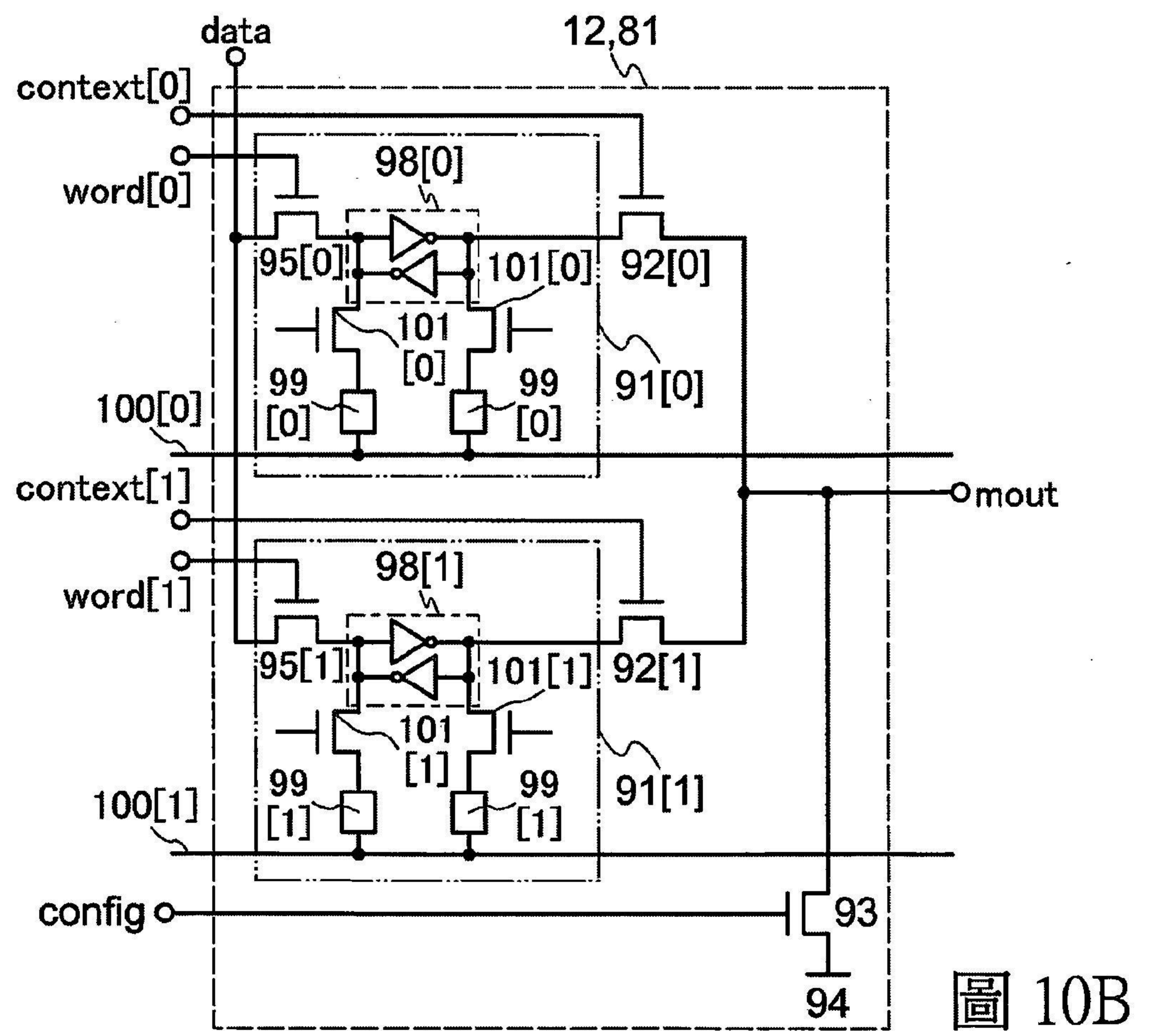


圖 10B

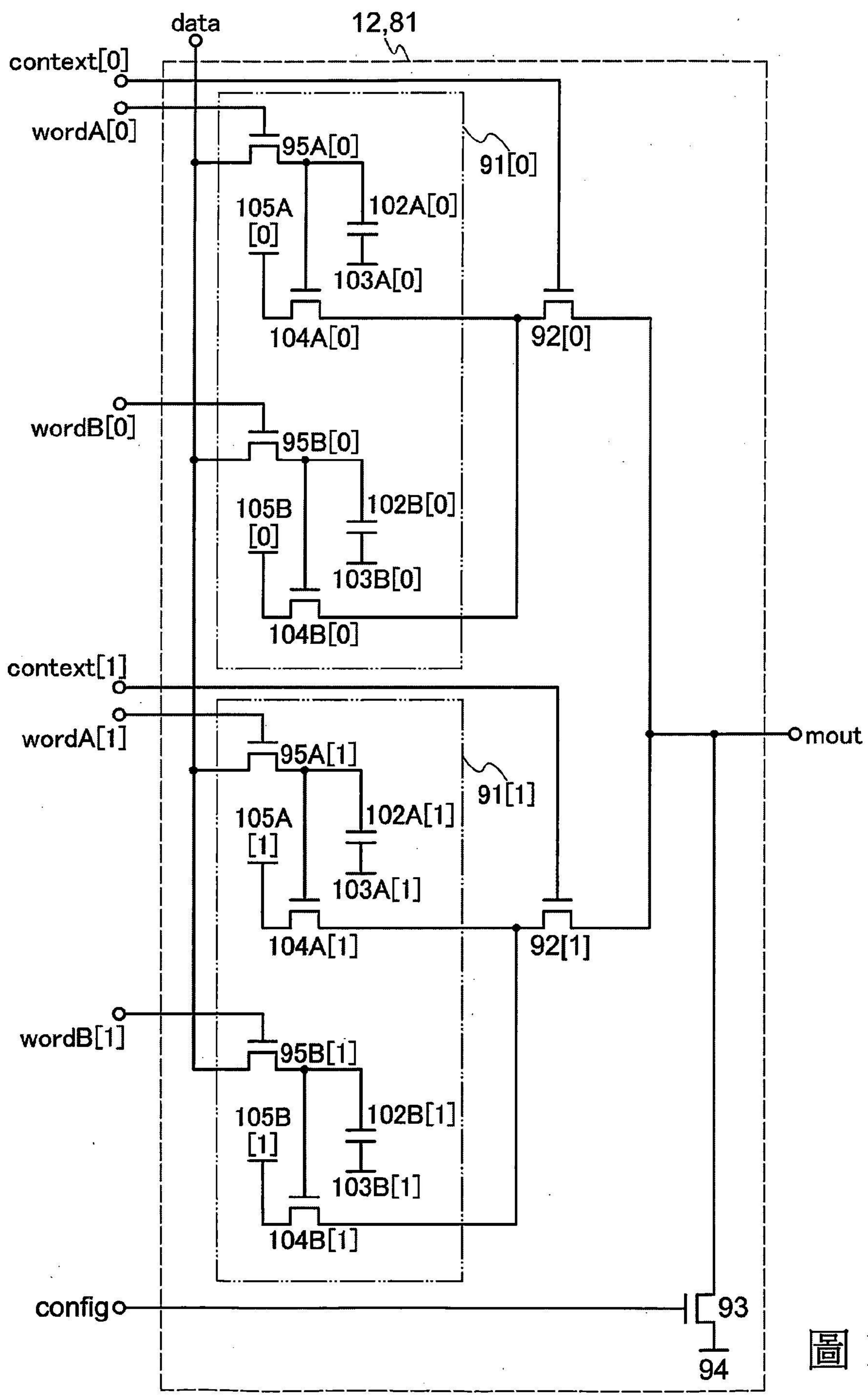


圖 11

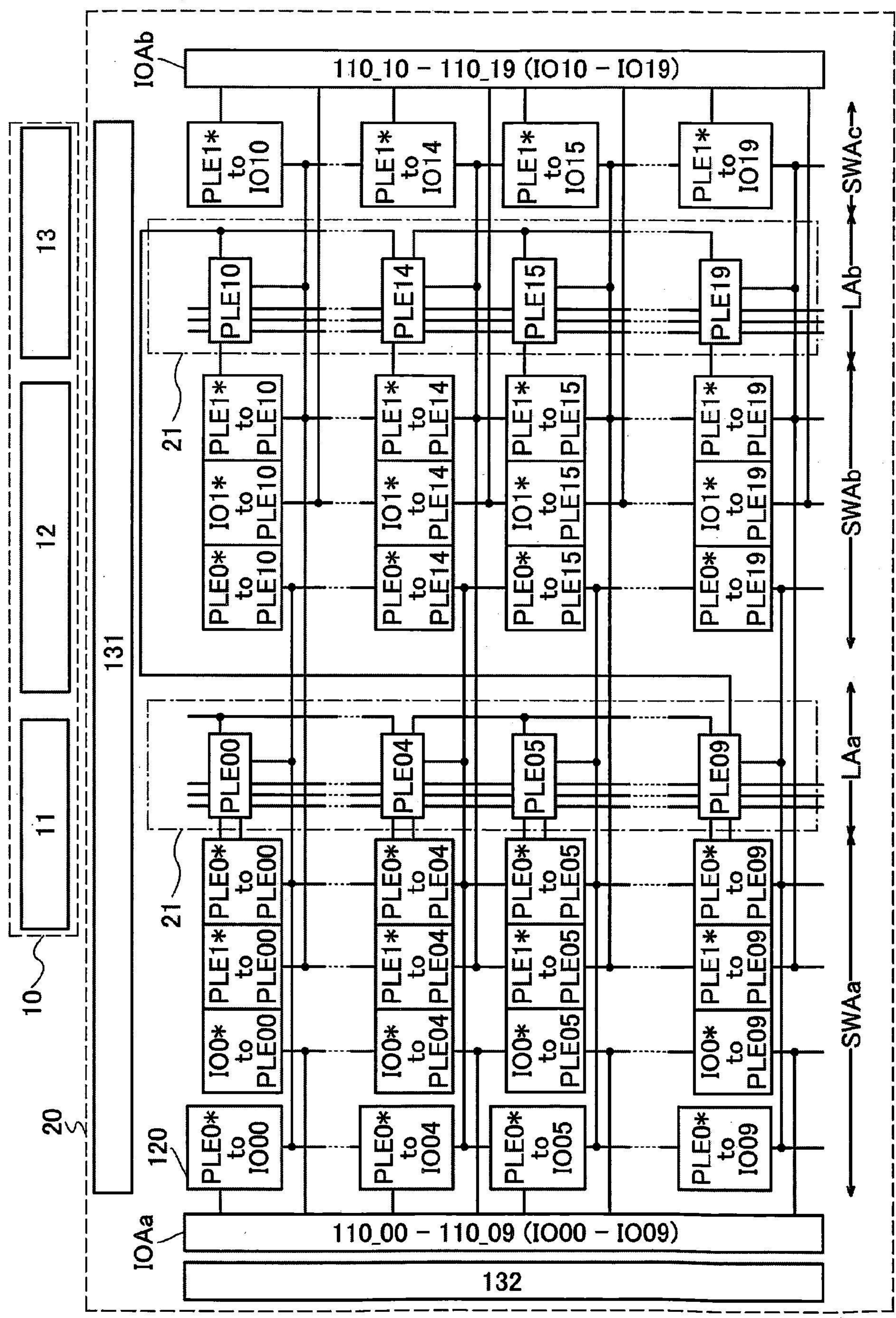


圖 12

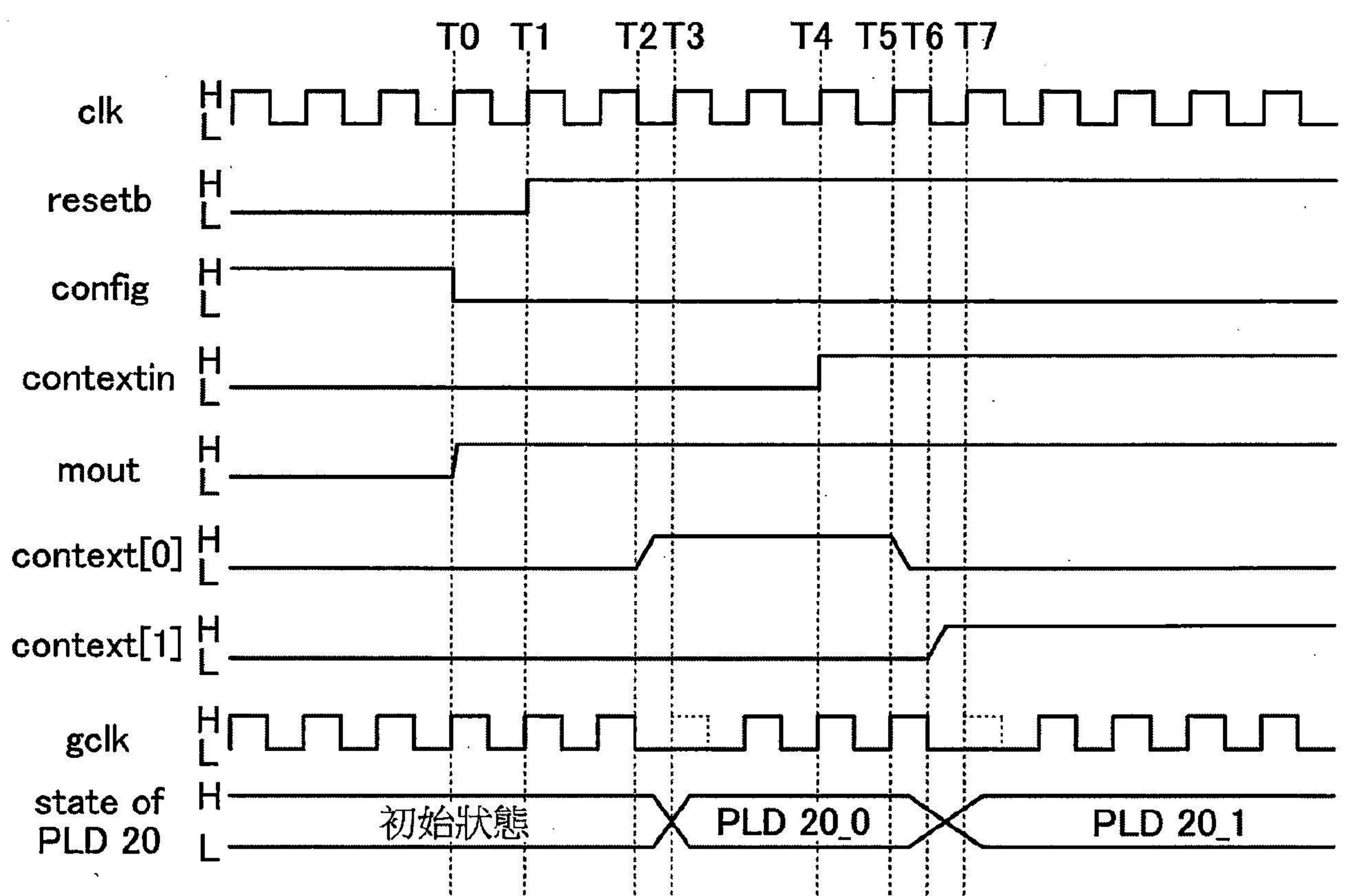


圖 13A

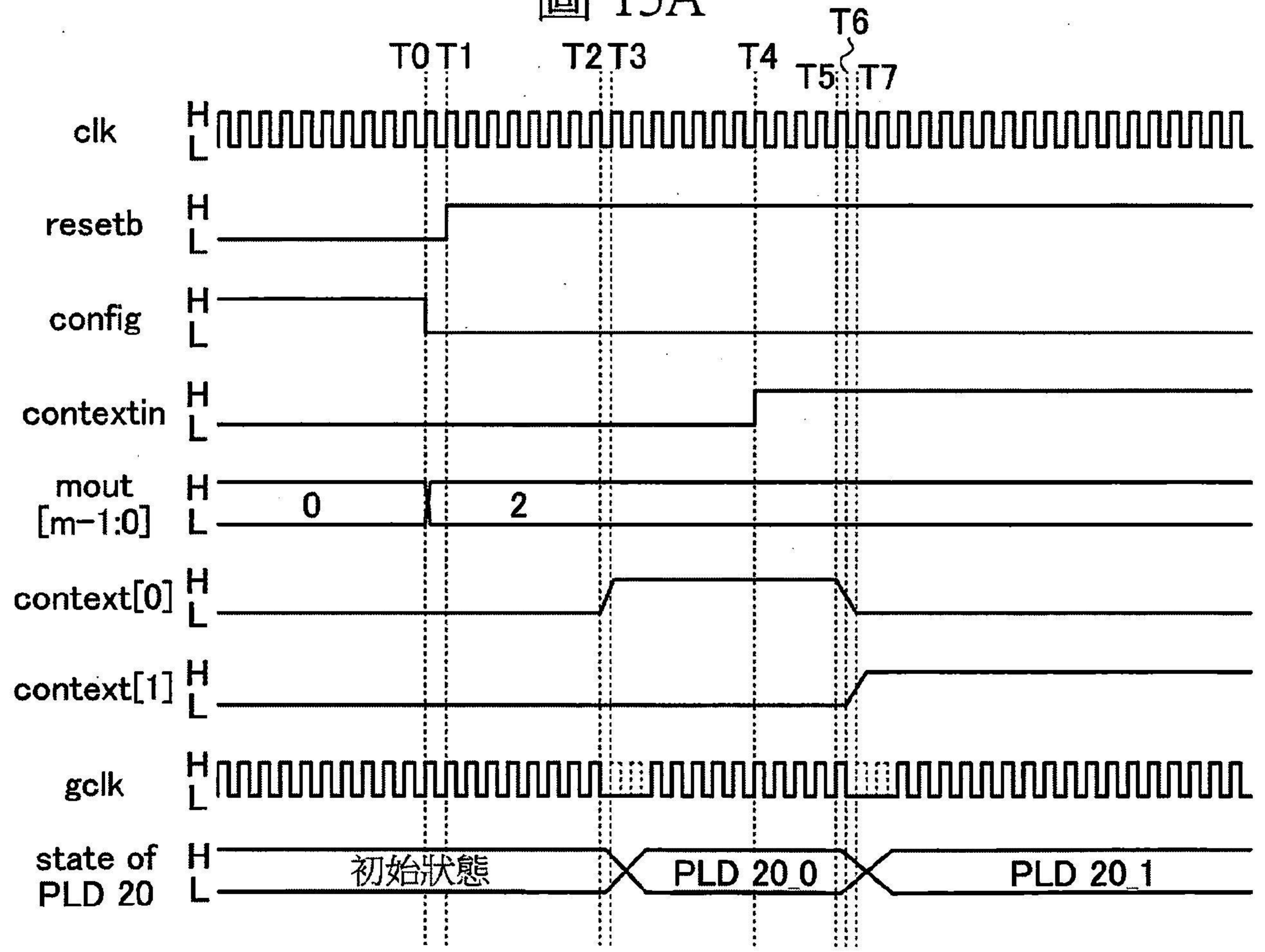


圖 13B

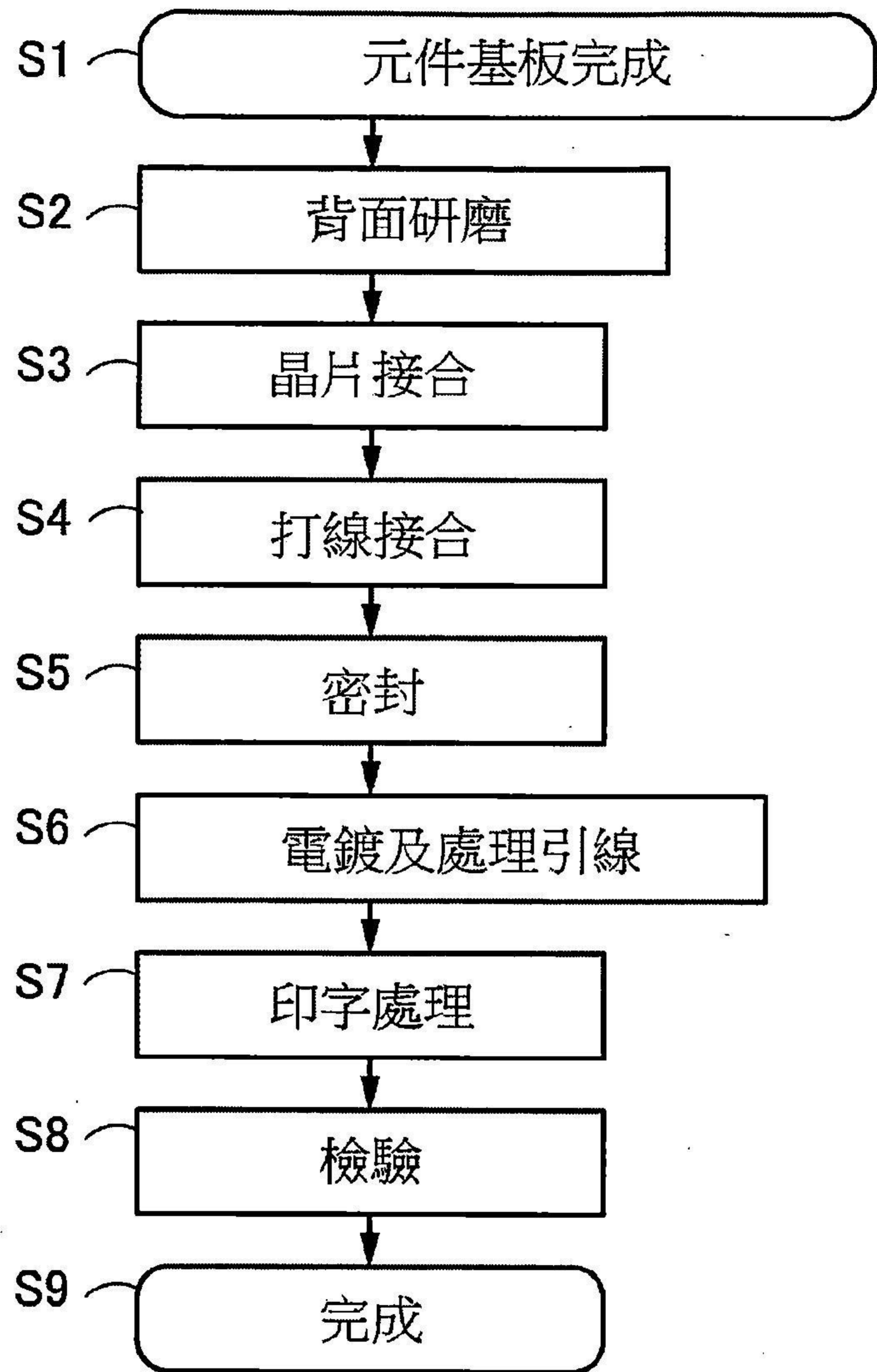


圖 14A

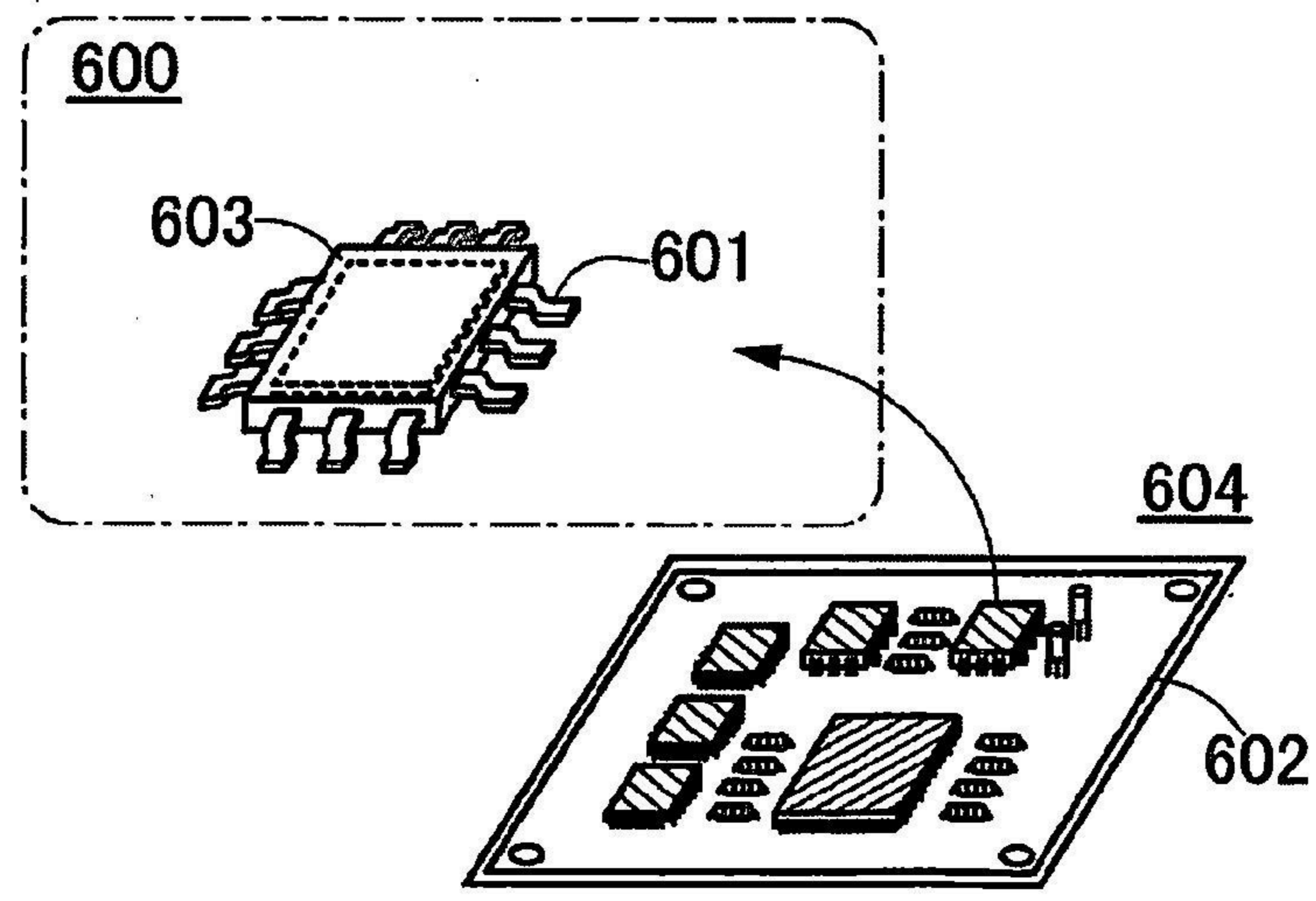


圖 14B

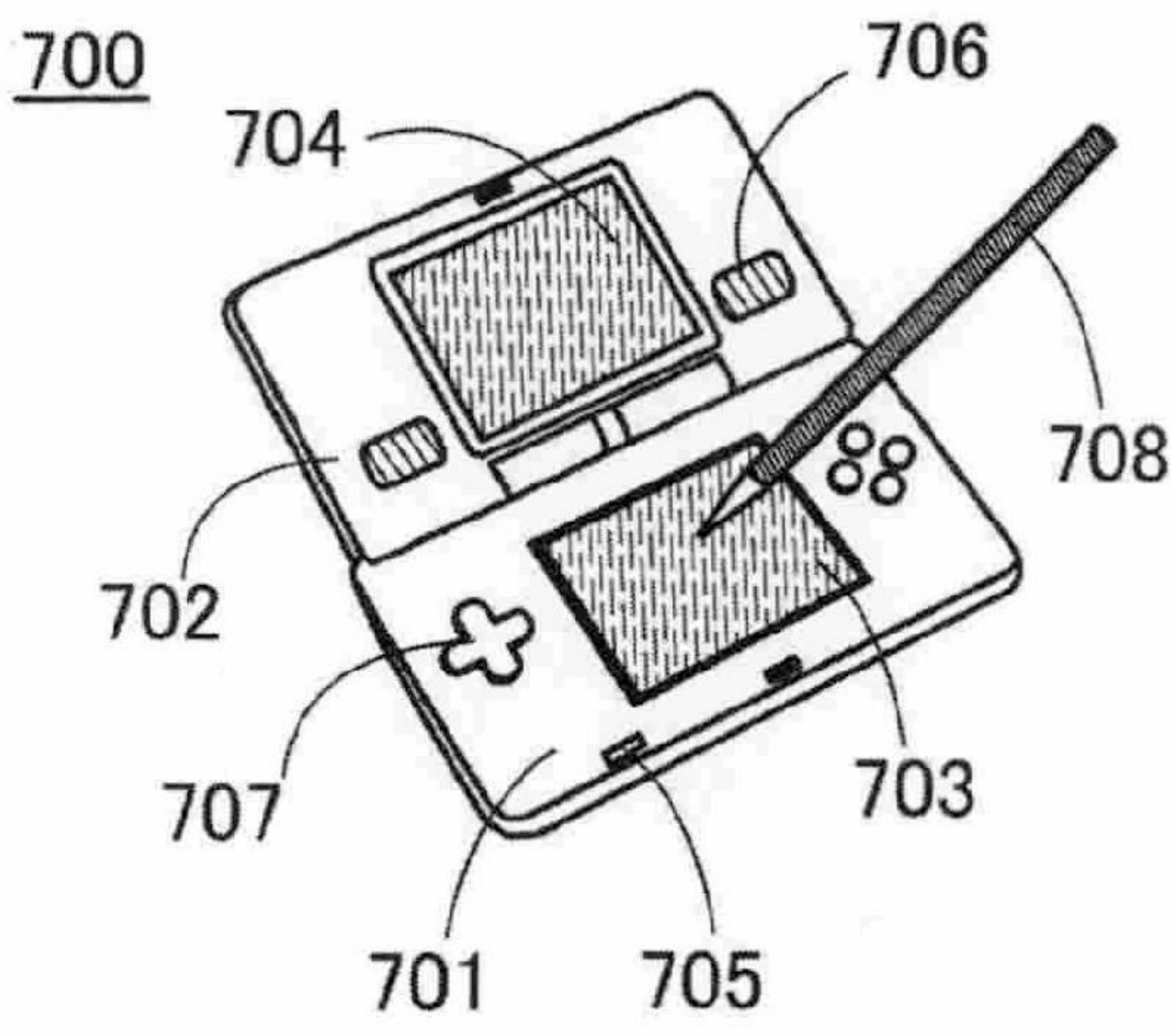


圖 15A

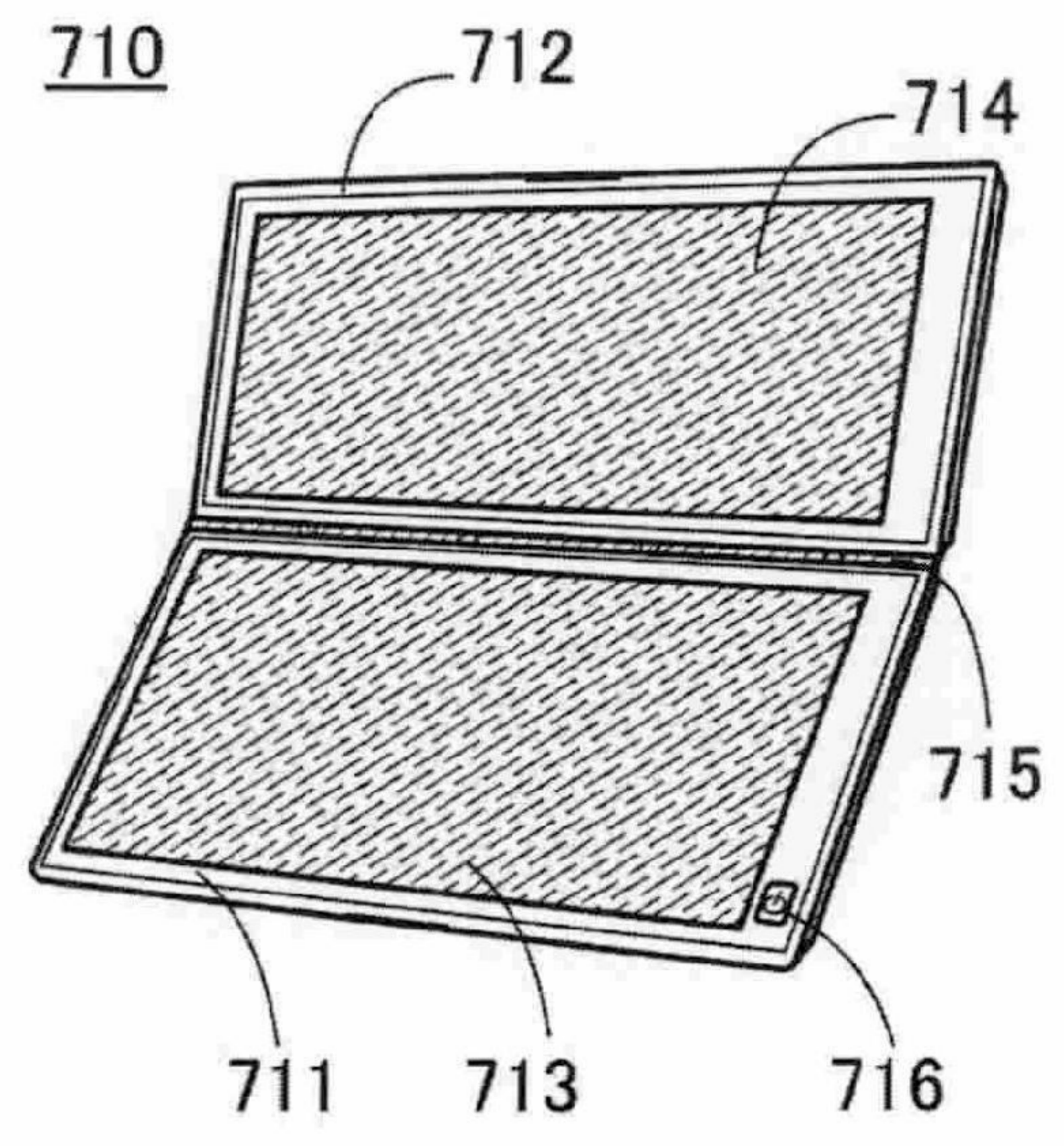


圖 15B

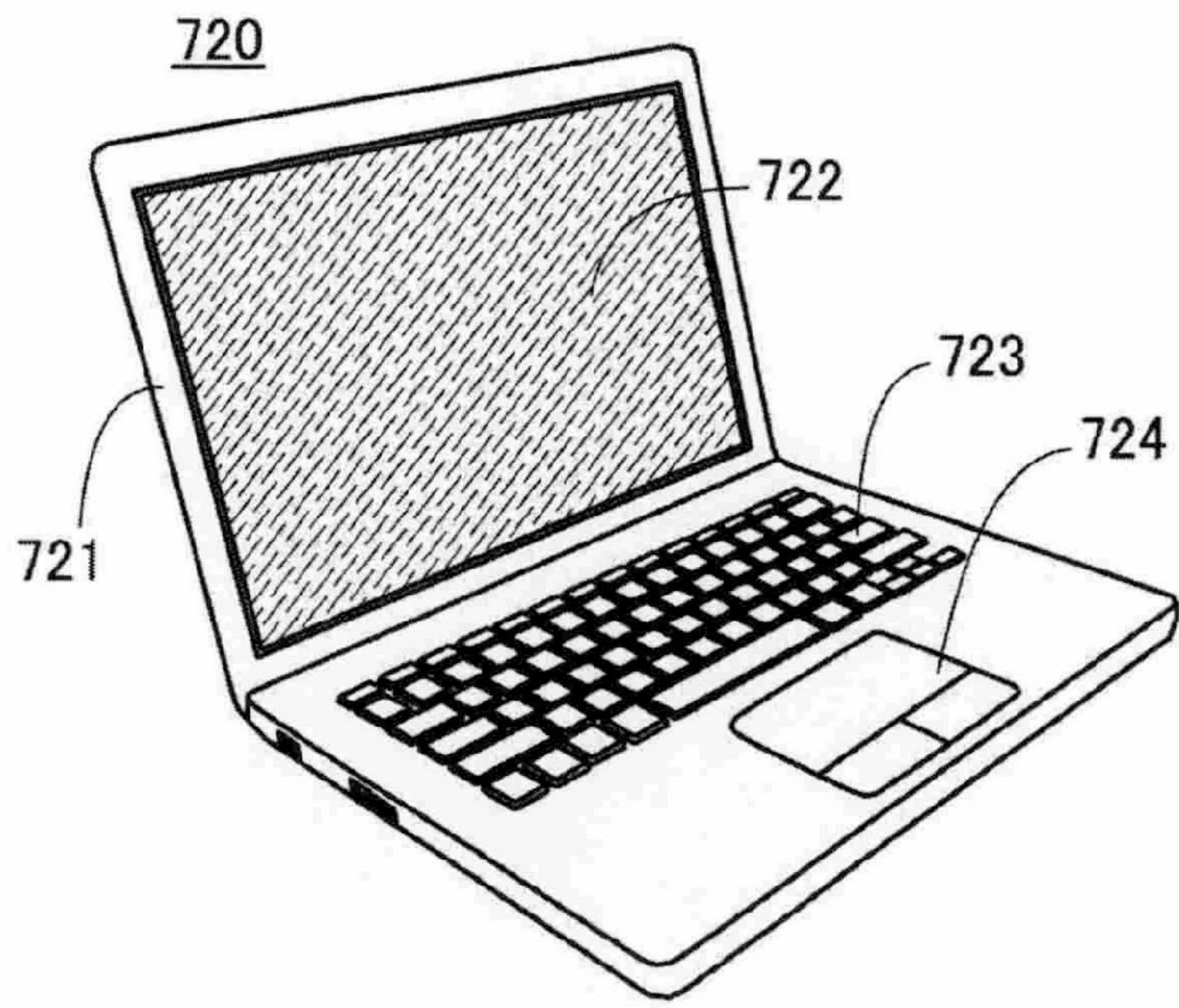


圖 15C

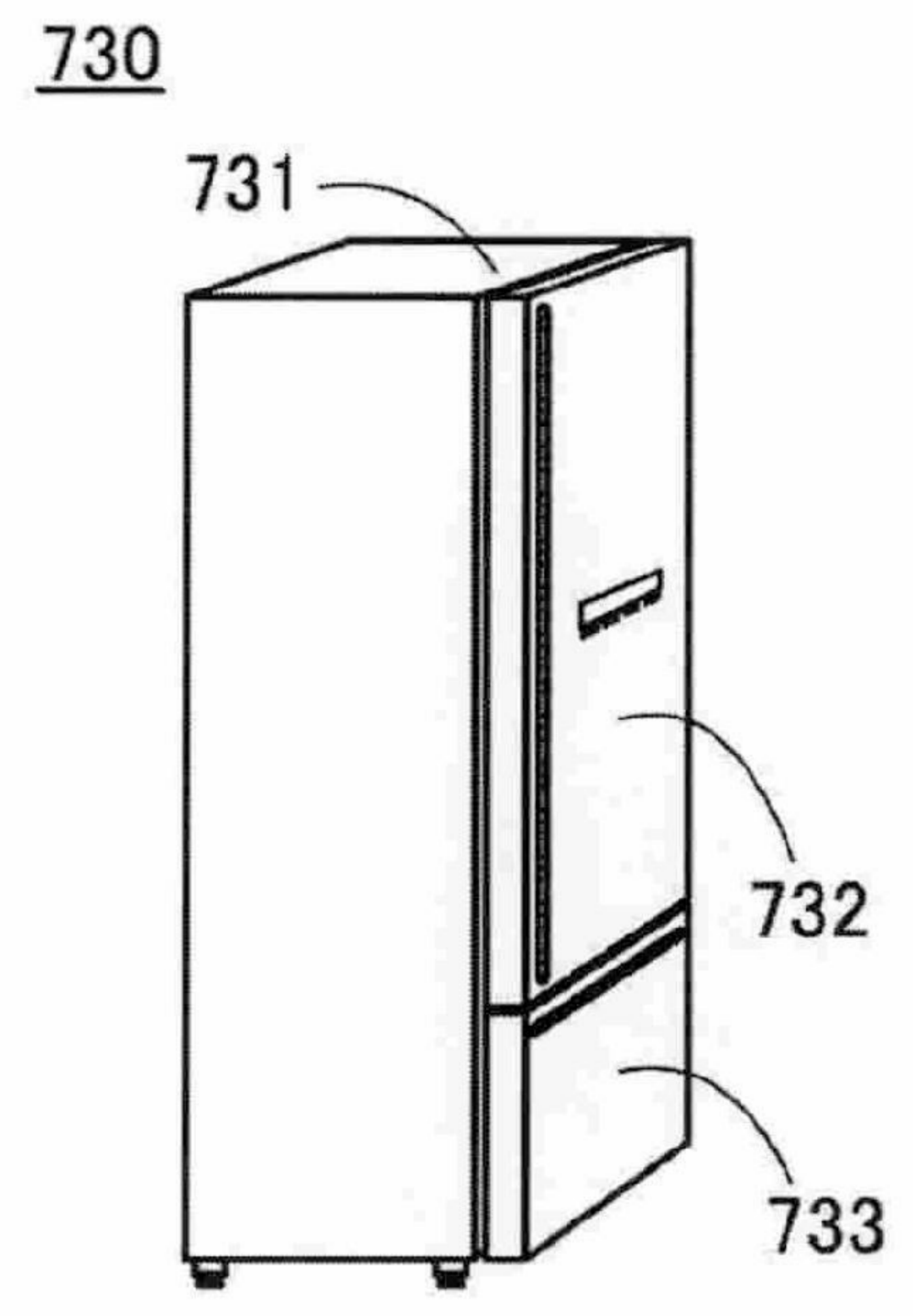


圖 15D

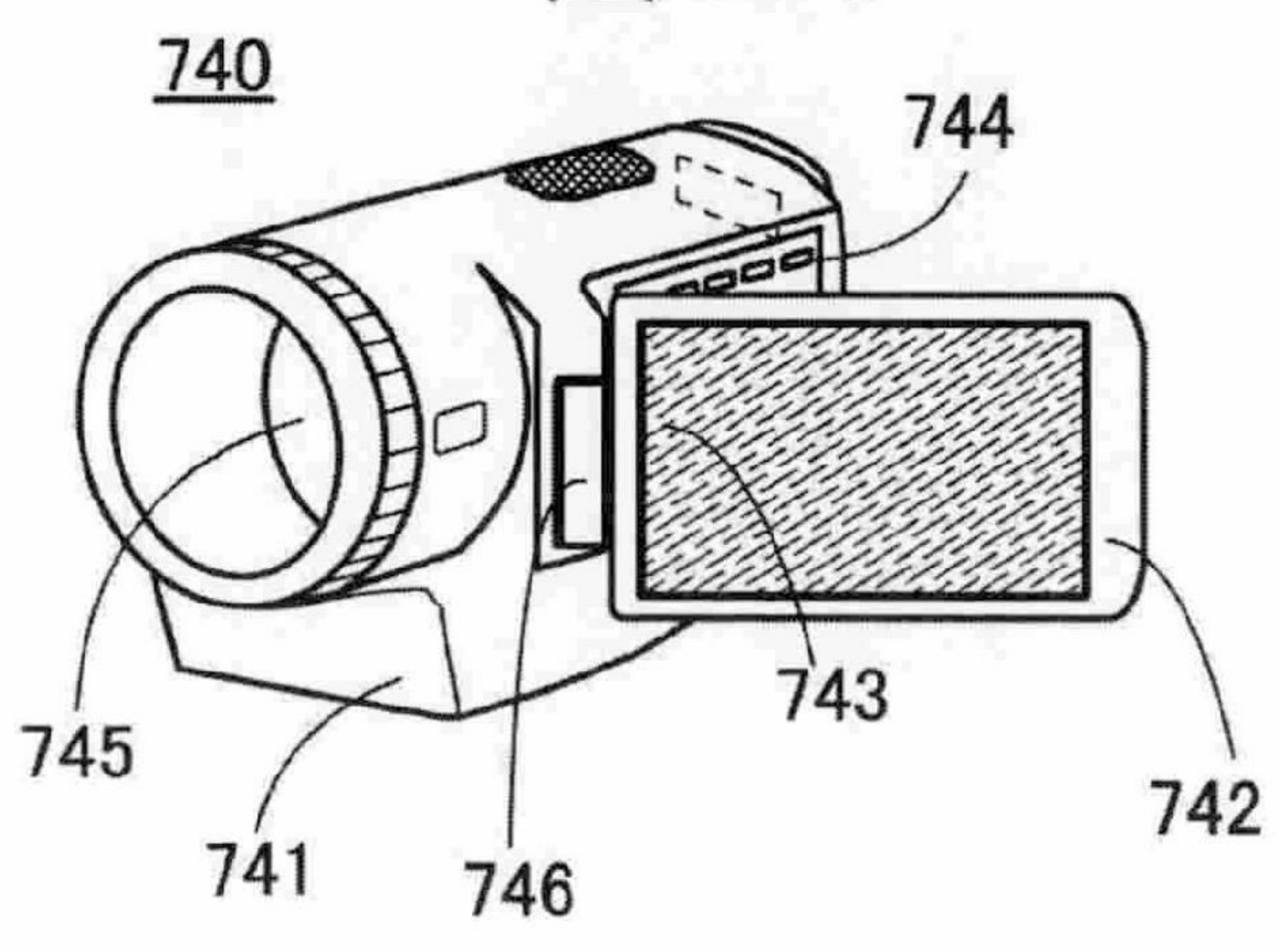


圖 15E

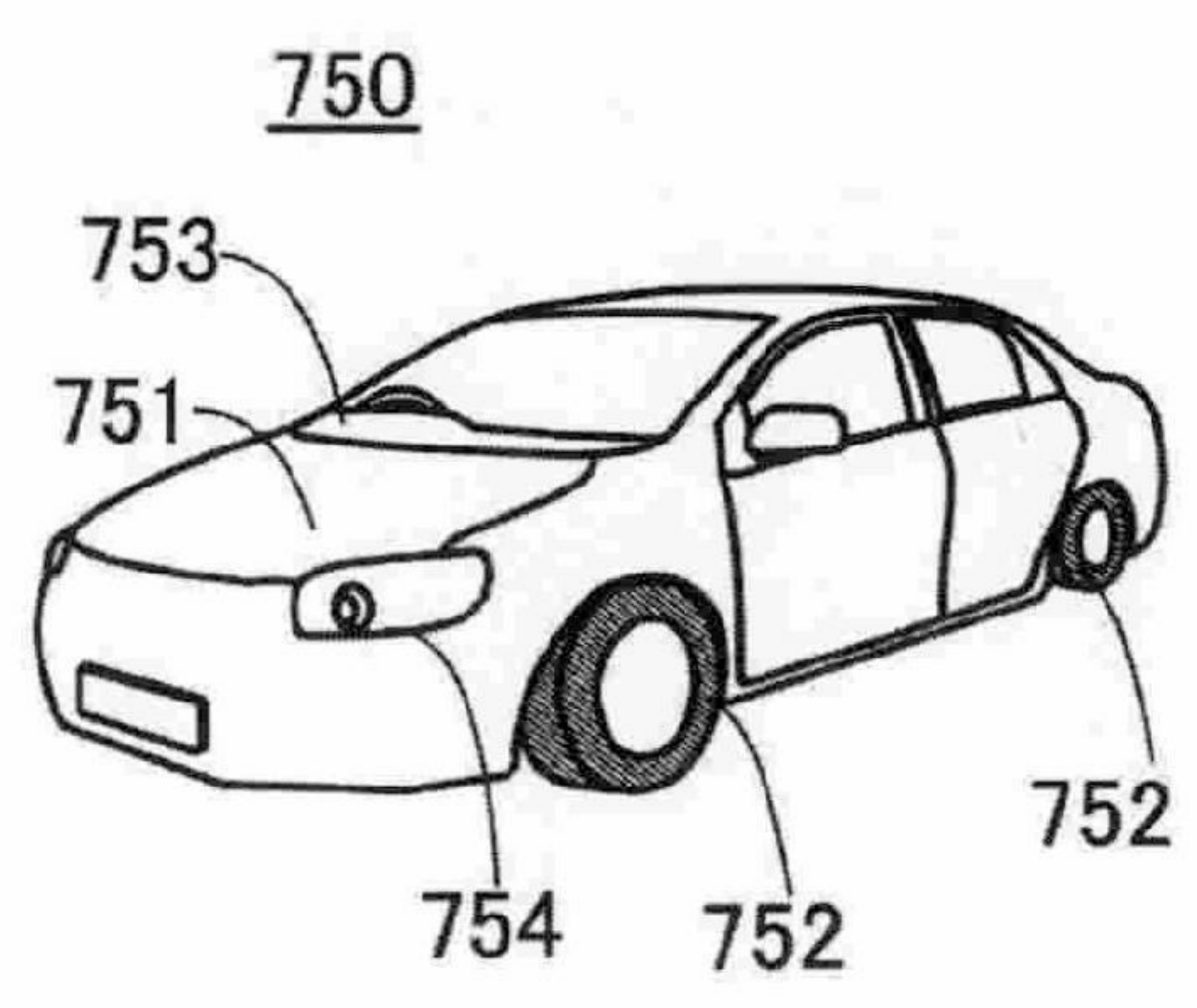


圖 15F