

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-250399

(P2007-250399A)

(43) 公開日 平成19年9月27日(2007.9.27)

(51) Int. Cl.

H05B 41/24 (2006.01)

F I

H05B 41/24

Z

テーマコード(参考)

3K072

審査請求 未請求 請求項の数 9 O L (全 25 頁)

(21) 出願番号 特願2006-73475 (P2006-73475)
 (22) 出願日 平成18年3月16日(2006.3.16)

(71) 出願人 000000240
 太平洋セメント株式会社
 東京都中央区明石町8番1号
 (74) 代理人 100114258
 弁理士 福地 武雄
 (74) 代理人 100125391
 弁理士 白川 洋一
 (72) 発明者 藤村 健
 宮城県仙台市泉区明通三丁目24番1号
 太平洋セメント株式会社内
 Fターム(参考) 3K072 AA01 BA03 BC01 CA07 DD04
 EA06 EB07 GA03 GB12 GB18
 GC04 HA05

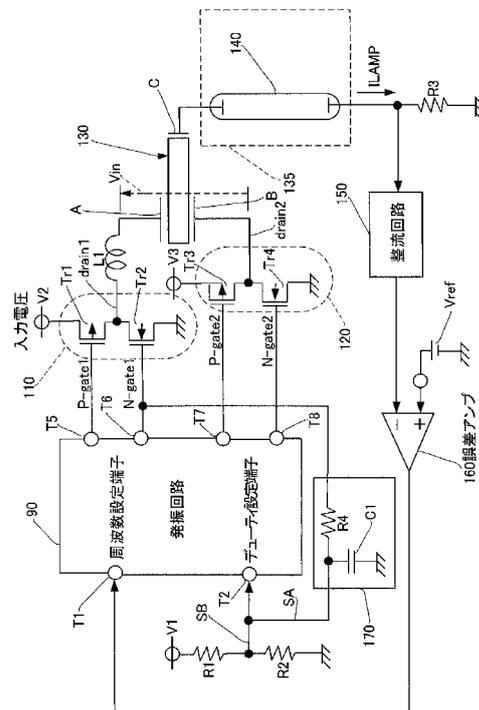
(54) 【発明の名称】 冷陰極管点灯回路、冷陰極管点灯回路の調整方法および液晶パネル

(57) 【要約】

【課題】 フルブリッジ構成の駆動回路で圧電トランスを駆動して昇圧電圧を得、冷陰極管を点灯させる冷陰極管点灯回路において、冷陰極管の特性ばらつきに起因する管電流の波形の非対称性を補償すること。

【解決手段】 第1および第2のハーフブリッジ(110, 120)間で、駆動クロック(P-gate1とP-gate2, N-gate1とN-gate2)のデューティに意図的に差異を設け、冷陰極管に印加する正弦波の波形に非対称性を積極的に導入する。例えば、駆動クロック(N-gate1)をローパスフィルタ170によって波形整形し、発振回路90のデューティ設定端子T2の直流バイアスに重叠することによって、各ブリッジ(110, 120)の駆動信号のデューティのバランスを意図的に崩す。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一対の 1 次電極に印加される交流電圧を昇圧して 2 次電極から出力し、その昇圧電圧を冷陰極管に印加して点灯させる圧電トランスと、

この圧電トランスの前記一対の 1 次電極の各々を駆動する一組のハーフブリッジ回路を備えるフルブリッジ構成の駆動回路と、

このフルブリッジ構成の駆動回路を構成する各トランジスタをスイッチングするための駆動信号を生成すると共に、前記駆動信号のデューティを外部から設定するためのデューティ設定端子を備える発振回路と、

前記一組のハーフブリッジ回路間で前記駆動信号のデューティに意図的に差異を設けるためのデューティ調整信号を生成し、そのデューティ調整信号を、前記発振回路の前記デューティ設定端子に与えるデューティ調整回路と、

を有し、

前記デューティ調整信号による前記駆動信号のデューティ調整の結果として、前記ハーフブリッジ回路の各々を異なるオン/オフ期間で動作させ、これによって、前記冷陰極管の管電圧波形または管電流波形の非対称性を補償することを特徴とする冷陰極管点灯回路。

【請求項 2】

前記一組のハーフブリッジ回路を備えるフルブリッジ構成の駆動回路は、

入力電源電圧と接地電位との間に直列に接続されると共に、前記圧電トランスの一方の 1 次電極に印加する電圧を出力する第 1 の電源側トランジスタおよび第 1 の接地側トランジスタと、を備える第 1 のハーフブリッジ回路と、

前記入力電源電位と接地電位との間に直列に接続されると共に、前記圧電トランスの他方の 1 次電極に印加する電圧を出力する第 2 の電源側トランジスタおよび第 2 の接地側トランジスタと、を備える第 2 のハーフブリッジ回路と、

前記第 1 の電源側トランジスタと第 1 の接地側トランジスタとの中点と、前記圧電トランスの前記一方の 1 次電極との間に介装されたインダクタと、

を有することを特徴とする冷陰極管点灯回路。

【請求項 3】

請求項 1 または請求項 2 記載の冷陰極管点灯回路であって、

前記発振回路は、

駆動周期に同期した基準クロックおよび三角波を発生する電圧制御発振器と、

前記三角波と前記デューティ設定端子に与えられる前記デューティ調整信号とを比較して、比較結果に応じてパルス幅が調整されたパルスを出力する比較器と、

前記比較器から出力される前記パルスまたはそのパルスに基づいて作成されるパルスを、前記基準クロックに同期して、前記一組のハーフブリッジの各々の駆動のために分離するパルス分離用ゲート回路と、

を有することを特徴とする冷陰極管点灯回路。

【請求項 4】

請求項 1 ~ 請求項 3 のいずれか記載の冷陰極管点灯回路であって、

前記発振回路の前記デューティ設定端子には、基本的なデューティを設定するための直流バイアスが印加されると共に、前記デューティ調整回路は、前記駆動周期に同期した交流信号を生成して前記直流バイアスに重畳し、これによって、前記駆動信号のデューティを変化させて、前記一組のハーフブリッジ回路を、互いに異なるオン/オフ期間で動作させることを特徴とする冷陰極管点灯回路。

【請求項 5】

請求項 4 記載の冷陰極管点灯回路であって、

前記デューティ調整回路は、前記発振回路から出力される前記駆動信号のいずれか一つを、ローパスフィルタによって波形整形することによって、前記駆動周期に同期した交流信号を生成することを特徴とする冷陰極管点灯回路。

10

20

30

40

50

【請求項 6】

請求項 1 または請求項 2 記載の冷陰極管点灯回路であって、

前記発振回路には、前記一組のハーフブリッジ回路の各々に対応して第 1 および第 2 の前記デューティ設定端子が設けられると共に、前記デューティ調整回路にて第 1 および第 2 の直流バイアスを個別に生成し、その第 1 および第 2 の直流バイアスを前記第 1 および第 2 のデューティ設定端子の各々に個別に印加することによって、前記一組のハーフブリッジ回路を、互いに異なるオン/オフ期間で動作させることを特徴とする冷陰極管点灯回路。

【請求項 7】

請求項 1 ~ 請求項 6 のいずれか記載の冷陰極管点灯回路であって、

前記一組のハーフブリッジ回路うちの一方を構成する一つのトランジスタの駆動信号のデューティと、他方のハーフブリッジ回路を構成する、前記一方のハーフブリッジ回路の前記一つのトランジスタに対応するトランジスタの駆動信号のデューティとの差分は、 $\pm 1\%$ 以下とすることを特徴とする冷陰極管点灯回路。

【請求項 8】

請求項 1 ~ 請求項 7 のいずれか記載の冷陰極管点灯回路の前記一組のハーフブリッジ回路間の駆動信号のデューティを等しくした上で、上下が対称な正弦波を発生させ、その正弦波にて冷陰極管を駆動して点灯させ、冷陰極管の管電圧波形または管電流波形を観測してその管電圧波形または管電流波形の非対称性を、事前にあるいはリアルタイムで測定する第 1 のステップと、

前記デューティ調整回路から、前記発振回路の前記デューティ設定端子に前記デューティ調整信号を与え、前記一組のハーフブリッジ回路の各々を駆動する駆動信号のデューティを意図的に変化させ、前記冷陰極管を駆動するための正弦波に上下の非対称性を導入し、これによって、前記第 1 のステップにて測定された管電圧波形または管電流波形の非対称性を補償する第 2 のステップと、

を含むことを特徴とする冷陰極管点灯回路の調整方法。

【請求項 9】

請求項 1 ~ 請求項 7 のいずれか記載の冷陰極管点灯回路と、この冷陰極管点灯回路により駆動される、バックライト光源としての冷陰極管と、液晶表示装置と、を搭載する液晶パネル。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、フルブリッジ構成の駆動回路により圧電トランスの 1 次電極を駆動し、2 次電極から昇圧された電圧を得て、その昇圧された電圧により冷陰極管を点灯させる冷陰極管点灯回路、冷陰極管点灯回路の調整方法および液晶パネルに関する。

【背景技術】**【0002】**

液晶パネルのバックライト光源としては、一般に冷陰極管が使用されている。冷陰極管を点灯する冷陰極管点灯回路としては、圧電トランスを用いて高電圧を発生させる回路がある。

【0003】

圧電トランスは、1 対の 1 次電極に交流の電圧が印加されると、圧電効果によりそれを昇圧して高電圧を 2 次電極から出力する。冷陰極管は圧電トランスから高電圧を印加されることにより点灯する。圧電トランスの昇圧比は、駆動信号の周波数に依存し、固有の共振周波数でピークとなる。これに伴い、冷陰極管点灯回路の電力効率も、ほぼこの共振周波数付近でピークとなる。このため、冷陰極管点灯回路では、冷陰極管に流れる管電流をフィードバックして圧電トランスの交流周波数を制御する。

【0004】

圧電トランスを駆動する圧電トランス駆動回路としては、プッシュプル構成の駆動回路

10

20

30

40

50

(例えば、特許文献1参照)と、フルブリッジ構成の駆動回路(例えば、特許文献2)が知られている。以下、具体的に説明する。

【0005】

図12は、プッシュプル構成の圧電トランス駆動回路の構成の一例(従来例)を示す回路図である。図示されるように、プッシュプル構成の圧電トランス駆動回路は、発振回路400と、入力電源電圧V10と接地電位間に直列に接続されたインダクタ(チョークコイル)L1およびスイッチングNMOSトランジスタTr1と、入力電源電圧V10と接地電位間に直列に接続されたインダクタ(L1, L2)とスイッチングNMOSトランジスタ(Tr1, Tr2:以下、単にトランジスタという)と、一对の1次電極(A, B)および2次電極(C)を備える圧電トランス410と、冷陰極管420と、管電流(ILamp)の電流値を検出するための電流/電圧変換抵抗R10と、整流回路430と、整流回路430の出力電圧を所定の基準電圧Vrefと比較して、その差に応じた電圧信号(誤差信号)を発振回路400に向けて出力する誤差増幅器440と、を含んで構成されている。

10

【0006】

プッシュプル構成の圧電トランス駆動回路の動作を、図13を適宜、参照しつつ簡単に説明する。なお、図13は、図12のプッシュプル構成の圧電トランス駆動回路の動作を説明するための、ゲート駆動信号ならびに圧電トランスの一对の1次電極の各々に印加される電圧の波形図である。

【0007】

図12において、発振回路400から出力されるゲート駆動信号(gate1, gate2)のうち、gate1がハイレベルとなると、トランジスタTr1がオンしてインダクタL1に電流が流れ、充電される。次に、ゲート駆動信号(gate2)がローレベルとなると、トランジスタTr1がオフし、インダクタL1に充電されたエネルギーが圧電トランス410に放電される。

20

【0008】

圧電トランス410の1次電極(A)には、トランジスタtr1のドレイン電圧(drain1)が印加される。図13に示されるように、このドレイン電圧(drain1)は、山状の電圧波形となる。ドレイン電圧(drain1)の波形は、チョークコイルの値(l)と圧電トランスの容量(c)と、駆動周波数(f)とによって変化し、基本的に、共振条件($f = 1 / 2 \sqrt{lc}$:但し、lはチョークコイルの値、cは圧電トランスの容量)が満たされるとき、ドレイン電圧(drain1)の波形は半正弦波となる。図13に示されるとおり、ドレイン電圧(drain2)も同様に、共振条件が満たされるときは、その波形が半正弦波となる。

30

【0009】

このような正弦波を圧電トランス410の一对の1次電極(A, B)の双方に加えることによって、圧電トランス410には、実質的に正弦波の信号(Vin)が入力されることになる。

【0010】

次に、フルブリッジ構成の圧電トランス駆動回路の構成について説明する。

40

図14はフルブリッジ構成の圧電トランス駆動回路の構成の一例を示す回路図である。フルブリッジ構成の圧電トランス駆動回路は、圧電トランス510の一对の1次電極(A, B)の各々が、入力電源電圧(V12またはV13)と接地電位との間に直列に接続された電源側トランジスタ(Tr1またはTr3)と接地側トランジスタ(Tr2またはTr4)とからなるハーフブリッジ回路により駆動される点に特徴がある。また、プッシュプル型の駆動回路と異なり、フルブリッジ型の駆動回路は、インダクタL1は1個あればよい。このインダクタは、トランジスタTr1, Tr2の共通接続点と、圧電トランス510の1次電極(A)との間に介装(挿入)されている。

【0011】

一組のハーフブリッジ回路の各々は、PMOSトランジスタ(Tr1, Tr3:以下単

50

に、トランジスタという)と、NMOSトランジスタ(Tr2, Tr4:以下、単にトランジスタという)と、を含んで構成される。トランジスタTr1~Tr4の各々のゲートは、発振回路500から出力される4つのゲート駆動信号(p-gate1, n-gate1, p-gate2, n-gate2)によって駆動される。

【0012】

フルブリッジ構成の圧電トランスの駆動回路の動作を簡単に説明する。すなわち、4つのゲート駆動信号(p-gate1, n-gate1, p-gate2, n-gate2)によってハーフブリッジ回路の各々が駆動されることによって、各ハーフブリッジ回路のドレイン端子(drain1, drain2)には、各々、極性が異なる矩形波が発生し、ドレイン端子間(drain1-drain2)には、電源電圧V12+V13の振幅を持つ矩形波電圧が発生する。ここで、チョークコイルL1のインダクタンスと圧電トランス510の容量によりローパスフィルタが形成されており、ドレイン端子間に発生した矩形波電圧は、そのローパスフィルタによって正弦波に変換され、圧電トランス510の一对の1次電極(A, B)に印加される(圧電トランス510へのVinの印加)。これによって、圧電トランス510が駆動され、2次電極(C)から昇圧された電圧が出力される。

10

図15は、図14に示される各ハーフブリッジ回路のドレイン端子(drain1, drain2)の電圧波形ならびに圧電トランスの駆動電圧(Vin)の波形の例を示す図である。各ドレイン端子(drain1, drain2)には、極性が異なる矩形波が同時に印加され、これによって、正弦波が発生しているのがわかる。

20

【0013】

圧電トランス510の一对の1次電極に正弦波が印加されることにより、圧電トランス510の2次電極(C)から昇圧電圧が得られ、この昇圧電圧によって冷陰極管520が駆動される。冷陰極管520は、液晶パネルのバックライト光源部515として機能する

【0014】

また、抵抗R13ならびに整流回路530により管電流の平均電圧値(あるいはピーク値)を検出し、誤差増幅器540にて誤差を検出し、誤差信号は、発振回路500の周波数制御端子T11に帰還される。

【0015】

発振回路500は、周波数制御端子T11と、デューティ設定端子T12と、4つの出力端子(ゲート駆動信号p-gate1, n-gate1, p-gate2, n-gate2を出力する端子)を有する。周波数制御端子T11は、発振周波数を制御するための制御電圧(誤差増幅器からの誤差信号)が入力される端子である。また、デューティ設定端子T12は、発振周波数はそのまま、圧電トランスに印加される電圧(Vin)の大きさを増減させるために設けられている。

30

【0016】

すなわち、デューティ設定端子T12に与える電圧を調整することにより、発振回路500から出力される4つのゲート駆動信号(p-gate1, n-gate1, p-gate2, n-gate2)に関して、デューティ(ハイ/ローの期間、あるいはその期間の比)を微調整することができる。図16では、電圧V11を、抵抗R11, R12で分圧して得られる電圧が、デューティ設定端子T12に印加される。

40

【0017】

図16は、図14の発振回路500の内部の回路構成の一例を示す図である。図16では、理解を容易とするために、各部の主要な信号波形を図中に併記してある。

【0018】

発振回路500は、その内部に、電圧制御発振器502と、電圧比較器503と、ゲート回路504, 505と、タイミング調整回路506, 507と、を有する。電圧制御発振器502は、周波数制御端子T11に印加される電圧信号によって発振周波数が制御される電圧制御発振器(VCO)であり、2つの出力端子(Ta, Tb)をもつ。一方の出力端子Taからは、駆動周波数の基準クロック(例えば、三角波を発生させるためのコン

50

デンサの充放電を切り替えるために使用されるクロックである)が出力され、他方の出力端子T bからは、基準クロックに同期した三角波が出力される。

【0019】

また、電圧比較器503は、VCOの出力端子T bから出力される三角波と、デューティ設定端子T 12から入力されるデューティ設定用の直流電圧とを比較して、その比較結果を示す信号を出力する。デューティ設定用の直流電圧のレベルが変化すると、電圧の比較結果を示すパルスの幅が変化する。したがって、電圧比較器503は出力されるパルスのパルス幅を調整するための回路として機能する。

【0020】

ゲート回路504, 505は、電圧比較器503から出力されるパルスを、2つのタイミング調整回路506, 507に分配する働きをする。すなわち、ゲート回路504は、VCO502の出力端子T aから出力される基準クロックがハイレベルの期間において、電圧比較器503からのパルスを通させ、ゲート回路505は、VCO502の出力端子T aから出力される基準クロックがローレベルのときに、電圧比較器503からのパルスを通させる。タイミング調整回路506, 507は、必要に応じて、入力されるパルスのタイミング調整を行う。このタイミング調整を行うことによって、例えば、ハーフブリッジ回路を構成する、電源電圧間に直列に接続されるトランジスタの同時オンを防止し、貫通電流(インラッシュカレント)を防止することができる。

【0021】

図17は、図16に示される発振回路における主要な信号の波形およびタイミングを示す図である。図示されるように、三角波とデューティ設定端子T 12に印加される直流電圧との比較によってパルスが生成され、そのパルス幅(ハイレベルの期間)は、直流電圧のレベルが上昇すれば短くなり、直流電圧のレベルが低下すれば長くなる。

【0022】

ゲート回路504, 505によって、比較結果を示すクロック(パルス)を時分割で分配することによって、4つのゲート駆動信号(p-gate1, n-gate1, p-gate2, n-gate2)が生成される。図17では、各ゲート駆動信号について、特別なタイミング調整を行わない場合の波形を示している。

【0023】

この結果、図示されるように、各ハーフブリッジ回路の各ドレイン端子(drain1, drain2)には各々、電源電圧V12, V13を振幅とする矩形波電圧が発生し、この矩形波電圧がチョークコイルを介することで、圧電トランス510には、図17の最下段に示されるような、実質的に正弦波とみなすことができる入力電圧Vinが入力されることになる。

【0024】

次に、プッシュプル構成の圧電トランス駆動回路と、フルブリッジ構成の圧電トランス駆動回路についての、駆動信号波形の上下の対称性について考察する。冷陰極管に流れる管電流の波形(管電流波形)は、上下対称であることが望ましく、上下の波高値に差が生じて非対称になると、冷陰極管にダメージを与える(具体的には、冷陰極管の短寿命化を招いたり、ダークスポットが発生したりする)恐れが生じる。プッシュプル構成の圧電トランス駆動回路は、特に、インダクタ(チョークコイル)を2個使用するため、そのインダクタの特性ばらつきに起因して、圧電トランスの駆動電圧の上下の波形に非対称性が生じる場合があり、昇圧電圧にも、その非対称性の影響が及ぶ場合がある。

【0025】

これに対し、フルブリッジ構成の圧電トランス駆動回路は、プッシュプル構成の圧電トランス駆動回路に比べて電力効率が高く、かつ、インダクタ(チョークコイル)が一つでよい場合、インダクタの特性ばらつきが問題とならず、圧電トランスの駆動電圧の波形の上下の対称性を高精度に確保することが可能である。

【0026】

なお、冷陰極管の管電流の非対称性は、電流波形のプラス側の波高値のピーク値と、マ

イナス側の波高値のピーク値との差分を、管電流の実効値で除算した値(%)を指標として示すことができる。

【特許文献1】特開2004-39336号公報

【特許文献2】特開2005-26981号公報

【発明の開示】

【発明が解決しようとする課題】

【0027】

上記のとおり、冷陰極管に流れる管電流の波形(管電流波形)は、上下対称であることが望ましく、したがって、圧電トランス駆動回路の駆動電圧波形も同様に、上下対称であることが望ましく、そして、フルブリッジ回路は、駆動電圧波形の上下の対称性を高精度に確保することができる駆動回路として利用されている。

10

【0028】

ところが、本発明の発明者の検討によると、液晶パネルの種類によっては、バックライト光源としての冷陰極管の管電流の上下の波形の非対称性が、かなり偏って生じる傾向がみられる場合があることがわかった。この場合の冷陰極管の管電流の非対称性は、液晶パネル側の種々の要因に起因して生じる。すなわち、バックライト光源の取り付け方や、使用される冷陰極管の特性のばらつき傾向等に起因して生じるものであり、圧電トランス駆動回路の駆動波形の非対称性とは何ら関係がない。例えば、液晶パネル全体の特性、例えば、反射板(リフレクタ)との間で形成される寄生容量が冷陰極管の管電圧または管電流の対称性に影響を及ぼすことがあり、このような液晶パネル固有の特性に起因して生じる

20

【0029】

したがって、圧電トランス駆動回路が高精度に対称性を確保した駆動電圧にて圧電トランスを駆動し、仮に理想的な昇圧電圧を得たとしても、負荷としての冷陰極管の側の特性に起因して対称性が崩されるのでは、結局のところ、冷陰極管の管電流の対称性を保てないことになる。すなわち、冷陰極管点灯回路の特性と液晶パネルの特性とが不整合であるがゆえに、管電圧または管電流の非対称性が生じる、ということである。従来、このような観点からの管電圧または管電流の非対称性の考察は、まったくなされていない。

【0030】

上記のとおり、プッシュプル構成の駆動回路と異なり、フルブリッジ構成の駆動回路は、駆動電圧の対称性が高精度に保たれている。非対称性が生じる要因を強いて挙げるとすれば、MOSFETのオン/オフの遅延ばらつきが考えられるが、プッシュプル型の駆動回路におけるインダクタのばらつきに比べれば、そのばらつきの程度は非常に小さい。つまり、逆の見方をすれば、フルブリッジ構成の圧電トランスの駆動回路では、例えば、インダクタ(チョークコイル)の定数等を調整して、非対称性を改善するといったことはできない。

30

【0031】

このように、液晶パネル側の特性に起因して冷陰極管の管電圧や管電流の対称性が悪化する場合に、冗長度の少ないフルブリッジ構成の圧電トランス駆動回路を使用した冷陰極管点灯回路では、有効な対策を立てることがむずかしい。つまり、特別な専用の回路構成を付加するようなことになると、回路の大型化、消費電力の増大、コスト上昇等を招くことになる。

40

【0032】

本発明は、このような考察に基づいてなされたものであり、フルブリッジ構成の圧電トランス駆動回路を使用した冷陰極管点灯回路を使用し、かつ、冷陰極管の側の特性に起因して管電流の対称性が悪化する場合において、簡易な構成で、非対称性を改善し得る冷陰極管点灯回路ならびに冷陰極管点灯回路の調整方法を提供することを目的とする。

【課題を解決するための手段】

【0033】

(1)本発明の冷陰極管点灯回路は、一对の1次電極に印加される交流電圧を昇圧して

50

2次電極から出力し、その昇圧電圧を冷陰極管に印加して点灯させる圧電トランスと、この圧電トランスの前記一对の1次電極の各々を駆動する一組のハーフブリッジ回路を備えるフルブリッジ構成の駆動回路と、このフルブリッジ構成の駆動回路を構成する各トランジスタをスイッチングするための駆動信号を生成すると共に、前記駆動信号のデューティを外部から設定するためのデューティ設定端子を備える発振回路と、前記一組のハーフブリッジ回路間で前記駆動信号のデューティに意図的に差異を設けるためのデューティ調整信号を生成し、そのデューティ調整信号を、前記発振回路の前記デューティ設定端子に与えるデューティ調整回路と、を有し、前記デューティ調整信号による前記駆動信号のデューティ調整の結果として、前記フルブリッジを構成する各ハーフブリッジを異なるオン/オフ期間で動作させ、これによって、前記冷陰極管の管電圧波形または管電流波形の非対称性を補償することを特徴とする。

10

【0034】

発振回路に備わっているデューティ設定端子(既存の端子)に着目し、このデューティ設定端子に、デューティ調整回路(本発明の新規な構成)から発生するデューティ調整信号を入力し、一組のハーフブリッジ回路間で意図的に駆動のバランスを崩して駆動波形に非対称性を積極的に導入し、これによって、液晶パネル側の管電圧または管電流波形の非対称性を相殺するものである。この構成によって、完成度が高いフルブリッジ構成の駆動回路において、駆動波形の特性を微調整するための余裕(一種の冗長性)を生じさせることができる。また、この構成は、発振回路の既存の端子を活用しており、かつ、デューティ調整回路としては、例えば、発振回路から出力される駆動信号のうちの一つを波形整形するローパスフィルタを使用することができ(あるいは、デューティ設定端子をもう一つ新設して、2つのハーフブリッジ回路のデューティを個別に管理する構成でもよく)、最小限の回路要素の追加ですむため、回路の複雑化、高コスト化、消費電流の増大の心配がなく、実現が容易である。本発明によって、液晶パネル側の事情で生じる管電圧や管電流のアンバランスを、冷陰極管点灯回路側で吸収し、両者の特性を整合させることが可能となる。

20

【0035】

(2)本発明の冷陰極管点灯回路の一態様は、前記一組のハーフブリッジ回路を備えるフルブリッジ構成の駆動回路は、入力電源電圧と接地電位との間に直列に接続されると共に、前記圧電トランスの一方の1次電極に印加する電圧を出力する第1の電源側トランジスタおよび第1の接地側トランジスタと、を備える第1のハーフブリッジ回路と、前記入力電源電位と接地電位との間に直列に接続されると共に、前記圧電トランスの他方の1次電極に印加する電圧を出力する第2の電源側トランジスタおよび第2の接地側トランジスタと、を備える第2のハーフブリッジ回路と、前記第1の電源側トランジスタと第1の接地側トランジスタとの中点と、前記圧電トランスの前記一方の1次電極との間に介装されたインダクタと、を有することを特徴とする。

30

【0036】

フルブリッジ構成の駆動回路は、圧電トランスの一对の1次電極の各々を、電源電圧間に直列に接続されたトランジスタによって駆動する点に特徴があり、回路的なバランスがよく、そのバランスを意図的に崩すことは困難であるが、本発明によれば、完成度が高いフルブリッジ構成の駆動回路において、駆動波形の特性を微調整するための余裕を容易に生じさせることができる。

40

【0037】

(3)本発明の冷陰極管点灯回路の他の態様は、前記発振回路は、駆動周期に同期した基準クロックおよび三角波を発生する電圧制御発振器と、前記三角波と前記デューティ設定端子に与えられる前記デューティ調整信号とを比較して、比較結果に応じてパルス幅が調整されたパルス出力する比較器と、前記比較器から出力される前記パルスまたはそのパルスに基づいて作成されるパルスを、前記基準クロックに同期して、前記一組のハーフブリッジの各々の駆動のために分離するパルス分離用ゲート回路と、を有することを特徴とする。

50

【0038】

デューティ設定端子から入力される電圧と、駆動周波数の三角波との電圧比較によって、パルス幅が調整され、かつ駆動周期に同期したパルスを生成すると共に、そのパルスを、駆動周期に同期した基準クロックを用いて交互に分配して、一組のハーフブリッジ回路の各々を駆動するための駆動パルス（駆動信号）を生成する構成を採用し、これによって、発振回路から出力され各駆動信号のデューティを調整可能としたものである。

【0039】

(4) 本発明の冷陰極管点灯回路の他の態様は、前記発振回路の前記デューティ設定端子には、基本的なデューティを設定するための直流バイアスが印加されると共に、前記デューティ調整回路は、前記駆動周期に同期した交流信号を生成して前記直流バイアスに重畳し、これによって、前記駆動信号のデューティを変化させて、前記一組のハーフブリッジ回路を、互いに異なるオン/オフ期間で動作させることを特徴とする。

10

【0040】

デューティ調整回路から、駆動周期に同期した交流信号を生成し、この交流信号を、発振回路のデューティ設定端子に入力して、駆動信号のデューティを意図的に変化させるものである。

【0041】

(5) 本発明の冷陰極管点灯回路の他の態様は、前記デューティ調整回路は、前記発振回路から出力される前記駆動信号のいずれか一つを、ローパスフィルタによって波形整形することによって、前記駆動周期に同期した交流信号を生成することを特徴とする。

20

【0042】

発振回路から出力される複数の駆動信号（パルス信号）のうちの一つを取り出して、ローパスフィルタでフィルタリングすることによって、駆動周期に同期した交流信号（緩やかな傾斜をもつ三角波）を生成するものである。この構成によって、デューティ調整信号としての、駆動周期に同期した交流信号を容易に（簡易な構成でもって）生成することができる。また、4つの駆動信号の内どの信号をローパスフィルタに入力させるかを選択すること、あるいは、ローパスフィルタの時定数を調整すること、によって、一組のハーフブリッジ間のアンバランスの程度を調整することができる。

【0043】

(6) 本発明の冷陰極管点灯回路の他の態様は、前記発振回路には、前記一組のハーフブリッジ回路の各々に対応して第1および第2の前記デューティ設定端子が設けられると共に、前記デューティ調整回路にて第1および第2の直流バイアスを個別に生成し、その第1および第2の直流バイアスを前記第1および第2のデューティ設定端子の各々に個別に印加することによって、前記一組のハーフブリッジ回路を、互いに異なるオン/オフ期間で動作させることを特徴とする。

30

【0044】

発振回路に2つのデューティ設定端子を設け、それらのデューティ設定端子の各々に、デューティ調整信号としての直流バイアスを個別に与えて、一組のハーフブリッジ回路間のバランスを意図的に崩し、冷陰極管側の特性に起因する管電流波形の非対称性を補償するようにしたものである。

40

【0045】

(7) 本発明の冷陰極管点灯回路の他の態様は、前記一組のハーフブリッジ回路うちの一方を構成する一つのトランジスタの駆動信号のデューティと、他方のハーフブリッジ回路を構成する、前記一方のハーフブリッジ回路の前記一つのトランジスタに対応するトランジスタの駆動信号のデューティとの差分は、 $\pm 1\%$ 以下とすることを特徴とする。

【0046】

冷陰極管の特性に起因して管電流の非対称性が悪化するといっても、その程度は、最大でも $\pm 10\%$ 程度である。つまり、 $\pm 10\%$ 程度の非対称性の変動を吸収できる程度に、一組のハーフブリッジ間で、駆動信号のデューティをアンバランス化できればよいことになる。本発明の発明者のシミュレーション結果によれば、所定条件の下では、駆動信号の

50

デューティの差分は、例えば $\pm 1\%$ もあれば十分なことが判明しており、そのことを明らかとしたものである。

【0047】

(8) 本発明の冷陰極管点灯回路の調整方法は、前記一組のハーフブリッジ回路間の駆動信号のデューティを等しくした上で、上下が対称な正弦波を発生させ、その正弦波にて冷陰極管を駆動して点灯させ、冷陰極管の管電圧波形または管電流波形を観測してその管電圧波形または管電流波形の非対称性を、事前にあるいはリアルタイムで測定する第1のステップと、前記デューティ調整回路から、前記発振回路の前記デューティ設定端子に前記デューティ調整信号を与え、前記一組のハーフブリッジ回路の各々を駆動する駆動信号のデューティを意図的に変化させ、前記冷陰極管を駆動するための正弦波に上下の非対称性を導入し、これによって、前記第1のステップにて測定された管電圧波形または管電流波形の非対称性を補償する第2のステップと、を含むことを特徴とする。

10

【0048】

液晶パネル等に組み込まれた状態の冷陰極管を実際に駆動し、管電流の上下の波形の非対称性の程度を(事前に、あるいは、リアルタイムで)測定した上で、その実際の管電流波形の上下の非対称性を補償するように、発振回路のデューティ調整端子を活用して駆動信号のデューティ調整を行い、一組のハーフブリッジ回路間で、必要最小度の範囲でバランスを意図的に崩し、管電流の非対称性を改善するものである。本発明によって、完成度が高いフルブリッジ構成の駆動回路において、駆動波形の特性を微調整するための余裕(一種の冗長性)を容易に生じさせることができ、実際に使用される冷陰極管との整合性を確保しやすくなる。

20

【0049】

(9) 本発明の液晶パネルは、請求項1~請求項7のいずれか記載の冷陰極管点灯回路と、この冷陰極管点灯回路により駆動される、バックライト光源としての冷陰極管と、液晶表示装置と、を搭載することを特徴とする。

【0050】

本発明の冷陰極管点灯回路と、この冷陰極管点灯回路によって駆動されて点灯する冷陰極管と、を搭載した液晶パネルは、管電流の非対称性が改善されているため、冷陰極管の長寿命化、ダークスポットの低減といった効果を得ることができる。

【発明の効果】

30

【0051】

本発明によれば、発振回路のデューティ設定端子に、デューティ調整回路から発生するデューティ調整信号を入力し、一組のハーフブリッジ回路間で意図的に駆動のバランスを崩すことによって、冷陰極管側(液晶パネル側)の管電流波形の非対称性を相殺(補償)することができる。

【0052】

また、本発明によって、完成度が高いフルブリッジ構成の駆動回路において、駆動波形の特性を微調整するための余裕(一種の冗長性)を容易に生じさせることができ、実際に使用される冷陰極管との整合性を確保しやすくなる。

【0053】

40

また、本発明の冷陰極管点灯回路の構成は、発振回路に備わる既存の端子を活用しており、かつ、デューティ調整回路として簡単な構成のローパスフィルタを使用したり、あるいは、デューティ設定端子をもう一つ新設して、2つのハーフブリッジ回路のデューティを個別に管理したりすることによって、駆動信号のデューティを容易に変化させることができ、最小限の回路要素の追加ですむため、回路の複雑化、高コスト化、消費電流の増大の心配がなく、実現が容易である。

【0054】

また、本発明の冷陰極管点灯回路と、この冷陰極管点灯回路によって駆動されて点灯する冷陰極管と、を搭載した本発明の液晶パネルは、管電流の非対称性が改善されているため、冷陰極管の長寿命化、ダークスポットの低減といった効果を得ることができる。

50

【 0 0 5 5 】

本発明によって、液晶パネル側の事情で生じる管電圧や管電流のアンバランスを、冷陰極管点灯回路側で吸収し、両者の特性を整合(マッチング)させることが可能となる。したがって、液晶パネル全体の特性、例えば、反射板(リフレクタ)との間で形成される寄生容量が冷陰極管の管電圧または管電流の非対称性を生じさせる場合でも、冷陰極管の点灯回路の特性の調整によってその非対称性を吸収できるようになり、したがって、液晶パネルの製造メーカに負担をかけることもなくなる。

【 発明を実施するための最良の形態 】

【 0 0 5 6 】

次に、本発明の実施形態について、図面を参照しながら説明する。

10

(第 1 の実施形態)

図 1 は、本発明の冷陰極管点灯回路の構成の一例(ローパスフィルタによりデューティ調整信号を生成する例)を示す図である。なお、図 1 の冷陰極管点灯回路、ならびに負荷としての冷陰極管は、液晶パネル(不図示)に搭載されているものとし、冷陰極管は液晶ディスプレイのバックライト光源 135 として機能するものとする。

【 0 0 5 7 】

図示されるように、冷陰極管点灯回路は、発振回路 90 (周波数設定端子 T1 と、デューティ設定端子 T2 と、4 つの駆動信号出力端子 T5 ~ T8 と、を備える)と、フルブリッジ構成の圧電トランス駆動回路(一組のハーフブリッジ回路 110, 120 と、インダクタ(チョークコイル) L1 と、を含んで構成される)と、圧電トランス 130 (一対の 1 次電極 A, B と 2 次電極 C と備える)と、冷陰極管 140 と、管電流(I Lamp)を 20 検出するための抵抗(管電流検出抵抗) R3 と、整流回路(検波回路) 150 と、非反転端子に基準電圧 Vref が入力され、反転端子に整流回路 150 からの整流出力が入力される誤差増幅器(誤差アンプ) 160 と、デューティ調整回路として機能するローパスフィルタ 170 (抵抗 R4 と、容量 C1 とで構成される)と、電圧 V1 を抵抗分圧して、分圧電圧をデューティ設定端子 T2 に印加する分圧回路(直列接続された抵抗 R1, R2 で構成される)と、を有する。

20

【 0 0 5 8 】

フルブリッジ構成の圧電駆動回路では、圧電トランス 130 の一対の 1 次電極(A, B)の各々が、入力電源電圧(V2 または V3)と接地電位との間に直列に接続された電源 30 側トランジスタ(Tr1 または Tr3)と接地側トランジスタ(Tr2 または Tr4)とからなるハーフブリッジ回路により駆動される。また、プッシュプル型の駆動回路と異なり、フルブリッジ型の駆動回路は、インダクタ(チョークコイル) L1 は 1 個あればよく、このインダクタ L1 は、トランジスタ Tr1, Tr2 の共通接続点と、圧電トランス 130 の 1 次電極(A)との間に介装(挿入)されている。

30

【 0 0 5 9 】

一組のハーフブリッジ回路の各々は、PMOS トランジスタ(Tr1, Tr3 : 以下単に、トランジスタという)と、NMOS トランジスタ(Tr2, Tr4 : 以下、単にトランジスタという)と、を含んで構成される。トランジスタ Tr1 ~ Tr4 の各々のゲートは、発振回路 90 から出力される 4 つのゲート駆動信号(P - gate 1, N - gate 1 40 , P - gate 2, N - gate 2)によって駆動される。

40

【 0 0 6 0 】

4 つのゲート駆動信号(p - gate 1, n - gate 1, p - gate 2, n - gate 2)によってハーフブリッジ回路の各々が駆動されることによって、各ハーフブリッジ回路のドレイン端子(drain 1, drain 2)には、各々、極性が異なる矩形波が発生し、ドレイン端子間(drain 1 - drain 2)には、電源電圧 V2 + V3 の 50 振幅を持つ矩形波電圧が発生する。ここで、チョークコイル L1 のインダクタンスと圧電トランス 130 の容量によりローパスフィルタが形成されており、ドレイン端子間に発生した矩形波電圧は、そのローパスフィルタによって正弦波に変換され、圧電トランス 130 の一対の 1 次電極(A, B)に印加される(圧電トランス 510 への Vin の印加)。

50

これによって、圧電トランス 130 が駆動され、2 次電極 (C) から昇圧された電圧が出力される。

【0061】

この昇圧電圧によって冷陰極管 140 が駆動される。冷陰極管 140 は、液晶パネルのバックライト光源部 135 として機能する。

【0062】

また、抵抗 R3 ならびに整流回路 150 により管電流の平均電圧値 (あるいはピーク値) が検出され、誤差増幅器 (誤差アンプ) 160 にて基準電圧 V_{ref} との誤差を検出し、誤差信号は、発振回路 90 の周波数制御端子 T1 に帰還される。

【0063】

発振回路 90 は、周波数制御端子 T1 と、デューティ設定端子 T2 と、4 つの出力端子 T5 ~ T8 (ゲート駆動信号 P-gate1, N-gate1, P-gate2, N-gate2 を出力する端子) を有する。

【0064】

周波数制御端子 T1 は、発振周波数を制御するための制御電圧 (誤差増幅器 160 からの誤差信号) が入力される端子である。また、デューティ設定端子 T2 は、発振周波数はそのまま、圧電トランスに印加される電圧 (V_{in}) の大きさを増減させるために設けられている。

【0065】

すなわち、デューティ設定端子 T2 に与える電圧を調整することにより、発振回路 90 から出力される 4 つのゲート駆動信号 (P-gate1, N-gate1, P-gate2, N-gate2) に関して、デューティ (ハイ/ローの期間、あるいはその期間の比) を微調整することができる。

【0066】

図 1 では、電圧 V_1 を、抵抗 R1, R2 で分圧して得られる直流電圧 (SB) が、デューティ設定端子 T2 に印加されると共に、デューティ調整回路として機能するローパスフィルタ 170 から出力される、駆動周期に同期した交流信号 (SA) が、直流電圧 (SB) に重畳される。

【0067】

ローパスフィルタ 170 には、発振回路 90 の出力端子 T6 から出力される駆動信号 (ゲート駆動信号) N-gate1 が入力され、その結果、緩やかな傾斜をもって変化する駆動周期に同期した交流信号 (三角波 SA) を容易に作成することができる。

【0068】

この交流信号 (SA) を発振回路 90 のデューティ設定端子 T2 に重畳することによって、一組のハーフブリッジ回路 110, 120 間で、駆動信号のデューティに差が生じ、これによって、圧電トランス 130 に供給される正弦波の上下 (プラス側, マイナス側) の対称性を意図的に崩すことができる。そして、意図的に導入された駆動波形の非対称性が、冷陰極管 140 側の特性に起因して生じる管電流の非対称性に対して逆特性となっていれば、駆動波形の非対称性によって、冷陰極管の管電流の非対称性を打ち消すことができ、これによって、管電流の波形の上下の十分な対称性を担保することができる。

【0069】

圧電トランス 130 に供給される正弦波の上下の対称性を崩す方向 (非対称性の極性: すなわち、プラス側の波高値を高くするかマイナス側の波高値を高くするか、ということ) は、ローパスフィルタ 170 の入力として、どの駆動信号を選ぶか (例えば、N-gate1, N-gate2 のどちらを選ぶか) によって選択することができ、正弦波の非対称性の程度は、ローパスフィルタ 170 の時定数を変化させることによって調整することができる (この点は、後述する)。

【0070】

図 2 は、図 1 の発振回路の内部の回路構成の一例を示す図である。図 2 では、理解を容易とするために、各部の主要な信号波形を図中に併記してある。

10

20

30

40

50

【0071】

発振回路90は、その内部に、電圧制御発振器102と、電圧比較器103と、ゲート回路104、105と、タイミング調整回路106、107と、を有する。電圧制御発振器102は、周波数制御端子T1に印加される電圧信号によって発振周波数が制御される電圧制御発振器（VCO）であり、2つの出力端子（Ta、Tb）をもつ。

【0072】

一方の出力端子Taからは、駆動周波数の基準クロック（例えば、三角波を発生させるためのコンデンサの充放電を切り替えるために使用されるクロックである）が出力され、他方の出力端子Tbからは、基準クロックに同期した三角波（Q1）が出力される。

【0073】

また、電圧比較器103は、電圧制御発振器（VCO）102の出力端子Tbから出力される三角波（Q1）と、デューティ設定端子T2から入力される交流信号（SA：直流バイアスSBを基準として駆動周期に同期して電圧が変化する）の各電圧の大きさを比較し、その比較結果を示す信号を出力する。

【0074】

ここで、三角波Q1と、交流信号（緩やかな傾斜をもつ三角波）SAの山と山が重なる期間では、比較結果を示すパルスのパルス幅は短くなる傾向を示し、その逆に、三角波Q1の山と交流信号SAの谷が重なる期間では、比較結果を示すパルスのパルス幅は長くなる傾向を示す。この比較結果を示すパルスは、4つのゲート駆動信号（P-gate1、N-gate1、P-gate2、N-gate2）の作成の基礎となる信号であるため、上記のようにパルス幅に変化が生じると、そのパルス幅の変化がそのまま、上側のハーフブリッジ回路110の駆動信号（P-gate1、N-gate1）と、下側のハーフブリッジ回路120の駆動信号（P-gate2、N-gate2）のデューティの差になって現れる。したがって、圧電トランス130の一对の1次電極（A、B）に印加される正弦波の波高値に差が生じて、正弦波の上下の対称性が意図的に崩されることになる。

【0075】

ゲート回路104、105は、電圧比較器103から出力されるパルスを、2つのタイミング調整回路106、107に分配する働きをする。すなわち、ゲート回路104は、電圧制御発振器（VCO）102の出力端子Taから出力される基準クロックがハイレベルの期間において、電圧比較器103からのパルスを通過させ、ゲート回路105は、電圧制御発振器（VCO）102の出力端子Taから出力される基準クロックがローレベルのときに、電圧比較器103からのパルスを通過させる。タイミング調整回路106、107は、必要に応じて、入力されるパルスのタイミング調整を行う。このタイミング調整を行うことによって、例えば、ハーフブリッジ回路を構成する、電源電圧間に直列に接続されるトランジスタ（Tr1とTr2、Tr3とTr4）の同時オンを防止し、貫通電流（インラッシュカレント）を防止することができる。

【0076】

図3は、図2に示される発振回路における主要な信号の波形およびタイミングの一例（トランジスタの同時オンを防止するためのタイミング調整を行わない例）を示す図である。

【0077】

図示されるように、電圧制御発振器102から出力される三角波と、デューティ設定端子T2に印加される、駆動周期に同期した交流信号（緩やかな傾斜の三角波とみることができる）との比較によってパルスが生成される。先に説明したように、三角波と交流信号の山と山が重なる期間（ $t_2 \sim t_3$ 、 $t_7 \sim t_8$ ）では、比較結果を示すパルスのパルス幅は短くなる傾向を示し、その逆に、三角波の山と交流信号の谷が重なる期間（ $t_5 \sim t_6$ 、 $t_9 \sim t_{10}$ ）では、比較結果を示すパルスのパルス幅は長くなる傾向を示す。この結果、電圧比較結果を示すパルスの幅は、短、長、短、長・・・を繰り返すことになる。

【0078】

そして、ゲート回路104、105によって、比較結果を示すパルスを時分割で交互に

10

20

30

40

50

分配することによって、4つのゲート駆動信号 (P - g a t e 1 , N - g a t e 1 , P - g a t e 2 , N - g a t e 2) が生成される。図 1 3 では、各ゲート駆動信号について、特別なタイミング調整を行わない場合の波形を示している。

【 0 0 7 9 】

ここで、P - g a t e 1 , N - g a t e 1 のハイレベルの期間の幅 (パルス幅) に比べて、P - g a t e 2 , N - g a t e 2 のハイレベルの期間の幅 (パルス幅) が長くなっているのは明らかであり、これによって、上側のハーフブリッジ回路 1 1 0 の駆動信号 (P - g a t e 1 , N - g a t e 1) と、下側のハーフブリッジ回路 1 2 0 の駆動信号 (P - g a t e 2 , N - g a t e 2) のデューティに差が生じ、結果的に、圧電トランス 1 3 0 に印加される正弦波の上下の波高値に差が生じることになる。

10

【 0 0 8 0 】

圧電トランス 1 3 0 の 1 次電極 (A , B) には、図示されるような、d r a i n 1 , d r a i n 2 の各電圧が印加される。したがって、圧電トランス 1 3 0 には、図 3 の最下段に示されるような、実質的に正弦波とみなすことができる入力電圧 V i n が入力されることになる。

【 0 0 8 1 】

図 4 は、図 2 に示される発振回路における主要な信号の波形およびタイミングの一例 (トランジスタの同時オンを防止するためのタイミング調整を行う例) を示す図である。

【 0 0 8 2 】

図 4 に示す信号波形は、基本的には、図 3 に示される信号波形と同じであるが、図 4 の場合、電源電圧間に直列に接続されているトランジスタ T r 1 と T r 2 と、T r 3 と T r 4 の同時オンを防止するために、ハーフブリッジ回路 1 1 0 の駆動信号 (P - g a t e 1 , N - g a t e 1) ならびに、ハーフブリッジ回路 1 2 0 の駆動信号 (P - g a t e 2 , N - g a t e 2) に関して、立ち上がり、立ち下りに意図的にタイミング差 (d 1) を設けている。このようなタイミング調整は、図 2 のタイミング調整回路 1 0 6 , 1 0 7 の動作により実現することが可能である。

20

【 0 0 8 3 】

具体的には、電圧比較器 1 0 3 の比較結果を示すパルスを d 1 だけ遅延させ、遅延前のパルスと、遅延後のパルスのアンドをとって、N - g a t e 1 , N - g a t e 2 を生成し、遅延前のパルスと遅延後のパルスのオアをとることによって、P - g a t e 1 , P - g a t e 2 を生成する、という処理 (この処理と等価な処理) を実施することによって、P - g a t e 1 と N - g a t e 1 の立ち上がりと立ち下りに関して、あるいは、P - g a t e 2 と N - g a t e 2 の立ち上がりと立ち下りに関して、d 1 のタイミング差を設けることができ、これによって、トランジスタ T r 1 と T r 2 、あるいは、T r 3 と T r 4 の同時オンが確実に防止され、貫通電流による接地電位の揺れによる悪影響を回避することができる。

30

【 0 0 8 4 】

次に、図 1 の冷陰極管点灯回路における駆動信号のデューティの非対称性のシミュレーション結果について説明する。

【 0 0 8 5 】

図 5 は、図 1 の冷陰極管点灯回路における駆動信号のデューティの非対称性のシミュレーション結果 (のデータ) を示す図であり、(a) は、駆動信号 N - g a t e 1 をローパスフィルタの入力としかつ、ローパスフィルタの抵抗値を 5 段階に変化させた場合のデューティ差と非対称性を対比して示す図であり、(b) は、駆動信号 N - g a t e 2 をローパスフィルタの入力としかつ、ローパスフィルタの抵抗値を 5 段階に変化させた場合のデューティ差と非対称性を対比して示す図である。

40

【 0 0 8 6 】

また、図 5 におけるデューティ差は、駆動信号 P - g a t e 1 のデューティ (% : ハイレベル期間 / 駆動信号の 1 周期) と、駆動信号 P - g a t e 2 のデューティ (% : ハイレベル期間 / 駆動信号の 1 周期) の差分である。また、そのデューティ差に対応した非対称

50

性(%)は、管電流を測定し、その管電流の上下の波高値のピーク値の差を電流の実効値で除算して求めた。

【0087】

図5(a)に示すように、駆動信号N-gate1をローパスフィルタの入力とした場合、ローパスフィルタ170の抵抗R4(図1参照)の抵抗値を、820k、510k、390k、200k、120kと5段階に変化させると、駆動信号P-gate1と駆動信号P-gate2のデューティ差は、-0.6%、-0.8%、-1.0%、-2.0%、-3.7%と変化し、これに伴い、管電流の波形の上下の非対称性は、-8%、-10%、-13%、-20%、-25%と順次、拡大していく。

【0088】

一方、図5(b)に示すように、駆動信号N-gate2をローパスフィルタ170の入力とした場合、ローパスフィルタ170の抵抗R4(図1参照)の抵抗値を、820k、510k、390k、200k、120kと5段階に変化させると、駆動信号P-gate1と駆動信号P-gate2のデューティ差は、+0.3%、+0.5%、+0.7%、+1.9%、+3.6%と変化し、これに伴い、管電流の波形の上下の非対称性は、+6%、+9%、+13%、+22%、+51%と順次、拡大していく。

【0089】

図5(a)、(b)から明らかなように、デューティ調整回路(ローパスフィルタ170)から出力されるデューティ調整信号(駆動周期に同期した交流信号)の生成の基礎として、N-gate1を用いるかN-gate2を用いるか(あるいは、P-gate1を用いるかP-gate2を用いるか)を選択することによって、管電流の上下の非対称性の極性(プラスかマイナスか)を切り替えることができ、さらに、デューティ調整回路(ローパスフィルタ170)内の抵抗値(時定数)を調整することによって、非対称性の度合いを自由に変えることができる。ただし、冷陰極管の特性に起因して管電流の非対称性が悪化するといっても、その程度は、最大でも±10%程度である。つまり、±10%程度の非対称性の変動を吸収できる程度に、一組のハーフブリッジ間で、駆動信号のデューティをアンバランス化できればよいことになる。図5(a)、(b)のシミュレーション結果から見て、駆動信号のデューティの差分は、例えば±1%もあれば十分である、と考えられる。

【0090】

デューティ調整信号(駆動周期に同期した交流信号)の生成の基礎として、N-gate1/N-gate2を選択する(P-gate1/P-gate2を選択する)ことによって、管電流の非対称性の極性が変わる理由は以下のとおりである。

【0091】

すなわち、図3(N-gate1を生成の基礎として使用した場合の各部のタイミングを示す図)で説明したように、N-gate1を生成の基礎として使用した場合には、三角波と交流信号の山と山が重なる期間(t2~t3、t7~t8)では、比較結果を示すパルスのパルス幅は短くなる傾向を示し、その逆に、三角波の山と交流信号の谷が重なる期間(t5~t6、t9~t10)では、比較結果を示すパルスのパルス幅は長くなる傾向を示し、この結果、電圧比較結果を示すパルスの幅は、短、長、短、長・・・を繰り返すことになり、そして、比較結果を示すパルスを時分割で交互に分配することによって、4つのゲート駆動信号(P-gate1、N-gate1、P-gate2、N-gate2)が生成され、この場合、駆動信号P-gate1(N-gate1)のハイレベルの期間の幅(パルス幅)に比べて、P-gate2(N-gate2)のハイレベルの期間の幅(パルス幅)が長くなり、したがって、P-gate1のデューティからP-gate2のデューティを減算すると、マイナス(-)の極性となる(図5(a))。

【0092】

これに対し、デューティ調整信号(駆動周期に同期した交流信号)の生成の基礎として、N-gate2を選択すると、デューティ調整回路(ローパスフィルタ170)から出力される交流信号は、図3に示される交流信号よりも位相が90度ずれることになり、こ

10

20

30

40

50

れに伴い、今度は、電圧比較結果を示すパルスの幅は、長、短、長、短・・・を繰り返すことになり、そして、比較結果を示すパルスを時分割で交互に分配することによって、4つのゲート駆動信号 (P - g a t e 1 , N - g a t e 1 , P - g a t e 2 , N - g a t e 2) が生成され、この場合、駆動信号 P - g a t e 1 (N - g a t e 1) のハイレベルの期間の幅 (パルス幅) が、P - g a t e 2 (N - g a t e 2) のハイレベルの期間の幅 (パルス幅) よりも長くなり、したがって、P - g a t e 1 のデューティから P - g a t e 2 のデューティを減算すると、プラス (+) の極性となる (図 5 (b)) 。

【 0 0 9 3 】

また、ローパスフィルタ 1 7 0 の抵抗 R 4 の値 (あるいは、容量 C 1 の値) を変化させると、デューティ調整信号としての交流信号の電圧変化の傾斜が変化し、三角波との交点 10
が変化することから、4つのゲート駆動信号 (P - g a t e 1 , N - g a t e 1 , P - g a t e 2 , N - g a t e 2) のハイレベルの期間の幅 (パルス幅) が微調整され、これによって、P - g a t e 1 と P - g a t e 2 のデューティの差に変化が生じて、管電流の非対称性の程度が調整されることになる。

【 0 0 9 4 】

このように、本実施形態では、簡単な構成を用いて、管電流の非対称性の極性と度合いを、デューティ調整信号の生成の基礎とする駆動信号の選択と、ローパスフィルタの時定数の調整と、によって自由に設定することができる、という効果を得ることができる。これによって、完成度が高く、冗長性が少ないフルブリッジ構成の圧電トランス駆動回路を使用した場合であっても、液晶パネル側の事情に起因する管電流の波形の上下の非対称性 20
を吸収し、補償することが可能となる。

【 0 0 9 5 】

図 6 (a) , (b) は、図 5 (a) , (b) の各々に示されるシミュレーション結果のうち、ローパスフィルタの抵抗値として 2 0 0 k を使用した場合における、4つのゲート駆動信号 (P - g a t e 1 , N - g a t e 1 , P - g a t e 2 , N - g a t e 2) の電圧波形、圧電トランスの 1 次電極間に入力される正弦波 (V i n) の電圧波形ならびに管電流 (I l a m p) の波形を示す図である。

【 0 0 9 6 】

図 6 (a) では、デューティ調整信号の生成の基礎として N - g a t e 1 を使用しているため、先に説明したように、P - g a t e 1 のデューティ (3 0 . 2 %) の方が、P - 30
g a t e 2 のデューティ (2 8 . 2 %) よりも大きくなり、図示されるような、V i n , I l a m p の波形が得られる。この場合、図 5 (a) に示したように、非対称性の極性はマイナスなる。

【 0 0 9 7 】

図 6 (b) では、デューティ調整信号の生成の基礎として N - g a t e 2 を使用しているため、先に説明したように、P - g a t e 1 のデューティ (2 8 . 7 %) の方が、P -
g a t e 2 のデューティ (3 0 . 7 %) よりも大きくなり、図示されるような、V i n , I l a m p の波形が得られる。この場合、図 5 (b) に示したように、非対称性の極性は 40
プラスとなる。

【 0 0 9 8 】

(第 2 の実施形態)

本実施形態では、発振回路に 2 つの独立したデューティ設定端子を設け、各々の端子に、個別にデューティ調整信号を入力し、上側のハーフブリッジ回路の駆動信号 (P - g a t e 1 , N - g a t e 1) のデューティと、下側のハーフブリッジ駆動回路の駆動信号 (P - g a t e 2 , N - g a t e 2) のデューティとの間に意図的に差異を設け、これによって、管電流の波形を意図的に非対称化する例について説明する。

【 0 0 9 9 】

図 7 は、本発明の冷陰極管点灯回路の回路構成の他の例 (発振回路に 2 つの独立したデューティ設定端子を設けた例) を示す回路図である。図 7 において、図 1 と共通する部分には同じ参照符号を付してある。

10

20

30

40

50

【0100】

図7に示される冷陰極管点灯回路の特徴は、発振回路100に、2つのデューティ設定端子(1)、(2)(参照符号T3、T4)が設けられ、各々の端子(T3、T4)に、個別にデューティ調整信号(SB1、SB2)が入力されることである。その他の構成は、図1の冷陰極管点灯回路と同じである。

【0101】

デューティ設定端子T3に入力されるデューティ調整信号SB1は、電圧V3を、抵抗R4およびR5で分圧して得られる。同様に、デューティ設定端子T4に入力されるデューティ調整信号SB2は、電圧V4を、抵抗R6およびR7で分圧して得られる。抵抗分圧回路171、173は、デューティ調整回路(図1のローパスフィルタ170に相当する)ものである。

10

【0102】

図7の回路構成は、新たなデューティ設定端子の追加と、この端子に対応した抵抗分圧回路の追加と、発振回路100の内部構成の若干の変更によって実現することができ、前掲の実施形態と同じく、実現が容易である。

【0103】

図8は、図7に示される発振回路の内部構成の一例を示す回路図である。図8において、図2と共通する部分には同じ参照符号を付してある。

【0104】

図示されるように、図8の発振回路では、2つの電圧比較器103a、103bが設けられている。電圧比較器103aは、デューティ設定端子(1)(参照符号T3)に印加されるデューティ調整信号(直流バイアス)と、電圧制御発振器(VCO)102の出力端子Tbから出力される三角波との電圧比較を行う。同様に、電圧比較器103bは、デューティ設定端子(2)(参照符号T4)に印加されるデューティ調整信号(直流バイアス)と、電圧制御発振器(VCO)102の出力端子Tbから出力される三角波との電圧比較を行う。

20

【0105】

電圧比較器103aから出力されるパルスはゲート回路104に入力され、電圧比較器103bから出力されるパルスはゲート回路105に入力される。ゲート回路104は、電圧制御発振器(VCO)102の端子Taから出力される基準クロックがハイレベルの期間において、電圧比較器103bから出力されるパルスを通させ、ゲート回路105は、基準クロックがローレベルの期間において、電圧比較器103bから出力されるパルスを通させる。タイミング調整回路106、107は、必要に応じて若干のタイミング調整を行った後、4つのゲート駆動信号(P-gate1、N-gate1、P-gate2、N-gate2)を生成する。

30

【0106】

上側のハーフブリッジ回路のゲート駆動信号(P-gate1、N-gate1)のデューティならびに下側のハーフブリッジ駆動回路のゲート駆動信号(P-gate2、N-gate2)のデューティは、各々、2つの電圧比較器103a、103bの出力パルスのパルス幅によって制御される。そして、2つの電圧比較器103a、103bの出力パルスのパルス幅は、デューティ設定端子(1)、(2)(参照符号T3、T4)に印加される、デューティ調整信号としての直流バイアス(SB1、SB2)の電圧値によって自由に変更することができる。

40

【0107】

したがって、2つのデューティ設定端子(1)、(2)に入力するデューティ調整信号のレベルを調整することによって、上側のハーフブリッジ回路の駆動信号(P-gate1、N-gate1)のデューティと、下側のハーフブリッジ駆動回路の駆動信号(P-gate2、N-gate2)のデューティとの間に意図的に差異を設けることができ、これによって、管電流の波形を意図的に非対称化することができる。

【0108】

50

図9は、図7および図8に示される冷陰極管点灯回路における主要な信号の波形とタイミングの一例（トランジスタの同時オンを防止するためのタイミング調整を行わない例）を示す図である。

【0109】

図示されるように、三角波が、デューティ設定端子(1)、(2)に印加される直流電圧の各々と比較され、その比較結果を示すパルスが生成され、それらのパルスが、基準クロックに同期して分配され、これによって、ゲート駆動信号(P-gate1, N-gate1)とゲート駆動信号(P-gate2, N-gate2)が生成される。そして、一組のハーフブリッジ回路が駆動される結果として、Drain1, Drain2が生成され、圧電トランス130の一对の1次電極に、実質的に正弦波とみなすことができるVin(=Drain1-Drain2)が入力され、圧電トランスによる昇圧が行われ、昇圧された電圧によって冷陰極管が点灯される。

10

【0110】

図10は、図7および図8に示される冷陰極管点灯回路における主要な信号の波形とタイミングの他の例（トランジスタの同時オンを防止するためのタイミング調整を行う例）を示す図である。

【0111】

図10に示す信号波形は、基本的には、図9に示される信号波形と同じであるが、図10の場合、電源電圧間に直列に接続されているトランジスタTr1とTr2と、Tr3とTr4の同時オンを防止するために、ゲート駆動信号(P-gate1, N-gate1)ならびに、ゲート駆動信号(P-gate2, N-gate2)に関して、立ち上がり、立ち下りに意図的にタイミング差(d2)を設けている。このようなタイミング調整は、図8のタイミング調整回路106, 107の動作により実現することが可能である。

20

【0112】

具体的には、電圧比較器103a, 103bの比較結果を示すパルスを各々d2だけ遅延させ、遅延前のパルスと、遅延後のパルスのアンドをとって、N-gate1, N-gate2を生成し、遅延前のパルスと遅延後のパルスのオアをとることによって、P-gate1, P-gate2を生成する、という処理（この処理と等価な処理）を実施することによって、P-gate1とN-gate1の立ち上がりと立ち下りに関して、あるいは、P-gate2とN-gate2の立ち上がりと立ち下りに関して、d2のタイミング差を設けることができ、これによって、トランジスタTr1とTr2、あるいは、Tr3とTr4の同時オンが確実に防止され、貫通電流による接地電位の揺れによる悪影響を回避することができる。

30

【0113】

（第3の実施形態）

本実施形態では、圧電トランスを駆動するハーフブリッジ回路において、入力電源電圧間に直列に接続される2つのトランジスタの双方を、NMOSトランジスタとした例について説明する。

【0114】

図11は、本発明の冷陰極管点灯回路の回路構成の他の例（ハーフブリッジ回路を構成する2つのトランジスタを共にNMOSトランジスタで構成した例）を示す回路図である。図11において、図1と共通する部分には同じ参照符号を付してある。

40

【0115】

図11の特徴は、入力電源電圧間に直列に接続された2つのトランジスタ(Tr10とTr20, Tr30とTr40)が、共にNMOSトランジスタで構成されている点である。NMOSトランジスタは、PMOSトランジスタに比べて移動度が高く、高速なスイッチングが可能であるという利点があり、この点で、圧電トランス130の駆動性能を改善できる可能性がある。

【0116】

デューティ調整回路としてのローパスフィルタ170からデューティ調整信号を生成し

50

て、発振回路90のデューティ設定端子T2に入力することによって、各ゲート駆動信号(N-gate1-1, N-gate1-2, N-gate2-1, N-gate2-2)に、デューティの変化を生じさせることができ、これによって、圧電トランス130に入力される正弦波の波形を積極的に非対称化できる点は、前掲の実施形態(図1)と同じである。ただし、2段のNMOSトランジスタを使用しているため、各ゲート駆動信号(N-gate1-1, N-gate1-2, N-gate2-1, N-gate2-2)の駆動波形やタイミングは、図1の回路の場合とは、若干異なる。

【0117】

以上、本発明を実施形態に基づいて説明したが、本発明はそれらの実施形態に限定されるものではなく、本発明の技術思想の範囲内において、種々、変形や応用が可能である。すなわち、発振回路に備わるデューティ設定端子に着目し、この端子に、デューティ調整信号を入力して、駆動信号のデューティを変化させて駆動波形を積極的に非対称化するのであれば、デューティ調整信号の生成方法、生成されるデューティ調整信号の波形や特性は、特に問わない。

10

【0118】

また、以上の実施形態では、冷陰極管の管電流を測定し、基準値との誤差を検出して周波数設定端子にフィードバックしているが、圧電トランスの入力電圧に基づくフィードバックを行ってもよい。

【0119】

以上説明したように本発明によれば、一組のハーフブリッジ回路間で意図的に駆動のバランスを崩すことによって、冷陰極管側(液晶パネル側)の管電流波形の非対称性を相殺(補償)することができる。

20

【0120】

また、本発明によって、完成度が高いフルブリッジ構成の駆動回路において、駆動波形の特性を微調整するための余裕(一種の冗長性)を容易に生じさせることができ、実際に使用される冷陰極管との整合性を確保しやすくなる。

【0121】

また、本発明の冷陰極管点灯回路の構成は、発振回路に備わる既存の端子を活用しており、かつ、デューティ調整回路として簡単な構成のローパスフィルタを使用したり、あるいは、デューティ設定端子をもう一つ新設して、2つのハーフブリッジ回路のデューティを個別に管理したりすることによって、駆動信号のデューティを容易に変化させることができ、最小限の回路要素の追加ですむため、回路の複雑化、高コスト化、消費電流の増大の心配がなく、実現が容易である。

30

【0122】

また、本発明の冷陰極管点灯回路と、この冷陰極管点灯回路によって駆動されて点灯する冷陰極管と、を搭載した本発明の液晶パネルは、管電流の非対称性が改善されているため、冷陰極管の長寿命化、ダークスポットの低減といった効果が得られる。本発明によって、液晶パネル側の事情で生じる管電圧や管電流のアンバランスを、冷陰極管点灯回路側で吸収し、両者の特性を整合(マッチング)させることが可能となる。したがって、液晶パネル全体の特性、例えば、反射板(リフレクタ)との間で形成される寄生容量が冷陰極管の管電圧または管電流の非対称性を生じさせる場合でも、冷陰極管の点灯回路の特性の調整によってその非対称性を吸収できるようになる。

40

【0123】

上記の実施形態の説明では、主として、冷陰極管の管電流の非対称性について言及したが、管電圧が非対称である場合にも同様の問題(冷陰極管の短寿命化、ダークスポットの発生等)が生じることが知られており、したがって、本発明は、管電圧波形の非対称性の改善にも効果がある。

【図面の簡単な説明】

【0124】

【図1】本発明に係る冷陰極管点灯回路の構成の一例(ローパスフィルタによりデューテ

50

ィ調整信号を生成する例)を示す図である。

【図2】図1における発振回路の内部の回路構成の一例を示す図である。

【図3】図2に示される発振回路における主要な信号の波形およびタイミングの一例(トランジスタの同時オンを防止するためのタイミング調整を行わない例)を示す図である。

【図4】図2に示される発振回路における主要な信号の波形およびタイミングの他の例(トランジスタの同時オンを防止するためのタイミング調整を行う例)を示す図である。

【図5】図1の冷陰極管点灯回路における駆動信号のデューティの非対称性のシミュレーション結果(のデータ)を示す図であり、(a)は、駆動信号N-gate1をローパスフィルタの入力としかつ、ローパスフィルタの抵抗値を5段階に変化させた場合のデューティ差と非対称性を対比して示す図であり、(b)は、駆動信号N-gate2をローパスフィルタの入力としかつ、ローパスフィルタの抵抗値を5段階に変化させた場合のデューティ差と非対称性を対比して示す図である。

【図6】(a),(b)は、図5(a),(b)の各々に示されるシミュレーション結果のうち、ローパスフィルタの抵抗値として200kを使用した場合における、4つのゲート駆動信号(P-gate1,N-gate1,P-gate2,N-gate2)の電圧波形、圧電トランスの1次電極間に入力される正弦波(Vin)の電圧波形ならびに管電流(ILamp)の波形を示す図である。

【図7】本発明に係る冷陰極管点灯回路の回路構成の他の例(発振回路に2つの独立したデューティ設定端子を設けた例)を示す回路図である。

【図8】図7に示される発振回路の内部構成の一例を示す回路図である。

【図9】図7および図8に示される冷陰極管点灯回路における主要な信号の波形とタイミングの一例(トランジスタの同時オンを防止するためのタイミング調整を行わない例)を示す図である。

【図10】図7および図8に示される冷陰極管点灯回路における主要な信号の波形とタイミングの他の例(トランジスタの同時オンを防止するためのタイミング調整を行う例)を示す図である。

【図11】本発明に係る冷陰極管点灯回路の回路構成の他の例(ハーフブリッジ回路を構成する2つのトランジスタを共にNMOSトランジスタで構成した例)を示す回路図である。

【図12】プッシュプル構成の圧電トランス駆動回路の構成の一例(従来例)を示す回路図である。

【図13】図12のプッシュプル構成の圧電トランス駆動回路の動作を説明するための、ゲート駆動信号ならびに圧電トランスの一对の1次電極の各々に印加される電圧の波形図である。

【図14】フルブリッジ構成の圧電トランス駆動回路の構成の一例を示す回路図である。

【図15】図14に示される圧電トランスの1次電極の各々に印加される電圧(drain1,drain2)の電圧波形ならびに冷陰極管の管電流(出力電流Iout)の波形の例を示す図である。

【図16】図14の発振回路の内部の回路構成の一例を示す図である。

【図17】図16に示される発振回路における主要な信号の波形およびタイミングを示す図である。

【符号の説明】

【0125】

90 発振回路

110, 120 ハーフブリッジ回路

130 圧電トランス

140 冷陰極管

150 整流回路(検波回路)

160 誤差増幅器(誤差アンプ)

170 デューティ調整回路として機能するローパスフィルタ

10

20

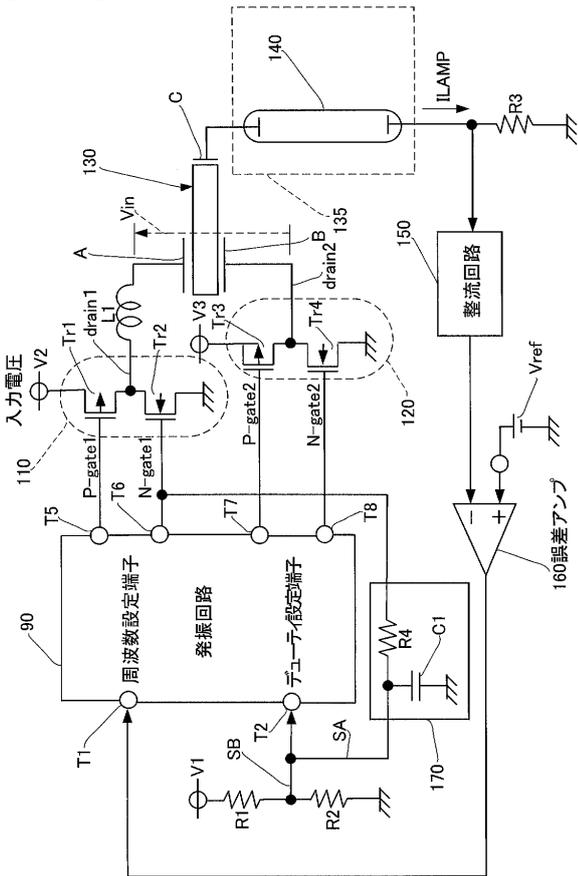
30

40

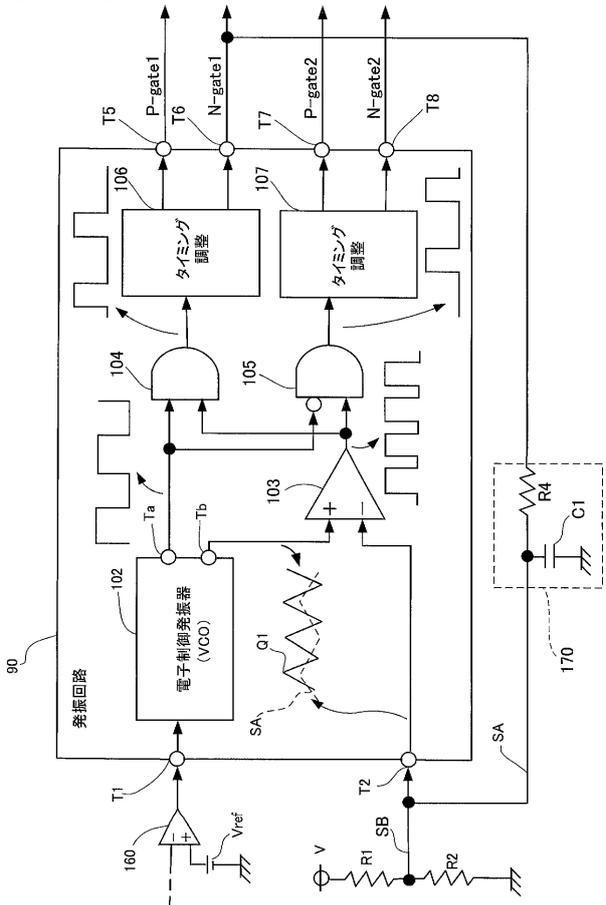
50

- T 1 発振回路の周波数設定端子
- T 2 発振回路のデューティ設定端子
- T 5 ~ T 8 4つのゲート駆動信号を出力する出力端子
- P - gate 1 , P - gate 2 , N - gate 1 , N - gate 2 ゲート駆動信号 (駆動信号)
- T r 1 , T r 2 , T r 3 , T r 4 ハーフブリッジ回路を構成するスイッチングトランジスタ
- R 1 , R 2 分圧電圧をデューティ設定端子 T 2 に印加するための抵抗
- R 3 管電流検出抵抗
- L 1 インダクタ (チョークコイル)
- A , B 圧電トランスの一对の 1 次電極
- C 圧電トランスの 2 次電極
- I L a m p 管電流
- d r a i n 1 , d r a i n 2 ハーフブリッジ回路のドレイン端子またはハーフブリッジ回路の駆動出力信号
- V i n 圧電トランスの入力電圧 (入力信号)

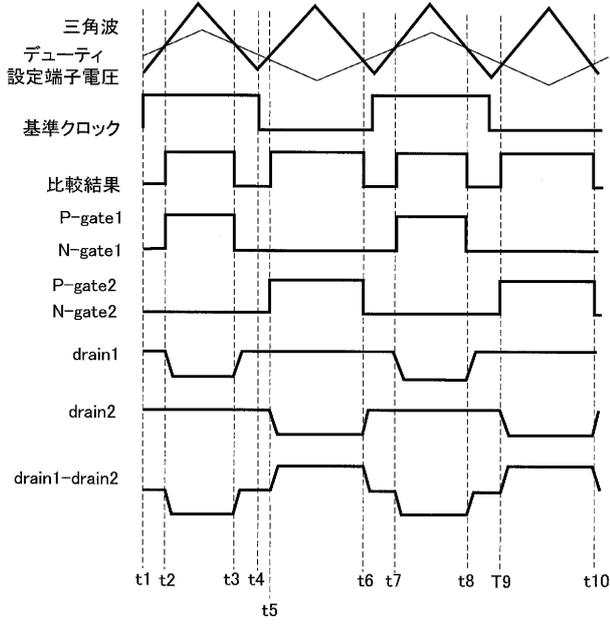
【 図 1 】



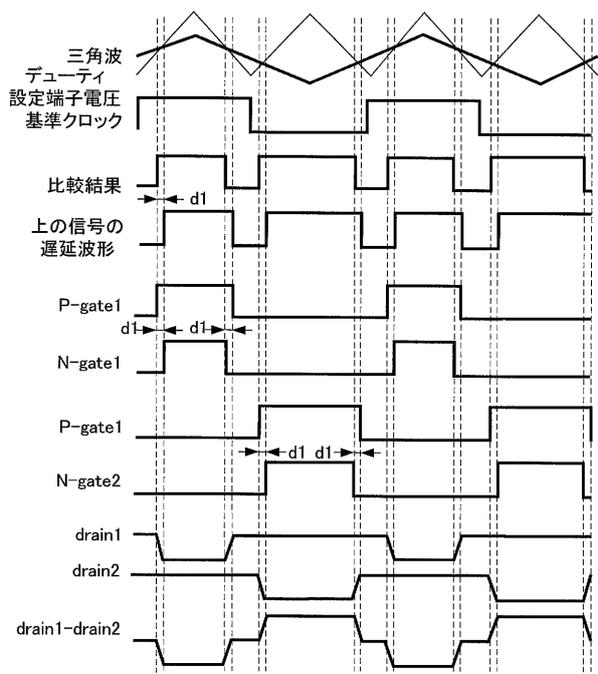
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

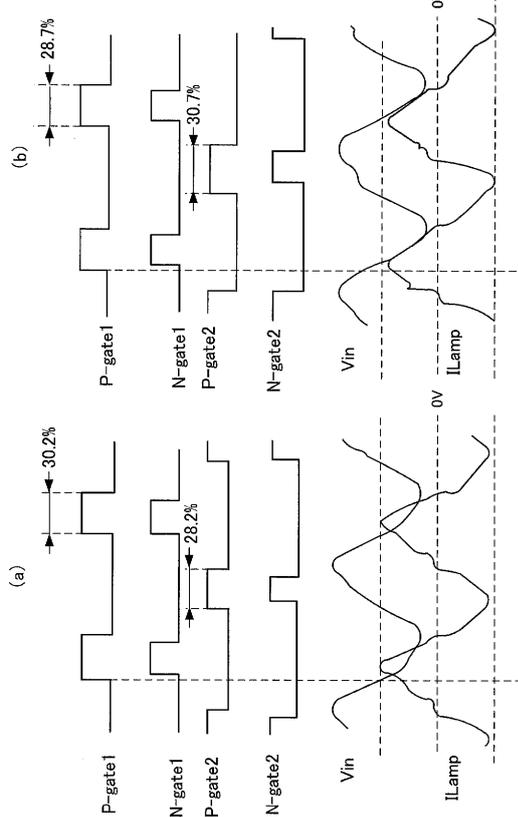
(a)

抵抗値	820K	510K	390K	200K	120K
P-gate1,2のデューティ差	-0.6%	-0.8%	-1.0%	-2.0%	-3.7%
非対称性 (%)	-8%	-10%	-13%	-20%	-25%

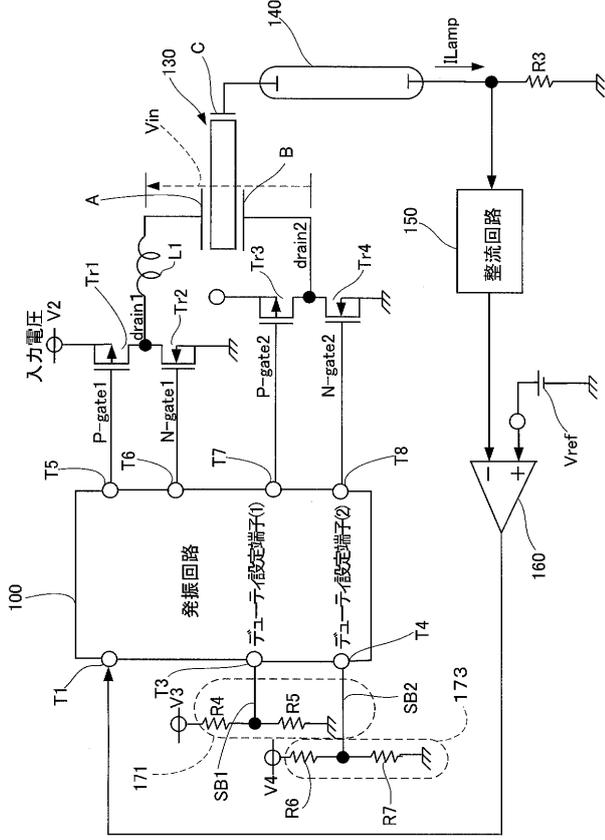
(b)

抵抗値	820K	510K	390K	200K	120K
P-gate1,2のデューティ差	+0.3%	+0.5%	+0.7%	+1.9%	+3.6%
非対称性 (%)	+6%	+9%	+13%	+22%	+51%

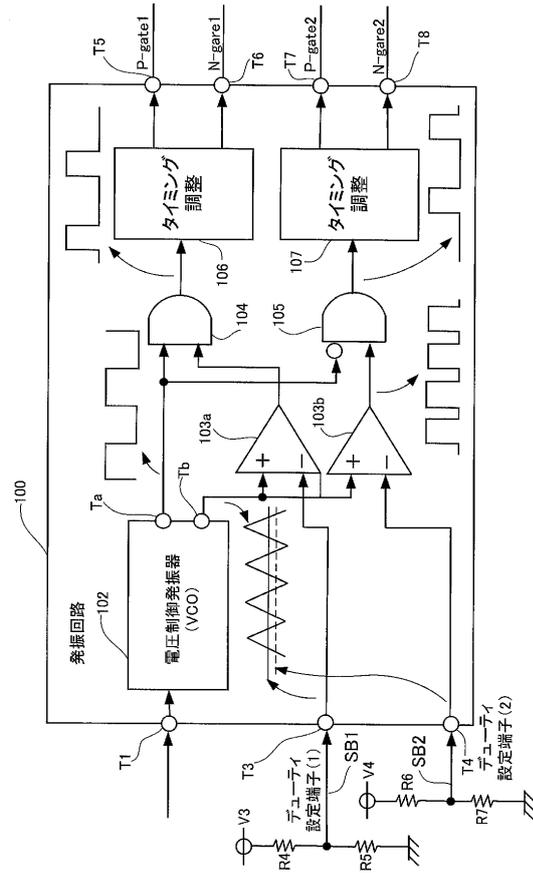
【 図 6 】



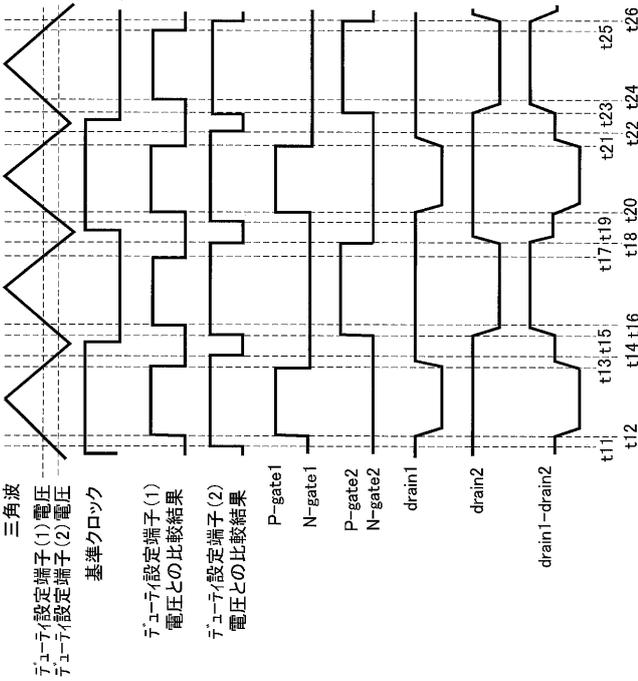
【 図 7 】



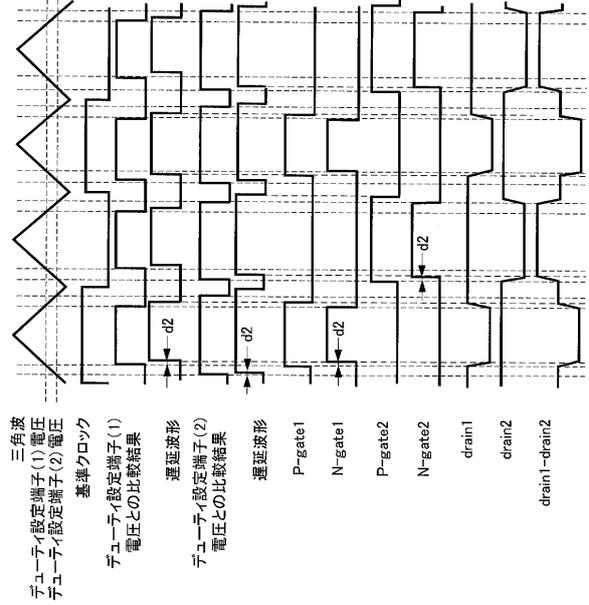
【 図 8 】



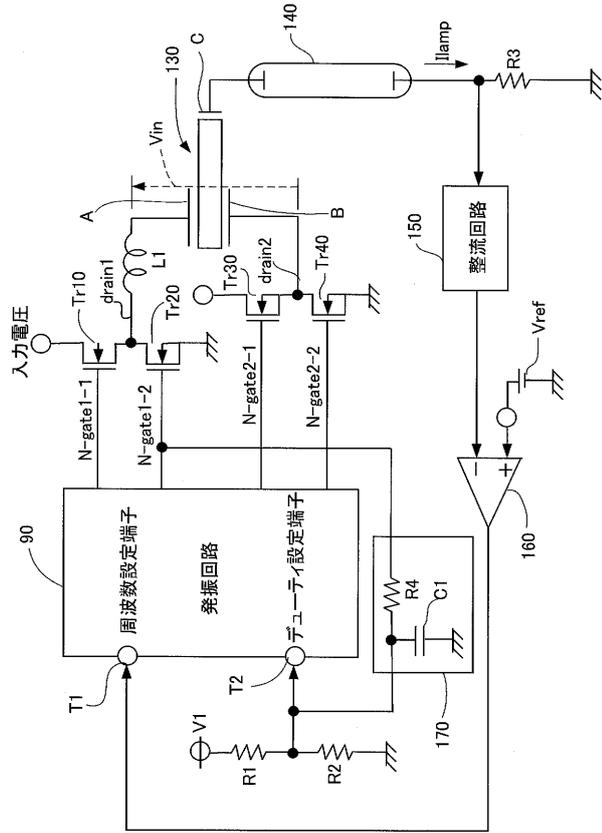
【 図 9 】



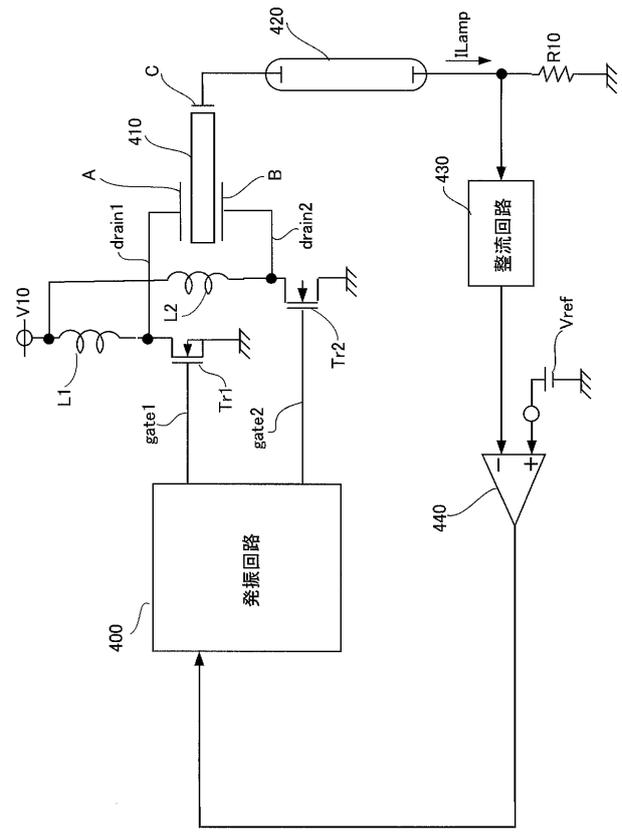
【 図 10 】



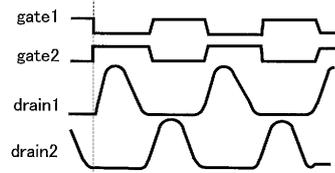
【図 1 1】



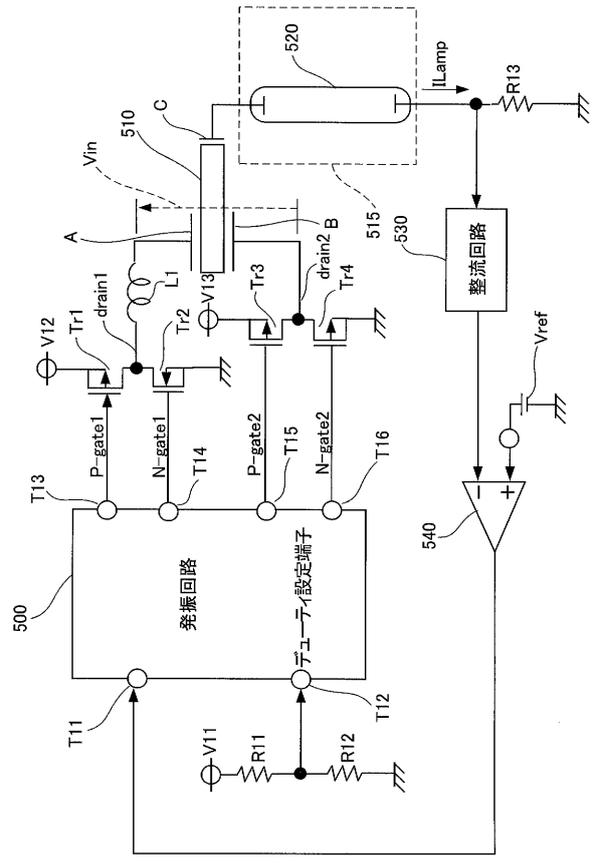
【図 1 2】



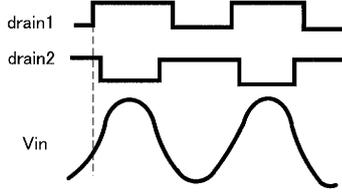
【図 1 3】



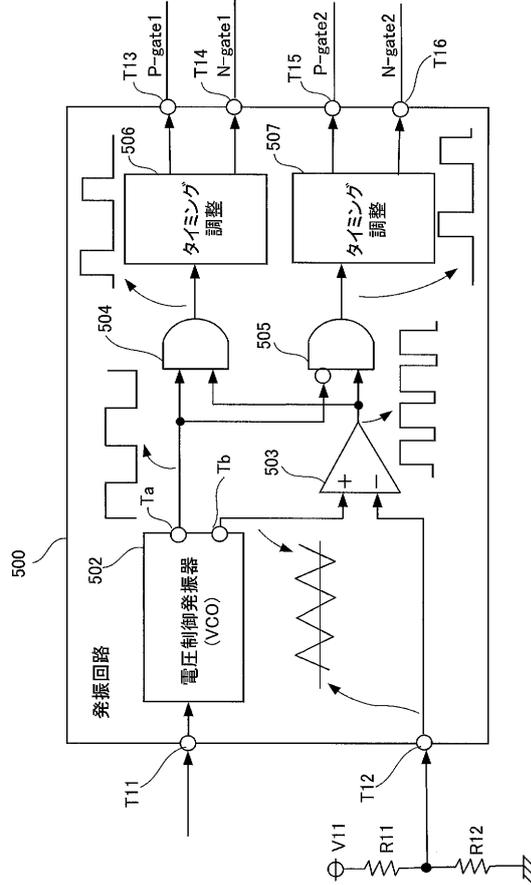
【図 1 4】



【 図 1 5 】



【 図 1 6 】



【 図 1 7 】

