



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I813550 B

(45) 公告日：中華民國 112 (2023) 年 09 月 01 日

(21) 申請案號：106140155

(22) 申請日：中華民國 106 (2017) 年 11 月 20 日

(51) Int. Cl. : H01L21/336 (2006.01)

H01L21/30 (2006.01)

(30) 優先權：2017/08/29 美國

15/689,466

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：江國誠 CHING, KUO CHENG (TW)；程冠倫 CHENG, KUAN LUN (TW)；王志
豪 WANG, CHIH HAO (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

US 9171752B1

US 2009/0134472A1

US 2013/0065326A1

US 2015/0054078A1

US 2016/0049468A1

審查人員：陳俊宏

申請專利範圍項數：10 項 圖式數：22 共 70 頁

(54) 名稱

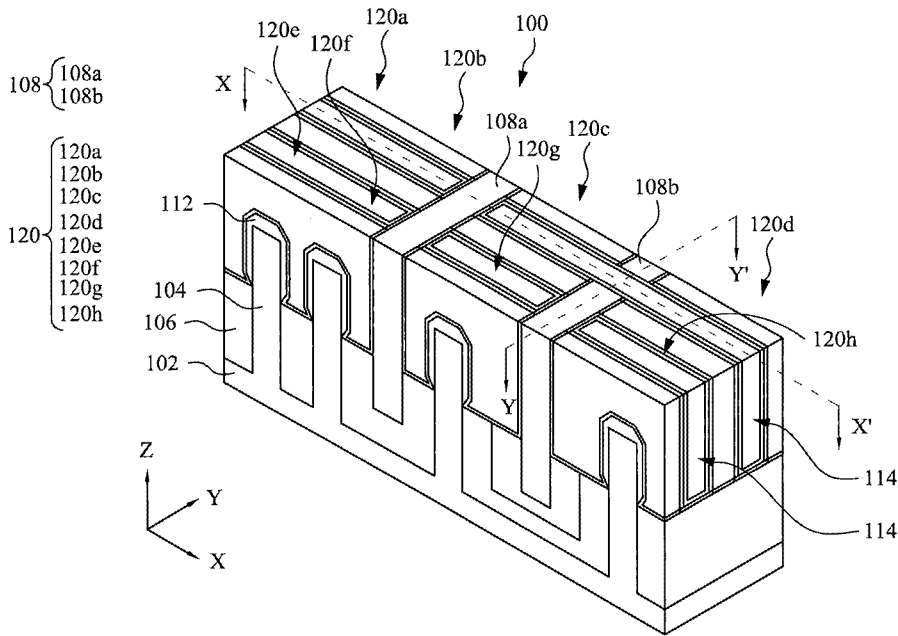
半導體元件及其製造方法

(57) 摘要

半導體元件包括半導體基板、自半導體基板延伸之第一及第二元件鰭片、及設置在半導體基板上及在第一與第二元件鰭片之間的填充鰭片，其中填充鰭片具有開口。半導體元件進一步包括自第一元件鰭片之通道區域穿過開口連續地延伸至第二元件鰭片之通道區域的第一閘極結構。

A semiconductor device includes a semiconductor substrate, first and second device fins extending from the semiconductor substrate, and a fill fin disposed on the semiconductor substrate and between the first and second device fins, wherein the fill fin has an opening. The semiconductor device further includes a first gate structure extending continuously from a channel region of the first device fin to a channel region of the second device fin through the opening.

指定代表圖：



第 1A 圖

符號簡單說明：

- 100:工作件
- 102:基板
- 104:元件鰭片
- 106:隔離特徵
- 108:填充鰭片、虛設鰭片
- 108a:填充鰭片
- 108b:填充鰭片、虛設鰭片
- 112:源極/汲極特徵
- 114:閘極堆疊
- 120:鰭式場效應電晶體 (fin field-effect transistor ; FinFET)
- 120a:鰭式場效應電晶體
- 120b:鰭式場效應電晶體
- 120c:鰭式場效應電晶體
- 120d:鰭式場效應電晶體
- 120e:鰭式場效應電晶體
- 120f:鰭式場效應電晶體
- 120g:鰭式場效應電晶體
- 120h:鰭式場效應電晶體



I813550

【發明摘要】

【中文發明名稱】 半導體元件及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND
METHOD OF FABRICATING THE SAME

【中文】

半導體元件包括半導體基板、自半導體基板延伸之第一及第二元件鰭片、及設置在半導體基板上及在第一與第二元件鰭片之間的填充鰭片，其中填充鰭片具有開口。半導體元件進一步包括自第一元件鰭片之通道區域穿過開口連續地延伸至第二元件鰭片之通道區域的第一閘極結構。

【英文】

A semiconductor device includes a semiconductor substrate, first and second device fins extending from the semiconductor substrate, and a fill fin disposed on the semiconductor substrate and between the first and second device fins, wherein the fill fin has an opening. The semiconductor device further includes a first gate structure extending continuously from a channel region of the first device fin to a channel region of the second device fin through the opening.

【指定代表圖】 第1A圖

【代表圖之符號簡單說明】

- 100 工作件
- 102 基板
- 104 元件鱗片
- 106 隔離特徵
- 108 填充鱗片、虛設鱗片
- 108a 填充鱗片
- 108b 填充鱗片、虛設鱗片
- 112 源極/汲極特徵
- 114 閘極堆疊
- 120 鱗式場效應電晶體(fin field-effect transistor;
FinFET)
- 120a 鱗式場效應電晶體
- 120b 鱗式場效應電晶體
- 120c 鱗式場效應電晶體
- 120d 鱗式場效應電晶體
- 120e 鱗式場效應電晶體
- 120f 鱗式場效應電晶體
- 120g 鱗式場效應電晶體
- 120h 鱗式場效應電晶體

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體元件及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND
METHOD OF FABRICATING THE SAME

【技術領域】

【0001】 本發明實施例係關於一種半導體元件，特別是一種傳導層於閘極、複數個源極/汲極區域及/或基板之上的結構及其製造方法。

【先前技術】

【0002】 半導體積體電路(integrated circuit; IC)行業已經經歷了指數成長。積體電路材料及設計之技術進步已經生產了數代積體電路，其中每一代都具有比上一代更小及更複雜的電路。在積體電路進化的過程中，幾何尺寸（即，用製造製程可製造之最小元件（或導線））減小之同時，功能密度（即，單位晶片面積之互連元件之數目）大致上增加。這種縮小過程大致上藉由提高生產效率及降低相關的成本而提供益處。這種縮小亦增大了積體電路處理及製造之複雜性。

【0003】 為了藉由增大閘極通道耦合、減小截止狀態電流及減少短通道效應(short-channel effect; SCE)來改良閘極控制，已經引入了多閘極元件。已引入之一個這種多閘極元件為鰭式場效應電晶體(fin field-effect transistor;

FinFET)。鰭式場效應電晶體從自基板延伸之鰭式結構獲得其名稱，此鰭式結構在此基板上形成，及此基板用以形成場效應電晶體通道。鰭式場效應電晶體與習知互補金屬氧化物半導體(complementary metal-oxide-semiconductor; CMOS)製程相容，以及他們的三維結構允許它們高度縮放，同時維持閘極控制及減輕短通道效應。例如，鰭式場效應電晶體製造製程可以包括金屬閘極沉積接著為後續金屬閘極切斷製程。有時，金屬閘極切斷製程可以導致層間介電(inter-layer dielectric; ILD)層損失及功函數金屬損傷，從而導致降低裝置可靠性。

【發明內容】

【0004】 本揭露之一實施態樣為一種半導體元件，包含半導體基板、填充鰭片、第一及第二元件鰭片及第一閘極結構。第一及第二元件鰭片自半導體基板向上延伸，且第一及第二元件鰭片沿第一方向縱向延伸。填充鰭片設置於半導體基板上且在第一與第二元件鰭片之間，其中填充鰭片包含介電材料且沿第一方向延伸，填充鰭片具有凹口。第一閘極結構透過凹口自第一元件鰭片之通道區連續地延伸至第二元件鰭片之通道區。

【0005】 本揭露的另一實施態樣為一種半導體元件，包含自基板延伸的元件鰭片、設置於基板之上的介電鰭片，設置在元件鰭片與介電鰭片兩者的側壁上的隔離特徵，以及閘

極結構。介電鱗片的頂端部分具有一凹口，隔離特徵的一部分直接位於介電鱗片的最底部分之下。

【0006】 閘極結構接合元件鱗片的頂端部分並延伸至凹口的上方。本揭露的另一實施態樣為一種製造半導體元件的方法，包含形成第一元件鱗片及第二元件鱗片，自基板延伸；形成填充鱗片在第一元件鱗片與第二元件鱗片之間；部分凹陷填充鱗片而不凹陷第一元件鱗片與第二元件鱗片，以在填充鱗片的頂表面形成溝槽；以及形成閘極結構，接合第一元件鱗片與第二元件鱗片，其中閘極結構透過溝槽自第一元件鱗片的通道區域連續地延伸至第二元件鱗片的通道區域。

【圖式簡單說明】

【0007】 當結合附圖閱讀時，自以下詳細描述很好地理解本揭露之態樣。應強調，根據工業標準操作規程，各特徵並未按比例繪製且僅用於所繪示的之目的。事實上，為論述清楚，各特徵之大小可任意地增加或縮小。

第1A圖為根據本揭露之各態樣之工作件的透視圖。

第1B圖及第1C圖為根據本揭露之各態樣之在第1A圖中的工作件的橫剖面圖。

第2A圖及第2B圖為根據本揭露之各態樣之製造具有填充鱗片之工作件的方法的流程圖。

第3圖、第4圖、第5圖、第6圖、第7圖、第8圖、第9圖及第10圖為根據本揭露之各態樣之在製造具有填充鱗片

之工作件的方法於各種階段沿工作件之通道區域截取的橫剖面圖。

第11A圖為根據本揭露之各態樣之在製造具有填充鰭片之工作件的方法的階段處的工作件的透視圖。

第11B圖、第12圖、第14圖、第15圖、第16圖、第17圖、第18圖、第19圖、第20A圖為根據本揭露之各態樣之在製造具有填充鰭片之工作件的方法於各種階段沿第11A圖中的工作件的通道區域截取的橫剖面圖。

第11C圖、第13圖、第20B圖、第21圖為根據本揭露之各態樣之在製造具有填充鰭片的工作件的方法於各種階段沿第11A圖中之工作件的源極/汲極區截取之橫剖面圖。

第22A圖為根據本揭露之各態樣之另一工作件的透視圖。

第22B圖為根據本揭露之各態樣之在製造具有填充鰭片的工作件的方法於各種階段沿第22A圖中之工作件的通道區域截取之剖面圖。

【實施方式】

【0008】 應理解，以下揭示案提供許多不同實施例或例子，為實現本揭露之不同的特徵。下文描述之組件及排列之特定之實例為了簡化本揭露。當然，此等僅僅為實例且不意指限制。舉例而言，在隨後描述中在第二特徵上方或在第二特徵上第一特徵之形成可包括第一及第二特徵形成為直接接觸之實施例，以及亦可包括額外特徵可形成在第一及第二

特徵之間，使得第一及第二特徵可不直接接觸之實施例。另外，本揭露在各實例中可重複元件符號及/或字母。此重複為出於簡易及清楚之目的，且本身不指示各實施例及/或結構之間之關係超過所指出範圍。

【0009】 此外，在隨後在本揭露描述中在另一特徵上、連接至另一特徵及/或耦接至另一特徵之第一特徵之形成可包括特徵以直接接觸而形成之實施例，以及亦可包括額外特徵可形成在特徵之間，使得特徵可不直接接觸之實施例。另外，空間相對術語，例如，「下部」、「上部」、「水平」、「垂直」、「以上」、「上方」、「以下」、「在…之下」、「向上」、「向下」、「頂部」、「底部」等，以及其衍生詞（例如，「水平地」、「向下地」、「向上地」等）可在本文用以便於描述，以描述一個特徵相對另一特徵的關係。空間相對術語意圖覆蓋包括特徵之裝置的不同取向。

【0010】 應注意，本揭露呈現在本文稱作鰭式場效應電晶體元件之多閘極電晶體或鰭式多閘極電晶體的形式之實施例。這種元件可以包括P型金氧氧化物半導體鰭式場效應電晶體元件或N型金氧氧化物半導體鰭式場效應電晶體元件。鰭式場效應電晶體元件可為雙閘極元件、三閘極元件、塊元件、矽絕緣體(silicon-on-insulator; SOI)元件、及/或其他配置。一般技藝者可以識別可受益於本揭露之態樣的半導體元件之其他實施例。例如，如本文描述之一些實施例亦可應用至全捲繞閘極(gate-all-around; GAA)元件、 Ω 閘極(Ω -gate)元件或 π 閘極(π -gate)元件。

【0011】 本揭露大致係關於半導體元件及製造。更特定而言，一些實施例係關於與元件鰭片一起形成介電填充鰭片。藉由在元件鰭片之間插入額外填充鰭片，改良鰭片密度之均勻性並提供更好結構保真度。在一些實例中，將這些填充鰭片（其亦可稱作虛設鰭片）添加至無元件鰭片之區域。填充鰭片可能會浮動，並且與它們功能對應物相反，即，它們大致對電路之操作沒有影響。如下文描述，填充鰭片可以進一步在形成於相鄰元件鰭片上之閘極堆疊之間提供電絕緣及/或經由形成於填充鰭片上之開口（例如，溝槽或凹口）提供閘極互連特徵。

【0012】 本揭露之實施例提供各優勢，但是應理解，其他實施例可提供不同優勢，在本文中不一定論述所有優勢，以及無特定優勢對所有實施例為必需。在至少一些實施例中，填充鰭片提供用於相鄰元件鰭片之結構支撐件，諸如增大鰭片密度及減輕源極/汲極(source/drain; S/D)接觸金屬拉進層間介電(ILD)層或淺溝槽隔離(shallow trench isolation; STI)特徵中的情況（在鰭片密度低時可能發生）。此外，在本揭露之至少一些實施例中，填充鰭片之結構實質上可避免由金屬閘電極製造製程中之金屬閘極切斷製程導致的層間介電層損失及功函數金屬損傷。金屬閘電極製造製程可包括金屬層沉積及隨後的金屬層切斷製程。有時，金屬層切斷製程可能導致過度蝕刻元件鰭片之底部，從而導致層間介電層損失及功函數金屬損傷，引起閾值電壓變換及元件可靠性降低。

【0013】 第1A圖為根據本揭露之各態樣之工作件100之部分的透視圖。為清晰及更好地說明本揭露之原理起見，簡化了第1A圖。額外特徵可併入工作件100，及下文描述之特徵之一些可在工作件100之其他實施例中替換或除去。第1B圖及第1C圖分別指沿通道區域（例如，沿X-X'線）及縱向中之填充鰭片區（例如，沿Y-Y'線）截取的截面部分。在本文一起描述第1A圖、第1B圖及第1C圖。

【0014】 工作件100包括具有一或多個元件鰭片104（例如，元件鰭片104a、元件鰭片104b、元件鰭片104c及元件鰭片104d）之基板102，此一或多個元件鰭片104在此基板上形成並藉由隔離特徵106分隔。元件鰭片104亦與填充鰭片108（例如，填充鰭片108a及填充鰭片108b）交錯。元件鰭片104表示為任何抬起特徵，而同時所繪示的之實施例包括鰭式場效應電晶體元件鰭片104，另外實施例則包括在基板102上形成之其他抬起之主動及被動元件。在所繪示的實施例中，元件鰭片104自基板102延伸。

【0015】 隔離特徵106圍繞元件鰭片104之底部部分。在一些實施例中，隔離特徵106為淺溝槽隔離(STI)特徵。隔離特徵106可以包括一或多個子層（例如，隔離特徵層106a及隔離特徵層106b）。每個子層可以包括相同的或不同的介電材料組成。在所繪示的實施例中，隔離特徵層106b圍繞填充鰭片108a之底部部分，以及隔離特徵層106a及隔離特徵層106b兩者圍繞填充鰭片108b之底部部分。

【0016】 在一些實施例中，填充鰭片108b之底表面在隔離特徵106之頂表面以下約30奈米至約60奈米的範圍。在一些實施例中，填充鰭片108b之底表面在填充鰭片108a之底表面以上。元件鰭片104及填充鰭片108可以具有大致上相同之寬度，諸如在約4奈米至約8奈米之範圍中。自元件鰭片104之一個至相鄰填充鰭片108的距離可在約8奈米至約19奈米之範圍中，諸如在一個實例中自約8奈米至約16奈米，或在另一實例中自約12奈米至約19奈米。

【0017】 在一些實施例中，元件鰭片104包括通道區域110設置於一對相對的源極/汲極特徵112之間。穿過通道區域110之載流子（N通道鰭式場效應電晶體為電子及P通道鰭式場效應電晶體為電洞）的流量藉由電壓控制，此電壓被施加至鄰近於並外包裹通道區域110中之元件鰭片104的閘極堆疊114。在各實施例中，閘極堆疊114為多層結構。閘極堆疊114可以包括閘極介電層116及閘電極層118。在一些實施例中，閘極堆疊114另外包括輸入/輸出(input/output; I/O)氧化物層126。在一些實施例中，閘電極層118可以為多晶矽層或金屬閘電極層。在所繪示的實施例中，閘電極層118為金屬閘電極層，其進一步包括多個層，諸如功函數金屬層及金屬填充層。

【0018】 在所繪示的實施例中，通道區域110抬升高於基板102之平面(且形成於其上)及隔離特徵106。因此，在元件鰭片104上形成之電路元件可稱作「非平面」元件。相較於平面元件，抬起的通道區域110提供了更大的表面積相

鄰於閘極堆疊114。這強化在閘極堆疊114與通道區域110之間之電磁場交互作用，可減小與較小元件有關之漏電及短通道效應。因而在多個實施例中，鰭式場效應電晶體及其他非平面元件能比他們的平面對應元件以低能耗的方式傳遞更好的效能。

【0019】 在所繪示的實施例中，工作件100包括沿Y方向縱向取向之四個元件鰭片104、沿Y方向縱向取向之兩個填充鰭片108、及沿垂直於Y方向之X方向縱向取向之兩個閘極堆疊114。提供第1A至1C圖中之工作件100以用於說明之目的且並不一定將本揭露之實施例限於任何數目之元件鰭片、填充鰭片及閘極堆疊，或任何配置之結構或區域。在元件鰭片104與閘極堆疊114之每個交叉點處，形成鰭式場效應電晶體120（例如，鰭式場效應電晶體120a至鰭式場效應電晶體120h）。

【0020】 填充鰭片108在元件鰭片104以上向上延伸。在各實施例中，填充鰭片108及閘極堆疊114之頂表面大致上共面。因此，填充鰭片108將閘極堆疊114分成若干部分。在虛設鰭片108之同一側面上的鰭式場效應電晶體120在同一部分中共用閘極堆疊114，這些鰭式場效應電晶體之閘極堆疊電耦接，諸如在所繪示的實施例中之鰭式場效應電晶體120a及鰭式場效應電晶體120b。在填充鰭片108之不同側面上的鰭式場效應電晶體120在不同部分中具有閘極堆疊114，這些鰭式場效應電晶體之閘極堆疊電隔離，諸如藉由虛設鰭片108b分隔之鰭式場效應電晶體120g與鰭式場效

應電晶體120h之間的閘極堆疊114。因為填充鰭片可以在閘極堆疊部分之間提供電絕緣，所以它們亦可稱作隔離鰭片。填充鰭片108b與填充鰭片108a之間的差異為填充鰭片108b具有開口122，其自填充鰭片108b之一個側壁延伸至填充鰭片108b之另一側壁。開口122允許閘極堆疊114自虛設鰭片108b之一側上的鰭式場效應電晶體120之通道區域110延伸至在虛設鰭片108b之相對側上的另一鰭式場效應電晶體120之通道區域110，從而在這兩個鰭式場效應電晶體（諸如在所繪示的實施例中之鰭式場效應電晶體120c及鰭式場效應電晶體120d）之間提供電互連。開口122中之閘極堆疊114（如在第1B圖中之虛線之間的區域中所示）亦可稱作在兩個相鄰鰭式場效應電晶體之間的閘極互連。在一些實施例中，開口122經打開為穿過填充鰭片108b之側壁的孔穴，其由開口122之全部邊緣上之虛設鰭片108b圍繞。在所繪示的實施例中，開口122形成於填充鰭片108b之頂表面上。在這種情況下，開口122可認為係溝槽或凹口。

【0021】 在一實例中，根據開口122之深度，開口122之底表面124可高於元件鰭片104之頂表面125。在又一實例中，開口122之底表面124低於元件鰭片104之頂表面125。在各實施例中，開口122具有在約15奈米至約40奈米之範圍中的深度。在一些實施例中，開口122之側壁及底表面被閘極介電層116所直接覆蓋。在另外一些實施例中，虛設鰭片108之側壁亦被閘極介電層116所直接覆蓋。在所繪示的實施例中，虛設鰭片108之側壁及元件鰭片104之頂表

面及側壁被輸入/輸出(I/O)氧化物層126所直接覆蓋。輸入/輸出氧化物層126包括經配置以提供保護而免於發生靜電放電(ESD)事件之氧化物層。輸入/輸出氧化物層126可以包括不同於閘極介電層116之材料組成。

【0022】 如下文詳細所繪示的，填充鰭片108a及填充鰭片108b及開口122可以在形成閘極堆疊114之前形成，從而允許閘極堆疊114在鰭式場效應電晶體120之通道區域110之間均勻地延伸並減輕在傳統上金屬閘極切斷製程中導致的功函數金屬損傷。

【0023】 另外，如在第1A至1C圖中所繪示的之半導體結構可為在處理積體電路過程中製造的中間元件或其部分，其可以包含靜態隨機存取記憶體(static random access memory; SRAM)及/或邏輯電路、諸如電阻器、電容器及電感器之被動元件，及諸如P型場效電晶體(field effect transistors; PFETs)、N型場效電晶體之主動元件，諸如鰭式場效應電晶體、金屬氧化物半導體場效電晶體(metal-oxide semiconductor field effect transistors; MOSFETs)、互補金屬氧化物半導體(complementary metal-oxide semiconductor; CMOS)電晶體、雙極電晶體之多閘極FET、高壓電晶體、高頻電晶體、其他記憶體單元及其組合。

【0024】 第2A圖及第2B圖為根據本揭露之各態樣之製造具有虛設鰭片之工作件300的方法200的流程圖。工作件300可以在許多方面大致上類似於第1A至1C圖之工作件

100。應理解，額外步驟可在方法200之前、在方法200期間及在方法200之後提供，及對於其他實施例之方法200可替換或除去所描述之一些步驟。在下文結合第3圖至第20B圖描述方法200。第3圖至第10圖所繪示的根據本揭露之各態樣之在製造具有填充鰭片的工作件300的方法200於各階段的工作件300的橫剖面圖。第11A圖至第11C圖所繪示的虛設閘極在其上形成之後的工作件300的透視圖及橫剖面圖。第12圖至第20B圖為根據本揭露之態樣之在製造的各階段期間沿第11A圖之通道區域（例如，沿B-B'線）或者源極/汲極區（例如，沿C-C'線）截取的工作件300的部分的橫剖面圖。

【0025】 首先參照第2A圖之方框202及第3圖，接收包括要在其上形成鰭片之基板102的工作件300。在各實施例中，基板102包括元素（單元素）半導體，諸如在晶體結構中之矽或鍺；化合物半導體，諸如矽鍺、碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮及/或銻化銮；非半導體材料，諸如鈉鈣玻璃、熔凝矽石、熔凝石英、及/或氟化鈣(CaF₂)；及/或其組合。

【0026】 基板102組成可以為均勻的或可以包括各種層，其中一些可以經選擇性蝕刻以形成鰭片。層可以具有類似或不同組成，及在不同實施例中，一些基板層具有不均勻組成以誘導元件應變從而調諧元件效能。多層基板之實施例包括矽絕緣體(silicon-on-insulator; SOI)基板102。在一些

這種實例中，基板102之層可以包括絕緣體，諸如氧化矽、氮化矽、氮氧化矽、碳化矽、及/或其他適宜絕緣體材料。

【0027】 參照第2A圖之方框204及繼續參照第3圖，方法200係對基板102進行圖案化以形成自基板102延伸之一或多個元件鱗片104。這可以包括在基板102上形成硬遮罩302及圖案化基板102以界定元件鱗片104。硬遮罩302可以包括介電質，諸如氧化矽、氮化矽、氮氧化矽、及/或碳化矽，以及在例示性的實施例中，第一硬遮罩302包括氮化矽。硬遮罩302可以形成至任何適宜厚度以及可以藉由任何適宜製程（包括熱生長、化學氣相沉積(chemical vapor deposition; CVD)、高密度電漿化學氣相沉積(high-density plasma CVD; HDP-CVD)、物理氣相沉積(physical vapor deposition; PVD)、原子層沉積(atomic-layer deposition; ALD)及/或其他適宜沉積製程）形成。

【0028】 為圖案化硬遮罩302，方框204可以包括諸如光微影及蝕刻之各種製程。光微影製程可以包括在基板102上方形成光阻（未繪示）。示範性光阻包括對諸如紫外線光、深度紫外線(deep ultraviolet; DUV)輻射、及/或極紫外線(EUV)輻射之輻射敏感的光敏材料。對工作件300執行微影曝光，將光阻之選擇區域暴露於輻射下。此暴露導致化學反應在光阻之曝光區域中發生。在曝光之後，將顯影劑施用於光阻。在正光阻顯影製程之情況下，顯影劑溶解或去除曝光區域，或者在負光阻顯影製程之情況下，可溶解或去除未曝

光區域。適宜正顯影劑包括氫氧化四甲基銨（TMAH）、氫氧化鉀（KOH）及氫氧化鈉（NaOH），及適宜負顯影劑包括諸如乙酸正丁酯、乙醇、己烷、苯及甲苯之溶劑。在顯影光阻之後，硬遮罩302之暴露部分可以藉由蝕刻製程去除，諸如濕式蝕刻、乾式蝕刻、活性離子蝕刻(Reactive Ion Etching; RIE)、灰化、及/或其他蝕刻方法，從而產生圖案化之硬遮罩302。在蝕刻之後，可以去除光阻。

【0029】 隨後，使用圖案化硬遮罩302蝕刻基板102以界定元件鱗片104。蝕刻製程可以包括任何適宜蝕刻技術，諸如濕式蝕刻、乾式蝕刻、活性離子蝕刻、灰化、及/或其他蝕刻方法。在一些實施例中，蝕刻包括具有不同蝕刻化學劑之多個蝕刻步驟，各針對基板102之特定材料及各經選擇以防蝕刻硬遮罩302。例如，乾式蝕刻製程可以實施含氧氣體、含氟氣體（例如， CF_4 、 SF_6 、 CH_2F_2 、 CHF_3 及/或 C_2F_6 ）、含氯氣體（例如， Cl_2 、 CHCl_3 、 CCl_4 及/或 BCl_3 ）、含溴氣體（例如， HBr 及/或 CHBR_3 ）、含碘氣體、其他適宜氣體及/或電漿、及/或其組合。例如，濕式蝕刻製程可以包含在稀釋氫氟酸(DHF)；氫氧化鉀(KOH)溶液；氨水；含有氫氟酸(HF)、硝酸(HNO_3)及/或乙酸(CH_3COOH)之溶液中；或其他適宜濕式蝕刻劑中蝕刻。半導體層之剩餘部分變成元件鱗片104，從而界定元件鱗片104之間的溝槽304，諸如在所繪示的實施例中之溝槽304a至溝槽304c。

【0030】 在所繪示的實施例中，硬遮罩302界定在其間具有不同間距之四個元件鱗片104，儘管在另外實例中，硬

遮罩302可以界定具有任何適宜間距之任何數目的元件鰭片104。在元件鰭片具有寬間距之區域中，鰭片密度變低，諸如在元件鰭片104b、元件鰭片104c與元件鰭片104d之間。為解決這個問題，填充鰭片可以形成於這種區域中以增大鰭片密度。較高鰭片密度的益處之一為它向元件鰭片及要在元件鰭片上形成之特徵提供更好的支撐，諸如S/D接觸金屬，其可能會有金屬拉進寬間距分隔之元件鰭片之間的區域中的影響。後續製程在如在方框206至方框212中所繪示之元件鰭片104之間形成填充鰭片。

【0031】 參照第2A圖之方框206及第4圖，溝槽304充滿介電材料以形成隔離特徵106，諸如淺溝槽隔離特徵(STI)。隔離特徵106可以包括多個層，諸如作為多個層之一在第4圖中描述之第一隔離特徵層106a。用於第一隔離特徵層106a之適宜介電材料包括氧化矽、氮化矽、碳化矽、氟矽玻璃(FSG)、低介電常數(low-k)介電材料、及/或其他適宜介電材料。介電材料可以藉由包括熱生長、化學氣相沉積、高密度電漿化學氣相沉積、物理氣相沉積、原子層沉積及/或旋塗方法之任何適用技術而沉積。在所繪示的實施例中，第一隔離特徵層106a沉積為共形層，從而覆蓋各元件鰭片104。可以使用共形沉積方法，諸如原子層沉積製程。

【0032】 溝槽304之寬度在沉積第一隔離特徵層106a之後變得更狹小。將在下文所繪示的是，填充鰭片將會形成於這些溝槽之一些中。相對而言，在元件鰭片104之間具有相對狹小間距之一些溝槽（諸如溝槽304a）可以藉由第一隔

離特徵層106a填補，因而沒有填充鰭片形成於這個溝槽中。一些溝槽可以具有大致上與元件鰭片104之寬度相同的減小寬度，諸如溝槽304b。在元件鰭片104之間具有相對寬間距之一些溝槽可以仍然具有大縫隙，諸如溝槽304c。隔離特徵106之額外層可以充滿溝槽304c中以進一步減小縫隙，諸如要在下文描述之第二隔離特徵層106b。隔離特徵106之額外層亦有助於界定填充鰭片在溝槽中之位置。

【0033】 參照第2A圖之方框208及第5圖，圖案化之介電材料502形成於工作件300上，從而覆蓋溝槽304c以在內部沉積隔離特徵106之額外層。用於介電材料502之適宜介電材料包括氧化矽、氮化矽、碳化矽及/或其他適宜介電材料。選擇對第一隔離特徵層106a具有蝕刻選擇性的介電材料502。介電材料502可以藉由包括熱生長、化學氣相沉積、高密度電漿化學氣相沉積、物理氣相沉積、原子層沉積及/或旋塗方法之任何適用技術而沉積。在一個這種實施例中，化學氣相沉積製程用以沉積可流動的介電材料，此可流動介電材料包括介電質組分及液體或半流體狀態之溶劑兩者。固化過程是用以驅散溶劑，保留介電材料502處在其固態中。在沉積之後，可以執行化學機械平坦化(Chemical Mechanical Planarization; CMP)製程以去除多餘介電材料。可以執行光微影製程以圖案化介電材料502。光微影製程包括在介電材料502上方形成光阻、將光阻曝光以界定各種幾何形狀之圖案、執行曝光後烘烤製程、以及顯影光阻以形成遮罩元件。在顯影光阻之後，可以藉由蝕刻製程，諸如

濕式蝕刻、乾式蝕刻、活性離子蝕刻、灰化及/或其他蝕刻方法，去除介電材料502之暴露部分。在蝕刻之後，可以去除光阻。圖案化之介電材料502暴露第一隔離特徵層106a之部分。

【0034】 參照第2A圖之方框208及第6圖，第一隔離特徵層106a之暴露部分藉由蝕刻製程去除，諸如濕式蝕刻、乾式蝕刻、活性離子蝕刻、灰化及/或其他蝕刻方法。藉由選擇針對第一隔離特徵層106a之材料組成同時抗蝕刻介電材料502的蝕刻劑，溝槽304c保持由介電材料502覆蓋，並且暴露相鄰於溝槽304a及溝槽304b的元件鱗片104。在去除第一隔離特徵層106a之暴露部分之後，藉由適宜的蝕刻劑去除介電材料502。

【0035】 參照第2A圖之方框210及第7圖，第二隔離特徵層106b形成於工作件300以上，從而覆蓋暴露的元件鱗片104及保留的第一隔離特徵層106a。用於第二隔離特徵層106b之適宜介電材料包括半導體氧化物、半導體氮化物、半導體碳化物、氟矽玻璃(FSG)、低介電常數介電材料、及/或其他適宜介電材料。介電材料可以藉由包括熱生長、化學氣相沉積、高密度電漿化學氣相沉積、物理氣相沉積、原子層沉積及/或旋塗方法之任何適用技術而沉積。在多方面，第二隔離特徵層106b可以大致上類似於第一隔離特徵層106a，以及可以對工作件300執行類似沉積製程以沉積第二隔離特徵層106b。在所繪示的實施例中，第二隔離特徵層106b包括與第一隔離特徵層106a相同的材料組成，並藉

由諸如原子層沉積製程之共形沉積方法來沉積。在又一實施例中，第一隔離特徵層106a及第二隔離特徵層106b包括不同材料組成。例如，第一隔離特徵106a可以包括氧化矽，而第二隔離特徵層106b可以包括氮化矽，或第一隔離特徵106a可以包括氮化矽，而第二隔離特徵層106b可以包括碳化矽。溝槽304c之寬度在沉積第一隔離特徵層106a及第二隔離特徵層106b之後進一步減小。溝槽304c之減小寬度可以變得接近元件鱗片104之寬度。

【0036】 參照第2A圖之方框212及第8圖，填充鱗片108沉積於溝槽304中，諸如溝槽304b中之填充鱗片108a及溝槽304c中之填充鱗片108b。由於插在隔離特徵層106b與基板102之間的隔離特徵層106a之額外層，填充鱗片108b可以具有高於填充鱗片108a之底表面。填充鱗片108a及填充鱗片108b可以包括任何適宜介電材料，其包括碳氮化矽、氮氧碳化矽及金屬氧化物，諸如二氧化鉛、氧化鋅及氧化鋁、及/或其他適宜介電材料，以及可以藉由包括熱生長、化學氣相沉積、高密度電漿化學氣相沉積、物理氣相沉積、原子層沉積及/或其他適宜製程之任何適宜的沉積製程而沉積。在實例中，填充鱗片108包括藉由化學氣相沉積之氧化鋁(Al_2O_3)。在一些實施例中，填充鱗片108具有與元件鱗片104大致上相同的寬度。在沉積之後，可執行化學機械平坦化製程以去除多餘介電材料。在一些實施例中，硬遮罩302可以充當化學機械平坦化停止層。

【0037】 參照第2A圖之方框214及第9圖，凹陷隔離特徵106。在所繪示的實施例中，隔離特徵106包括第一隔離特徵層106a及第二隔離特徵層106b。任何適宜蝕刻技術可用於凹陷隔離特徵106，其包括乾式蝕刻、濕式蝕刻、活性離子蝕刻及/或其他蝕刻方法，及在示範性實施例中，各向異性乾式蝕刻用於選擇性地去除隔離特徵106之介電材料而不蝕刻元件鱗片104及填充鱗片108。硬遮罩302亦可在凹陷隔離特徵106之前、期間及/或之後去除。在一些實施例中，硬遮罩302藉由在凹陷隔離特徵106之前執行化學機械平坦化製程而去除。在一些實施例中，硬遮罩302藉由用以凹陷隔離特徵106之蝕刻劑而去除。在方框214之後，元件鱗片104及填充鱗片108自凹陷的隔離特徵106向上地延伸。在隔離特徵106以上之填充鱗片108a及填充鱗片108b之高度分別表示為 H_{d1} 及 H_{d2} 。元件鱗片104之高度表示為 H_f 。 H_{d1} 及 H_{d2} 兩者高於 H_f 。例如，比率 H_{d1}/H_f 為約1.1至約1.5。各別填充鱗片108a及填充鱗片108b之寬度 W_{d1} 及寬度 W_{d2} 可以與元件鱗片104之寬度 W_f 大致上相同，諸如從約4奈米至約8奈米。在一些實施例中， W_{d2} 可以大於 W_{d1} ，因為填充鱗片108b在其內部形成之溝槽304c（第7圖）具有更大溝槽寬度。例如，比率 W_{d2}/W_{d1} 大於1.5，諸如為2至3。

【0038】 參照第2A圖之方框216及第10圖，輸入/輸出(I/O)氧化物層126形成於工作件300上。在一些實施例中，輸入/輸出氧化物層126包括經配置以提供保護免於靜電放電(ESD)事件之氧化物層。輸入/輸出氧化物層126可以藉由

任何適用技術（包括熱生長、化學氣相沉積、物理氣相沉積及原子層沉積）形成為覆蓋元件鱗片104及填充鱗片108之毯覆層。在所繪示的實施例中，輸入/輸出氧化物層126包括二氧化矽，並藉由共形沉積方法（諸如原子層沉積製程）沉積。

【0039】 虛設閘極（亦可稱作犧牲閘極）可以隨後形成於元件鱗片104之通道區域110上方。參照第2A圖之方框218及參照第11A圖，虛設閘極1102形成於通道區域110上。第11B圖及第11C圖指分別穿過通道區域（例如，沿B-B'線）及源極/汲極區（例如，沿C-C'線）之截面區域，以更好地所繪示的底下特徵。虛設閘極1102可保留用於金屬閘極堆疊之區域並且可包含虛設閘極層1104、閘極間隔物1106、虛設閘極硬遮罩1108及/或其他部件。因此，在一些實施例中，形成虛設閘極1102包括沉積含有多晶矽或其他適宜材料之虛設閘極層1104，以及在虛設閘極層1104上沉積虛設閘極硬遮罩1108，隨後在光微影製程中圖案化虛設閘極層1104及虛設閘極硬遮罩1108。虛設閘極硬遮罩1108可以包括任何適宜介電材料，諸如氧化矽、氮化矽、碳化矽、氮氧化矽、其他適宜材料及/或其組合。在一些實施例中，虛設閘極硬遮罩1108可以包括多個硬遮罩層，諸如第一硬遮罩層1108a及第二硬遮罩層1108b。第一硬遮罩層1108a及第二硬遮罩層1108b可以包括不同的材料組成。

【0040】 在一些實施例中，閘極間隔物1106形成於虛設閘極每個側面上（在虛設閘極層1104及/或虛設閘極硬遮罩

1108之側壁上)。閘極間隔物1106可用於偏移後續形成之源極/汲極特徵及可用於設計或修改源極/汲極結構(接合)輪廓。閘極間隔物1106可以包括任何適宜介電材料,諸如氧化矽、氮化矽、碳化矽、氮氧化矽、其他適宜材料及/或其組合。

【0041】參照第2B圖之方框226及第11A圖及第11C圖,執行磊晶製程以在元件鱗片104之源極/汲極區中的基板102上形成源極/汲極特徵112。在磊晶製程之前,可執行蝕刻製程以去除暴露於區域中之輸入/輸出氧化物層126,此區域未受虛設閘極1102及閘極間隔物1106所覆蓋。蝕刻製程可以包括濕式蝕刻、乾式蝕刻及/或其他適宜蝕刻方法。在磊晶製程期間,虛設閘極1102及/或閘極間隔物1106將源極/汲極特徵112限於源極/汲極區。適宜磊晶製程包括化學氣相沉積沉積方法(例如,汽相磊晶(vapor-phase epitaxy; VPE)及/或超高真空化學氣相沉積(ultra-high vacuum CVD; UHV-CVD))、分子束磊晶、及/或其他適宜製程。磊晶製程可以使用氣態及/或液體前驅物,其與基板102之組成相互作用。在一些實施例中,相鄰的源極/汲極特徵112,諸如在元件鱗片104a及元件鱗片104b上生長之源極/汲極特徵112,彼此間隔距離 D_{epi} (即, $D_{epi} > 0$)。在一些實施例中,相鄰的源極/汲極特徵112以連接的方式(即, $D_{epi} = 0$)磊晶生長。在又一實施例中,源極/汲極區中之填充鱗片108a及填充鱗片108b之高度(H_{d1}' 及 H_{d2}')藉由蝕刻製程凹陷至與源極/汲極區中之元件鱗片104的高

度(Hf')大致上相同的高度，而通道區域中之各別高度(H_{d1} 及 H_{d2})保持不變。另外，源極/汲極區中之元件鰭片104之高度(Hf)亦可在磊晶生長源極/汲極特徵112之前凹陷。例如，源極/汲極區中之元件鰭片104可能變得比隔離特徵106之頂表面低，而源極/汲極特徵112自元件鰭片104之頂表面向上延伸至隔離特徵106以上。

【0042】 源極/汲極特徵112在磊晶製程期間藉由引進摻雜物質而原位摻雜，此摻雜物質包括：P型摻雜劑，諸如硼或 BF_2 ；N型摻雜劑，諸如磷或砷；及/或包括其組合之其他適宜摻雜劑。如若源極/汲極特徵112不原位摻雜，則執行植入製程（即，接合植入製程）以摻雜源極/汲極特徵112。在示範性實施例中，N通道金氧半場效電晶體(NMOS)元件中之源極/汲極特徵112包括SiP，而在P通道金氧半場效電晶體(PMOS)元件中之彼等包括GeSnB（錫可用於調諧晶格常數）及/或SiGeSnB。可執行一或多個退火製程以活化源極/汲極特徵112。適宜退火製程包括快速熱退火(rapid thermal annealing; RTA)及/或雷射退火製程。

【0043】 參照第2B圖之方框228及第12圖及第13圖，層間介電(ILD)層1302形成於源極/汲極區中之源極/汲極特徵112上。層間介電層1302可以為電互連工作件之多個元件的電多層互連(multi-layer interconnect; MLI)結構之部分，此工作件之元件包括形成於元件鰭片104上之鰭式場效應電晶體元件。在這種實施例中，層間介電層1302作為支撐及隔離MLI結構之導電軌跡之絕緣體。層間介電層1302

可以包括任何適宜的介電材料，諸如氧化矽、諸如硼磷矽玻璃(BPSG)、正矽酸乙酯(TEOS)氧化物之摻雜的氧化矽、不摻雜矽玻璃、熔凝矽石玻璃(FSG)、磷矽玻璃(PSG)、硼摻雜矽玻璃(BSG)、氮化矽、氮氧化矽、碳化矽、低介電常數介電材料、其他適宜材料、及/或其組合。層間介電層1302可以藉由電漿增強化學氣相沉積(PECVD)製程、可流動化學氣相沉積(FCVD)製程或適宜沉積方法來沉積。化學機械平坦化製程可以按照方框228以去除多餘介電材料。在一些實施例中，化學機械平坦化製程亦去除虛設閘極硬遮罩1108並暴露虛設閘極層1104，如在第12圖中所繪示。

【0044】 參照第2B圖之方框230及第14圖，硬遮罩1402形成於工作件300上並經圖案化使得在填充鰭片108b以上具有開口1404。硬遮罩1402可藉由包括化學氣相沉積、高密度電漿化學氣相沉積、原子層沉積、物理氣相沉積及/或其他適宜沉積方法之任何適宜製程沉積。硬遮罩1402可包括任何適宜材料，諸如氧化矽、氮化矽、氮氧化矽、碳化矽、或其組合。硬遮罩1402之圖案化包括光微影製程及蝕刻製程。光微影製程可以包括在硬遮罩1402上方形成光阻，將光阻劑曝光以形成圖案，從而界定在填充鰭片108b以上之開口，執行曝光後烘烤製程，以及顯影光阻劑以形成遮罩元件。遮罩元件或其衍生物隨後用於蝕刻硬遮罩1402。隨後去除遮罩元件（例如，圖案化之光阻劑）。蝕刻製程可以包括一或多個乾式蝕刻製程、濕式蝕刻製程、及其他適宜蝕刻技術。

【0045】 參照第2B圖之方框232及第15圖，穿過圖案化之硬遮罩1402之開口1404蝕刻虛設閘極層1104之部分。蝕刻製程將開口1404向下延伸至填充鰭片108b，從而生成溝槽122。覆蓋填充鰭片108b之輸入/輸出氧化物層126之部分及填充鰭片108b之頂端部分亦在蝕刻製程中去除。藉由選擇抗蝕刻閘極間隔物1106及層間介電層1302之蝕刻劑，在一些實施例中，鄰近於虛設閘極層1104之閘極間隔物1106及層間介電層1302之部分暴露在開口1404中而無其他後果。這可增大光微影製程之耐受性。蝕刻製程可以包括任何適宜蝕刻技術，諸如濕式蝕刻、乾式蝕刻、活性離子蝕刻、灰化、及/或其他蝕刻方法。在實例中，蝕刻製程為使用氟基蝕刻劑（例如， CF_4 、 CHF_3 、 CH_2F_2 等等）之乾式蝕刻製程。在一些實施例中，蝕刻包括具有不同蝕刻化學劑之多個蝕刻步驟，各針對虛設閘極層1104、輸入/輸出氧化物層126及填充鰭片108b之特定材料。溝槽122暴露填充鰭片108b之頂表面及在填充鰭片108b之側壁上的輸入/輸出氧化物層126。在蝕刻製程之後，在隔離特徵106以上，填充鰭片108b具有比填充鰭片108a低之高度($H_{d2} < H_{d1}$)，諸如低約15奈米至約40奈米。在一些實施例中，溝槽122中之填充鰭片108b之頂表面在元件鰭片104之頂表面以上($H_{d2} > H_f$)。在所繪示的實施例中，溝槽122中之填充鰭片108b之頂表面在元件鰭片104之頂表面以下($H_{d2} < H_f$)。

【0046】 參照第2B圖之方框234及第16圖，溝槽122由介電材料1602填充。介電材料1602之組成經選擇而使得虛

設閘極層1104及介電材料1602具有高蝕刻選擇性。在一些實施例中，在虛設閘極層1104與介電材料1602之間的蝕刻選擇性具有大於約5:1之比，諸如自約5:1至約20:1。介電材料1602在溝槽122中覆蓋填充鰭片108b並在後續去除虛設閘極層1104期間的製程中使得填充鰭片108b實質上免於受鰭片蝕刻之損失。用於介電材料1602之適宜材料包括氧化矽、氮化矽、碳化矽、碳氧化矽、類聚合物樹脂、及/或其他適宜介電材料。介電材料1602可以藉由包括化學氣相沉積、高密度電漿化學氣相沉積、物理氣相沉積及/或旋塗方法之適用技術而沉積。在一此實施例中，化學氣相沉積製程用以沉積可流動的介電材料，此可流動介電材料包括介電質組成分及液態或半液態之溶劑兩者。固化過程用以驅散溶劑，保留介電材料1602處在其固態中。在沉積之後，可執行化學機械平坦化製程以去除多餘介電材料。化學機械平坦化製程亦可去除圖案化之硬遮罩1402。

【0047】 參照第2B圖之方框236及第17圖，去除虛設閘極層1104。層間介電層1302圍繞虛設閘極1104使其可被移除並於所得之空腔中形成替換閘極。虛設閘極層1104之去除可以為蝕刻製程，其包括任何適宜蝕刻技術，諸如濕式蝕刻、乾式蝕刻及/或其他蝕刻方法。蝕刻劑經選擇係用於蝕刻虛設閘極層1104，而在填充鰭片108b以上之介電材料1602實質上保持不變。介電材料1602具有大於填充鰭片108b之寬度 W_{d2} 的寬度 W_{d3} 。例如，比率 W_{d3}/W_{d2} 大於1.2，諸如自約1.5變化至約3。介電材料1602之高度 H_{d3} 在一些實

施例中在自約15奈米至約40奈米之範圍中。填充鱗片108b被覆蓋在介電材料1602下面，並因此在虛設閘極去除過程中免於遭受鱗片損失。

【0048】 參照第2B圖之方框238及第18圖，在蝕刻製程中去除介電材料1602。蝕刻製程可以包括任何適宜蝕刻技術，諸如濕式蝕刻、乾式蝕刻、活性離子蝕刻、灰化、及/或其他蝕刻方法。蝕刻劑經選擇係用於蝕刻介電材料1602，而填充鱗片108b及輸入/輸出氧化物層126實質上保持不變。

【0049】 隨後，閘極堆疊114形成於纏繞元件鱗片104之通道區域110的工作件300之上。儘管應理解閘極堆疊114可以為任何適宜的閘極結構，但在一些實施例中，閘極堆疊114為包括閘極介電層116及閘電極118之高介電常數(high-k)金屬閘極，其各可包含一定數量之子層。閘極堆疊114可以另外包括在閘極介電層116之下的介面層。

【0050】 參照第2B圖之方框240及第19圖，在一些這種實施例中，閘極介電層116藉由任何適用技術沉積在工作件300上，諸如原子層沉積、化學氣相沉積、金屬有機化學氣相沉積(MOCVD)、物理氣相沉積、熱氧化、其組合、及/或其他適用技術。高介電常數型閘極介電層116可以包括金屬氧化物(例如，LaO、AlO、ZrO、TiO、Ta₂O₅、Y₂O₃、SrTiO₃(STO)、BaTiO₃(BTO)、BaZrO、HfZrO、HfLaO、HfTaO、HfTiO、(Ba,Sr)TiO₃(BST)、Al₂O₃等等)、金屬矽酸鹽(例如，HfSiO、LaSiO、AlSiO等等)、半導體

氮化物之金屬、半導體氮氧化合物之金屬、其組合、及/或其他適宜材料。同樣地，閘電極118沉積在工作件300之通道區域110上。具體而言，閘電極118可沉積在閘極介電層116上。在各實例中，閘電極118可以包括單層或多層，諸如金屬層、襯墊層、潤濕層、及/或黏附層。閘電極層118可以另外包括功函數金屬層及金屬填充層。功函數金屬層可以包括P型功函數金屬層或N型功函數金屬層。P型功函數金屬層包含但不限於從以下材料群組中選擇之金屬：氮化鈦(TiN)、氮化鉭(TaN)、鈦(Ru)、鉬(Mo)、鎢(W)、鉑(Pt)或其組合。N型功函數金屬層包含但不限於從以下材料之群組中選擇的金屬：鈦(Ti)、鋁(Al)、碳化鉭(TaC)、碳氮化鉭(TaCN)、氮化矽鉭(TaSiN)或其組合。P型或N型功函數金屬層可進一步包括複數個層及可藉由化學氣相沉積、物理氣相沉積及/或其他適宜製程沉積。金屬填充層可以包括鋁(Al)、鎢(W)、或銅(Cu)及/或其他適宜材料。金屬填充層可藉由化學氣相沉積、物理氣相沉積、鍍覆及/或其他適宜製程而形成。

【0051】 參照第2B圖之方框242及第20A圖及第20B圖，執行化學機械平坦化製程以產生閘極堆疊114之實質上平面的頂表面，及亦暴露填充鰭片108a及填充鰭片108b之頂表面。填充鰭片108a及填充鰭片108b將閘極堆疊114分割成若干片段，並提供此形成於填充鰭片之不同側且於鰭式場效應電晶體上之分段的閘極堆疊之間的隔離。在填充鰭片108b上之開口122用於提供鰭式場效應電晶體之閘極堆疊

互連，而此鰭式場效應電晶體必須具有電耦接之分段的閘極堆疊。閘極堆疊140之閘極介電層116及閘電極118自填充鰭片108b一側的鰭式場效應電晶體連續地延伸至填充鰭片108b另一側的另一鰭式場效應電晶體。

【0052】 儘管未在第2B圖中示出，方法200可進行更多製程以完成工作件300之製造。例如，如在第21圖中所繪示，方法200可以在源極/汲極特徵112以上形成源極/汲極接觸2108。源極/汲極接觸2108可以藉由首先在源極/汲極區中蝕刻層間介電層1302以形成凹槽。蝕刻亦可去除源極/汲極特徵112及填充鰭片108a之頂端部分。隨後，導電材料沉積在凹槽中以形成源極/汲極接觸2108。在實施例中，導電材料為諸如鋁、鎢、銅、鈷、其組合或其他適宜材料之金屬。導電材料可使用諸如化學氣相沉積、物理氣相沉積、鍍覆、及或其他適宜製程之適宜製程沉積。源極/汲極接觸2108可以在多個源極/汲極特徵112以上延伸，從而在若干源極/汲極區之間提供互連。填充鰭片108a在互連中對導電材料提供結構支撐件，從而避免導電材料拉進層間介電層1302或拉進隔離特徵中。在第21圖中所繪示的之源極/汲極接觸2108僅為一實例。方法200可進一步形成其他源極/汲極接觸及多層互連結構以形成完整積體電路，此多層互連結構將閘極堆疊114及源極/汲極接觸與工作件300之其他部分連接。

【0053】 第3圖至第21圖中之所繪示的工作件300僅為方法200之一些實施例的實例。方法200可以具有各種其他

實施例。例如，類似於填充鰭片108b，填充鰭片108a亦可形成開口以在填充鰭片108a之兩側上提供鰭式場效應電晶體之間極堆疊互連。參照第22A圖及第22B圖，其中第22A圖為透視圖及第22B圖為沿虛線X-X'截取之剖視圖，填充鰭片108a具有開口122a以及填充鰭片108b在通道區域中具有開口122b。兩個開口122a及開口122b在鰭式場效應電晶體120a至鰭式場效應電晶體120d間連續地提供閘極堆疊之互連。在第22A圖中之所繪示的實施例中，因為在鰭式場效應電晶體120e至鰭式場效應電晶體120h之通道區域中不存在填充鰭片108a及填充鰭片108b之開口，所以鰭式場效應電晶體120e至鰭式場效應電晶體120h之閘極堆疊114保持分段的狀態。在又一實施例中，填充鰭片108b可以在鰭式場效應電晶體120g與鰭式場效應電晶體120h之間的通道區域中具有額外開口，從而在鰭式場效應電晶體120g與鰭式場效應電晶體120h之間，以及鰭式場效應電晶體120c與鰭式場效應電晶體120d之間提供閘極堆疊互連。各種開口可以在一或多個填充鰭片上個別地或共同地形成以提供用於多對或多組鰭式場效應電晶體之間極堆疊互連。

【0054】 非用以限制，本揭露之一或多個實施例對半導體元件及其形成（包括鰭式場效應電晶體）提供了許多益處。例如，填充鰭片可以在元件鰭片之間形成以增大鰭片密度，此在鰭片之間產生相對緊密之間距以更好地容納將於鰭片上形成之特徵。更進一步地，填充鰭片可視需求提供形成於元件鰭片上之鰭式場效應電晶體之間的隔離及互連。對

此，非常適用於前述之揭露。閘極堆疊之功函數金屬實質上可免於常在傳統金屬閘極切斷製程中會發現之損傷，諸如由於對鰭片底部過度蝕刻而產生的損傷。另外，本揭示方法可輕易地整合進現有半導體製造製程中。

【0055】 因此，本揭露提供用於積體電路製造之填充鰭片的實例。在一些實例中，半導體元件包含半導體基板，自半導體基板延伸之第一及第二元件鰭片，及填充鰭片設置於半導體基板上且在第一與第二元件鰭片之間，其中填充鰭片具有開口。半導體元件進一步包含第一閘極結構自第一元件鰭片之通道區域穿過開口連續地延伸至第二元件鰭片之通道區域。在一實施例中，半導體元件進一步包含介電材料層設置在第一與第二元件鰭片之間及在填充鰭片與半導體基板之間。在一實施例中，介電材料層為淺溝槽隔離(STI)特徵。在實施例中，半導體元件包含第二閘極結構於第一元件鰭片之上及第三閘極結構於第二元件鰭片之上，其中第二閘極結構藉由填充鰭片與第三閘極結構電隔離。在一實施例中，在開口外面之填充鰭片之頂表面在第一及第二元件鰭片之頂表面之上，以及填充鰭片之底表面在第一及第二元件鰭片之底表面之上。在一實施例中，在開口中之填充鰭片之頂表面在第一及第二元件鰭片之頂表面以下。在一實施例中，填充鰭片包含金屬氧化物。在實施例中，第一閘極結構填充開口。在一實施例中，開口設置在填充鰭片之最高部分中。在一實施例中，開口具有為約15奈米至約40奈米的垂直深度。

【0056】 在另外的實例中，元件包含自基板延伸出的元件鰭片；介電鰭片設置於基板之上，其中介電鰭片之頂端部分具有凹口；及隔離特徵設置在元件鰭片與介電鰭片之間及在介電鰭片與基板之間。元件另外包含閘極結構接合元件鰭片之頂端部分並延伸至凹口的上方。在一實施例中，介電鰭片之底表面在隔離特徵之頂表面與底表面之間。在一實施例中，介電鰭片之底表面高於元件鰭片之底表面。在實施例中，在凹口外面之介電鰭片之頂表面高於元件鰭片之頂表面，以及在凹口內部之介電鰭片之頂表面低於元件鰭片之頂表面。在一實施例中，閘極結構包含輸入/輸出(I/O)氧化物層於介電鰭片之側壁上，而在凹口內部之介電鰭片之頂表面上不含有輸入/輸出氧化物層。在一實施例中，元件鰭片及介電鰭片具有實質上相同之水平寬度。

【0057】 在另外的實例中，方法包括：接收基板；在基板上形成元件鰭片、圍繞元件鰭片之隔離特徵以及在此隔離特徵之上之填充鰭片；凹陷填充鰭片之部分以形成溝槽，此溝槽在隔離特徵之上；以及形成閘極堆疊於元件鰭片之通道區域的上方，其中閘極堆疊之部分填充溝槽。在一實施例中，方法進一步包含形成犧牲閘極覆蓋元件鰭片及填充鰭片；移除覆蓋填充鰭片之犧牲閘極之部分；沉積介電帽蓋材料於溝槽中；移除犧牲閘極，而介電帽蓋材料實質上保留；以及移除介電帽蓋材料，進而暴露填充鰭片。在一實施例中，隔離特徵為淺溝槽隔離(STI)特徵。在一實施例中，填充鰭片之頂表面在元件鰭片之頂表面之上。

【0058】 上文概述若干實施例之特徵，使得熟習此項技術者可更好地理解本揭露之態樣。熟習此項技術者應瞭解，可輕易使用本揭露作為設計或修改其他製程及結構的基礎，以便實施本文所介紹之實施例的相同目的及/或實現相同優勢。熟習此項技術者亦應認識到，此類等效結構並未脫離本揭露之精神及範疇，且可在不脫離本揭露之精神及範疇的情況下產生本文的各種變化、替代及更改。

【符號說明】

【0059】

100 工作件

102 基板

104 元件鰭片

104a 元件鰭片

104b 元件鰭片

104c 元件鰭片

104d 元件鰭片

106 隔離特徵

106a 第一隔離特徵層

106b 第二隔離特徵層

108 填充鰭片、虛設鰭片

108a 填充鰭片

108b 填充鰭片、虛設鰭片

110 通道區域

112 源極/汲極特徵

114 閘極堆疊

116 閘極介電層

118 閘電極、閘電極層

120 鰭式場效應電晶體(fin field-effect transistor;

FinFET)

120a 鰭式場效應電晶體

120b 鰭式場效應電晶體

120c 鰭式場效應電晶體

120d 鰭式場效應電晶體

120e 鰭式場效應電晶體

120f 鰭式場效應電晶體

120g 鰭式場效應電晶體

120h 鰭式場效應電晶體

122 開口、溝槽

122a 開口

122b 開口

124 底表面

124a 底表面

124b 底表面

125 頂表面

126 輸入/輸出(input/output; I/O)氧化物層

200 方法

202 方框

204 方框
206 方框
208 方框
210 方框
212 方框
214 方框
216 方框
218 方框
226 方框
228 方框
230 方框
232 方框
234 方框
236 方框
238 方框
240 方框
242 方框
300 工作件
302 硬遮罩
304a 溝槽
304b 溝槽
304c 溝槽
502 介電材料
1102 虛設閘極

1104 虛設閘極層

1106 閘極間隔物

1108 虛設閘極硬遮罩

1108a 第一硬遮罩層

1108b 第二硬遮罩層

1302 層間介電(inter-layer dielectric; ILD)層

1402 硬遮罩

1404 開口

1602 介電材料

2108 源極/汲極接觸

D_{epi} 距離

h 高度

H_{d1} 高度

H_{d2} 高度

H_{d3} 高度

H_f 高度

W_{d1} 寬度

W_{d2} 寬度

W_{d3} 寬度

W_f 寬度

【發明申請專利範圍】

【第 1 項】一種半導體元件，包含：

一半導體基板；

第一及第二元件鰭片，自該半導體基板向上延伸，且該第一元件鰭片及該第二元件鰭片沿一第一方向縱向延伸；

一填充鰭片，設置於該半導體基板上且在該第一與第二元件鰭片之間，其中該填充鰭片包含介電材料且沿該第一方向延伸，其中該填充鰭片的一水平寬度實質上相同於該第一元件鰭片和該第二元件鰭片的一水平寬度，該填充鰭片包括：

一第一側壁；

一第二側壁，相對於該第一側壁；以及

一凹口，設置於該填充鰭片的頂表面，其中該填充鰭片的頂表面連接該第一側壁和該第二側壁；

一介電層，連續地圍繞該填充鰭片的一底部部分，直接接觸該填充鰭片的該第一側壁、該第二側壁及一底表面，且位在該凹口中的該填充鰭片的頂表面之下；以及

一第一閘極結構，透過該凹口自該第一元件鰭片之一通道區域連續地延伸至該第二元件鰭片之一通道區域。

【第 2 項】如請求項 1 所述之半導體元件，其中該介電層設置在該第一元件鰭片與該第二元件鰭片之間及在該填充鰭片與該半導體基板之間。

【第 3 項】如請求項 1 所述之半導體元件，更包含：
一第二閘極結構，於該第一元件鱗片之上；以及
一第三閘極結構，於該第二元件鱗片之上，其中該第二閘極結構通過該填充鱗片與該第三閘極結構電隔離。

【第 4 項】如請求項 1 所述之半導體元件，其中在該凹口外面的該填充鱗片的頂表面在該第一元件鱗片與該第二元件鱗片的頂表面之上，該填充鱗片的該底表面在該第一元件鱗片與該第二元件鱗片的底表面之上。

【第 5 項】如請求項 4 所述之半導體元件，其中在該凹口中的該填充鱗片的頂表面在該第一元件鱗片與該第二元件鱗片的頂表面以下。

【第 6 項】如請求項 1 所述之半導體元件，其中該填充鱗片包含金屬氧化物。

【第 7 項】一種半導體元件，包含：
一元件鱗片，自一基板延伸；
一介電鱗片，設置於該基板之上，其中該介電鱗片的一水平寬度實質上相同於該元件鱗片的一水平寬度，該介電鱗片包括：

複數個側壁；以及

一凹口，設置於該介電鱗片的一頂端部分；

一隔離特徵，連續地圍繞該介電鱗片的一底部部分，設置在該元件鱗片與該介電鱗片兩者之間，直接接觸該介電鱗片的側壁及該介電鱗片的一底表面；以及

一閘極結構，接合該元件鱗片的該頂端部分並延伸至該凹口的上方。

【第 8 項】 一種製造半導體元件的方法，包含：

形成一第一元件鱗片及一第二元件鱗片，自一基板延伸；

共形沉積一第一介電層覆蓋該第一元件鱗片和該第二元件鱗片；

圖案化該第一介電層以暴露出該第一元件鱗片的至少一部分；

共形沉積一第二介電層覆蓋該第一元件鱗片和該第一介電層；

形成一填充鱗片在該第一元件鱗片與該第二元件鱗片之間，其中該填充鱗片位於該第二介電層所定義的一第一溝槽中並直接接觸該第二介電層以使該填充鱗片的一水平寬度相同於該第一元件鱗片及該第二元件鱗片的一水平寬度；

凹陷該第一介電層和該第二介電層，其中該第二介電層連續地圍繞該填充鱗片的一底部部分並直接接觸該填充鱗片的複數個側壁及一底表面；

部分凹陷該填充鰭片而不凹陷該第一元件鰭片與該第二元件鰭片，以在該填充鰭片的頂表面形成一第二溝槽；以及

形成一閘極結構，接合該第一元件鰭片與該第二元件鰭片，其中該閘極結構透過該第二溝槽自該第一元件鰭片的一通道區域連續地延伸至該第二元件鰭片的一通道區域。

【第 9 項】如請求項 8 所述之方法，更包含：

在部分凹陷該填充鰭片之前，形成一犧牲閘極覆蓋該第一元件鰭片與該第二元件鰭片及該填充鰭片，其中部分凹陷該填充鰭片的步驟包含移除該犧牲閘極直接在該填充鰭片上的一部分。

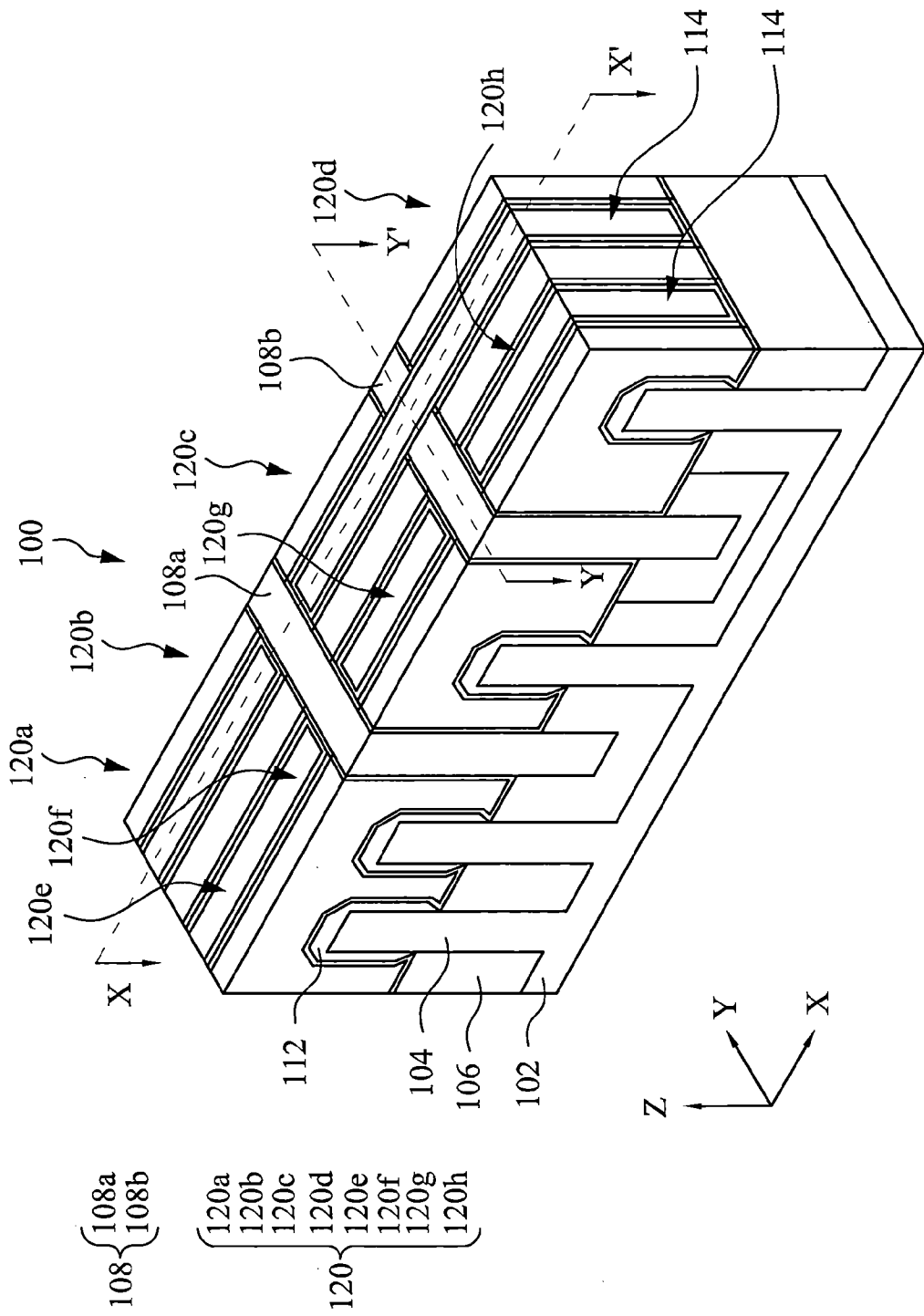
【第 10 項】如請求項 9 所述之方法，更包含：

沉積一介電材料於該第二溝槽中；

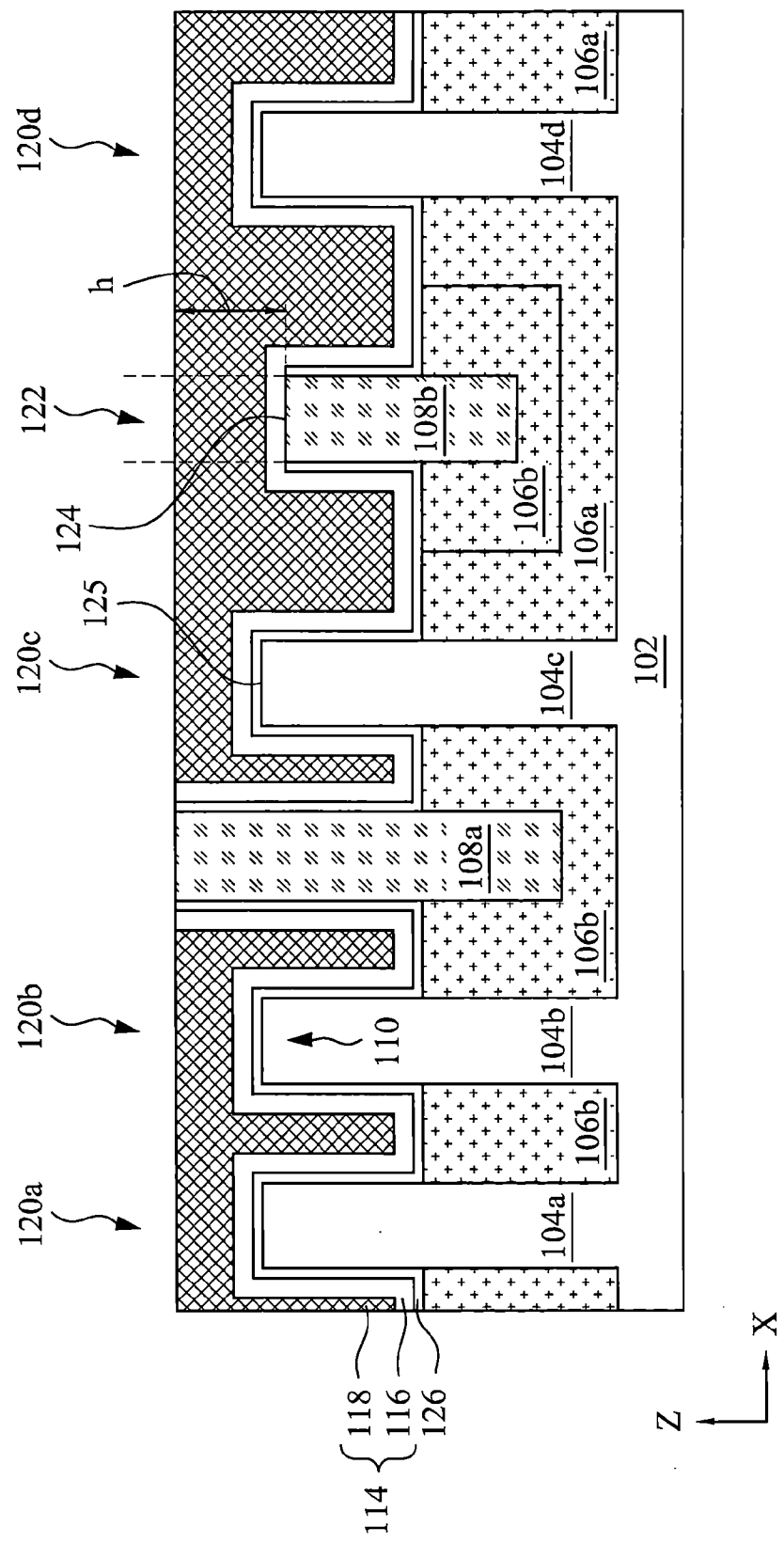
選擇性蝕刻該犧牲閘極而不蝕刻該介電材料；以及

蝕刻該介電材料，進而暴露該填充鰭片的頂表面。

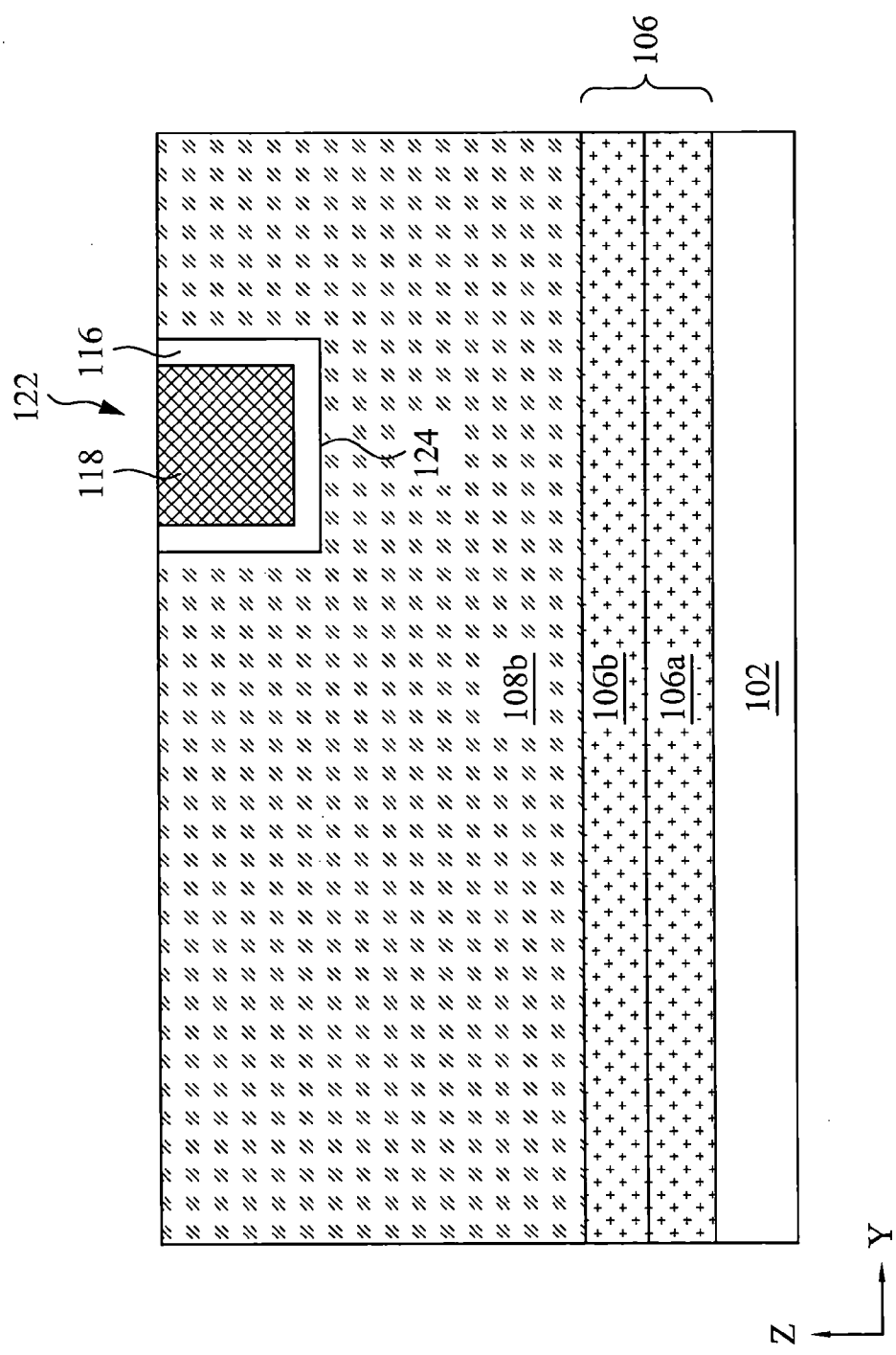
圖式



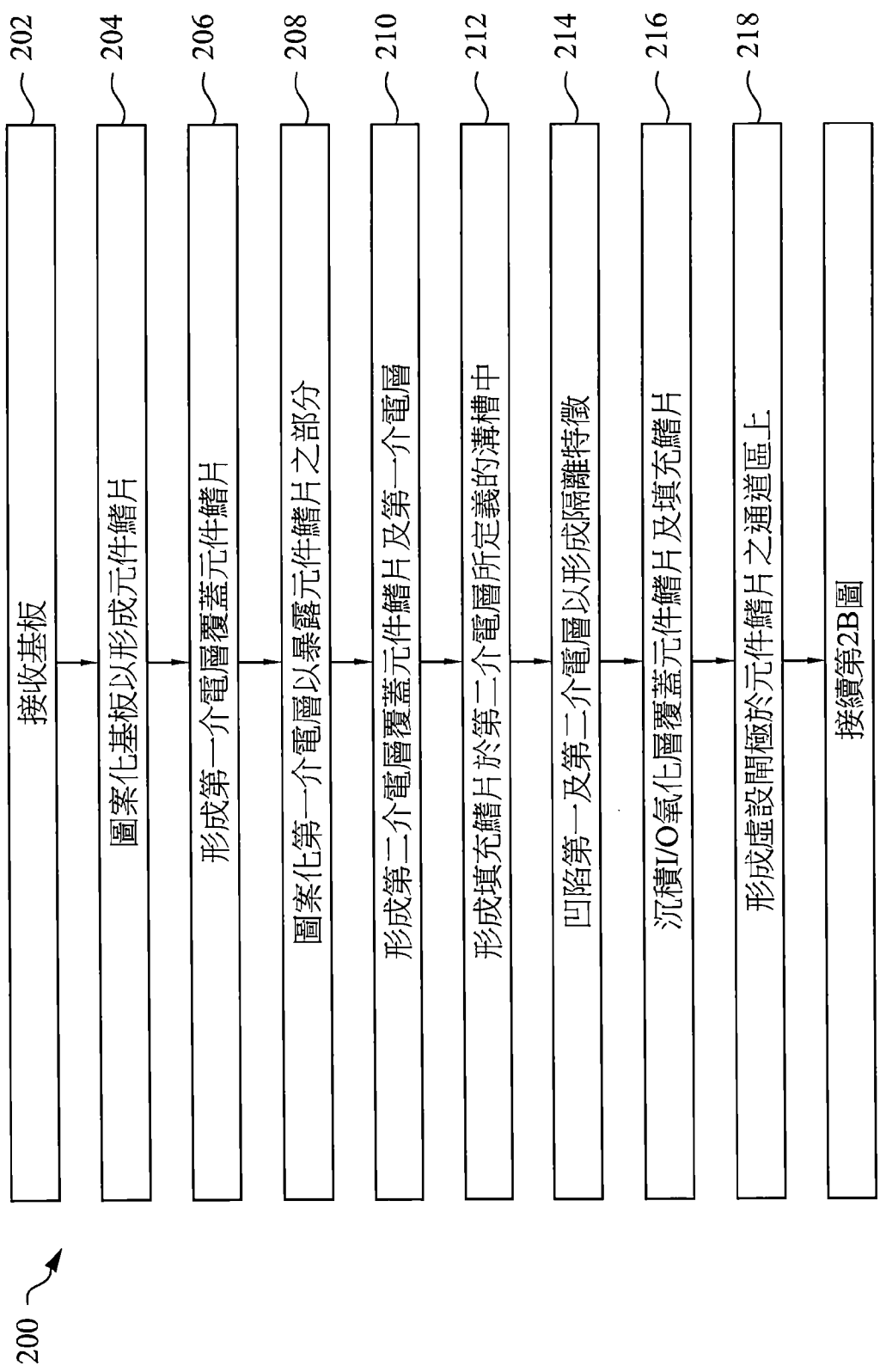
第1A圖



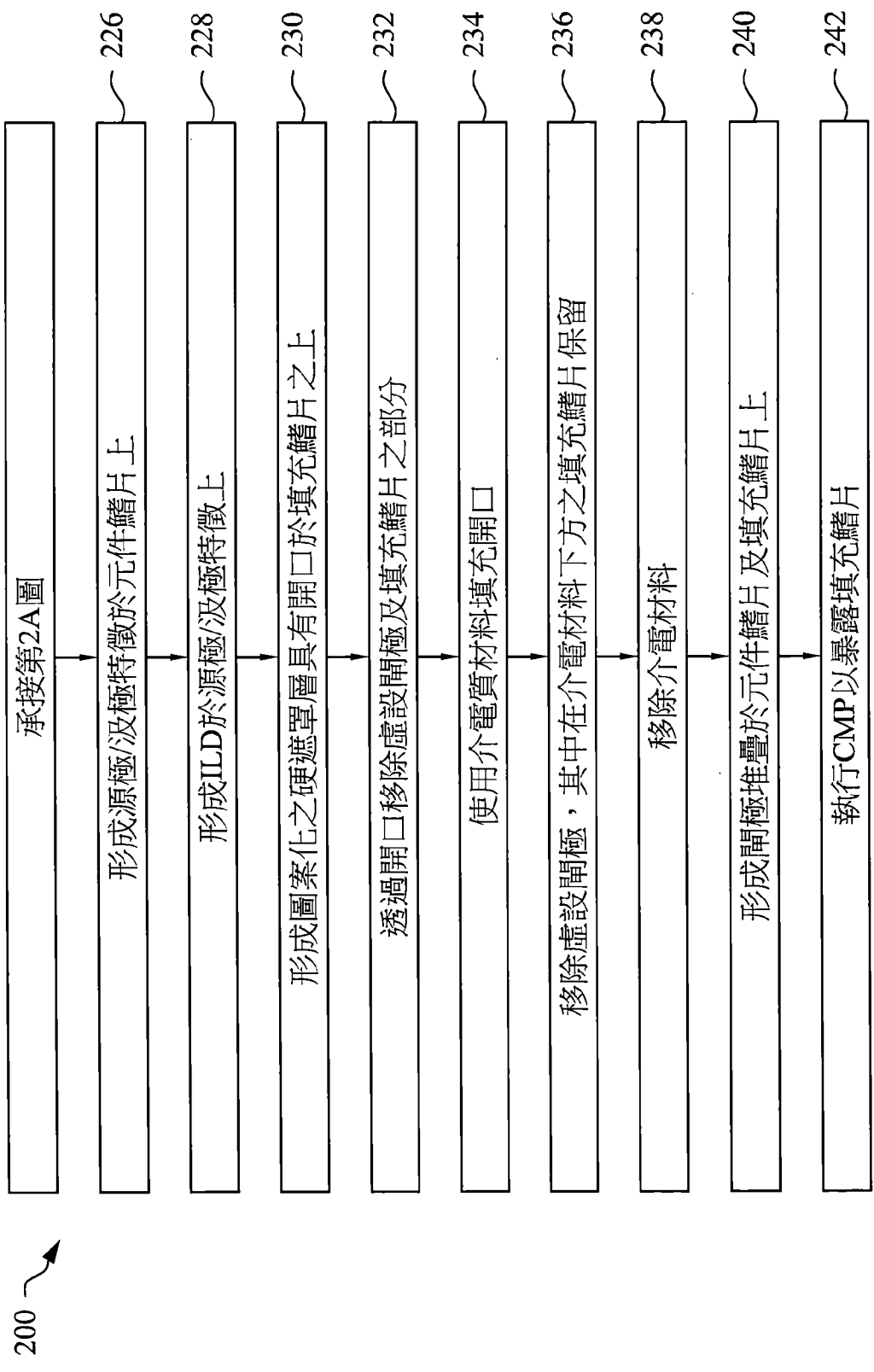
第1B圖



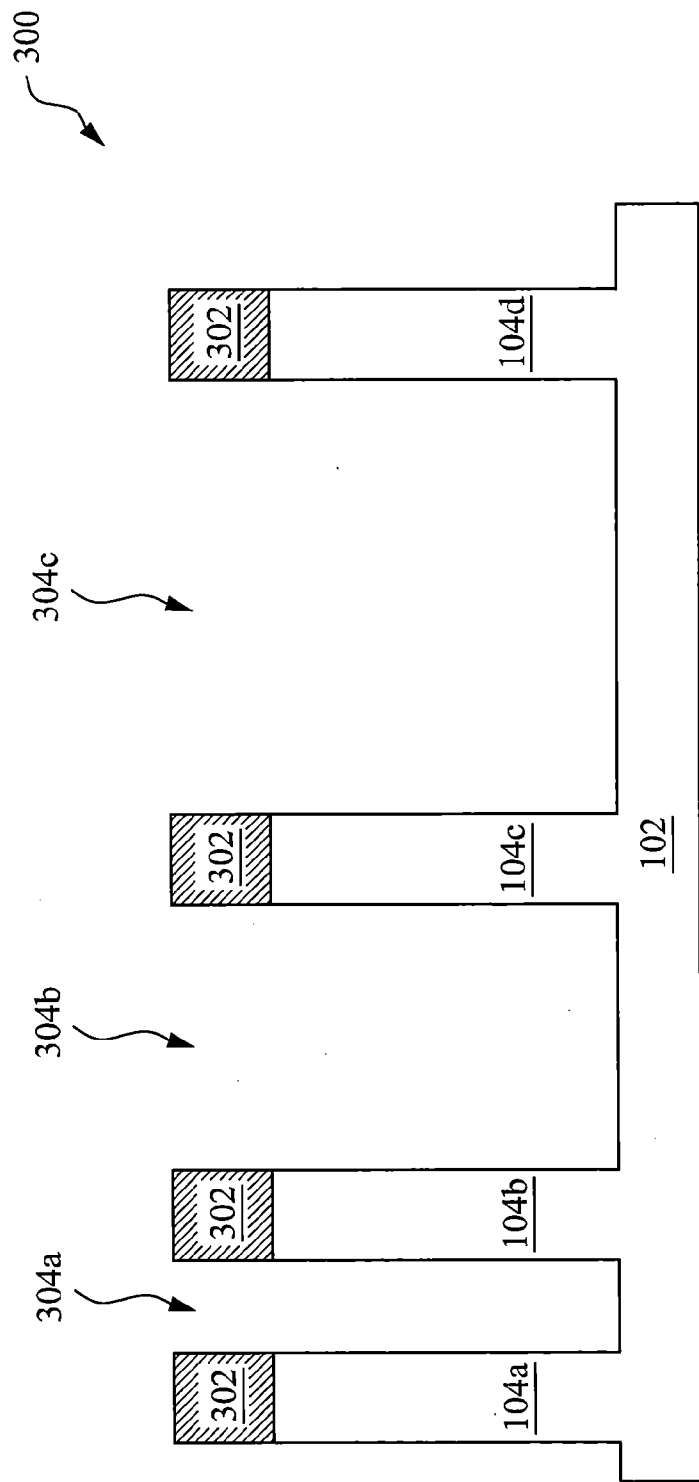
第 1C 圖



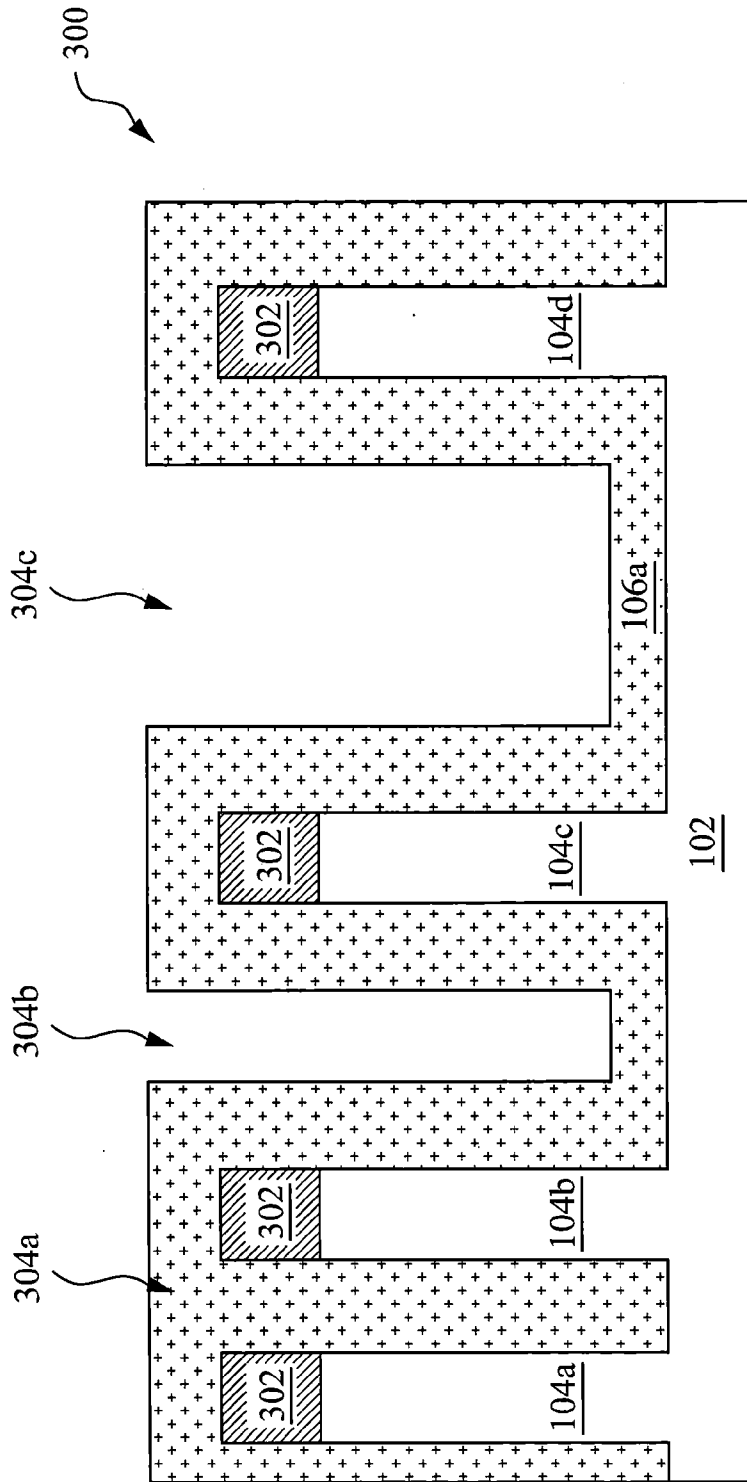
第 2A 圖



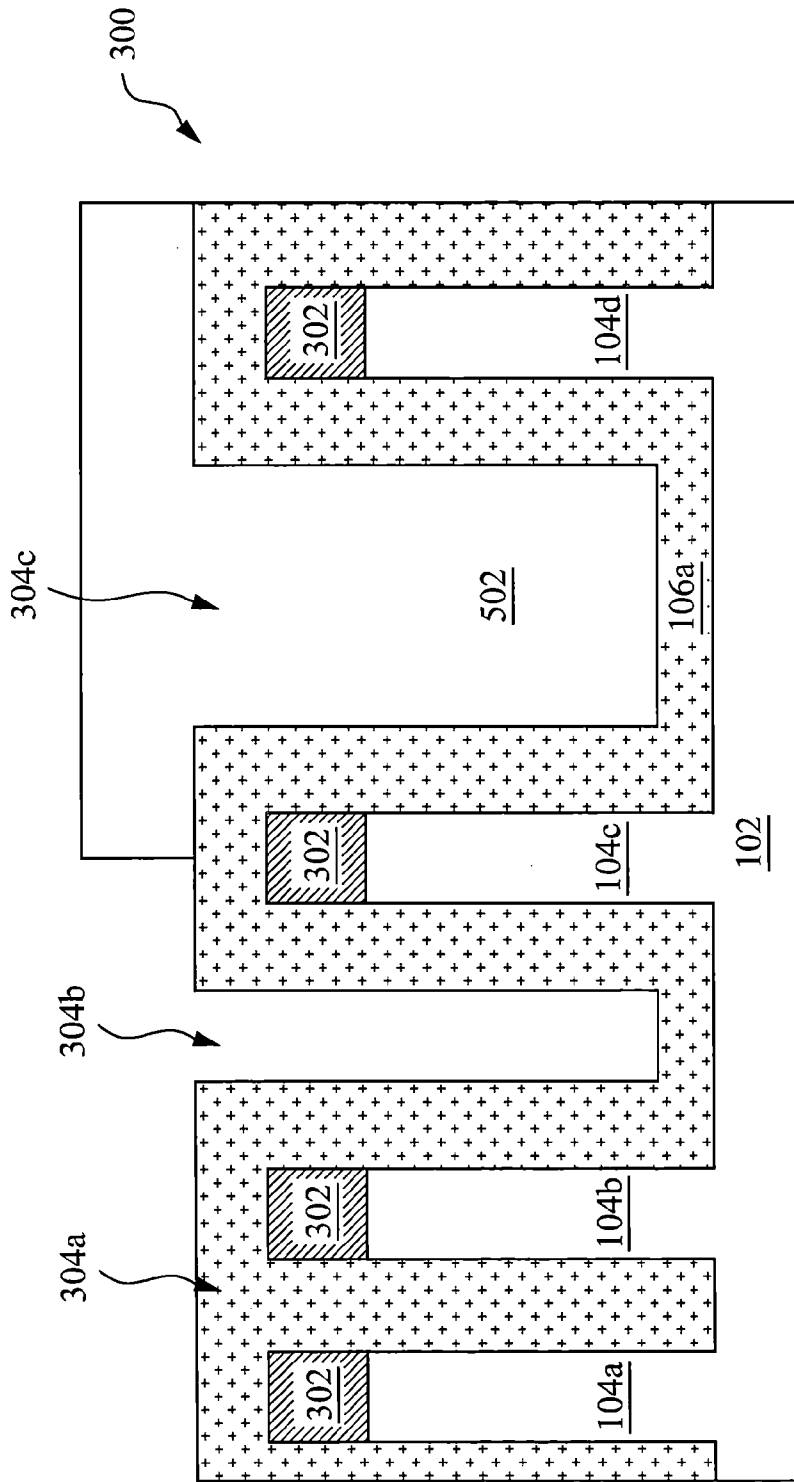
第 2B 圖



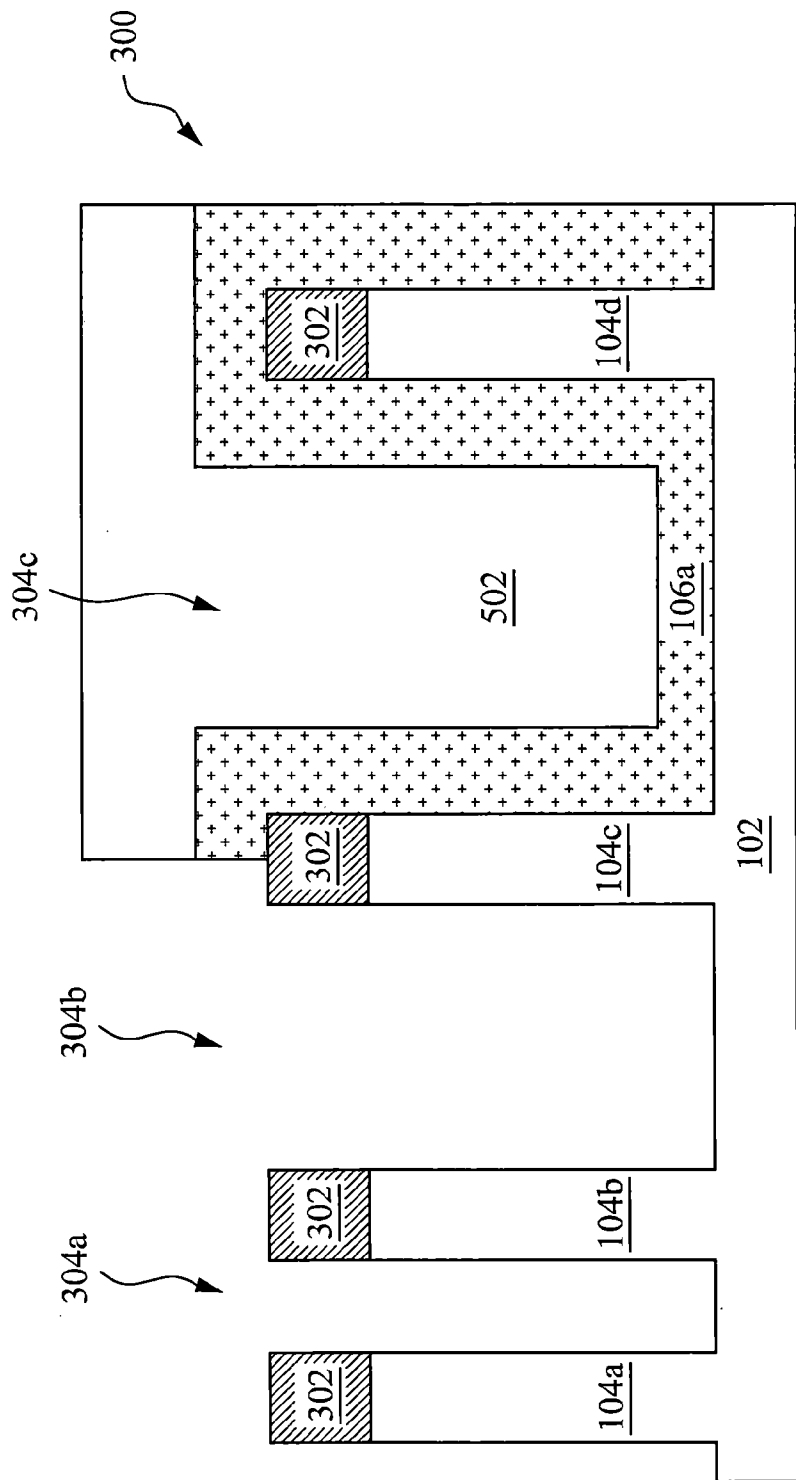
第3圖



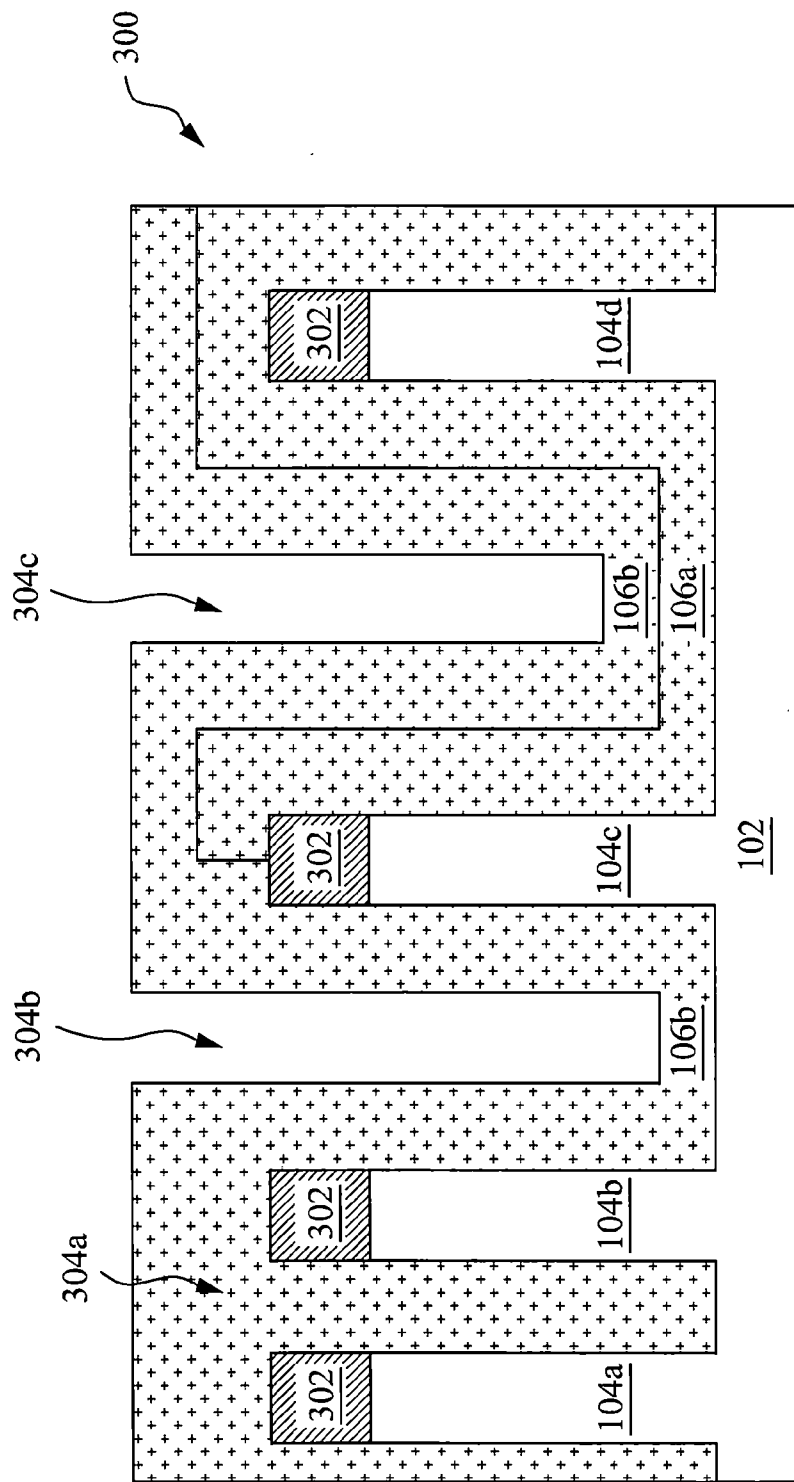
第 4 圖



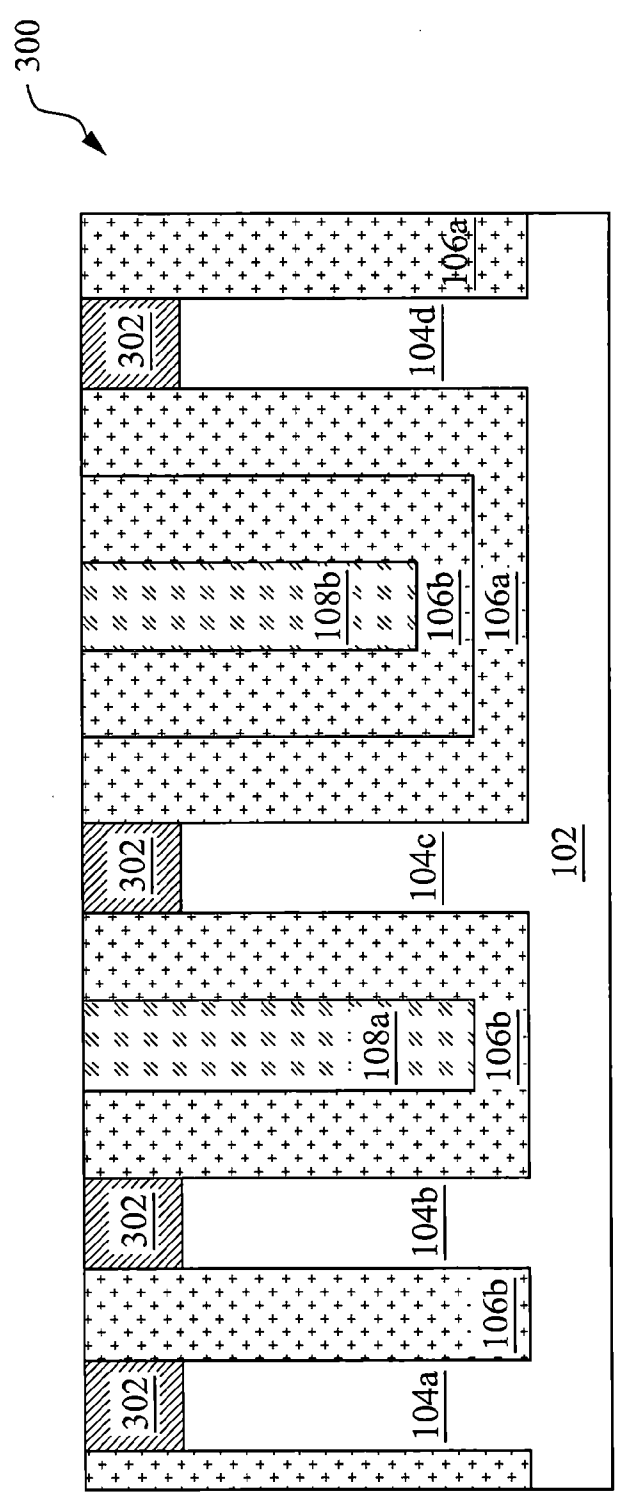
第 5 圖



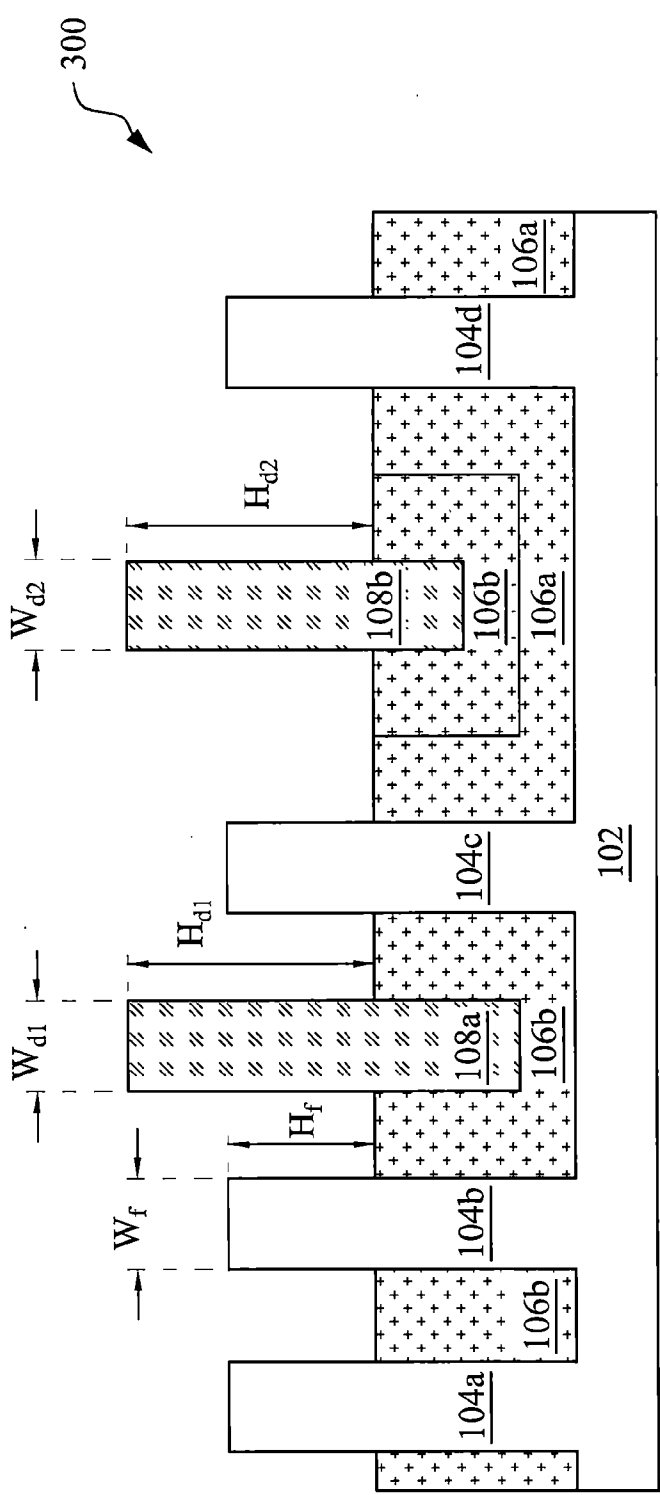
第 6 圖



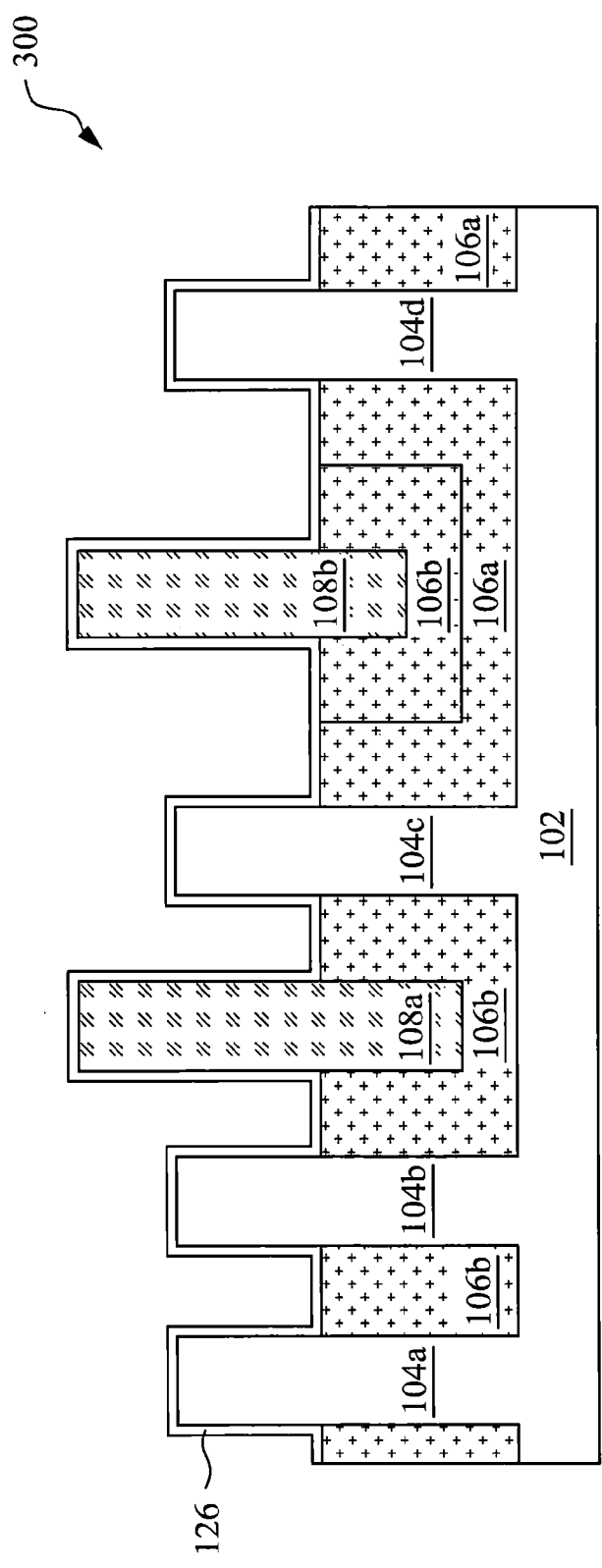
第 7 圖



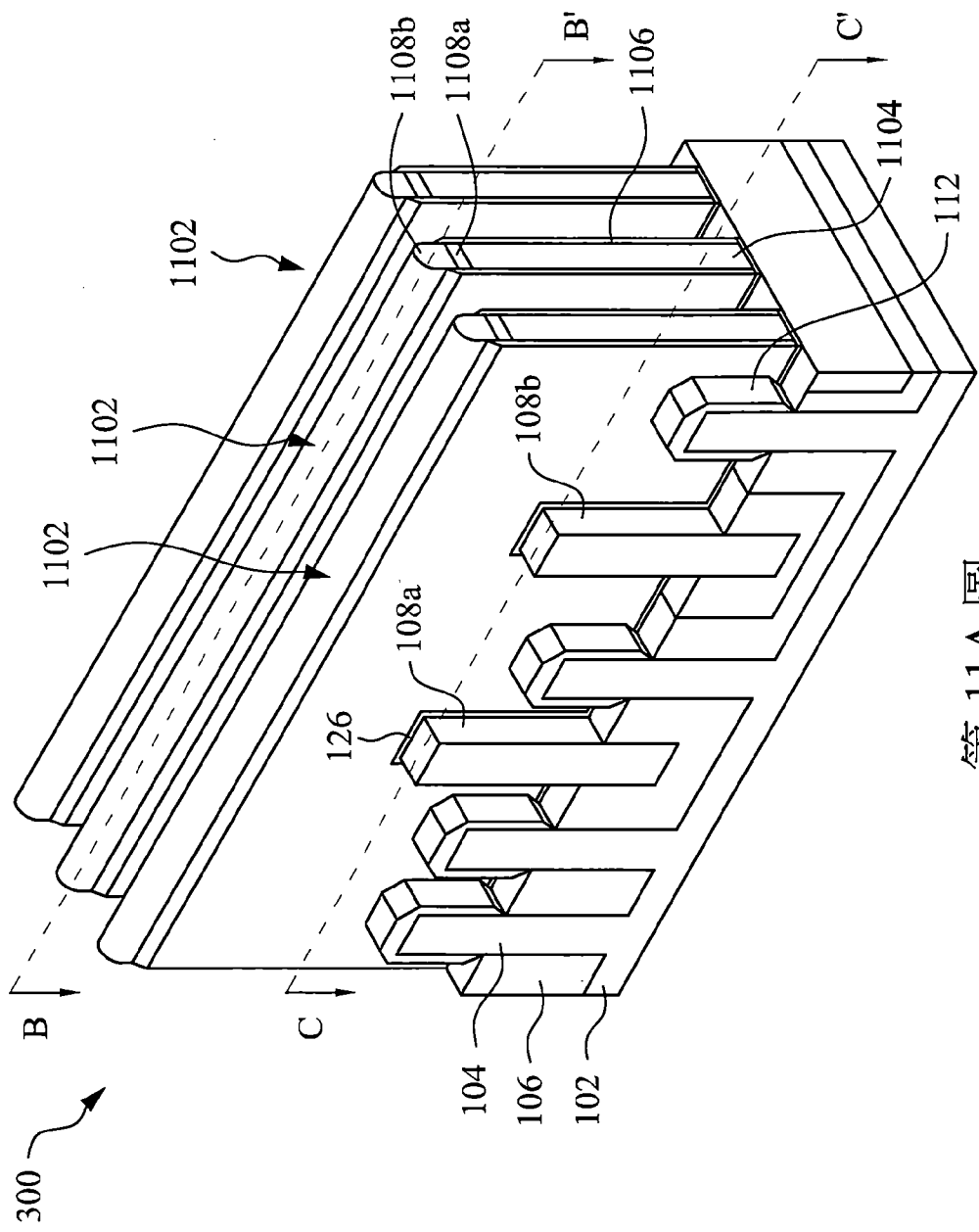
第 8 圖



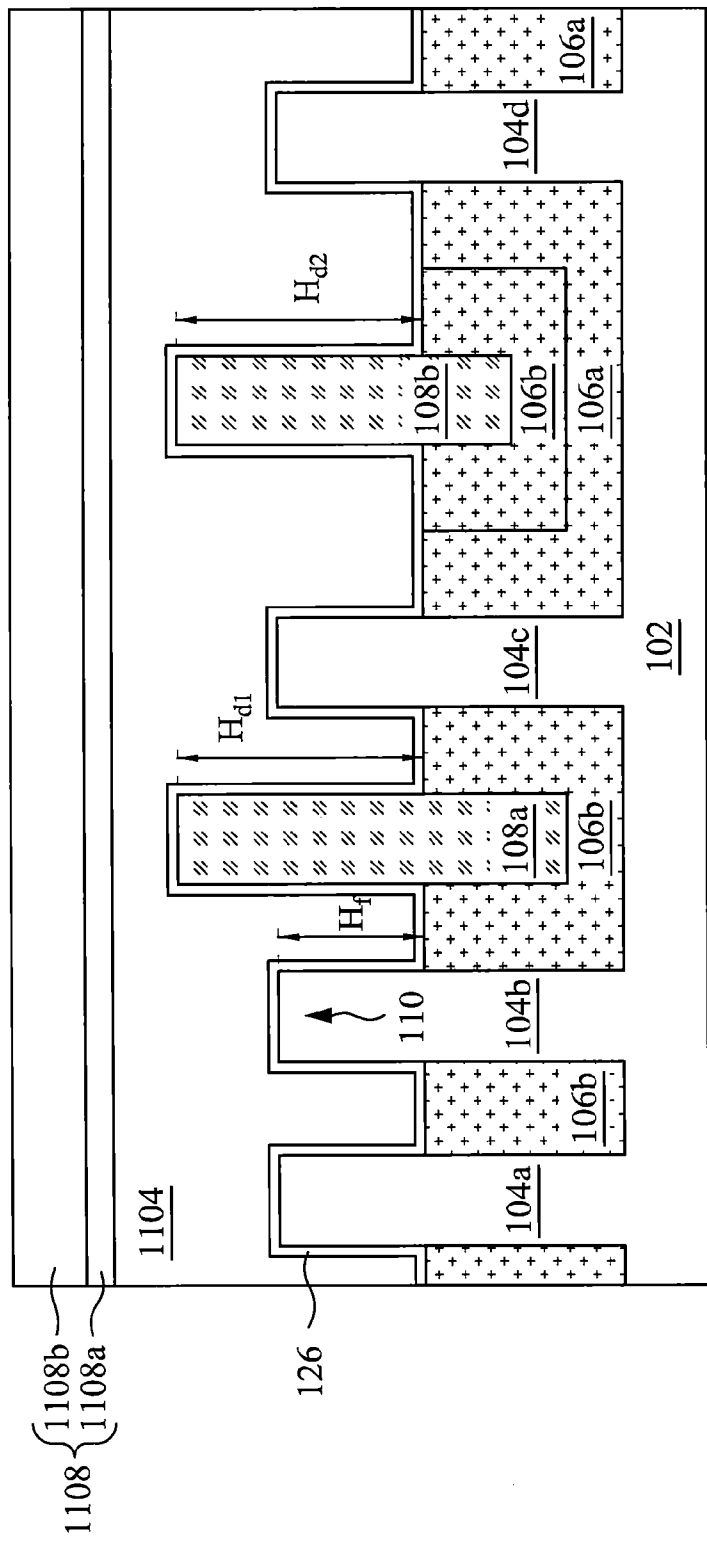
第9圖



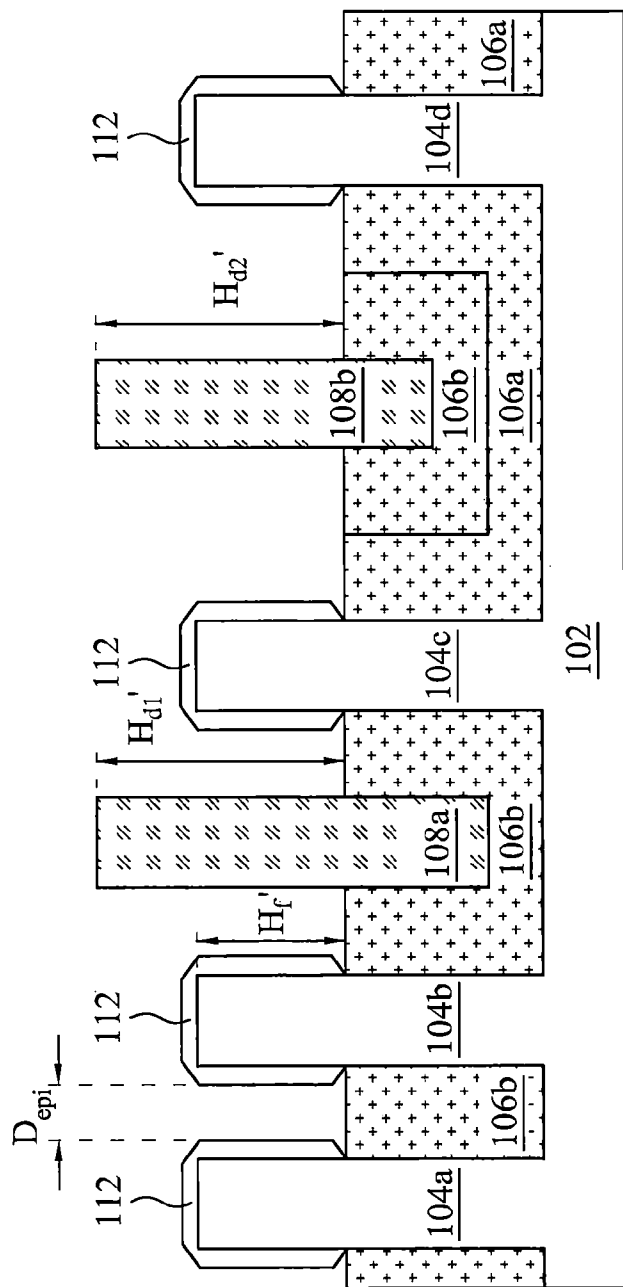
第 10 圖



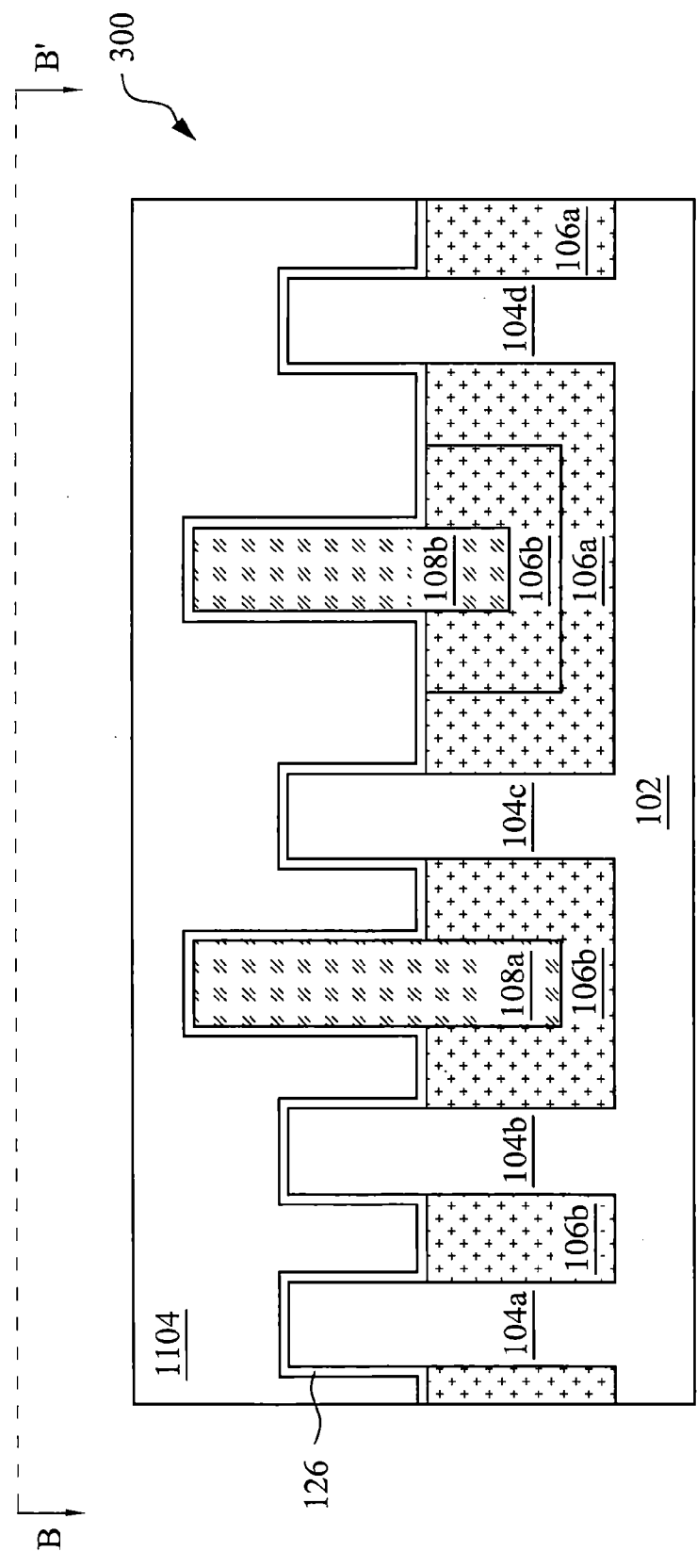
第11A圖



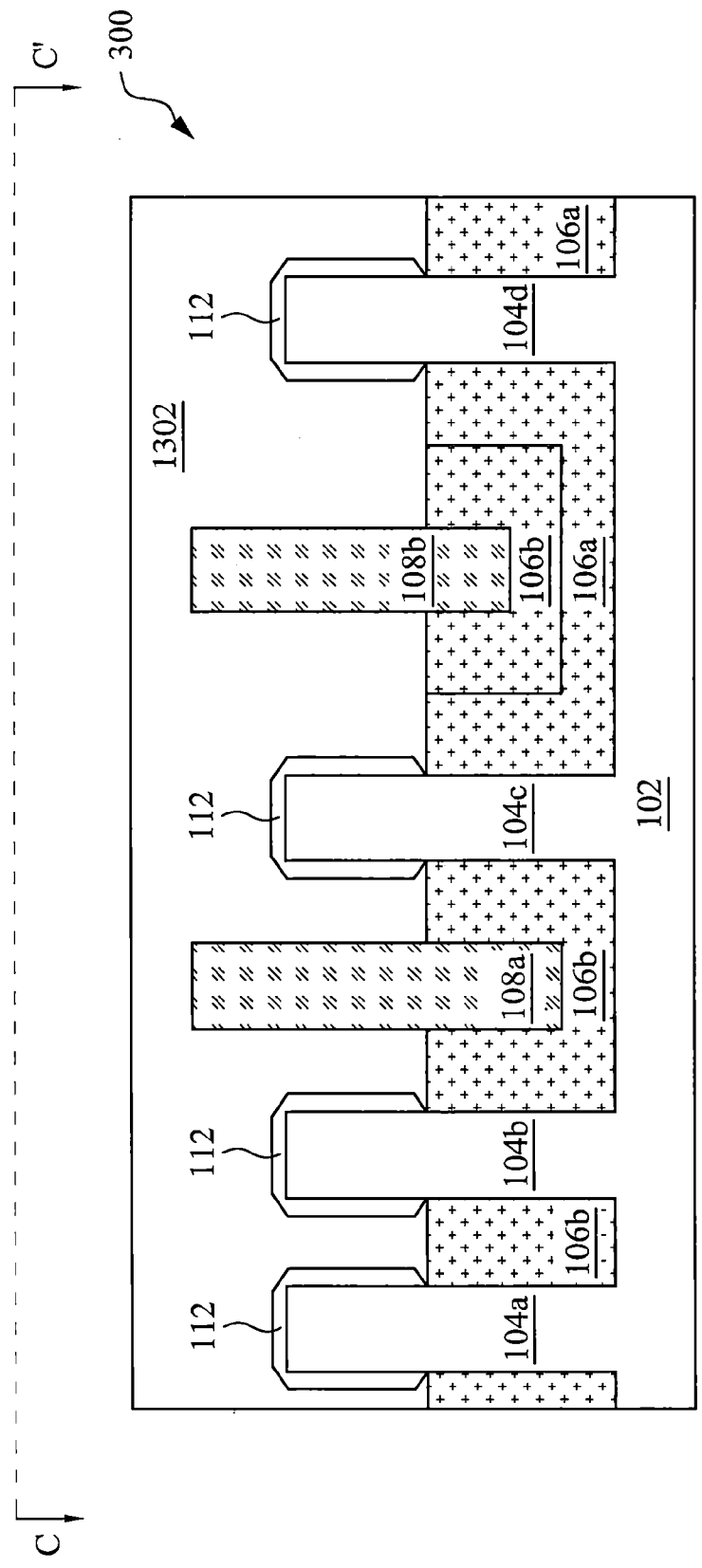
第 11B 圖



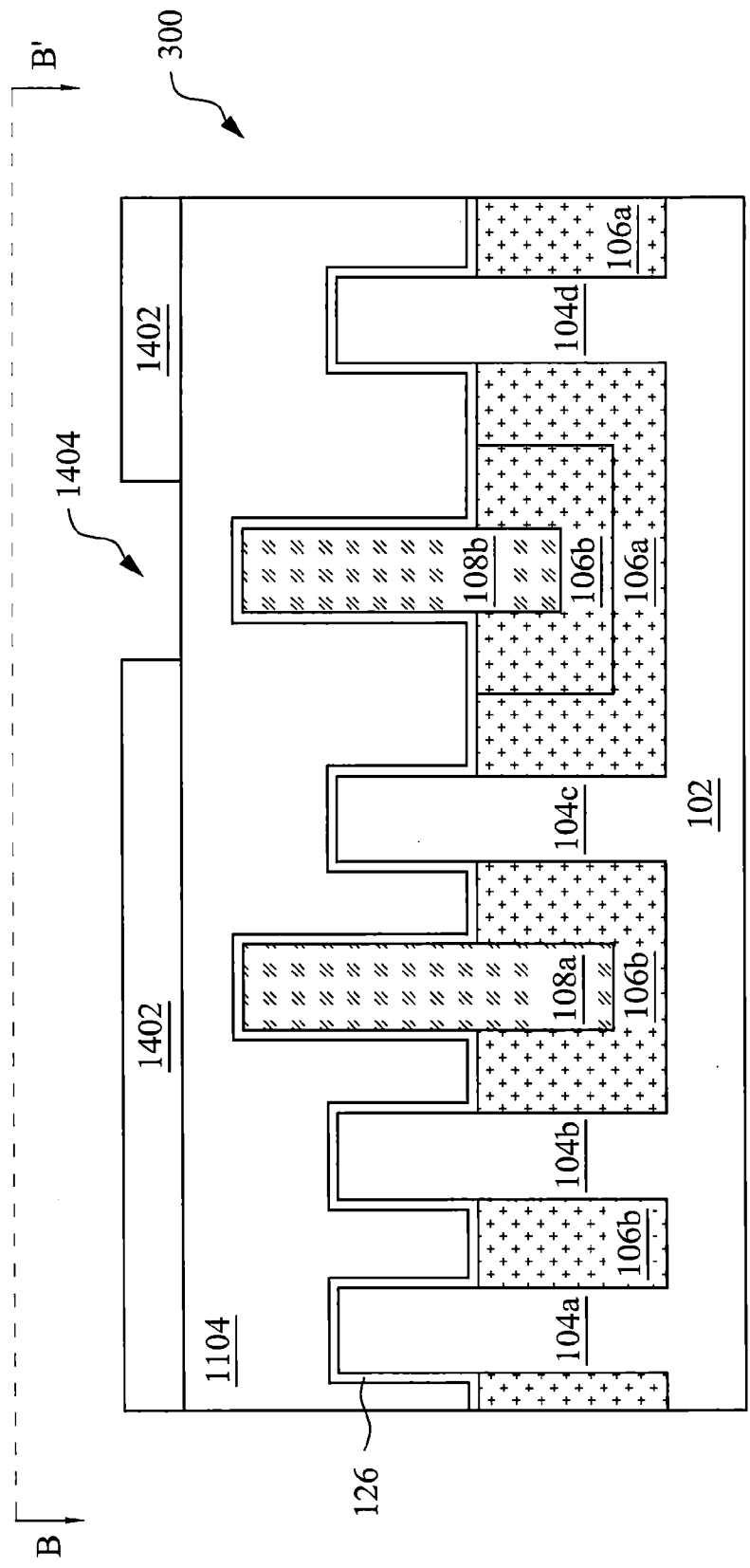
第 11C 圖



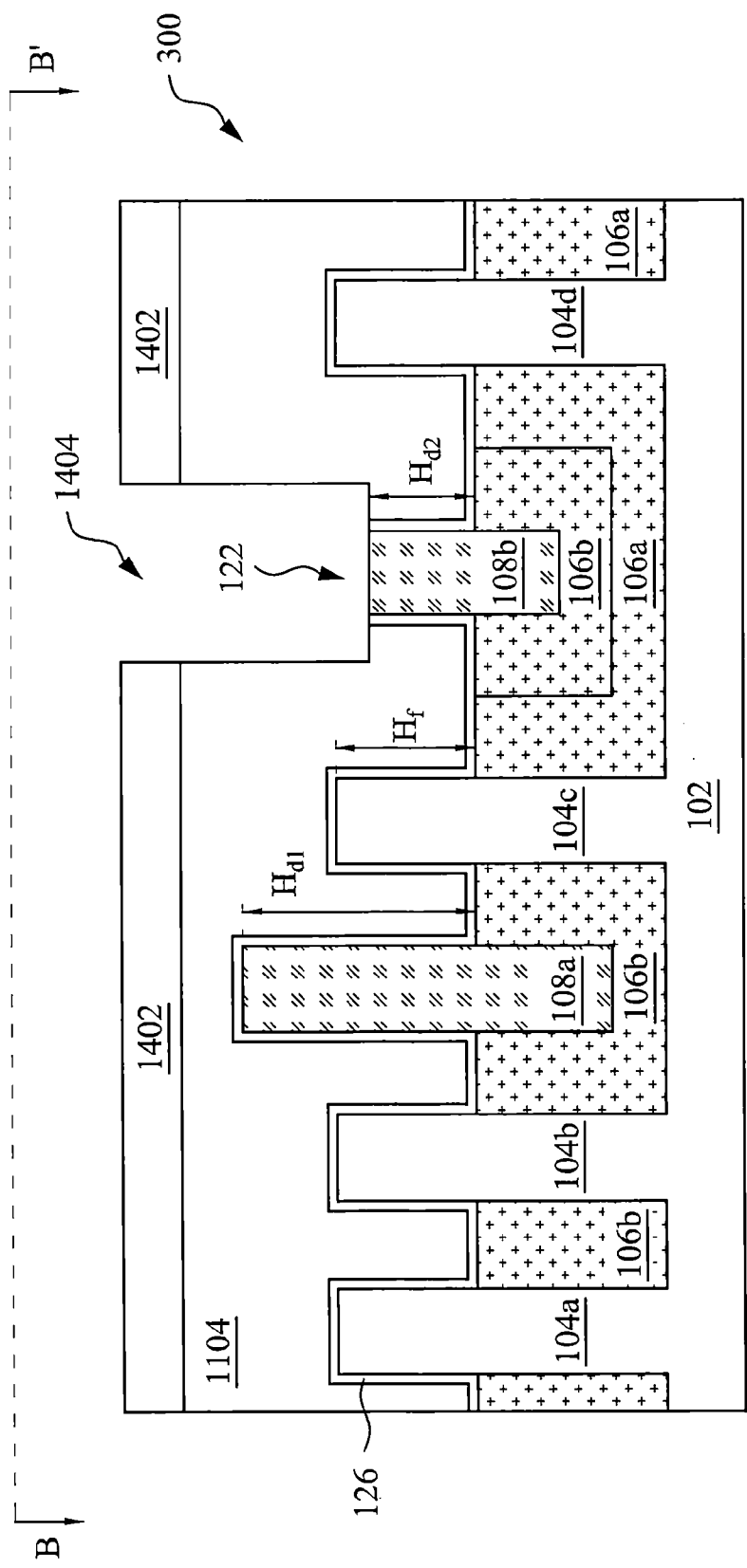
第 12 圖



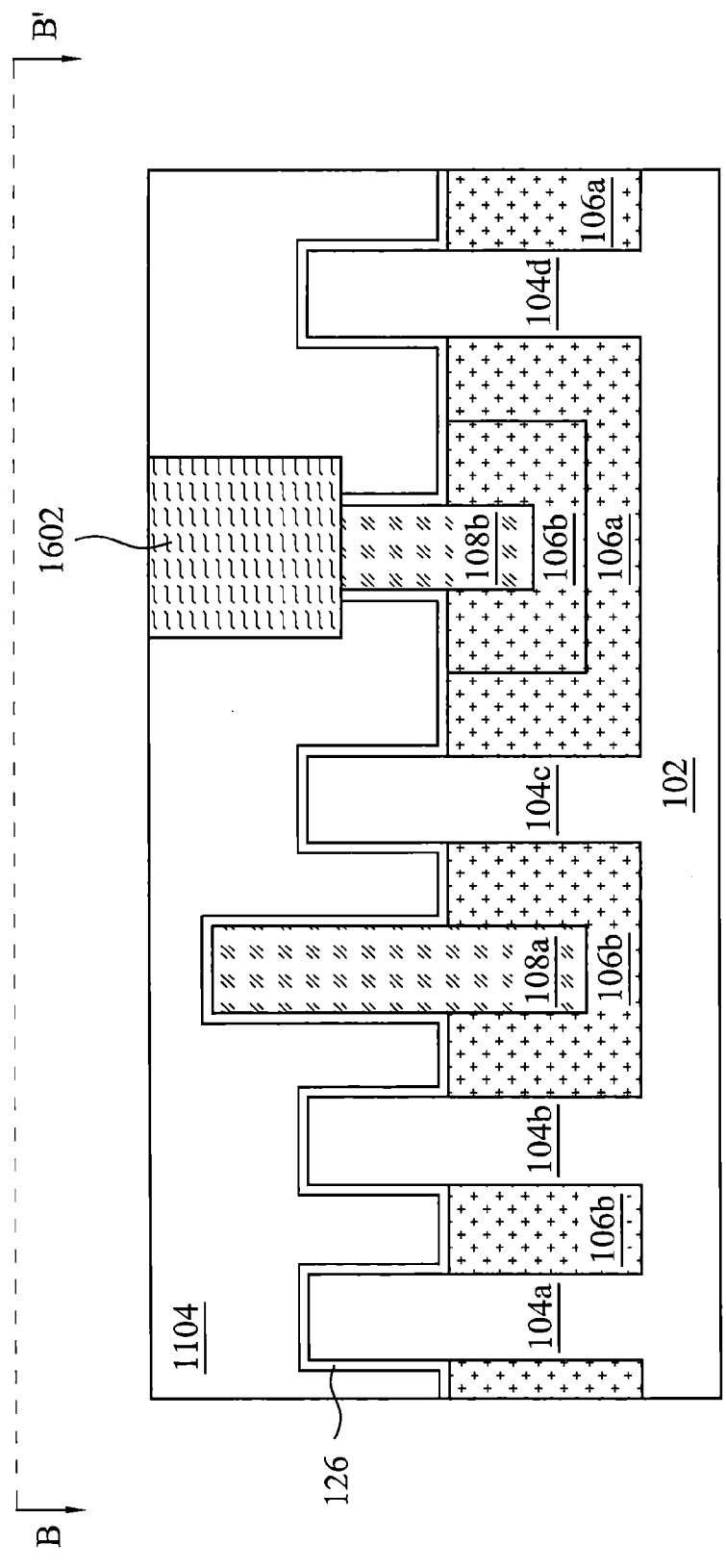
第 13 圖



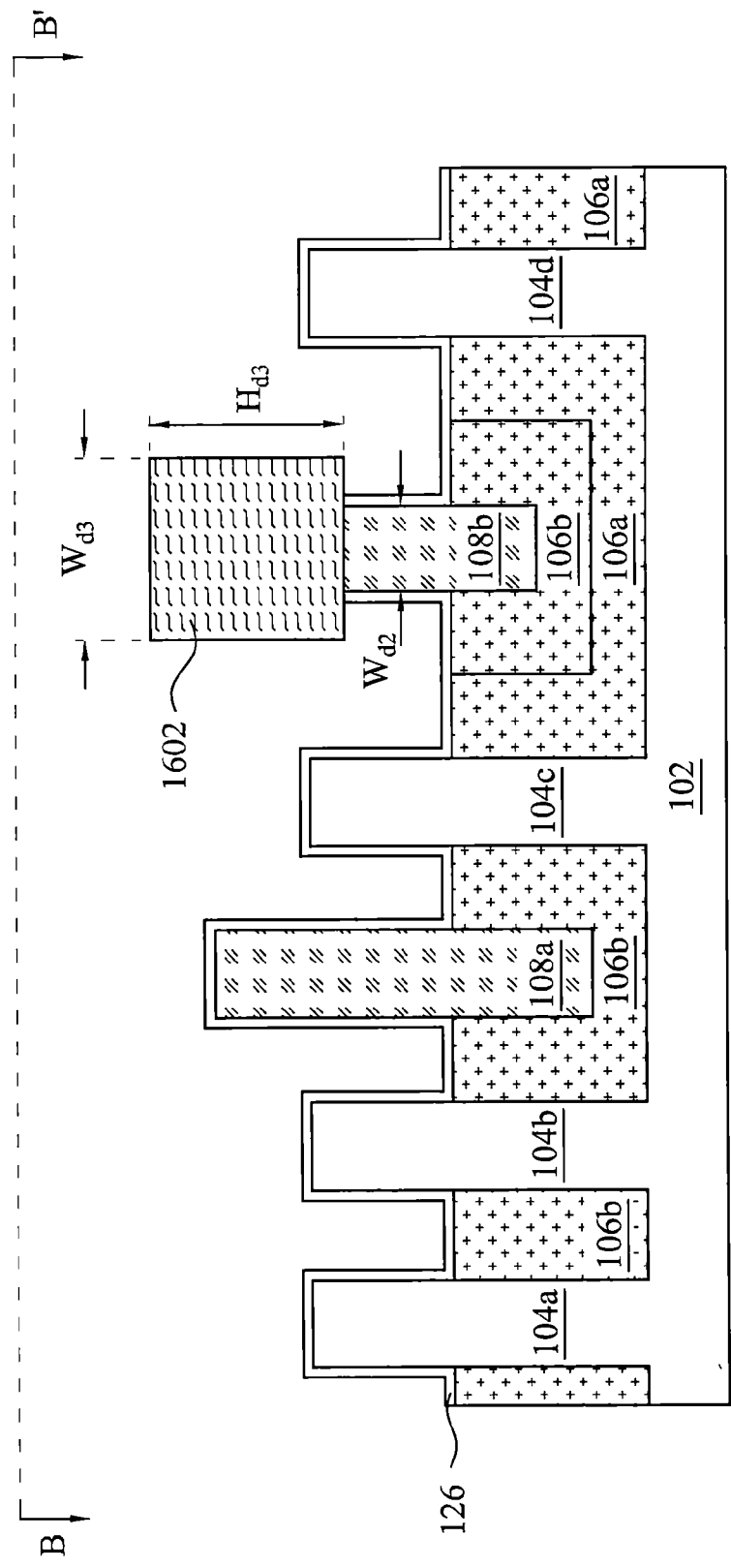
第 14 圖



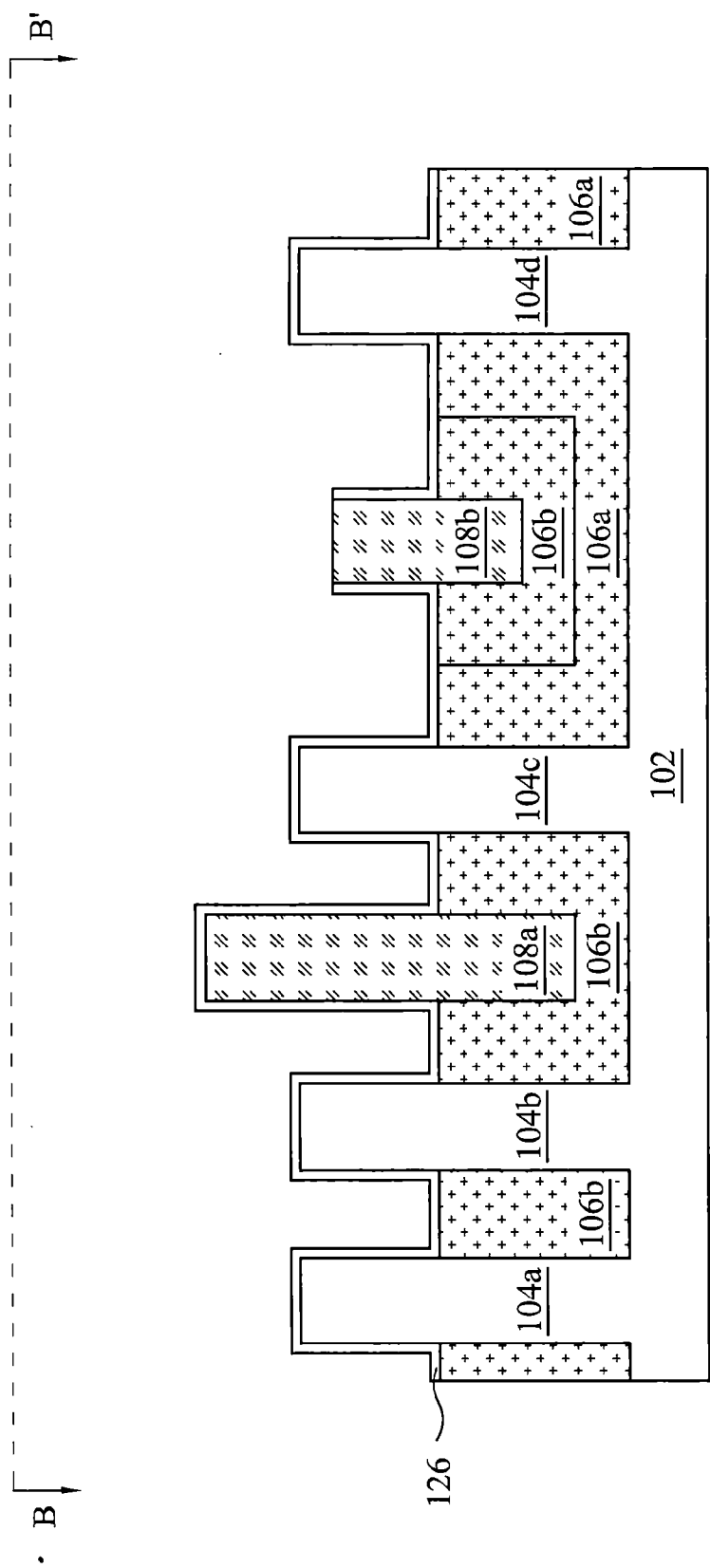
第 15 圖



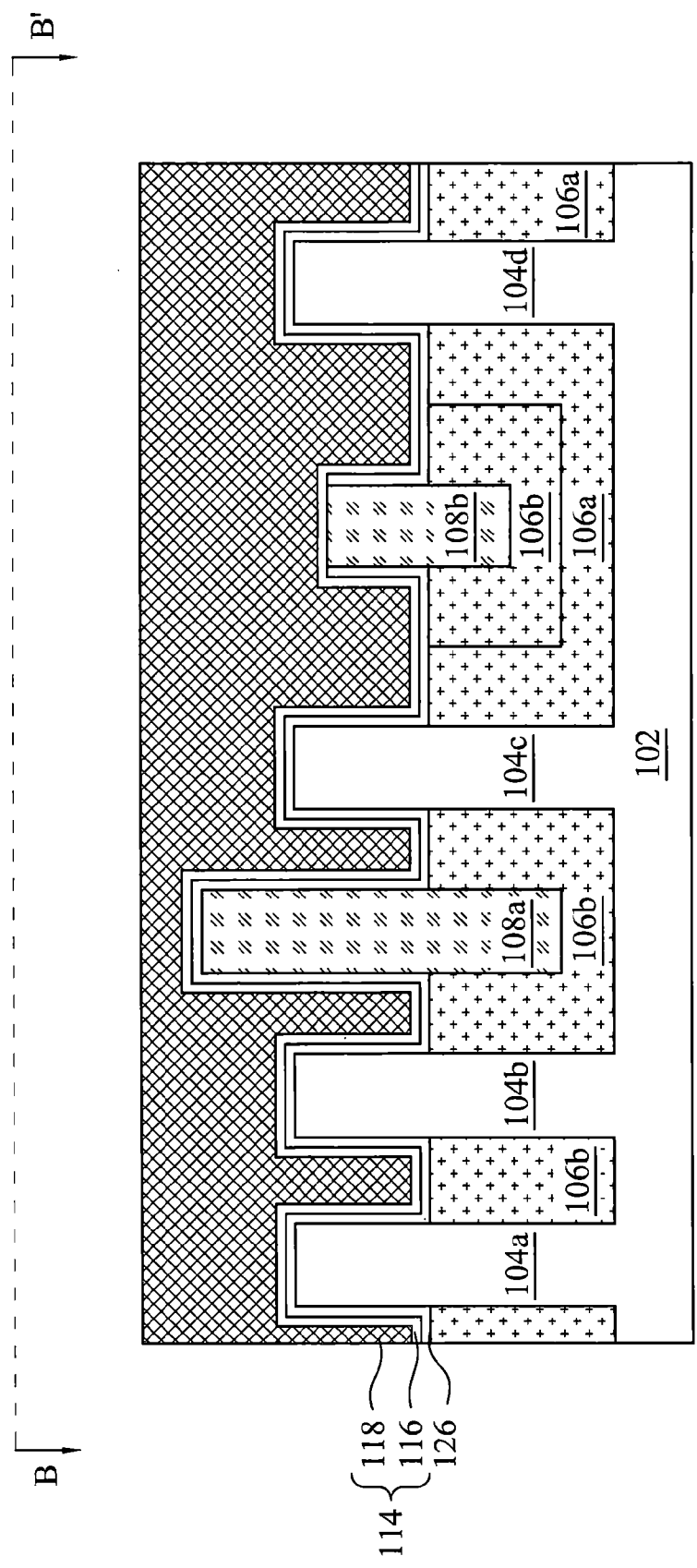
第 16 圖



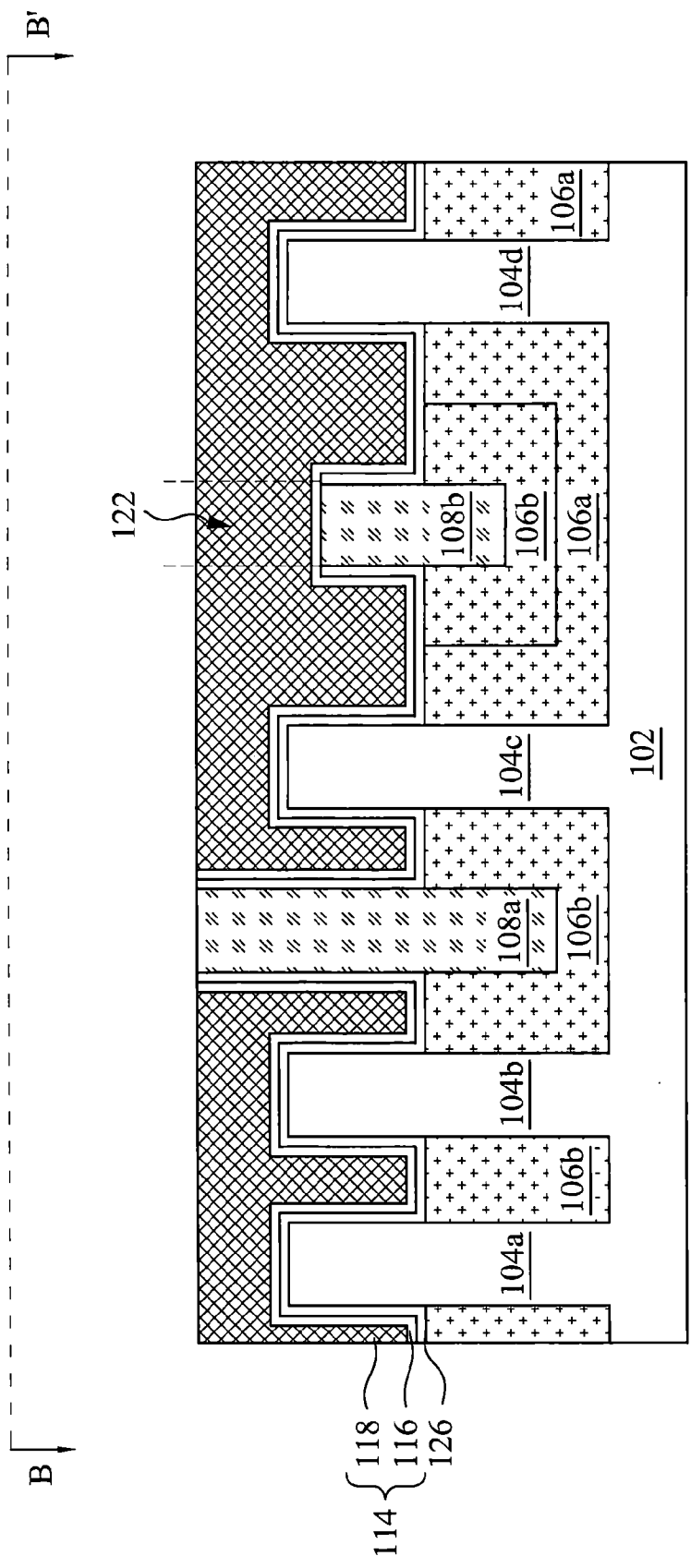
第 17 圖



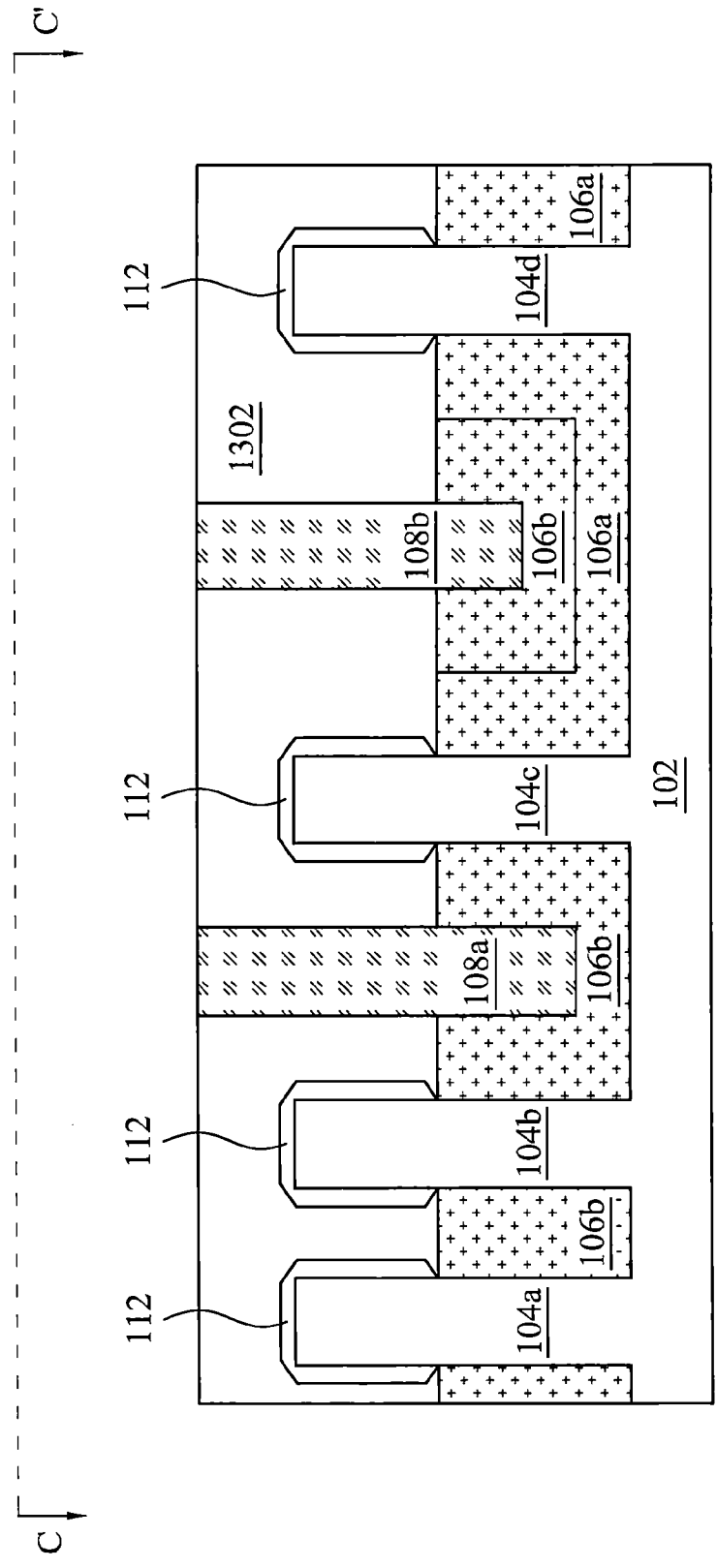
第 18 圖



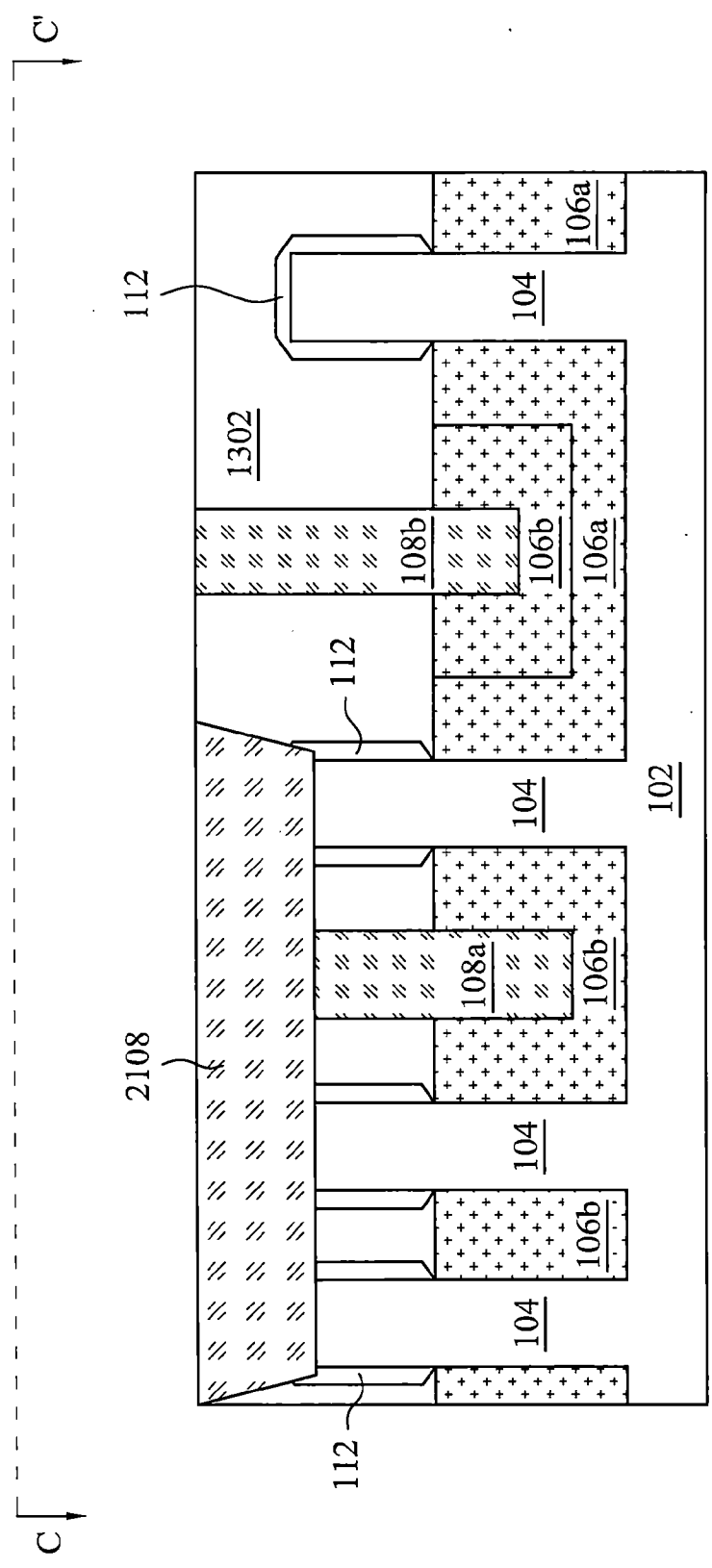
第 19 圖



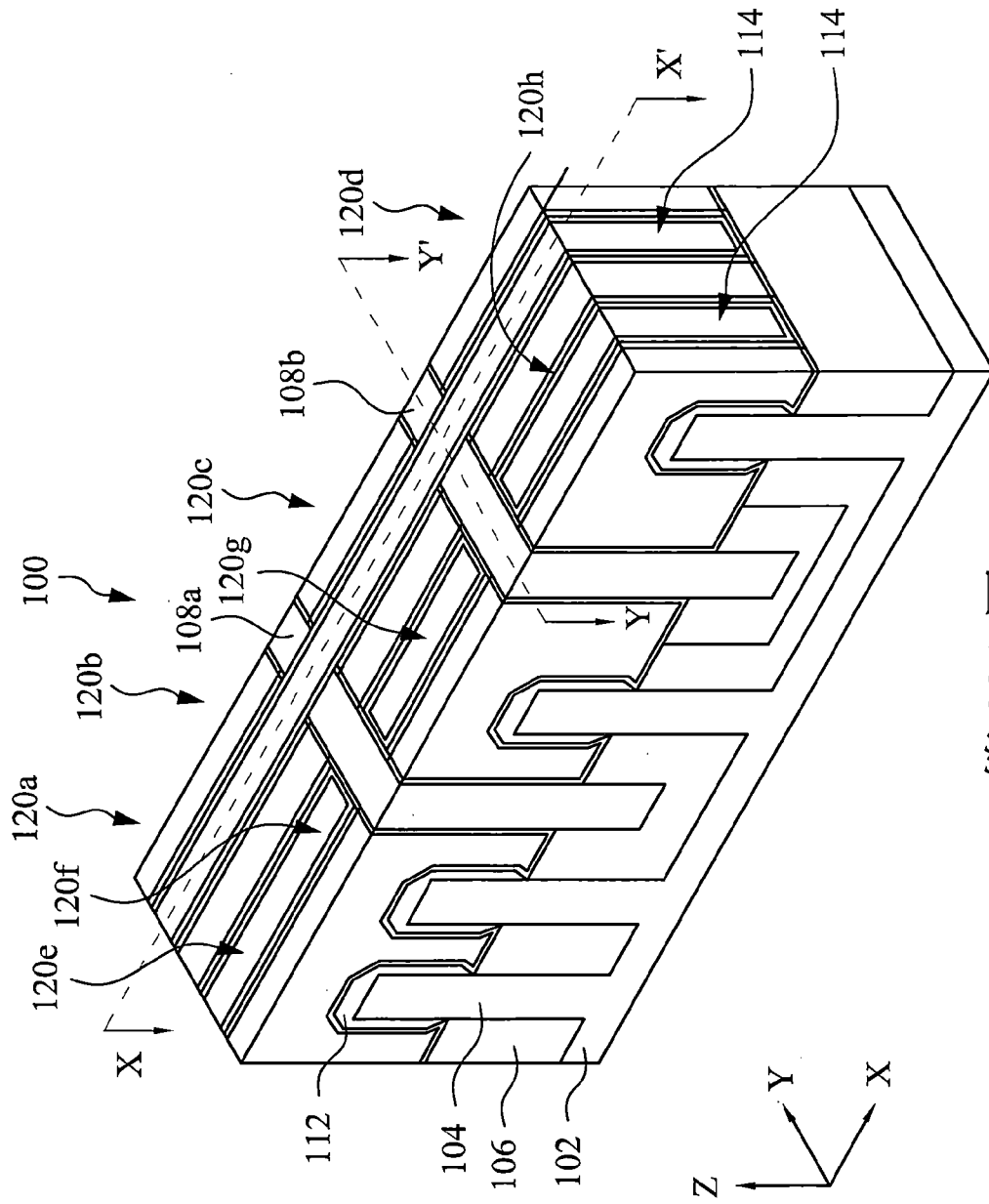
第 20A 圖



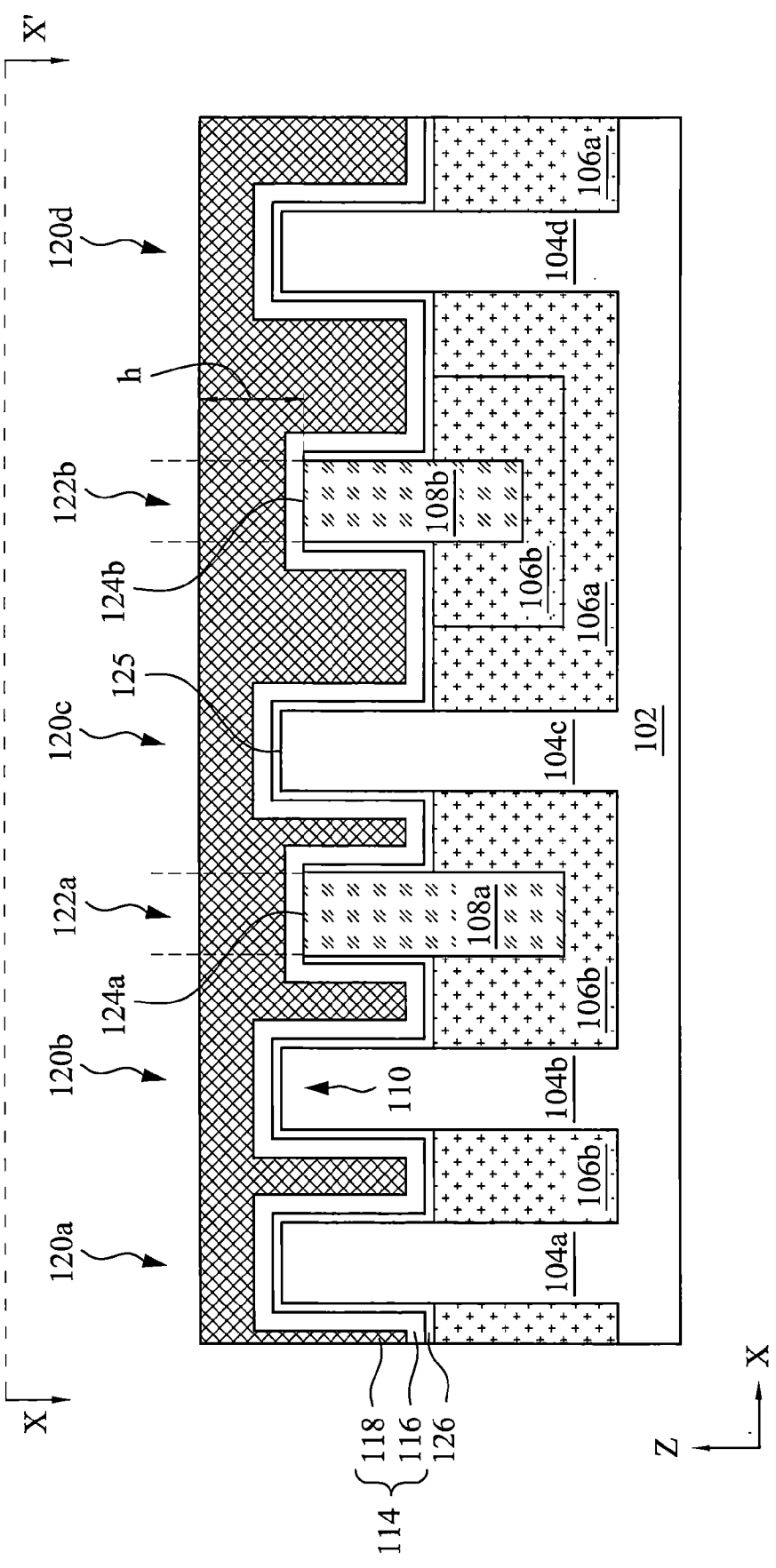
第 20B 圖



第 21 圖



第 22A 圖



第 22B 圖