

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6459318号  
(P6459318)

(45) 発行日 平成31年1月30日(2019.1.30)

(24) 登録日 平成31年1月11日(2019.1.11)

(51) Int.Cl.		F I			
<b>G09F</b>	<b>9/30</b>	<b>(2006.01)</b>	G09F	9/30	338
<b>H05B</b>	<b>33/08</b>	<b>(2006.01)</b>	H05B	33/08	
<b>H01L</b>	<b>51/50</b>	<b>(2006.01)</b>	H05B	33/14	A

請求項の数 11 (全 72 頁)

(21) 出願番号	特願2014-179306 (P2014-179306)	(73) 特許権者	000002369
(22) 出願日	平成26年9月3日(2014.9.3)		セイコーエプソン株式会社
(65) 公開番号	特開2016-53641 (P2016-53641A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成28年4月14日(2016.4.14)	(74) 代理人	100125689
審査請求日	平成29年9月1日(2017.9.1)		弁理士 大林 章
		(74) 代理人	100121108
			弁理士 高橋 太郎
		(72) 発明者	太田 人嗣
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	野澤 陵一
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	中村 直行

最終頁に続く

(54) 【発明の名称】 有機エレクトロルミネッセンス装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

画素を駆動する第1トランジスターと、  
前記第1トランジスターのゲート電極に接続された容量素子と、  
前記第1トランジスターのゲート電極に一方の電流端が接続された第2トランジスターと、を備え、

前記容量素子は、前記ゲート電極に接続されたゲート電極側容量電極と、電源に接続された電源側容量電極と、前記ゲート電極側容量電極と前記電源側容量電極との間の誘電体膜とを備え、

前記電源側容量電極は、前記ゲート電極が形成された層と前記ゲート電極側容量電極が形成された層との間の層に形成され、

前記第1トランジスターおよび前記第2トランジスターの双方と前記容量素子は、平面視上で重なるように配置される、

ことを特徴とする有機エレクトロルミネッセンス装置。

【請求項2】

前記第2トランジスターの他方の電流端に接続される信号線が形成された層と、前記ゲート電極側容量電極が形成された層との間に、前記電源側容量電極を設ける、

ことを特徴とする請求項1に記載の有機エレクトロルミネッセンス装置。

【請求項3】

前記第2トランジスターの他方の電流端に接続される信号線が形成された層および前記

10

20

第2トランジスタの制御線である走査線が形成された層と、前記ゲート電極側容量電極が形成された層との間に、前記電源側容量電極を設ける、

ことを特徴とする請求項1または請求項2に記載の有機エレクトロルミネッセンス装置。

【請求項4】

前記画素の電極である画素電極が形成された層と、前記ゲート電極側容量電極が形成された層との間に、前記電源に接続された他の電源側容量電極を設ける、

ことを特徴とする請求項1ないし請求項3のいずれか一項に記載の有機エレクトロルミネッセンス装置。

【請求項5】

前記第1トランジスタの電流端と、前記画素の電極である画素電極との電氣的導通部は、絶縁層を貫通する導通孔と中継電極とを備える、

ことを特徴とする請求項1ないし請求項4のいずれか1項に記載の有機エレクトロルミネッセンス装置。

【請求項6】

前記電源側容量電極は、第1の電源側容量電極と、第2の電源側容量電極とを備え、前記第1の電源側容量電極と、前記第2の電源側容量電極との間には、前記ゲート電極側容量電極が設けられ、前記第1の電源側容量電極と前記第2の電源側容量電極とを接続する電源間導通部は、前記画素が並ぶ横方向または縦方向の少なくともいずれか一方向に延在して設けられる、

ことを特徴とする請求項1ないし請求項5のいずれか1項に記載の有機エレクトロルミネッセンス装置。

【請求項7】

前記電源に接続された電源線層を備え、前記電源側容量電極は、前記電源線層に電氣的に接続され、前記電源線層より下層に設けられる、

ことを特徴とする請求項1ないし請求項6のいずれか1項に記載の有機エレクトロルミネッセンス装置。

【請求項8】

前記ゲート電極に接続されたゲート配線を有し、前記ゲート電極側容量電極は、前記ゲート配線に電氣的に接続され、前記ゲート配線よりも下層に形成される、

ことを特徴とする請求項1ないし請求項7のいずれか1項に記載の有機エレクトロルミネッセンス装置。

【請求項9】

前記第1トランジスタの前記画素側の電流端と、前記第2トランジスタの他方の電流端とに接続される第3トランジスタを備え、

前記第3トランジスタと前記容量素子は、平面視上で重なるように配置される、

ことを特徴とする請求項1ないし請求項8のいずれか1項に記載の有機エレクトロルミネッセンス装置。

【請求項10】

前記第1トランジスタの前記画素側の電流端と、前記第2トランジスタの他方の電流端とに接続される第4トランジスタを備え、

前記第4トランジスタと前記容量素子は、平面視上で重なるように配置される、

ことを特徴とする請求項1ないし請求項9のいずれか1項に記載の有機エレクトロルミネッセンス装置。

【請求項11】

請求項1から請求項10のいずれかの有機エレクトロルミネッセンス装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、有機EL材料の発光材料を利用した有機エレクトロルミネッセンス装置に関する。

【背景技術】

【0002】

例えば有機EL材料を利用した発光素子を基板上に平面状に配列した発光装置が各種の電子機器の表示装置として従来から提案されている。特許文献1には、走査線やゲート電極等を形成する層に容量素子を構成する容量電極を形成する技術が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-226184号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、特許文献1のように、走査線及びゲート電極を形成する層に容量電極を形成する場合には、走査線などの制御線及びゲート電極を避けて容量電極を形成しなければならず、容量素子の容量確保が困難であった。

以上の事情を考慮して、本発明は、ゲート電極よりも上の層を有効に活用して、高密度な画素のための画素構造を有する有機エレクトロルミネッセンス装置および電子機器を提供することを目的とする。

【課題を解決するための手段】

【0005】

以上の課題を解決するために、本発明の好適な態様に係る有機エレクトロルミネッセンス装置は、画素を駆動する第1トランジスターと、前記第1トランジスターのゲート電極に接続された容量素子と、前記容量素子は、前記ゲート電極に接続されたゲート電極側容量電極と、電源に接続された電源側容量電極と、前記ゲート電極側容量電極と前記電源側容量電極との間の誘電体膜とを備え、前記電源側容量電極は、前記ゲート電極が形成された層と前記ゲート電極側容量電極が形成された層との間の層に形成される、ことを特徴とする。以上の構成では、電源に接続された電源側容量電極のシールド効果により、電源側容量電極が形成された層とゲート電極が形成された層との間に形成されるノイズ源、例えば、走査線のノイズによるゲート電極側容量電極に対する影響が低減される。また、画素の電極や電源に接続される電源線層とは別にゲート電極側容量電極を形成するので、設計の自由度が高くなる。さらに、以上の層構成では、ゲート電極側容量電極は、画素の電極が形成された層に近い層に形成されることになり、走査線が形成された層に近い層に形成する場合と比して、階調電位による変動を受けにくい。

【0006】

本発明の好適な態様において、前記第1トランジスターのゲート電極に一方の電流端が接続された選択する第2トランジスターを備え、前記第2トランジスターの他方の電流端に接続される信号線が形成された層と、前記ゲート電極側容量電極が形成された層との間に、前記電源側容量電極を設ける。したがって、容量素子のゲート電極側容量電極と信号線との間には、電源に接続された電源側容量電極が配置されるので、電源側容量電極のシールド効果により、信号線と容量素子のゲート電極側容量電極とのカップリングが抑制される。

【0007】

本発明の好適な態様において、前記第1トランジスターのゲート電極に一方の電流端が接続された第2トランジスターを備え、前記第2トランジスターの他方の電流端に接続される信号線が形成された層および前記第2トランジスターの制御線である走査線が形成された層と、前記ゲート電極側容量電極が形成された層との間に、前記電源側容量電極を設ける、したがって、容量素子のゲート電極側容量電極と信号線および制御線との間には、電源に接続された電源側容量電極が配置されるので、電源側容量電極のシールド効果によ

10

20

30

40

50

り、信号線と容量素子のゲート電極側容量電極とのカップリングが抑制されるだけでなく、制御線と容量素子のゲート電極側容量電極とのカップリングが抑制される。

【0008】

本発明の好適な態様において、前記画素の電極である画素電極が形成された層と、前記ゲート電極側容量電極が形成された層との間に、前記電源側容量電極を設ける。したがって、電源に接続された電源側容量電極のシールド効果により、画素電極と容量素子のゲート電極側容量電極とのカップリングが抑制される。

【0009】

本発明の好適な態様において、前記第1トランジスタの電流端と、前記画素の電極である画素電極との電氣的導通部は、絶縁層を貫通する導通孔と中継電極とを備える。したがって、第1トランジスタの電流端が形成された層まで画素電極を延ばして導通を図る場合に比べて低抵抗で第1トランジスタと画素電極との導通を図ることができる。

【0010】

本発明の好適な態様において、前記電源側容量電極は、第1の電源側容量電極と、第2の電源側容量電極とを備え、前記第1の電源側容量電極と、前記第2の電源側容量電極との間には、前記ゲート電極側容量電極が設けられ、前記第1の電源側容量電極と前記第2の電源側容量電極とを接続する電源間導通部は、前記画素が並ぶ横方向または縦方向の少なくともいずれか一方の方向に延在して設けられる。したがって、第1の電源線層と第2の電源線層とを接続する電源間導通部のシールド効果により、一の画素における容量素子のゲート電極側容量電極と、当該一の画素に隣り合う画素における容量素子のゲート電極側容量電極との間のカップリングが抑制される。

【0011】

本発明の好適な態様において、前記電源に接続された電源線層を備え、前記電源側容量電極は、前記電源線層に電氣的に接続され、前記電源線層より下層に設けられる。したがって、電源線層とは別に、電源線層の下層に電源線層と接続された容量素子の電源側容量電極が形成されるので、電源線層を容量素子の容量電極に用いる場合に比して、電極の厚さを薄くすることが可能であり、容量素子の容量を大きくすることが容易となる。また、容量電極の配置の自由度が高くなる。

【0012】

本発明の好適な態様において、前記ゲート電極に接続されたゲート配線を有し、前記ゲート電極側容量電極は、前記ゲート配線に電氣的に接続され、前記ゲート配線よりも下層に形成される。したがって、ゲート配線とは別に、ゲート配線の下層にゲート配線と接続された容量素子のゲート電極側容量電極が形成されるので、ゲート配線を容量素子の容量電極に用いる場合に比して、電極の厚さを薄くすることが可能であり、容量素子の容量を大きくすることが容易となる。また、容量電極の配置の自由度が高くなる。

【0013】

本発明の好適な態様において、前記第1トランジスタと、前記容量素子とは、平面視上で重なるように配置される。したがって、平面方向で容量素子の容量が確保されると共に、画素の微細化が可能となる。

【0014】

本発明の好適な態様において、前記第1トランジスタのゲート電極に一方の電流端が接続された第2トランジスタを備え、前記第2トランジスタと前記容量素子は、平面視上で重なるように配置される。したがって、平面方向で容量素子の容量が確保されると共に、画素の微細化が可能となる。

【0015】

本発明の好適な態様において、前記第1トランジスタのゲート電極に一方の電流端が接続された第2トランジスタを備え、前記第1トランジスタの前記画素側の電流端と、前記第2トランジスタの他方の電流端とに接続される第3トランジスタと、を備え、前記第3トランジスタと前記容量素子は、平面視上で重なるように配置される。したがって、したがって、平面方向で容量素子の容量が確保されると共に、画素の微細化が可

10

20

30

40

50

能となる。

【0016】

本発明の好適な態様において、前記第1トランジスタのゲート電極に一方の電流端が接続された第2トランジスタと、前記第1トランジスタの前記画素側の電流端と、前記第2トランジスタの他方の電流端とに接続される第4トランジスタと、を備え、前記第4トランジスタと前記容量素子は、平面視上で重なるように配置される。したがって、平面方向で容量素子の容量が確保されると共に、画素の微細化が可能となる。

【0017】

以上の各態様に係る有機エレクトロルミネッセンス装置は、例えば表示装置として各種の電子機器に利用される。具体的には、頭部装着型の表示装置や撮像装置の電子式ビューファインダー等が本発明の電子機器の好適例として例示され得るが、本発明の適用範囲は以上の例示に限定されない。

【図面の簡単な説明】

【0018】

【図1】本発明の第1実施形態の発光装置の平面図である。

【図2】画素の回路図である。

【図3】画素の回路図である。

【図4】発光装置の断面図である。

【図5】基板上に形成される各要素の説明図である。

【図6】基板上に形成される各要素の説明図である。

【図7】基板上に形成される各要素の説明図である。

【図8】基板上に形成される各要素の説明図である。

【図9】基板上に形成される各要素の説明図である。

【図10】基板上に形成される各要素の説明図である。

【図11】基板上に形成される各要素の説明図である。

【図12】基板上に形成される各要素の説明図である。

【図13】基板上に形成される各要素の説明図である。

【図14】基板上に形成される各要素の説明図である。

【図15】第1実施形態の変形例における基板上に形成される各要素の説明図である。

【図16】第1実施形態の変形例における基板上に形成される各要素の説明図である。

【図17】本発明の第2実施形態における発光装置の断面図である。

【図18】基板上に形成される各要素の説明図である。

【図19】基板上に形成される各要素の説明図である。

【図20】基板上に形成される各要素の説明図である。

【図21】基板上に形成される各要素の説明図である。

【図22】本発明の第3実施形態における発光装置の断面図である。

【図23】基板上に形成される各要素の説明図である。

【図24】基板上に形成される各要素の説明図である。

【図25】基板上に形成される各要素の説明図である。

【図26】基板上に形成される各要素の説明図である。

【図27】基板上に形成される各要素の説明図である。

【図28】基板上に形成される各要素の説明図である。

【図29】基板上に形成される各要素の説明図である。

【図30】基板上に形成される各要素の説明図である。

【図31】本発明の第4実施形態における発光装置の断面図である。

【図32】基板上に形成される各要素の説明図である。

【図33】基板上に形成される各要素の説明図である。

【図34】基板上に形成される各要素の説明図である。

【図35】基板上に形成される各要素の説明図である。

【図36】基板上に形成される各要素の説明図である。

10

20

30

40

50

- 【図37】基板上に形成される各要素の説明図である。
- 【図38】基板上に形成される各要素の説明図である。
- 【図39】基板上に形成される各要素の説明図である。
- 【図40】基板上に形成される各要素の説明図である。
- 【図41】本発明の第5実施形態における発光装置の断面図である。
- 【図42】基板上に形成される各要素の説明図である。
- 【図43】基板上に形成される各要素の説明図である。
- 【図44】基板上に形成される各要素の説明図である。
- 【図45】基板上に形成される各要素の説明図である。
- 【図46】基板上に形成される各要素の説明図である。 10
- 【図47】基板上に形成される各要素の説明図である。
- 【図48】基板上に形成される各要素の説明図である。
- 【図49】基板上に形成される各要素の説明図である。
- 【図50】基板上に形成される各要素の説明図である。
- 【図51】基板上に形成される各要素の説明図である。
- 【図52】本発明の第6実施形態における発光装置の画素の回路図である。
- 【図53】発光装置の断面図である。
- 【図54】基板上に形成される各要素の説明図である。
- 【図55】基板上に形成される各要素の説明図である。
- 【図56】基板上に形成される各要素の説明図である。 20
- 【図57】基板上に形成される各要素の説明図である。
- 【図58】基板上に形成される各要素の説明図である。
- 【図59】基板上に形成される各要素の説明図である。
- 【図60】基板上に形成される各要素の説明図である。
- 【図61】基板上に形成される各要素の説明図である。
- 【図62】基板上に形成される各要素の説明図である。
- 【図63】本発明の第7実施形態における発光装置の断面図である。
- 【図64】基板上に形成される各要素の説明図である。
- 【図65】基板上に形成される各要素の説明図である。
- 【図66】基板上に形成される各要素の説明図である。 30
- 【図67】基板上に形成される各要素の説明図である。
- 【図68】基板上に形成される各要素の説明図である。
- 【図69】基板上に形成される各要素の説明図である。
- 【図70】基板上に形成される各要素の説明図である。
- 【図71】基板上に形成される各要素の説明図である。
- 【図72】基板上に形成される各要素の説明図である。
- 【図73】本発明の第8実施形態における発光装置の断面図である。
- 【図74】基板上に形成される各要素の説明図である。
- 【図75】基板上に形成される各要素の説明図である。
- 【図76】基板上に形成される各要素の説明図である。 40
- 【図77】基板上に形成される各要素の説明図である。
- 【図78】基板上に形成される各要素の説明図である。
- 【図79】基板上に形成される各要素の説明図である。
- 【図80】基板上に形成される各要素の説明図である。
- 【図81】基板上に形成される各要素の説明図である。
- 【図82】基板上に形成される各要素の説明図である。
- 【図83】基板上に形成される各要素の説明図である。
- 【図84】本発明の第9実施形態における発光装置の断面図である。
- 【図85】基板上に形成される各要素の説明図である。
- 【図86】基板上に形成される各要素の説明図である。 50

- 【図 8 7】基板上に形成される各要素の説明図である。
- 【図 8 8】基板上に形成される各要素の説明図である。
- 【図 8 9】基板上に形成される各要素の説明図である。
- 【図 9 0】基板上に形成される各要素の説明図である。
- 【図 9 1】基板上に形成される各要素の説明図である。
- 【図 9 2】基板上に形成される各要素の説明図である。
- 【図 9 3】基板上に形成される各要素の説明図である。
- 【図 9 4】基板上に形成される各要素の説明図である。
- 【図 9 5】基板上に形成される各要素の説明図である。
- 【図 9 6】本発明の第 1 0 実施形態における発光装置の断面図である。 10
- 【図 9 7】基板上に形成される各要素の説明図である。
- 【図 9 8】基板上に形成される各要素の説明図である。
- 【図 9 9】基板上に形成される各要素の説明図である。
- 【図 1 0 0】基板上に形成される各要素の説明図である。
- 【図 1 0 1】基板上に形成される各要素の説明図である。
- 【図 1 0 2】基板上に形成される各要素の説明図である。
- 【図 1 0 3】基板上に形成される各要素の説明図である。
- 【図 1 0 4】基板上に形成される各要素の説明図である。
- 【図 1 0 5】基板上に形成される各要素の説明図である。
- 【図 1 0 6】基板上に形成される各要素の説明図である。 20
- 【図 1 0 7】基板上に形成される各要素の説明図である。
- 【図 1 0 8】電子機器の一例たる頭部装着型の表示装置の模式図である。
- 【発明を実施するための形態】

【 0 0 1 9 】

< 第 1 実施形態 >

図 1 は、本発明の第 1 実施形態に係る有機エレクトロルミネッセンス装置 1 0 0 の平面図である。第 1 実施形態の有機エレクトロルミネッセンス装置 1 0 0 は、有機 E L 材料を利用した発光素子を基板 1 0 の面上に形成した有機 E L 装置である。基板 1 0 は、珪素（シリコン）等の半導体材料で形成された板状部材（半導体基板）であり、複数の発光素子が形成される基体（下地）として利用される。図 1 に例示される通り、基板 1 0 の表面は、第 1 領域 1 2 と第 2 領域 1 4 とに区分される。第 1 領域 1 2 は矩形形状の領域であり、第 2 領域 1 4 は、第 1 領域 1 2 を包囲する矩形棒状の領域である。 30

【 0 0 2 0 】

第 1 領域 1 2 には、X 方向に延在する複数の走査線 2 2 と、X 方向に交差する Y 方向に延在する複数の信号線 2 6 とが形成される。複数の走査線 2 2 と複数の信号線 2 6 との各交差に対応して画素 P（P d , P e ）が形成される。したがって、複数の画素 P は、X 方向および Y 方向にわたり行列状に配列する。

【 0 0 2 1 】

第 2 領域 1 4 には駆動回路 3 0 と複数の実装端子 3 6 とガードリング 3 8 とが設置される。駆動回路 3 0 は、各画素 P を駆動する回路であり、第 1 領域 1 2 を X 方向に挟む各位置に設置された 2 個の走査線駆動回路 3 2 と、第 2 領域 1 4 のうち X 方向に延在する領域に設置された信号線駆動回路 3 4 とを含んで構成される。複数の実装端子 3 6 は、信号線駆動回路 3 4 を挟んで第 1 領域 1 2 とは反対側の領域内に形成され、基板 1 0 に接合される可撓性の配線基板（図示略）を介して制御回路や電源回路等の外部回路（例えば配線基板上に実装された電子回路）に電氣的に接続される。 40

【 0 0 2 2 】

第 1 実施形態の有機エレクトロルミネッセンス装置 1 0 0 は、基板 1 0 の複数個分に相当するサイズの前基板の切断（スクライプ）で複数個が一括的に形成される。図 1 のガードリング 3 8 は、前基板の切断時の衝撃や静電気の影響が駆動回路 3 0 または各画素 P に波及することや各基板 1 0 の端面（前基板の切断面）からの水分の侵入を防止する。図 1 50

に例示される通り、ガードリング38は、駆動回路30と複数の実装端子36と第1領域12とを包囲する環状(矩形枠状)に形成される。

【0023】

図1の第1領域12は、表示領域16と周辺領域18とに区分される。表示領域16は、各画素Pの駆動により実際に画像が表示される領域である。周辺領域18は、表示領域16を包囲する矩形枠状の領域であり、表示領域16内の各画素Pに構造は類似するが実際には画像の表示に寄与しない画素P(以下「ダミー画素Pd」という)が配置される。周辺領域18内のダミー画素Pdとの表記上の区別を明確化する観点から、以下の説明では、表示領域16内の画素Pを「表示画素Pe」と便宜的に表記する場合がある。表示画素Peは、発光の最小単位となる要素である。

10

【0024】

図2は、表示領域16内に位置する各表示画素Peの回路図である。図2に例示される通り、表示画素Peは、発光素子45と、駆動トランジスタTdrと、選択トランジスタTslと、容量素子Cと、発光制御トランジスタTelと、補償トランジスタTcmpとを含んで構成される。なお、本実施形態においては、表示画素Peの各トランジスタT(Tdr, Tel, Tsl, Tcmp)をPチャンネル型としたが、Nチャンネル型のトランジスタを利用することも可能である。

【0025】

発光素子45は、有機EL材料の発光層を含む発光機能層46を第1電極(陽極)E1と第2電極(陰極)E2との間に介在させた電気光学素子である。第1電極E1は表示画素Pe毎に個別に形成され、第2電極E2は複数の画素Pにわたり連続する。図2から理解される通り、発光素子45は、第1電源導電体41と第2電源導電体42とを連結する経路上に配置される。第1電源導電体41は、高位側の電源電位V<sub>e1</sub>が供給される電源配線であり、第2電源導電体42は、低位側の電源電位(例えば接地電位)V<sub>ct</sub>が供給される電源配線である。本実施形態の表示画素Peの回路は、いわゆるカップリング駆動方式と、いわゆる電流プログラミング方式とのいずれの方式によっても駆動することが可能である。まず、カップリング駆動方式による駆動について説明する。

20

【0026】

発光制御トランジスタTelは、駆動トランジスタTdrの一对の電流端のうちの他方(ドレインまたはソース)と発光素子45の第1電極E1との導通状態(導通/非導通)を制御するスイッチとして機能する。駆動トランジスタTdrは、自身のゲート-ソース間の電圧に応じた電流量の駆動電流を生成する。発光制御トランジスタTelがオン状態に制御された状態では、駆動電流が駆動トランジスタTdrから発光制御トランジスタTelを経由して発光素子45に供給されることで発光素子45が駆動電流の電流量に応じた輝度で発光し、発光制御トランジスタTelがオフ状態に制御された状態では発光素子45に対する駆動電流の供給が遮断されることで発光素子45は消灯する。発光制御トランジスタTelのゲートは制御線28に接続される。

30

【0027】

補償トランジスタTcmpは、駆動トランジスタTdrの閾値電圧の変動を補償する機能を有する。発光制御トランジスタTelがオフ状態で、選択トランジスタTslおよび駆動トランジスタTdrがオン状態に制御された状態において、補償トランジスタTcmpがオン状態に制御されると、駆動トランジスタTdrのゲート電位とドレインまたはソース電位が等しくなり、駆動トランジスタTdrはダイオード接続となる。このため、駆動トランジスタTdrを流れる電流がゲートノードおよび信号線26を充電する。詳細には、電流が、電源線層41 駆動トランジスタTdr 補償トランジスタTcmp 信号線26という経路で流れる。このため、駆動トランジスタTdrがオン状態に制御されることによって互いに接続状態にある信号線26およびゲートノードは、初期状態の電位から上昇する。ただし、上記経路に流れる電流は、駆動トランジスタTdrの閾値電圧を|V<sub>th</sub>|とすると、ゲートノードが電位(V<sub>e1</sub> - |V<sub>th</sub>|)に近づくと流れにくくなるので、補償トランジスタTcmpがオフ状態とさ

40

50

れる補償期間の終了に至るまでに、信号線 26 およびゲートノードは電位 ( $V_{el} - |V_{th}|$ ) で飽和する。したがって、容量素子 C は、補償トランジスタ  $T_{cmp}$  がオフ状態とされる補償期間の終了に至るまでに駆動トランジスタ  $T_{dr}$  の閾値電圧  $|V_{th}|$  を保持することになる。

#### 【0028】

本実施形態では、水平走査期間内に補償期間と書込期間を有しており、各走査線駆動回路 32 は、各走査線 22 に走査信号を供給することで複数の走査線 22 の各々を水平走査期間毎に順次に選択する。走査線駆動回路 32 が選択した走査線 22 に対応する各表示画素  $P_e$  の選択トランジスタ  $T_{s1}$  はオン状態に遷移する。したがって、各表示画素  $P_e$  の駆動トランジスタ  $T_{dr}$  もオン状態に遷移する。また、各走査線駆動回路 32 は、各制御線 27 に制御信号を供給することで複数の制御線 27 の各々を補償期間毎に順次に選択する。走査線駆動回路 32 が選択した制御線 27 に対応する各表示画素  $P_e$  の補償トランジスタ  $T_{cmp}$  はオン状態に遷移する。そして、容量素子 C は、補償トランジスタ  $T_{cmp}$  がオフ状態とされる補償期間の終了に至るまでに駆動トランジスタ  $T_{dr}$  の閾値電圧  $|V_{th}|$  を保持する。各走査線駆動回路 32 が各制御線 27 に制御信号を供給することで各表示画素  $P_e$  の補償トランジスタ  $T_{cmp}$  をオフ状態に制御すると、信号線 26 から駆動トランジスタ  $T_{dr}$  のゲートノードに至るまでの経路はフローティング状態になるものの、容量素子 C によって ( $V_{el} - |V_{th}|$ ) に維持される。次に、信号線駆動回路 34 は、外部回路から供給される画像信号が表示画素  $P_e$  毎に指定する階調に応じた階調電位 (データ信号) を書込期間毎に容量素子  $C_{ref}$  に対して並列に供給する。そして、階調電位は容量素子  $C_{ref}$  を用いてレベルがシフトされ、その電位が信号線 26 と選択トランジスタ  $T_{s1}$  とを経由して各表示画素  $P_e$  の駆動トランジスタ  $T_{dr}$  のゲートに供給される。容量素子 C には駆動トランジスタ  $T_{dr}$  の閾値電圧  $|V_{th}|$  を補償しつつ階調電位に応じた電圧が保持される。他方、書込期間での走査線 22 の選択が終了すると、各走査線駆動回路 32 は、各制御線 28 に制御信号を供給することで当該制御線 28 に対応する各表示画素  $P_e$  の発光制御トランジスタ  $T_{e1}$  をオン状態に制御する。したがって、直前の書込期間で容量素子 C に保持された電圧に応じた駆動電流が駆動トランジスタ  $T_{dr}$  から発光制御トランジスタ  $T_{e1}$  を経由して発光素子 45 に供給される。以上のように各発光素子 45 が階調電位に応じた輝度で発光することで、画像信号が指定する任意の画像が表示領域 16 に表示される。そして、駆動トランジスタ  $T_{dr}$  から発光素子 45 に供給される駆動電流は、閾値電圧の影響が相殺されているため、駆動トランジスタ  $T_{dr}$  の閾値電圧が表示画素  $P_e$  毎にばらつきが補償されて、階調レベルに応じた電流が発光素子 45 に供給されるので、表示画面の一樣性を損なうような表示ムラの発生を抑えられる結果、高品位の表示が可能になる。

#### 【0029】

次に、図 3 を参照して電流プログラミング方式による駆動について説明する。走査線 22 の走査信号が L レベルになると、選択トランジスタ  $T_{s1}$  がオン状態となる。また、制御線 27 の制御信号が L レベルになると、補償トランジスタ  $T_{cmp}$  がオン状態となる。したがって、駆動トランジスタ  $T_{dr}$  は、ゲート電位と、発光制御トランジスタ  $T_{e1}$  との接続側のソース電位またはドレイン電位とが等しくなり、ダイオードとして機能する。そして、信号線 26 のデータ信号が L レベルになると、電流  $I_{data}$  が、電源線層 41 駆動トランジスタ  $T_{dr}$  補償トランジスタ  $T_{cmp}$  信号線 26 という経路で流れる。また、そのときに、駆動トランジスタ  $T_{dr}$  のゲートノードの電位に応じた電荷が容量素子 C に蓄積される。

#### 【0030】

制御線 27 の制御信号が H レベルになると、補償トランジスタ  $T_{cmp}$  はオフ状態となる。このとき、容量素子 C の両端の電圧は、電流  $I_{data}$  が流れたときの電圧に保持される。制御線 28 の制御信号が L レベルになると、発光制御トランジスタ  $T_{e1}$  がオン状態となり、駆動トランジスタ  $T_{dr}$  のソース・ドレイン間には、ゲート電圧に応じた電流  $I_{oled}$  が流れる。詳細には、この電流は、電源線層 41 駆動トランジスタ

10

20

30

40

50

T d r 発光制御トランジスタ T e l 発光素子 4 5 という経路で流れる。

【 0 0 3 1 】

ここで、発光素子 4 5 に流れる電流 I o l e d は、駆動トランジスタ T d r のゲートノードと、電源線層 4 1 との接続側のドレインノードまたはソースノードとの間の電圧で定まるが、その電圧は、L レベルの走査信号によって電流 I d a t a が信号線 2 6 に流れたときに、容量素子 C によって保持された電圧である。このため、制御線 2 8 の制御信号が L レベルになったときに、発光素子 4 5 に流れる電流 I o l e d は、直前に流れた電流 I d a t a に略一致する。このように、電流プログラミング方式の駆動の場合には、電流 I d a t a によって発光輝度が規定される。なお、走査線 2 2 は制御線 2 7 と異なる配線としたが、走査線 2 2 と制御線 2 7 とを一本の配線としてもよい。

10

【 0 0 3 2 】

第 1 実施形態の有機エレクトロルミネッセンス装置 1 0 0 の具体的な構造を以下に詳述する。なお、以下の説明で参照する各図面では、説明の便宜のために、各要素の寸法や縮尺を実際の有機エレクトロルミネッセンス装置 1 0 0 とは相違させている。図 4 は、有機エレクトロルミネッセンス装置 1 0 0 の断面図であり、図 5 から図 1 3 は、有機エレクトロルミネッセンス装置 1 0 0 の各要素を形成する各段階での基板 1 0 の表面の様子を表示画素 P e の 1 個分に着目して図示した平面図である。図 5 から図 1 3 の I - I ' 線を含む断面に対応した断面図が図 4 に相当する。なお、図 5 から図 1 3 は平面図であるが、各要素の視覚的な把握を容易化する観点から、図 4 と共通する各要素に図 4 と同態様のハッチングが便宜的に付加されている。

20

【 0 0 3 3 】

図 4 および図 5 から理解される通り、珪素等の半導体材料で形成された基板 1 0 の表面には、表示画素 P e の各トランジスタ T ( T d r , T s l , T e l , T c m p ) の能動領域 1 0 A ( ソース/ドレイン領域 ) が形成される。能動領域 1 0 A にはイオンが注入される。表示画素 P e の各トランジスタ T ( T d r , T s l , T e l , T c m p ) のアクティブ層はソース領域とドレイン領域との間に存在し、能動領域 1 0 A とは別種類のイオンが注入されるが、便宜的に能動領域 1 0 A と一体に記載している。図 4 および図 6 から理解される通り、能動領域 1 0 A が形成された基板 1 0 の表面は絶縁膜 L 0 ( ゲート絶縁膜 ) で被覆され、各トランジスタ T のゲート層 G ( G d r , G s l , G e l , G c m p ) が絶縁膜 L 0 の面上に形成される。各トランジスタ T のゲート層 G は、絶縁膜 L 0 を挟んでアクティブ層に対向する。

30

【 0 0 3 4 】

図 4 から理解される通り、各トランジスタ T のゲート層 G が形成された絶縁膜 L 0 の面上には、複数の絶縁層 L ( L A ~ L D ) と複数の導電層 ( 配線層 ) とを交互に積層した多層配線層が形成される。各絶縁層 L は、例えば珪素化合物 ( 典型的には窒化珪素や酸化珪素 ) 等の絶縁性の無機材料で形成される。なお、以下の説明では、導電層 ( 単層または複数層 ) の選択的な除去により複数の要素が同一工程で一括的に形成される関係を「同層から形成される」と表記する。

【 0 0 3 5 】

絶縁層 L A は、各トランジスタ T のゲート G が形成された絶縁膜 L 0 の面上に形成される。図 4 および図 7 から理解される通り、絶縁層 L A の面上には、走査線 2 2 と、選択トランジスタ T s l の制御線 2 7 と、発光制御トランジスタ T e l の制御線 2 8 と、複数の中継電極 Q B ( Q B 1 , Q B 2 , Q B 3 , Q B 4 , Q B 5 , Q B 6 ) とが同層から形成される。

40

【 0 0 3 6 】

図 4 および図 7 から理解される通り、中継電極 Q B 1 は、絶縁膜 L 0 と絶縁層 L A とを貫通する導通孔 H A 2 を介して補償トランジスタ T c m p のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。中継電極 Q B 2 は、絶縁層 L A と絶縁膜 L 0 とを貫通する導通孔 H A 3 を介して選択トランジスタ T s l のソース領域またはドレイン領域を形成する能動領域 1 0 A に導通すると共に、絶縁層 L A を貫通する導通孔 H B 3

50

を介して駆動トランジスタ $T_{dr}$ のゲート層 $G_{e1}$ に導通する。中継電極 $Q_{B3}$ は、絶縁膜 $L_0$ と絶縁層 $L_A$ とを貫通する導通孔 $H_{A4}$ を介して選択トランジスタ $T_{s1}$ のドレイン領域またはソース領域を形成する能動領域 $10A$ に導通する。中継電極 $Q_{B4}$ は、絶縁膜 $L_0$ と絶縁層 $L_A$ とを貫通する導通孔 $H_{A5}$ を介して駆動トランジスタ $T_{dr}$ のドレイン領域またはソース領域を形成する能動領域 $10A$ に導通する。中継電極 $Q_{B5}$ は、絶縁膜 $L_0$ と絶縁層 $L_A$ とを貫通する導通孔 $H_{A6}$ を介して駆動トランジスタ $T_{dr}$ のドレイン領域またはソース領域を形成する能動領域 $10A$ に導通し、絶縁膜 $L_0$ と絶縁層 $L_A$ とを貫通する導通孔 $H_{A1}$ を介して補償トランジスタ $T_{cmp}$ のドレイン領域またはソース領域を形成する能動領域 $10A$ に導通し、かつ、絶縁膜 $L_0$ と絶縁層 $L_A$ とを貫通する導通孔 $H_{A7}$ を介して発光制御トランジスタ $T_{e1}$ のドレイン領域またはソース領域を形成する能動領域 $10A$ に導通する。中継電極 $Q_{B6}$ は、絶縁層 $L_A$ と絶縁膜 $L_0$ とを貫通する導通孔 $H_{A8}$ を介して発光制御トランジスタ $T_{e1}$ のソース領域またはドレイン領域を形成する能動領域 $10A$ に導通する。

10

## 【0037】

図7から理解される通り、走査線 $22$ は、絶縁層 $L_A$ を貫通する導通孔 $H_{B2}$ を介して選択トランジスタ $T_{s1}$ のゲート層 $G_{s1}$ に導通する。走査線 $22$ は、複数の表示画素 $P_e$ にわたり $X$ 方向に直線状に延在し、絶縁層 $L_B$ により、後述する信号線 $26$ からは電氣的に絶縁される。

## 【0038】

図7から理解される通り、補償トランジスタ $T_{cmp}$ の制御線 $27$ は、絶縁層 $L_A$ を貫通する導通孔 $H_{B1}$ を介して補償トランジスタ $T_{cmp}$ のゲート層 $G_{cmp}$ に導通する。制御線 $27$ は、複数の表示画素 $P_e$ にわたり $X$ 方向に直線状に延在し、絶縁層 $L_B$ により後述する信号線 $26$ からは電氣的に絶縁される。

20

## 【0039】

図7から理解される通り、発光制御トランジスタ $T_{e1}$ の制御線 $28$ は、絶縁層 $L_A$ に形成された導通孔 $H_{B4}$ を介して発光制御トランジスタ $T_{e1}$ のゲート層 $G_{e1}$ に導通する。制御線 $28$ は、複数の表示画素 $P_e$ にわたり $X$ 方向に直線状に延在し、絶縁層 $L_A$ により後述する信号線 $26$ からは電氣的に絶縁される。

## 【0040】

絶縁層 $L_B$ は、走査線 $22$ と、選択トランジスタ $T_{s1}$ の制御線 $27$ と、発光制御トランジスタ $T_{e1}$ の制御線 $28$ と、複数の中継電極 $Q_B$  ( $Q_{B1}$ ,  $Q_{B2}$ ,  $Q_{B3}$ ,  $Q_{B4}$ ,  $Q_{B5}$ ,  $Q_{B6}$ )とが形成された絶縁層 $L_A$ の面上に形成される。図4および図8から理解される通り、絶縁層 $L_B$ の面上には、信号線 $26$ と、複数の中継電極 $Q_C$  ( $Q_{C1}$ ,  $Q_{C2}$ ,  $Q_{C3}$ )とが形成される。信号線 $26$ は、複数の画素 $P$ にわたり $Y$ 方向に直線状に延在し、絶縁層 $L_C$ により、後述する第1電源線層 $41$ からは電氣的に絶縁される。信号線 $26$ は、図8から理解される通り、絶縁層 $L_B$ を貫通する導通孔 $H_{C1}$ と、絶縁層 $L_B$ を貫通する導通孔 $H_{C2}$ を介して補償トランジスタ $T_{cmp}$ および選択トランジスタ $T_{s1}$ のソース領域またはドレイン領域を形成する能動領域 $10A$ と導通する。また、信号線 $26$ は、走査線 $22$ と、制御線 $27$ と、制御線 $28$ との上層の位置を通過するように形成され、選択トランジスタ $T_{s1}$ のチャンネル長の方向 ( $Y$ 方向) に沿って延在する。

30

40

## 【0041】

中継電極 $Q_{C1}$ は、絶縁層 $L_B$ を貫通する導通孔 $H_{C3}$ を介して駆動トランジスタ $T_{dr}$ のドレイン領域またはソース領域を形成する能動領域 $10A$ に導通する。中継電極 $Q_{C2}$ は、絶縁層 $L_B$ を貫通する導通孔 $H_{C4}$ を介して駆動トランジスタ $T_{dr}$ のゲート層 $d_r$ に導通する。中継電極 $Q_{C3}$ は、絶縁層 $L_B$ を貫通する導通孔 $H_{C5}$ を介して発光制御トランジスタ $T_{e1}$ のドレイン領域またはソース領域を形成する能動領域 $10A$ に導通する。

## 【0042】

絶縁層 $L_C$ は、信号線 $26$ と、複数の中継電極 $Q_C$  ( $Q_{C1}$ ,  $Q_{C2}$ ,  $Q_{C3}$ )とが形

50

成された絶縁層 L B の面上に形成される。図 4 および図 9 から理解される通り、絶縁層 L C の面上には、第 1 電源線層 4 1 と、複数の中継電極 Q D ( Q D 1 , Q D 2 ) とが形成される。第 1 電源線層 4 1 は、多層配線層内の配線 ( 図示略 ) を介して、高位側の電源電位 V e 1 が供給される実装端子 3 6 に導通する。なお、第 1 電源線層 4 1 は、図 1 に示す第 1 領域 1 2 の表示領域 1 6 内に形成される。また、図示を省略するが、第 1 領域 1 2 の周辺領域 1 8 内にも別の電源線層が形成される。この電源線層は、多層配線層内の配線 ( 図示略 ) を介して、低位側の電源電位 V c t が供給される実装端子 3 6 に導通する。第 1 電源線層 4 1 および低位側の電源電位 V c t が供給される電源線層は、例えば銀やアルミニウムを含有する導電材料で例えば 1 0 0 n m 程度の膜厚に形成される。

#### 【 0 0 4 3 】

図 4、図 8 および図 9 から理解される通り、中継電極 Q D 1 は、絶縁層 L C を貫通する導通孔 H D 2 を介して中継電極 Q C 2 に導通する。したがって、図 4、図 6 ないし図 8 から理解される通り、中継電極 Q D 1 は、導通孔 H D 2 と、中継電極 Q C 2 と、絶縁層 L B を貫通する導通孔 H C 4 と、中継電極 Q B 2 と、絶縁層 L A を貫通する導通孔 H B 3 とを介して、駆動トランジスタ T d r のゲート層 G d r に導通する。

#### 【 0 0 4 4 】

図 4、図 8 および図 9 から理解される通り、中継電極 Q D 2 は、絶縁層 L C を貫通する導通孔 H D 3 を介して中継電極 Q C 3 に導通する。したがって、図 4 ないし図 8 から理解される通り、中継電極 Q D 2 は、導通孔 H D 3 と、中継電極 Q C 3 と、絶縁層 L B を貫通する導通孔 H C 5 と、中継電極 Q B 6 と、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H A 8 とを介して、発光制御トランジスタ T e 1 のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。後述するように、中継電極 Q D 2 よりも上層には複数の中継電極と導通孔が形成され、中継電極 Q D 2 はこれらの中継電極と導通孔を介して画素電極と導通する。したがって、中継電極 Q D 2 と発光制御トランジスタ T e 1 のドレイン領域またはソース領域との導通部は、画素電極導通部として機能している。

#### 【 0 0 4 5 】

第 1 電源線層 4 1 は、前述の通り高位側の電源電位 V e 1 が供給される電源配線であり、図 9 から理解される通り、画素電極導通部 ( 発光制御トランジスタ T e 1 と中継電極 Q D 2 の導通部 ) および駆動トランジスタ T d r のゲート層導通部 ( 駆動トランジスタ T d r と中継電極 Q D 1 の導通部 ) を取り囲むように配置される。また、第 1 電源線層 4 1 は、X 方向および Y 方向において隣り合う表示画素 P e 間において隙間なく連続して形成されたパターンである。

#### 【 0 0 4 6 】

図 4、図 8 および図 9 から理解される通り、表示領域 1 6 内に形成された第 1 電源線層 4 1 は、絶縁層 L C を貫通する導通孔 H D 1 を介して中継電極 Q C 1 に導通する。したがって、図 4 ないし図 8 から理解される通り、第 1 電源線層 4 1 は、絶縁層 L B を貫通する導通孔 H C 3 と、中継電極 Q B 4 と、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H A 5 とを介して駆動トランジスタ T d r のソース領域またはドレイン領域を形成する能動領域 1 0 A に導通する。

#### 【 0 0 4 7 】

絶縁層 L D 0 は、第 1 電源線層 4 1 と、複数の中継電極 Q D ( Q D 1 , Q D 2 ) とが形成された絶縁層 L C の面上に形成される。図 4 および図 1 0 から理解される通り、絶縁層 L D 0 の面上には、容量電極層 C A 0 が形成される。さらに、図 4 および図 1 0 から理解される通り、容量電極層 C A 0 が形成された絶縁層 L D 0 の面上には、絶縁層 L D 1 が形成される。絶縁層 L D 1 の面上には、容量電極層 C A 0 と接続された容量電極層 C A 1 と、複数の中継電極 Q E ( Q E 1 , Q E 2 , Q E 3 , Q E 4 ) とが形成される。容量電極層 C A 1 は、図 1 0 から理解される通り、Y 方向においては、中継電極 Q E 1 , Q E 2 , Q E 3 と所定の間隔を有し、かつ、中継電極 Q E 4 とも所定の間隔を有して配置され、X 方向においては、隣り合う表示画素 P e の容量電極層 C A 1 と所定の間隔を有して配置された矩形の容量電極層である。容量電極層 C A 1 は、平面視において、駆動トランジスタ

10

20

30

40

50

Tdr、選択トランジスタTs1、補償トランジスタTcmp、および発光制御トランジスタTelと重なるように配置される。図4および図10から理解される通り、容量電極層CA1は、絶縁層LD0および絶縁層LD1を貫通する導通孔HE4を介して中継電極QD1に導通する。したがって、容量電極層CA1は、図4、図6ないし図10から理解される通り、導通孔HE4と、中継電極QD1と、導通孔HD2と、中継電極QC2と、導通孔HC4と、中継電極QB2と、導通孔HB3とを介して、駆動トランジスタTdrのゲート層Gdrと導通する。容量電極層CA0は、絶縁層LD1を貫通する複数の導通孔HE70を介して容量電極層CA1と接続される。容量電極層CA0は、絶縁層LD0および絶縁層LD1を貫通する導通孔HE4を取り囲む領域を有する。容量電極層CA0は、容量電極層CA1とほぼ同じ大きさの矩形の容量電極層である。容量電極層CA0と容量電極層CA1は、絶縁層LD0および絶縁層LD1により第1電源線層41と絶縁されている。容量電極層CA0は、図4から理解される通り、容量電極層CA1から吊り下げられた構造を有している。容量電極層CA0は、容量電極層CA1を介して駆動トランジスタTdrのゲート層Gdrに導通する。また、容量電極層CA0が絶縁層LD0を介して対向する第1電源線層41は駆動トランジスタTdrのソース領域またはドレイン領域と導通する。したがって、容量電極層CA0は、図2および図3に示す容量素子Cの第1容量電極C1に相当する。第1電源線層41は、図2および図3に示す容量素子Cの第2容量電極C2に相当する。このような容量素子Cの第1容量電極C1を構成する容量電極層CA0を、容量電極層CA1から吊り下げられた構造とすることにより、容量電極層CA1を単独で用いる場合と比して、容量素子Cの誘電体膜を薄くすることができ、容量素子Cの容量を大きくすることができる。あるいは、容量素子Cの配置の自由度を増すことができる。

10

20

#### 【0048】

図4および図10から理解される通り、中継電極QE1、QE2、QE3は、絶縁層LD0および絶縁層LD1を貫通する導通孔HE1、HE2、HE3を介してそれぞれ電源線層41と導通する。図4、図9および図10から理解される通り、中継電極QE3は、さらに、導通孔HE3と、導通孔HD1と、中継電極QC1と、導通孔HC3と、中継電極QB4と、導通孔HA5とを介して駆動トランジスタTdrのソース領域またはドレイン領域を形成する能動領域10Aに導通する。

#### 【0049】

図4、図9および図10から理解される通り、中継電極QE4は、絶縁層LD0および絶縁層LD1を貫通する導通孔HE5を介して中継電極QD2に導通する。したがって、中継電極QE4は、画素電極導通部を構成する中継電極の一つであり、図4ないし図10から理解される通り、導通孔HE5と、中継電極QD2と、導通孔HD3と、中継電極QC3と、導通孔HC5と、中継電極QB6と、導通孔HA8とを介して、発光制御トランジスタTelのドレイン領域またはソース領域を形成する能動領域10Aに導通する。

30

#### 【0050】

絶縁層LE0は、容量電極層CA1と、複数の中継電極QE(QE1、QE2、QE3、QE4)とが形成された絶縁層LD1の面上に形成される。図4および図11から理解される通り、絶縁層LE0の面上には、上部電源線層43-0が形成される。さらに、図4および図11から理解される通り、上部電源線層43-0が形成された絶縁層LE0の面上には、絶縁層LE1が形成される。

40

#### 【0051】

絶縁層LE1の表面には平坦化処理が実行される。平坦化処理には、化学機械研磨(CMP: Chemical Mechanical Polishing)等の公知の表面処理技術が任意に採用される。平坦化処理で高度に平坦化された絶縁層LE1の表面には、図4および図11に例示される通り、上部電源線層43-0と接続された上部電源線層43-1と、中継電極QF1とが形成される。図4、図10および図11から理解される通り、中継電極QF1は、絶縁層LE0および絶縁層LE1を貫通する導通孔HF4を介して中継電極QE4に導通する。したがって、中継電極QF1は、画素電極導通部を構成する中継電極の一つであり、図4な

50

いし図 11 から理解される通り、導通孔 H F 4 と、中継電極 Q E 4 と、導通孔 H E 5 と、中継電極 Q D 2 と、導通孔 H D 3 と、中継電極 Q C 3 と、導通孔 H C 5 と、中継電極 Q B 6 と、導通孔 H A 8 とを介して、発光制御トランジスター T e 1 のドレイン領域またはソース領域を形成する能動領域 10 A に導通する。

#### 【 0052 】

上部電源線層 43 - 1 は、図 11 から理解される通り、画素電極導通部（発光制御トランジスター T e 1 と中継電極 Q F 1 の導通部）を取り囲むように配置される。また、上部電源線層 43 - 1 は、X 方向および Y 方向において隣り合う表示画素 P e 間において隙間なく連続して形成されたパターンである。本実施形態においては、上部電源線層 43 - 1 は、反射層としても機能しており、例えば銀やアルミニウムを含有する光反射性の導電材料で例えば 100 nm 程度の膜厚に形成される。上部電源線層 43 - 1 は、光反射性の導電材料で形成され、図 11 に示すように各トランジスター T、各配線、及び各中継電極を覆うように配置される。したがって、外光の侵入が上部電源線層 43 - 1 により防止され、光照射に起因した各トランジスター T の電流リークを防止できるという利点がある。

#### 【 0053 】

図 4 から理解される通り、上部電源線層 43 - 0 は、絶縁層 L E 1 を貫通する複数の導通孔 H F 70 を介して上部電源線層 43 - 1 と接続される。図 11 から理解される通り、上部電源線層 43 - 0 は、Y 方向においては、導通孔 H F 1, H F 2, H F 3 と所定の間隔を有し、かつ、中継電極 Q F 1 と所定の間隔を有して配置され、X 方向においては、隣り合う表示画素 P e の上部電源線層 43 - 0 と所定の間隔を有して配置された矩形の電極層である。上部電源線層 43 - 0 と上部電源線層 43 - 1 は、絶縁層 L E 0 および絶縁層 L E 1 により容量電極層 C A 1 と絶縁されている。上部電源線層 43 - 0 は、図 4 から理解される通り、上部電源線層 43 - 1 から吊り下げられた構造を有している。上部電源線層 43 - 0 は、上部電源線層 43 - 1 を介して第 1 電源線層 41 に導通すると共に、駆動トランジスター T d r のソース領域またはドレイン領域に導通する。また、上部電源線層 43 - 0 は、絶縁層 L E 0 および絶縁層 L D 1 を介して容量電極層 C A 0 と対向する。容量電極層 C A 0 は、容量電極層 C A 1 を介して駆動トランジスター T d r のゲート層 G d r に導通する。したがって、上部電源線層 43 - 0 は、図 2 および図 3 に示す容量素子 C の第 2 容量電極 C 2 に相当し、容量電極層 C A 0 は図 2 および図 3 に示す容量素子 C の第 1 容量電極 C 1 に相当する。したがって、容量素子 C の第 2 容量電極 C 2 を構成する上部電源線層 43 - 0 を上部電源線層 43 - 1 から吊り下げた構造とすることにより、容量素子 C の誘電体膜を薄くでき、容量素子 C の容量を大きくすることができる。上部電源線層 43 - 1 を単独で用いる場合と比して、配置の自由度を増すことができる。また、この例では、容量素子 C の第 1 容量電極 C 1 を構成する容量電極層 C A 0 も上述したように容量電極層 C A 1 から吊り下げた構造なので、全体として容量素子 C の容量をより一層大きくすることができる。以上のように、本実施形態では、第 1 電源線層 41 と絶縁層 L D 0 と容量電極層 C A 0 とから構成される容量素子 C と、容量電極層 C A 0 と絶縁層 L D 1 および絶縁層 L E 0 と上部電源線層 43 - 0 とから構成される容量素子 C とが、積層方向（Z 方向）において積層された構成となっている。

#### 【 0054 】

上部電源線層 43 - 1 は、図 10 および図 11 から理解される通り、絶縁層 L E 0 および絶縁層 L E 1 を貫通する導通孔 H F 1, H F 2, H F 3 を介して、中継電極 Q E 1, Q E 2, Q E 3 に導通する。したがって、上部電源線層 43 - 1 は、図 9 ないし図 11 から理解される通り、中継電極 Q E 1, Q E 2, Q E 3 と、導通孔 H F 1, H F 2, H F 3 と、中継電極 Q E 1, Q E 2, Q E 3 と、絶縁層 L D 0 および絶縁層 L D 1 を貫通する導通孔 H E 1, H E 2, H E 3 を介して、上部電源線層 43 - 0 に導通する。このように、本実施形態においては、導通孔 H F 1, H F 2, H F 3 と、中継電極 Q E 1, Q E 2, Q E 3 と、導通孔 H F 1, H F 2, H F 3 と、中継電極 Q E 1, Q E 2, Q E 3 と、導通孔 H E 1, H E 2, H E 3 とから電源間導通部が構成されている。電源間導通部は、走査線 2 の延在方向（X 方向）に並ぶように設けられている。

## 【 0 0 5 5 】

絶縁層 L F は、上部電源線層 4 3 - 1 と、中継電極 Q F 1 とが形成された絶縁層 L E 1 の面上に形成される。図 4 および図 1 2 から理解される通り、絶縁層 L F の面上には、中継電極 Q G 1 が形成される。中継電極 Q G 1 は、絶縁層 L F を貫通する導通孔 H G 1 を介して中継電極 Q F 1 に導通する。したがって、中継電極 Q G 1 は、画素電極導通部を構成する中継電極の一つであり、図 4 ないし図 1 2 から理解される通り、導通孔 H G 1 と、中継電極 Q F 1 と、導通孔 H F 4 と、中継電極 Q E 4 と、導通孔 H E 5 と、中継電極 Q D 2 と、導通孔 H D 3 と、中継電極 Q C 3 と、導通孔 H C 5 と、中継電極 Q B 6 と、導通孔 H A 8 とを介して、発光制御トランジスタ T e 1 のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。中継電極 Q G 1 は、第 1 電源線層 4 1 と中継電極 Q D 2 との間隙、上部電源線層 4 3 - 1 と中継電極 Q F 1 との間隙を平面視覆うように配置される。したがって、外光の侵入が中継電極 Q G 1 により防止され、光照射に起因した各トランジスタ T の電流リークを防止できるという利点がある。

10

## 【 0 0 5 6 】

図 4 に例示される通り、中継電極 Q G 1 が形成された絶縁層 L F の面上には光路調整層 6 0 が形成される。光路調整層 6 0 は、各表示画素 P e の共振構造の共振波長（すなわち表示色）を規定する光透過性の膜体である。表示色が同じ画素では、共振構造の共振波長は略同じであり、表示色が異なる画素では、共振構造の共振波長は異なるように設定される。

## 【 0 0 5 7 】

図 4 および図 1 3 に例示される通り、光路調整層 6 0 の面上には、表示領域 1 6 内の表示画素 P e 毎の第 1 電極 E 1 が形成される。第 1 電極 E 1 は、例えば I T O ( Indium Tin Oxide ) 等の光透過性の導電材料で形成される。第 1 電極 E 1 は、図 2 および図 3 を参照して前述した通り、発光素子 4 5 の陽極として機能する略矩形状の電極（画素電極）である。第 1 電極 E 1 は、図 4 および図 1 3 から理解される通り、表示画素 P e 毎に光路調整層 6 0 に形成された導通孔 H H 1 を介して中継電極 Q G 1 に導通する。したがって、図 4 ないし図 1 3 から理解される通り、第 1 電極 E 1 は、光路調整層 6 0 を貫通する導通孔 H H 1 と、中継電極 Q G 1 と、導通孔 H G 1 と、中継電極 Q F 1 と、導通孔 H F 4 と、中継電極 Q E 4 と、導通孔 H E 5 と、中継電極 Q D 2 と、導通孔 H D 3 と、中継電極 Q C 3 と、導通孔 H C 5 と、中継電極 Q B 6 と、導通孔 H A 8 とを介して、発光制御トランジスタ T e 1 のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。

20

30

## 【 0 0 5 8 】

第 1 電極 E 1 が形成された光路調整層 6 0 の面上には、図 4 および図 1 4 に例示される通り、基板 1 0 の全域にわたり画素定義層 6 5 が形成される。画素定義層 6 5 は、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機材料で形成される。図 1 4 から理解される通り、画素定義層 6 5 には、表示領域 1 6 内の各第 1 電極 E 1 に対応する開口部 6 5 A が形成される。画素定義層 6 5 のうち開口部 6 5 A の内周縁の近傍の領域は第 1 電極 E 1 の周縁に重なる。すなわち、開口部 6 5 A の内周縁は平面視で第 1 電極 E 1 の周縁の内側に位置する。各開口部 6 5 A は、平面形状（矩形状）やサイズが共通し、かつ、X 方向および Y 方向の各々にわたり共通のピッチで行列状に配列する。以上の説明から理解される通り、画素定義層 6 5 は平面視で格子状に形成される。尚、開口部 6 5 A の平面形状やサイズは、表示色が同じであれば同じであり、表示色が異なる場合は異なるようにしてもよい。また、開口部 6 5 A のピッチは、表示色が同じ開口部同士では同じであり、表示色が異なる開口部間では異なるようにしてもよい。

40

## 【 0 0 5 9 】

その他にも、詳細な説明は省略するが、第 1 電極 E 1 の上層には、発光機能層 4 6、第 2 電極 E 2、および封止体 4 7 が積層され、以上の各要素が形成された基板 1 0 の表面には封止基板（図示略）が例えば接着剤で接合される。封止基板は、基板 1 0 上の各要素を保護するための光透過性の板状部材（例えばガラス基板）である。なお、封止基板の表面または封止体 4 7 の表面に表示画素 P e 毎にカラーフィルターを形成することも可能であ

50

る。

【0060】

以上に説明した通り、本実施形態では、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1と、容量電極層CA1に接続された容量電極層CA0は、駆動トランジスタTdrのゲート層Gdrよりも上層に設けられており、容量電極層CA1および容量電極層CA0と、補償トランジスタTcmpおよび選択トランジスタTslのドレイン領域またはソース領域に接続された信号線26との間に、第1電源線層41が配置されるように構成されている。第1電源線層41は、画素電極である第1電極E1と発光制御トランジスタTelのソース領域またはドレイン領域との導通部、すなわち、画素電極導通部と、駆動トランジスタTdrのゲート導通部とを除き、ほぼ全面に亘って形成されている。したがって、ノイズの発生源となる信号線26と、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1および容量電極層CA0との間のカップリングが抑制される。

10

【0061】

また、信号線26の下層には、選択トランジスタTslのゲート層Gslに接続された走査線22が配置されているが、これらの走査線22および信号線26と、容量電極層CA1および容量電極層CA1との間に、第1電源線層41が配置されるように構成されている。第1電源線層41は、信号線26だけでなく、走査線22も覆うように、ほぼ全面に亘って形成されている。したがって、ノイズの発生源となる走査線22および信号線26と、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1および容量電極層CA0との間のカップリングが抑制される。

20

【0062】

本実施形態では、容量電極層CA1および容量電極層CA0と、画素電極である第1電極E1との間には、上部電源線層43-1および上部電源線層43-0が配置されている。上部電源線層43-1および上部電源線層43-0は、上述した画素導通部を除き、ほぼ全面に亘って形成されている。したがって、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1および容量電極層CA0と、画素電極である第1電極E1との間のカップリングが抑制される。

【0063】

画素電極である第1電極E1と発光制御トランジスタTelのソース領域またはドレイン領域との導通部、すなわち、画素電極導通部は、絶縁膜L0および絶縁層LAを貫通する導通孔HA8、中継電極QB6、絶縁層LBを貫通する導通孔HC5、中継電極QC3、絶縁層LCを貫通する導通孔HD3、中継電極QD2、絶縁層LD0および絶縁層LD1を貫通する導通孔HE5、中継電極QE4、絶縁層LE0および絶縁層LE1を貫通する導通孔HF4、中継電極QF1、絶縁層LFを貫通する導通孔HG1、および中継電極QG1により構成されている。これらは、発光制御トランジスタTelのソース配線またはドレイン配線として機能している。つまり、第1電極E1と発光制御トランジスタTelのソース領域またはドレイン領域との導通部は、第1電源線層41と、容量電極層CA1および容量電極層CA0と、上部電源線層43-1および上部電源線層43-0とを貫いて設けられた発光制御トランジスタTelのソース配線またはドレイン配線により構成されている。そして、画素電極である第1電極E1は、光路調整層60を貫通する導通孔HH1を介して発光制御トランジスタTelのソース配線またはドレイン配線に接続されている。したがって、画素電極を発光制御トランジスタTelのソース領域またはドレイン領域の層まで延ばして導通を図る場合と比して、低抵抗で発光制御トランジスタTelのソース領域またはドレイン領域と画素電極である第1電極E1とを接続することができる。

30

40

【0064】

駆動トランジスタTdrと第1電源線層41をつなぐ導通部は、絶縁膜L0および絶縁層LAを貫通する導通孔HA5、中継電極QB4、絶縁層LBを貫通する導通孔HC3、中継電極QC1、絶縁層LCを貫通する導通孔HD1より構成されている。この導通部

50

は、駆動トランジスタ $T_{dr}$ のソース配線またはドレイン配線として機能する。このように構成することにより、第1電源線層41を下層に延ばして導通を図る場合と比して、低抵抗で駆動トランジスタ $T_{dr}$ と第1電源線層41とを接続することができる。駆動トランジスタ $T_{dr}$ と上部電源線層43-0をつなぐ導通部は、絶縁膜L0および絶縁層LAを貫通する導通孔HA5、中継電極QB4、絶縁層LBを貫通する導通孔HC3、中継電極QC1、絶縁層LCを貫通する導通孔HD1、第1電源線層41、絶縁層LD0および絶縁層LD1を貫通する導通孔HE1, HE2, HE3、中継電極QE1, QE2, QE3と、導通孔HF1, HF2, HF3と、及び上部電源線層43-0より構成されている。このように構成することにより、上部電源線層43-0を下層に延ばして導通を図る場合と比して、低抵抗で駆動トランジスタ $T_{dr}$ と上部電源線層43-0とを接続

10

【0065】

駆動トランジスタ $T_{dr}$ のゲート層Gdrと容量電極層CA0をつなぐ導通部は、絶縁層LAを貫通する導通孔HB3、中継電極QB2、絶縁層LBを貫通する導通孔HC4、中継電極QC2、絶縁層LCを貫通する導通孔HD2、中継電極QD1、絶縁層LD0および絶縁層LD1を貫通する導通孔HE4、容量電極層CA1より構成されている。この導通部は、選択トランジスタ $T_{s1}$ のソース配線またはドレイン配線であり、走査線22、信号線26、第1電源線層41等が形成された層を貫いて設けられている。したがって、容量電極層CA0を下層に延ばして導通を図る場合と比較して、低抵抗で駆動トランジスタ $T_{dr}$ と容量電極層CA1とをつなぐことができる。

20

【0066】

容量素子Cについては、上述したように、上部電源線層43-0を第2容量電極C2とし、容量電極層CA0を第1容量電極C1とする第1の容量素子C-1と、第1電源線層41を第2容量電極(電源側容量電極)C2とし、容量電極層CA0を第1容量電極C1とする第2の容量素子C-2との2種類の容量素子が積層方向(Z方向)に積層された構成となっている。第1の容量素子C-1においては、第2容量電極C2である上部電源線層43-0は、上部電源線層43-1に電氣的に接続され、かつ、上部電源線層43-1より下層に配置された構成となっている。上述した例では、一例として、上部電源線層43-1から吊り下げた構造によりこの配置を実現している。したがって、第2容量電極C2として、中継電極と同層に形成される上部電源線層43-1自体を用いる場合と比して

30

、第1の容量素子C-1の誘電体膜を薄くすることができ、第1の容量素子C-1の容量を大きくすることができる。あるいは、第1の容量素子C-1の配置の自由度を高めることができる。

【0067】

第2の容量素子C-2においては、第1容量電極(ゲート電極側容量電極)C1である容量電極層CA0は、駆動トランジスタ $T_{dr}$ のゲート層Gdrに接続されたゲート配線である容量電極層CA1に電氣的に接続され、かつ、容量電極層CA1より下層に配置された構成となっている。上述した例では、一例として、容量電極層CA1から吊り下げた構造によりこの配置を実現している。したがって、第1容量電極(ゲート電極側容量電極)C1として、中継電極と同層に形成される容量電極層CA1自体を用いる場合と比して

40

、第2の容量素子C-2の誘電体膜を薄くすることができ、第2の容量素子C-2の容量を大きくすることができる。あるいは、第2の容量素子C-2の配置の自由度を高めることができる。

【0068】

また、第2の容量素子C-2においては、駆動トランジスタ $T_{dr}$ のゲート層Gdrに接続された第1容量電極(ゲート電極側容量電極)C1に相当する容量電極層CA0は、第2容量電極C2に相当する上部電源線層43-0と、走査線22が形成された層との間に配置している。すなわち、走査線22が形成された層側に容量素子Cの第1容量電極(ゲート電極側容量電極)C1が配置されることになる。したがって、走査線22が形成された層や上部電源線層43-0とは別に容量電極が形成できるため、設計の自由度を高

50

めることができる。

【 0 0 6 9 】

第2の容量素子C - 2においては、第1容量電極（ゲート電極側容量電極）C 1に相当する容量電極層C A 0は、第2容量電極（電源側容量電極）C 2としての第1電源線層4 1と、画素電極である第1電極E 1との間に配置している。すなわち、画素電極側に容量素子Cのうちのゲート電位側に接続される第1容量電極（ゲート電極側容量電極）C 1が配置される。また、ゲート電極であるゲート層G d rが形成された層と、第1容量電極（ゲート電極側容量電極）C 1が形成された層との間には、第2容量電極（電源側容量電極）C 2としての第1電源線層4 1が配置されている。この配置を採用することにより、画素電極である第1電極E 1に対する走査線2 2によるノイズを低減できる。また、画素電極である第1電極E 1や第1電源線層4 1とは別に容量電極が形成できるため、設計の自由度を高めることができる。さらに、画素電極である第1電極E 1（発光制御トランジスタT e 1のドレイン領域またはソース領域）の電位は駆動トランジスタT d rや発光素子4 5の電位に応じて設定されるため、容量電極である第1容量電極（ゲート電極側容量電極）C 1の電位は、走査線2 2側に配置する場合と比して階調電位による変動を受けにくい。

10

【 0 0 7 0 】

第1の容量素子C - 1および第2の容量素子C - 2は、平面視において、選択トランジスタT s 1、発光制御トランジスタT e 1、補償トランジスタT c m p、および駆動トランジスタT d rのそれぞれと重なる位置に設けられている。したがって、容量素子の容量を確保しつつ、画素の高密度化を実現することができる。このように、本実施形態によれば、駆動トランジスタT d rのゲート層G d rよりも上の層を有効に活用して、高密度な画素のための画素構造を提供することができる。

20

【 0 0 7 1 】

図4、図9ないし図1 1から理解される通り、第1の電源側容量電極としての第1電源線層4 1と、第2の電源側容量電極としての上部電源線層4 3 - 0に接続された上部電源線層4 3 - 1との導通を図る電源間導通部は、絶縁層L D 0および絶縁層L D 1を貫通する導通孔H E 1、H E 2、H E 3と、中継電極Q E 1、Q E 2、Q E 3と、絶縁層L E 0および絶縁層L E 1を貫通する導通孔H F 1、H F 2、H F 3とから構成されている。つまり、電源間導通部は、走査線2 2の延在方向（X方向）に並ぶように設けられているため、したがって、第1電源線層4 1と上部電源線層4 3 - 1との間に配置される容量電極層4 3 - 1および容量電極層4 3 - 0と、Y方向において隣り合う表示画素P eにおける容量電極層4 3 - 1および容量電極層4 3 - 0との間に、電源間導通部が配置されることになり、隣り合う容量電極層間のカップリングが抑制されることになる。

30

【 0 0 7 2 】

電源間導通部は、図1 5および図1 6に例示されるように、走査線2 2の延在方向（X方向）に並ぶように設けるだけでなく、信号線2 6の延在方向（Y方向）に並ぶように設けてもよい。図1 5は図1 0に対応する図であり、図1 6は図1 1に対応する図である。図1 5に示す例では、図1 0と同様に、電源間導通部は、絶縁層L D 0および絶縁層L D 1を貫通する導通孔H E 1、H E 2、H E 3と、中継電極Q E 1、Q E 2、Q E 3と、絶縁層L E 0および絶縁層L E 1を貫通する導通孔H F 1、H F 2、H F 3とから構成されており、走査線2 2の延在方向（X方向）に並ぶように設けられている。さらに、図1 5から理解されるように、電源間導通部は、絶縁層L D 0および絶縁層L D 1を貫通する導通孔H E 6、H E 7、H E 8、H E 9、H E 10、H E 11と、中継電極Q E 5、Q E 6、Q E 7、Q E 8、Q E 9、Q E 10と、絶縁層L E 0および絶縁層L E 1を貫通する導通孔H F 5、H F 6、H F 7、H F 8、H F 9、H F 10とから構成されており、信号線2 6の延在方向（Y方向）に並ぶように設けられている。中継電極Q E 1、Q E 2、Q E 3、Q E 5、Q E 6、Q E 7、Q E 8、Q E 9、Q E 10は、絶縁層L D 0および絶縁層L D 1を貫通する導通孔H E 1、H E 2、H E 3、H E 6、H E 7、H E 8、H E 9、H E 10、H E 11を介して第1電源線層4 1に導通する。また、図1 6から理解されるよ

40

50

うに、中継電極QE1, QE2, QE3, QE5, QE6, QE7, QE8, QE9, QE10は、絶縁層LE0および絶縁層LE1を貫通する導通孔HF1, HF2, HF3, HF5, HF6, HF7, HF8, HF9, HF10を介して、上部電源線層43-1に導通する。したがって、第1電源線層41と上部電源線層43-1との間に配置される容量電極層43-1および容量電極層43-0と、Y方向において隣り合う表示画素Peにおける容量電極層43-1および容量電極層43-0との間だけでなく、容量電極層43-1および容量電極層43-0と、X方向において隣り合う表示画素Peにおける容量電極層43-1および容量電極層43-0との間においても、電源間導通部が配置されることになり、Y方向およびX方向において隣り合う容量電極層間のカップリングが抑制されることになる。

10

### 【0073】

なお、本実施形態においては、駆動トランジスタTdrのゲート層Gdrが形成された層の上層に、走査線22、制御線27、制御線28、およびトランジスタ同士を接続する中継電極が配置されている。したがって、これよりも上の層においては、画素電極導通部や駆動トランジスタTdrのゲート導通部を除き、容量素子、電源線層、信号線などを自由に配置することができる。特に、トランジスタのチャンネル長方向を制御線と交差する方向とし、駆動トランジスタTdrのゲート層Gdr上の絶縁層LA上に走査線22、制御線27、制御線28等を配置することが好ましい。このようにすれば、走査線22、制御線27、制御線28等を、選択トランジスタTs1、補償トランジスタTcmp、発光制御トランジスタTelの上の層に配置することができる。また、このような層構造により、走査線22、制御線27、制御線28等と交差する電源線層41や信号線26等を絶縁層LB上に配置しやすくなる。

20

### 【0074】

<第2実施形態>

図17ないし図21を参照しつつ本発明の第2実施形態を説明する。なお、以下に例示する各形態において作用や機能が第1実施形態と同様である要素については、第1実施形態の説明で参照した符号を流用して各々の詳細な説明を適宜に省略する。

### 【0075】

図17は本実施形態における有機エレクトロルミネッセンス装置100の断面図であり、第1実施形態における図4の断面図に対応している。図17と図4を比較すると明らかのように、本実施形態は、上部電源線層43-1および上部電源線層43-0が設けられておらず、その代わりに、画素電極としての第1電極E1に接続された反射層55が設けられている。本実施形態においては、基板10に形成される各トランジスタT(Tdr, Ts1, Tel, Tcmp)の能動領域10Aから、絶縁層LC上に形成される第1電源線層41までの層構造は図5ないし図9に示す第1実施形態における層構造と共通なので説明を省略する。図18は、第1実施形態における図10に対応する平面図、図20は、第1実施形態における図13に対応する平面図、図21は、第1実施形態における図14に対応する平面図である。図19は本実施形態の特徴部分である反射層55を示す平面図である。

30

### 【0076】

本実施形態においても、図17および図18から理解される通り、第1電源線層41が形成された絶縁層LCの面上には、絶縁層LD0が形成され、絶縁層LD0の面上には、容量電極層CA0が形成される。容量電極層CA0が形成された絶縁層LD0の面上には絶縁層LD1が形成され、絶縁層LD1の面上には容量電極層CA0と接続された容量電極層CA1が形成される。ここまでの層構造は第1実施形態と共通である。そして、図10に対し、電源間導通部(絶縁層LD0および絶縁層LD1を貫通する導通孔HE1, HE2, HE3、中継電極QE1, QE2, QE3、絶縁層LE0および絶縁層LE1を貫通する導通孔HF1, HF2, HF3)が省略されている点で異なり、容量電極層CA0および容量電極層CA1は電源間導通部が設けられていた領域に延ばされて配置されている。したがって、第1電源線層41と絶縁層LD0と容量電極層CA0とから構成される

40

50

容量素子Cの容量は、第1実施形態と比して大きくすることができる。

【0077】

本実施形態では、容量電極層CA1が形成された絶縁層LD1の面上には絶縁層LE0が形成され、絶縁層LE0の面上には、図18および図19から理解されるように、反射層55が形成される。反射層55は、第1電極E1と同様、表示画素Pe毎に個別に形成されている。反射層55は、例えば銀やアルミニウムを含有する光反射性の導電材料で例えば100nm程度の膜厚に形成される。図17ないし図19から理解されるように、反射層55は、絶縁層LE0を貫通する導通孔HF4を介して中継電極QE4に導通する。中継電極QE4は第1実施形態で説明したように画素電極導通部を構成する電極である。

【0078】

反射層55が形成された絶縁層LE0の面上には、光路調整層60が形成される。光路調整層60は、第1実施形態と同様に、各表示画素Peの共振構造の共振波長(すなわち表示色)を規定する光透過性の膜体である。表示色が同じ画素では、共振構造の共振波長は略同じであり、表示色が異なる画素では、共振構造の共振波長は異なるように設定される。

【0079】

図17および図20に例示される通り、光路調整層60の面上には、表示領域16内の表示画素Pe毎の第1電極E1が形成される。第1電極E1は、例えばITO(Indium Tin Oxide)等の光透過性の導電材料で形成される。第1電極E1は、光路調整層60を貫通する導通孔HH1を介して、反射層55と導通する。したがって、第1電極E1は、反射層55を介して画素電極導通部と導通する。

【0080】

第1電極E1が形成された光路調整層60の面上には、図17および図21に例示される通り、基板10の全域にわたり画素定義層65が形成される。画素定義層65は、例えば珪素化合物(典型的には窒化珪素や酸化珪素)等の絶縁性の無機材料で形成される。図21から理解される通り、画素定義層65には、表示領域16内の各第1電極E1に対応する開口部65Aが形成される。画素定義層65のうち開口部65Aの内周縁の近傍の領域は第1電極E1の周縁に重なる。すなわち、開口部65Aの内周縁は平面視で第1電極E1の周縁の内側に位置する。各開口部65Aは、平面形状(矩形状)やサイズが共通し、かつ、X方向およびY方向の各々にわたり共通のピッチで行列状に配列する。以上の説明から理解される通り、画素定義層65は平面視で格子状に形成される。尚、開口部65Aの平面形状やサイズは、表示色が同じであれば同じであり、表示色が異なる場合は異なるようにしてもよい。また、開口部65Aのピッチは、表示色が同じ開口部同士では同じであり、表示色が異なる開口部間では異なるようにしてもよい。

【0081】

その他にも、詳細な説明は省略するが、第1電極E1の上層には、発光機能層46、第2電極E2、および封止体47が積層され、以上の各要素が形成された基板10の表面には封止基板(図示略)が例えば接着剤で接合される。封止基板は、基板10上の各要素を保護するための光透過性の板状部材(例えばガラス基板)である。なお、封止基板の表面または封止体47の表面に表示画素Pe毎にカラーフィルターを形成することも可能である。

【0082】

以上のように、本実施形態においては、反射層55は画素電極としての第1電極E1と導通しており、第1電源線層41との導通はとられていない。したがって、本実施形態においては、容量電極層CA0と、絶縁層LD0と、第1電源線層41とから容量素子Cが構成されている。反射層55を画素電位とすることで、仮にこれらが短絡したとしても、表示不良の発生を防止することができる。反射層55と画素電極としての第1電極E1との間には光路調整層60が形成されるが、この光路調整層60が薄い画素があったとしても反射層55と画素電極としての第1電極E1との短絡による表示不良の発生を防止することができる。

10

20

30

40

50

第1実施形態では、中継電極QG1は、第1電源線層41と中継電極QD2との間隙、上部電源線層43-1と中継電極QF1との間隙を平面視覆うように配置されていたのに対し、本実施形態では、反射層55は、第1電源線層41と中継電極QD2との間隙を覆うように配置されている。したがって、外光の侵入が反射層55により防止され、光照射に起因した各トランジスタTの電流リークを防止できるという利点がある。

【0083】

その他、第1実施形態との共通の構成については、前述した第1実施形態における効果と同様な効果を奏することができる。また、第2実施形態においても、第1実施形態で説明した変形例と同様な変形例が適用可能である。

【0084】

<第3実施形態>

本発明の第3実施形態を説明する。なお、以下に例示する各形態において作用や機能が第1実施形態および第2実施形態と同様である要素については、第1実施形態および第2実施形態の説明で参照した符号を流用して各々の詳細な説明を適宜に省略する。

【0085】

第3実施形態の各表示画素Peの回路は駆動トランジスタTdrと、選択トランジスタTslと、補償トランジスタTcmpと発光制御トランジスタTelを備えている。第1実施形態の回路とは異なり、補償トランジスタTcmp補償トランジスタTcmpのソース領域及びドレイン領域の一方は、駆動トランジスタTdrのゲートノードに接続されている。以下、第3実施形態の有機エレクトロルミネッセンス装置100の具体的な構造について説明する。以下の説明で参照する各図面では、説明の便宜のために、各要素の寸法や縮尺を実際の有機エレクトロルミネッセンス装置100とは相違させている。図22は、有機エレクトロルミネッセンス装置100の断面図であり、図23から図30は、有機エレクトロルミネッセンス装置100の各要素を形成する各段階での基板10の表面の様子を表示画素Peの1個分に着目して図示した平面図である。図23から図30のIII-III'線を含む断面に対応した断面図が図22に相当する。なお、図23から図30は平面図であるが、各要素の視覚的な把握を容易化する観点から、図4と共通する各要素に図22と同態様のハッチングが便宜的に付加されている。

【0086】

図22および図23から理解される通り、珪素等の半導体材料で形成された基板10の表面には、表示画素Peの各トランジスタT(Tdr, Tsl, Tel, Tcmp)の能動領域10A(ソース/ドレイン領域)が形成される。能動領域10Aにはイオンが注入される。表示画素Peの各トランジスタT(Tdr, Tsl, Tel, Tcmp)のアクティブ層はソース領域とドレイン領域との間に存在し、能動領域10Aとは別種類のイオンが注入されるが、便宜的に能動領域10Aと一体に記載している。第1実施形態とは異なり、駆動トランジスタTdrと発光制御トランジスタTelの能動領域10Aおよびアクティブ層はチャンネル長方向(Y方向)に一直線状に並ぶように配置される。図22および図24から理解される通り、能動領域10Aが形成された基板10の表面は絶縁膜L0(ゲート絶縁膜)で被覆され、各トランジスタTのゲート層G(Gdr, Gsl, Gel, Gcmp)が絶縁膜L0の面上に形成される。各トランジスタTのゲート層Gは、絶縁膜L0を挟んでアクティブ層に対向する。

【0087】

図22から理解される通り、各トランジスタTのゲート層Gおよび下部容量電極層CA1が形成された絶縁膜L0の面上には、複数の絶縁層L(LA~LD)と複数の導電層(配線層)とを交互に積層した多層配線層が形成される。各絶縁層Lは、例えば珪素化合物(典型的には窒化珪素や酸化珪素)等の絶縁性の無機材料で形成される。なお、以下の説明では、導電層(単層または複数層)の選択的な除去により複数の要素が同一工程で一括的に形成される関係を「同層から形成される」と表記する。

【0088】

絶縁層LAは、各トランジスタTのゲートGが形成された絶縁膜L0の面上に形成さ

10

20

30

40

50

れる。図 2 2 および図 2 5 から理解される通り、絶縁層 L A の面上には、走査線 2 2 と、選択トランジスタ T s 1 の制御線 2 7 と、発光制御トランジスタ T e 1 の制御線 2 8 と、容量電極層 C A 2 と、複数の中継電極 Q B ( Q B 3 , Q B 4 , Q B 6 , Q B 7 ) とが同層から形成される。

【 0 0 8 9 】

図 2 2 および図 2 5 から理解される通り、中継電極 Q B 7 は、絶縁膜 L 0 と絶縁層 L A とを貫通する導通孔 H A 1 , H A 6 , H A 7 を介して、それぞれ補償トランジスタ T c m p のドレイン領域またはソース領域を形成する能動領域 1 0 A、駆動トランジスタ T d r のドレイン領域またはソース領域を形成する能動領域 1 0 A、および発光制御トランジスタ T d r のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。したがって、中継電極 Q B 7 は、補償トランジスタ T c m p のドレイン領域またはソース領域と駆動トランジスタ T d r のドレイン領域またはソース領域と発光制御トランジスタ T d r のドレイン領域またはソース領域とを接続する配線部として機能する。

10

【 0 0 9 0 】

図 2 2 および図 2 5 から理解される通り、中継電極 Q B 3 は、絶縁膜 L 0 と絶縁層 L A とを貫通する導通孔 H A 4 を介して選択トランジスタ T s 1 のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。中継電極 Q B 4 は、絶縁膜 L 0 と絶縁層 L A とを貫通する導通孔 H A 5 を介して駆動トランジスタ T d r のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。中継電極 Q B 6 は、絶縁層 L A と絶縁膜 L 0 とを貫通する導通孔 H A 8 を介して発光制御トランジスタ T e 1 のソース領域またはドレイン領域を形成する能動領域 1 0 A に導通する。

20

【 0 0 9 1 】

図 2 5 から理解される通り、走査線 2 2 は、絶縁層 L A を貫通する導通孔 H B 2 を介して選択トランジスタ T s 1 のゲート層 G s 1 に導通する。走査線 2 2 は、複数の表示画素 P e にわたり X 方向に直線状に延在し、絶縁層 L B により、後述する信号線 2 6 からは電氣的に絶縁される。導通孔 H B 2 は、選択トランジスタ T s 1 のゲート層 G s 1 およびアクティブ層と重なるように配置されている。

【 0 0 9 2 】

図 2 5 から理解される通り、補償トランジスタ T c m p の制御線 2 7 は、絶縁層 L A を貫通する導通孔 H B 1 を介して補償トランジスタ T c m p のゲート層 G c m p に導通する。制御線 2 7 は、複数の表示画素 P e にわたり X 方向に直線状に延在し、絶縁層 L B により後述する信号線 2 6 からは電氣的に絶縁される。導通孔 H B 1 は、補償トランジスタ T c m p のゲート層 G c m p およびアクティブ層と重なるように配置されている。

30

【 0 0 9 3 】

図 2 5 から理解される通り、発光制御トランジスタ T e 1 の制御線 2 8 は、絶縁層 L A に形成された導通孔 H B 4 を介して発光制御トランジスタ T e 1 のゲート層 G e 1 に導通する。制御線 2 8 は、複数の表示画素 P e にわたり X 方向に直線状に延在し、絶縁層 L A により後述する信号線 2 6 からは電氣的に絶縁される。導通孔 H B 4 は、発光制御トランジスタ T e 1 のゲート層 G e 1 およびアクティブ層と重なるように配置されている。

40

【 0 0 9 4 】

図 2 2 および図 2 5 から理解される通り、本実施形態においては、中継電極 Q B 3 , Q B 4 , Q B 6 , Q B 7、および走査線 2 2、並びに制御線 2 7 , 2 8 と同層に、容量電極層 C A 2 が形成されている。容量電極層 C A 2 は、絶縁層 L A を貫通する導通孔 H B 3 を介して、駆動トランジスタ T d r のゲート層 G d r と導通する。また、容量電極層 C A 2 は、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H A 2 , H A 3 を介して、それぞれ補償トランジスタ T c m p のドレイン領域またはソース領域を形成する能動領域 1 0 A と、選択トランジスタ T s 1 のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。したがって、容量電極層 C A 2 は、駆動トランジスタ T d r のゲート層 G d r と、補償トランジスタ T c m p のドレイン領域またはソース領域と、選択トラン

50

ジスター T s 1 のドレイン領域またはソース領域との配線層としても機能している。導通孔 H B 3 は、駆動トランジスター T d r のゲート層 G d r およびアクティブ層と重なるように配置されている。

【 0 0 9 5 】

絶縁層 L B は、走査線 2 2 と、選択トランジスター T s 1 の制御線 2 7 と、発光制御トランジスター T e 1 の制御線 2 8 と、複数の中継電極 Q B ( Q B 3 , Q B 4 , Q B 6 , Q B 7 ) と、容量電極層 C A 2 とが形成された絶縁層 L A の面上に形成される。図 2 2 および図 2 6 から理解される通り、絶縁層 L B の面上には、第 1 電源線層 4 1 - 0 が形成される。さらに、図 2 2 から理解される通り、第 1 電源線層 4 1 - 0 が形成された絶縁層 L C 0 の面上には、絶縁層 L C 1 が形成される。絶縁層 L C 1 の表面には、図 2 2 および図 2 6 に例示される通り、第 1 電源線層 4 1 - 0 と接続された第 1 電源線層 4 1 - 1 と、中継電極 Q D 2 と、中継電極 Q D 4 とが形成される。図 2 2、図 2 5 および図 2 6 から理解される通り、中継電極 Q D 2 は、絶縁層 L B および絶縁層 L C 0 を貫通する導通孔 H D 3 を介して中継電極 Q B 6 に導通する。中継電極 Q D 2 は、画素電極導通部を構成する中継電極の一つであり、図 2 2 ないし図 2 6 から理解される通り、導通孔 H D 3 と、中継電極 Q B 6 と、導通孔 H A 8 とを介して、発光制御トランジスター T e 1 のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。

10

【 0 0 9 6 】

図 2 2、図 2 5 および図 2 6 から理解される通り、中継電極 Q D 4 は、絶縁層 L B および絶縁層 L C 0 を貫通する導通孔 H D 4 を介して中継電極 Q B 3 に導通する。したがって、図 2 2 ないし図 2 6 から理解される通り、中継電極 Q D 4 は、導通孔 H D 4 と、中継電極 Q B 3 と、導通孔 H A 4 とを介して、選択トランジスター T s 1 のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。

20

【 0 0 9 7 】

第 1 電源線層 4 1 - 1 は、図 2 6 から理解される通り、画素電極導通部 ( 発光制御トランジスター T e 1 と中継電極 Q D 2 の導通部 ) を取り囲むように配置される。第 1 電源線層 4 1 - 1 は、図 2 6 から理解される通り、中継電極 Q D 4 を取り囲むように配置される。また、第 1 電源線層 4 1 - 1 は、X 方向および Y 方向において隣り合う表示画素 P e 間において隙間なく連続して形成されたパターンである。第 1 電源線層 4 1 は、多層配線層内の配線 ( 図示略 ) を介して、高位側の電源電位 V e 1 が供給される実装端子 3 6 に導通する。なお、第 1 電源線層 4 1 - 1 は、図 1 に示す第 1 領域 1 2 の表示領域 1 6 内に形成される。また、図示を省略するが、第 1 領域 1 2 の周辺領域 1 8 内にも別の電源線層が形成される。この電源線層は、多層配線層内の配線 ( 図示略 ) を介して、低位側の電源電位 V c t が供給される実装端子 3 6 に導通する。第 1 電源線層 4 1 - 1 および低位側の電源電位 V c t が供給される電源線層は、例えば銀やアルミニウムを含有する導電材料で例えば 1 0 0 n m 程度の膜厚に形成される。

30

【 0 0 9 8 】

第 1 電源線層 4 1 - 0 は、第 1 電源線層 4 1 - 1 と接続されている。第 1 電源線層 4 1 - 0 は、図 2 6 から理解される通り、Y 方向においては、中継電極と所定の間隔を有し、かつ、導通孔 H D 5 および中継電極 Q D 2 , Q D 4 と所定の間隔を有して配置されている。第 1 電源線層 4 1 - 0 は、X 方向においては、隣り合う表示画素 P e の上部電源線層 4 1 - 0 と所定の間隔を有して配置された矩形の電極層である。第 1 電源線層 4 1 - 0 と第 1 電源線層 4 1 - 1 は、絶縁層 L B および絶縁層 L C 0 により容量電極層 C A 2 と絶縁されている。第 1 電源線層 4 1 - 0 は、図 2 2 から理解される通り、第 1 電源線層 4 1 - 1 から吊り下げられた構造を有している。第 1 電源線層 4 1 - 0 は、第 1 電源線層 4 1 - 1 を介して駆動トランジスター T d r のソース領域またはドレイン領域に導通する。また、第 1 電源線層 4 1 - 0 は、絶縁層 L B および絶縁層 L C 0 を介して容量電極層 C A 2 と対向する。容量電極層 C A 2 は、導通孔 H B 3 を介して駆動トランジスター T d r のゲート層 G d r に導通する。したがって、第 1 電源線層 4 1 - 0 は、図 2 および図 3 に示す容量素子 C の第 2 容量電極 C 2 に相当する。容量電極層 C A 2 は図 2 および図 3 に示す容量

40

50

素子Cの第1容量電極C1に相当する。したがって、容量素子Cの第2容量電極C2を構成する第1電源線層41-0を第1電源線層41-1から吊り下げた構造とすることにより、容量素子Cの誘電体膜を薄くでき、容量素子Cの容量を大きくすることができる。第1電源線層41-1を単独で用いる場合と比して、配置の自由度を増すことができる。以上のように、本実施形態では、第1電源線層41-0と絶縁層LBと容量電極層CA2とから容量素子Cが構成される。

【0099】

第1電源線層41-1は、図22、図25および図26から理解される通り、絶縁層LC0および絶縁層LBを貫通する導通孔HD5を介して、中継電極QB4に導通する。したがって、第1電源線層41-1は、図22ないし図26から理解される通り、導通孔HD5と、中継電極QB4と、導通孔HA5とを介して、駆動トランジスタTdrのソース領域またはドレイン領域に導通する。

10

【0100】

絶縁層LDは、第1電源線層41-1と、複数の中継電極QD(QD2, QD4)とが形成された絶縁層LC1の面上に形成される。図22および図27から理解される通り、絶縁層LC1の面上には、信号線26と、中継電極QF1とが形成される。信号線26は、複数の画素PにわたりY方向に直線状に延在し、絶縁層LC1により、第1電源線層41-1からは電気的に絶縁される。信号線26は、図22ないし図27から理解される通り、導通孔HF11と、中継電極QD4と、導通孔HD4と、中継電極QB3と、導通孔HA4とを介して選択トランジスタTs1のソース領域またはドレイン領域を形成する能動領域10Aと導通する。また、信号線26は、走査線22と、制御線27と、制御線28との上層の位置を通過するように形成され、選択トランジスタTs1のチャンネル長の方向(Y方向)に沿って延在する。また、平面視において、信号線26は、選択トランジスタTs1および補償トランジスタTcmpと重なるように配置されている。したがって、画素の高密度化を図ることができる。また、信号線26は、第1電源線層41-1と中継電極QD4との間隙と、平面視重なるように配置されている。したがって、外光の侵入が信号線26により防止され、光照射に起因した各トランジスタTの電流リークを防止できるという利点がある。

20

【0101】

中継電極QF1は、画素電極導通部を構成する中継電極の一つであり、図22ないし図27から理解される通り、絶縁層LC1を貫通する導通孔HF4と、中継電極QD2と、導通孔HD3と、中継電極QB6と、導通孔HA8とを介して、発光制御トランジスタTelのドレイン領域またはソース領域を形成する能動領域10Aに導通する。

30

【0102】

絶縁層LDは、信号線26と、中継電極QF1とが形成された絶縁層LC1の面上に形成される。絶縁層LDの表面には平坦化処理が実行される。平坦化処理には、化学機械研磨(CMP: Chemical Mechanical Polishing)等の公知の表面処理技術が任意に採用される。平坦化処理で高度に平坦化された絶縁層LDの表面には、図22および図28に例示される通り、反射層55が形成される。反射層55は、図27および図28から理解される通り、絶縁層LDを貫通する導通孔HG1を介して、中継電極QF1に導通する。したがって、反射層55は、画素電極導通部(発光制御トランジスタTelと中継電極QF1の導通部)と導通している。反射層55は、第1電極E1と同様、表示画素Pe毎に個別に形成されている。本実施形態においては、反射層55は、例えば銀やアルミニウムを含有する光反射性の導電材料で例えば100nm程度の膜厚に形成される。反射層55は、光反射性の導電材料で形成され、図28に示すように各トランジスタT、各配線、及び各中継電極を覆うように配置される。したがって、外光の侵入が反射層55により防止され、光照射に起因した各トランジスタTの電流リークを防止できるという利点がある。

40

【0103】

図22に例示される通り、反射層55が形成された絶縁層LDの面上には光路調整層60が形成される。光路調整層60は、各表示画素Peの共振構造の共振波長(すなわち表

50

示色)を規定する光透過性の膜体である。表示色が同じ画素では、共振構造の共振波長は略同じであり、表示色が異なる画素では、共振構造の共振波長は異なるように設定される。

#### 【0104】

図22および図29に例示される通り、光路調整層60の面上には、表示領域16内の表示画素Pe毎の第1電極E1が形成される。第1電極E1は、例えばITO(Indium Tin Oxide)等の光透過性の導電材料で形成される。第1電極E1は、図2および図3を参照して前述した通り、発光素子45の陽極として機能する略矩形の電極(画素電極)である。第1電極E1は、図22および図29から理解される通り、表示画素Pe毎に光路調整層60に形成された導通孔HH1を介して反射層55に導通する。

10

#### 【0105】

第1電極E1が形成された光路調整層60の面上には、図22および図30に例示される通り、基板10の全域にわたり画素定義層65が形成される。画素定義層65は、例えば珪素化合物(典型的には窒化珪素や酸化珪素)等の絶縁性の無機材料で形成される。図30から理解される通り、画素定義層65には、表示領域16内の各第1電極E1に対応する開口部65Aが形成される。画素定義層65のうち開口部65Aの内周縁の近傍の領域は第1電極E1の周縁に重なる。すなわち、開口部65Aの内周縁は平面視で第1電極E1の周縁の内側に位置する。各開口部65Aは、平面形状(矩形状)やサイズが共通し、かつ、X方向およびY方向の各々にわたり共通のピッチで行列状に配列する。以上の説明から理解される通り、画素定義層65は平面視で格子状に形成される。尚、開口部65Aの平面形状やサイズは、表示色が同じであれば同じであり、表示色が異なる場合は異なるようにしてもよい。また、開口部65Aのピッチは、表示色が同じ開口部同士では同じであり、表示色が異なる開口部間では異なるようにしてもよい。

20

#### 【0106】

その他にも、詳細な説明は省略するが、第1電極E1の上層には、発光機能層46、第2電極E2、および封止体47が積層され、以上の各要素が形成された基板10の表面には封止基板(図示略)が例えば接着剤で接合される。封止基板は、基板10上の各要素を保護するための光透過性の板状部材(例えばガラス基板)である。なお、封止基板の表面または封止体47の表面に表示画素Pe毎にカラーフィルターを形成することも可能である。

30

#### 【0107】

以上に説明した通り、本実施形態では、走査線22、制御線27、制御線28、および容量電極層CA2が形成された層と、信号線26が形成された層との間に、第1電源線層41-1が配置された構成となっている。したがって、信号線26と走査線22とのカップリングが第1電源線層41-1によって抑制される。また、信号線26と、各トランジスタまたは容量電極層CA2とのカップリングが第1電源線層41-1によって抑制される。さらに、本実施形態では、容量電極層CA2と、画素電極である第1電極E1の間には、第1電源線層41-1が配置されている。第1電源線層41-1は、上述した画素導通部を除き、ほぼ全面に亘って形成されている。したがって、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA2と、画素電極である第1電極E1との間のカップリングが抑制される。

40

#### 【0108】

信号線26と、選択トランジスタTs1のドレイン領域またはソース領域とを接続する信号線導通部は、上述したように、第1電源線層41-1が形成された層と、走査線22および容量電極層CA2が形成された層とを貫いて設けられている。この信号線導通部は、選択トランジスタTs1のドレイン配線またはソース配線である。このように構成することにより、信号線26を下層に延ばして導通を図る場合と比して、低抵抗で選択トランジスタTs1と信号線26とを接続することができる。なお、信号線導通部と信号線26は、画素電極導通部を避けて配置されている。

#### 【0109】

50

画素電極である第1電極E1と発光制御トランジスタT<sub>e1</sub>のソース領域またはドレイン領域との導通部、すなわち、画素電極導通部は、絶縁膜L0および絶縁層LAを貫通する導通孔HA8、中継電極QB6、絶縁層LBおよび絶縁層LD0を貫通する導通孔HC5、中継電極QD2、絶縁層LC1を貫通する導通孔HF4、中継電極QF1、絶縁層LDを貫通する導通孔HG1、反射層55、および光路調整層60を貫通する導通孔HH1により構成されている。これらは、発光制御トランジスタT<sub>e1</sub>のソース配線またはドレイン配線として機能している。つまり、第1電極E1と発光制御トランジスタT<sub>e1</sub>のソース領域またはドレイン領域との導通部は、第1電源線層41と、容量電極層CA2と、第1電源線層41-1を貫いて設けられた発光制御トランジスタT<sub>e1</sub>のソース配線またはドレイン配線により構成されている。したがって、画素電極を発光制御トランジスタT<sub>e1</sub>のソース領域またはドレイン領域の層まで延ばして導通を図る場合と比して、低抵抗で発光制御トランジスタT<sub>e1</sub>のソース領域またはドレイン領域と画素電極である第1電極E1とを接続することができる。

10

## 【0110】

容量素子Cについては、第1電源線層41-0を第2容量電極C2とし、容量電極層CA2を第1容量電極C1とする容量素子が積層方向(Z方向)に積層された構成となっている。第1の容量素子C-1においては、第2容量電極C2である第1電源線層41-0は、第1電源線層41-1に電氣的に接続され、かつ、第1電源線層41-1より下層に配置された構成となっている。上述した例では、一例として、第1電源線層41-1から吊り下げた構造によりこの配置を実現している。したがって、第2容量電極C2として、中継電極と同層に形成される第1電源線層41-1自体を用いる場合と比して、第1の容量素子C-1の誘電体膜を薄くすることができ、第1の容量素子C-1の容量を大きくすることができる。あるいは、第1の容量素子C-1の配置の自由度を高めることができる。

20

## 【0111】

また、容量素子Cは、選択トランジスタT<sub>s1</sub>、補償トランジスタT<sub>cmp</sub>、駆動トランジスタT<sub>dr</sub>と、平面視において重なるように配置される。したがって、画素の高密度化を行い易い。

## 【0112】

本実施形態においては、容量電極層CA2は、走査線22が形成される層に形成されている。このような構成にすることにより、第1実施形態および第2実施形態と比して、工程を簡略化することができる。また、走査線22が形成された層の上に第1電源線層41-1を配置し、さらにその上の層に信号線26を配置したので、信号線26を、平面視において、選択トランジスタT<sub>s1</sub>および補償トランジスタT<sub>cmp</sub>と重なるように配置することができる。その結果、画素の高密度化を図ることができる。

30

## 【0113】

本実施形態では、第2実施形態と同様に、反射層55が画素電極である第1電極E1と接続されている。画素電極である第1電極E1の電位は、駆動トランジスタT<sub>dr</sub>や発光素子45の電位に応じて設定されるため、画素電極である第1電極E1や反射層55の電位は、信号線26の電位の影響を受けにくいという利点がある。

40

## 【0114】

その他、第1実施形態および第2実施形態との共通の構成については、前述した第1実施形態および第2実施形態における効果と同様な効果を奏することができる。また、第3実施形態においても、第1実施形態で説明した変形例と同様な変形例が適用可能である。

## 【0115】

## &lt;第4実施形態&gt;

本発明の第4実施形態を説明する。なお、以下に例示する各形態において作用や機能が第1実施形態ないし第3実施形態と同様である要素については、第1実施形態ないし第3実施形態の説明で参照した符号を流用して各々の詳細な説明を適宜に省略する。

## 【0116】

50

第4実施形態の有機エレクトロルミネッセンス装置100の具体的な構造は、第3実施形態の有機エレクトロルミネッセンス装置100の具体的な構造とほぼ同様な構造である。以下、簡略化のため、相違する箇所についてのみ説明する。

【0117】

図31は、有機エレクトロルミネッセンス装置100の断面図であり、図32から図40は、有機エレクトロルミネッセンス装置100の各要素を形成する各段階での基板10の表面の様子を表示画素Peの1個分に着目して図示した平面図である。図32から図40のIV-IV'線を含む断面に対応した断面図が図31に相当する。なお、図32から図40は平面図であるが、各要素の視覚的な把握を容易化する観点から、図31と共通する各要素に図31と同様様のハッチングが便宜的に付加されている。

10

【0118】

第4実施形態は、図31ないし図36から理解される通り、容量電極層CA2および走査線22が形成された層と、信号線26が形成された層との間に、上部容量電極層CA1を配置した構成が第3実施形態と異なっている。容量電極層CA1は、図35から理解される通り、平面視において各トランジスタを覆うように配置された矩形の容量電極層である。図31、図34および図35から理解される通り、容量電極層CA1は、絶縁層LBを貫通する導通孔HC7と、容量電極層CA2と、絶縁層LAを貫通する導通孔HB3とを介して、駆動トランジスタTdrのゲート層Gdrと導通する。したがって、容量電極層CA1は、容量電極層CA2と共に、図2および図3に示す容量素子Cの第1容量電極C1に相当し、第1電源線層41-1は、図2および図3に示す容量素子Cの第2容量電極C2に相当する。

20

【0119】

本実施形態においては、以上のように、上部容量電極層CA1を、各トランジスタが形成された層、および走査線22や制御線27, 28が形成された層と、信号線26が形成された層との間の層に形成したので、比較的、上部容量電極層CA1を、トランジスタや配線の配置に縛られることなく配置することができる。また、走査線22や制御線27, 28が形成された層との積層も可能であるため、画素の高密度化も容易である。

【0120】

駆動トランジスタTdrのゲート層Gdrに接続された上部容量電極層CA1は、駆動トランジスタTdrのゲート層Gdrよりも上層に設けられており、上部容量電極層CA1と、信号線26との間には、第1電源線層41-1が配置されるように構成されている。第1電源線層41-1は、画素電極である第1電極E1と発光制御トランジスタTelのソース領域またはドレイン領域との導通部、すなわち、画素電極導通部を除き、ほぼ全面に亘って形成されている。したがって、ノイズの発生源となる信号線26と、駆動トランジスタTdrのゲート層Gdrに接続された上部容量電極層CA1との間のカップリングが抑制される。

30

【0121】

本実施形態では、上部容量電極層CA1と、画素電極である第1電極E1との間には、上部電源線層41-1および上部電源線層41-0が配置されている。上部電源線層41-1および上部電源線層41-0は、上述した画素導通部を除き、ほぼ全面に亘って形成されている。したがって、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1と、画素電極である第1電極E1との間のカップリングが抑制される。

40

【0122】

画素電極である第1電極E1と発光制御トランジスタTelのソース領域またはドレイン領域との導通部、すなわち、画素電極導通部は、絶縁膜L0および絶縁層LAを貫通する導通孔HA8、中継電極QB6、絶縁層LBを貫通する導通孔HC5、中継電極QC3、絶縁層LCおよび絶縁層LD0を貫通する導通孔HD3、中継電極QD2、絶縁層LD1を貫通する導通孔HF4、中継電極QF1、絶縁層LEを貫通する導通孔HG1、および反射層55により構成されている。これらは、発光制御トランジスタTelのソース配線またはドレイン配線として機能している。つまり、第1電極E1と発光制御トラン

50

ジスターT e 1のソース領域またはドレイン領域との導通部は、第1電源線層4 1 - 1と、上部容量電極層C A 1と、上部電源線層4 3 - 1および上部電源線層4 3 - 0とを貫いて設けられた発光制御トランジスターT e 1のソース配線またはドレイン配線により構成されている。したがって、画素電極を発光制御トランジスターT e 1のソース領域またはドレイン領域の層まで延ばして導通を図る場合と比して、低抵抗で発光制御トランジスターT e 1のソース領域またはドレイン領域と画素電極である第1電極E 1とを接続することができる。

#### 【0 1 2 3】

本実施形態における容量素子Cは、上部電源線層4 1 - 0を第2容量電極C 2とし、容量電極層C A 1を第1容量電極C 1とする容量素子Cである。容量素子Cにおいては、第2容量電極C 2である上部電源線層4 1 - 0は、上部電源線層4 1 - 1に電氣的に接続され、かつ、上部電源線層4 1 - 1より下層に配置された構成となっている。上述した例では、一例として、上部電源線層4 1 - 1から吊り下げた構造によりこの配置を実現している。したがって、第2容量電極C 2として、中継電極と同層に形成される上部電源線層4 1 - 1自体を用いる場合と比して、容量素子Cの誘電体膜を薄くすることができ、容量素子Cの容量を大きくすることができる。あるいは、容量素子Cの配置の自由度を高めることができる。

#### 【0 1 2 4】

図3 5から理解されるように、容量素子Cは、平面視において、選択トランジスターT s 1、発光制御トランジスターT e 1、補償トランジスターT c m p、および駆動トランジスターT d rのそれぞれと重なる位置に設けられている。したがって、容量素子の容量を確保しつつ、画素の高密度化を実現することができる。このように、本実施形態によれば、駆動トランジスターT d rのゲート層G d rよりも上の層を有効に活用して、高密度な画素のための画素構造を提供することができる。

#### 【0 1 2 5】

本実施形態では、第3実施形態と同様に、反射層5 5が画素電極である第1電極E 1と接続されている。画素電極である第1電極E 1の電位は、駆動トランジスターT d rや発光素子4 5の電位に応じて設定されるため、画素電極である第1電極E 1や反射層5 5の電位は、信号線2 6の電位の影響を受けにくいという利点がある。

#### 【0 1 2 6】

信号線2 6と、選択トランジスターT s 1のドレイン領域またはソース領域とを接続する信号線導通部は、第3実施形態と同様に、第1電源線層4 1 - 1が形成された層と、走査線2 2および容量電極層C A 2が形成された層とを貫いて設けられている。この信号線導通部は、選択トランジスターT s 1のドレイン配線またはソース配線である。このように構成することにより、信号線2 6を下層に延ばして導通を図る場合と比して、低抵抗で選択トランジスターT s 1と信号線2 6とを接続することができる。なお、信号線導通部と信号線2 6は、画素電極導通部を避けて配置されている。

#### 【0 1 2 7】

図3 7から理解されるように、本実施形態においても、信号線2 6を、平面視において、選択トランジスターT s 1および補償トランジスターT c m pと重なるように配置している。その結果、画素の高密度化を図ることができる。また、信号線2 6は、第1電源線層4 1 - 1と中継電極Q D 4との間隙と、平面視重なるように配置されている。したがって、外光の侵入が信号線2 6により防止され、光照射に起因した各トランジスターTの電流リークを防止できるという利点がある。

#### 【0 1 2 8】

その他、第1実施形態ないし第3実施形態との共通の構成については、前述した第1実施形態ないし第3実施形態における効果と同様な効果を奏することができる。また、第4実施形態においても、上部容量電極層を構成する電極を上部容量電極層C A 1とは異なる層で形成された電極とする等、第1実施形態で説明した変形例と同様な変形例が適用可能である。

10

20

30

40

50

## 【 0 1 2 9 】

## &lt; 第 5 実施形態 &gt;

本発明の第 5 実施形態を説明する。なお、以下に例示する各形態において作用や機能が第 1 実施形態と同様である要素については、第 1 実施形態ないし第 4 実施形態の説明で参照した符号を流用して各々の詳細な説明を適宜に省略する。

## 【 0 1 3 0 】

第 5 実施形態の有機エレクトロルミネッセンス装置 1 0 0 の具体的な構造は、第 3 実施形態および第 4 実施形態の有機エレクトロルミネッセンス装置 1 0 0 の具体的な構造とほぼ同様な構造である。以下、簡略化のため、相違する箇所についてのみ説明する。

## 【 0 1 3 1 】

図 4 1 は、有機エレクトロルミネッセンス装置 1 0 0 の断面図であり、図 4 2 から図 5 1 は、有機エレクトロルミネッセンス装置 1 0 0 の各要素を形成する各段階での基板 1 0 の表面の様子を表示画素 P e の 1 個分に着目して図示した平面図である。図 4 2 から図 5 1 の V - V ' 線を含む断面に対応した断面図が図 4 1 に相当する。なお、図 4 2 から図 5 1 は平面図であるが、各要素の視覚的な把握を容易化する観点から、図 4 1 と共通する各要素に図 4 1 と同態様のハッチングが便宜的に付加されている。

## 【 0 1 3 2 】

第 5 実施形態は、図 4 1 ないし図 4 8 から理解される通り、第 1 電源線層 4 1 が形成された層と、信号線 2 6 が形成された層との間に、容量電極層 C A 0 および容量電極層 C A 1 と、上部電源線層 4 3 - 0 および上部電源線層 4 3 - 1 を配置した構成が第 3 実施形態および第 4 実施形態と異なっている。

## 【 0 1 3 3 】

図 4 1 から理解される通り、第 1 電源線層 4 1 が形成された絶縁層 L B の面上には絶縁層 L C が形成される。絶縁層 L C の面上には、容量電極層 C A 0 が形成され、容量電極層 C A 0 が形成された絶縁層 L C の面上には、絶縁層 L D 0 が形成される。絶縁層 L D 0 の面上には、図 4 6 から理解される通り、容量電極層 C A 1 と、画素電極導通部を構成する中継電極 Q E 4 と、信号線導通部を構成する中継電極 Q E 1 1 と、電源供給部を構成する中継電極 Q E 1 2 が形成される。容量電極層 C A 1 は、図 4 6 から理解される通り、平面視において各トランジスターを覆うように配置された矩形の容量電極層である。容量電極層 C A 1 は、図 4 1 から理解されるように、容量電極層 C A 1 から吊り下げられた容量電極層 C A 0 と接続されている。図 4 1、図 4 3 ないし図 4 6 から理解される通り、容量電極層 C A 1 は、絶縁層 L D 0 および絶縁層 L C を貫通する導通孔 H E 4 と、中継電極 Q D 5 と、絶縁層 L B を貫通する導通孔 H D 2 と、中継電極 Q B 8 と、絶縁層 L A を貫通する導通孔 H B 3 とを介して、駆動トランジスター T d r のゲート層 G d r と導通する。また、第 1 電源線層 4 1 は中継電極 Q D 5 を囲むように配置されている。

## 【 0 1 3 4 】

図 4 1 および図 4 7 から理解される通り、容量電極層 C A 1 と、画素電極導通部を構成する中継電極 Q E 4 と、信号線導通部を構成する中継電極 Q E 1 1 と、電源供給部を構成する中継電極 Q E 1 2 とが形成された絶縁層 L D 0 の面上には、絶縁層 L D 1 が形成される。図 4 1 から理解される通り、絶縁層 L D 1 の面上には、上部電源線層 4 3 - 0 が形成される。上部電源線層 4 3 - 0 が形成された、絶縁層 L D 1 の面上には絶縁層 L E 0 が形成され、絶縁層 L E 0 の面上には、図 4 7 から理解される通り、上部電源線層 4 3 - 1 と、画素電極導通部を構成する中継電極 Q F 1 とが形成される。

## 【 0 1 3 5 】

上部電源線層 4 3 - 1 は、図 4 7 から理解される通り、画素電極導通部（発光制御トランジスター T e l と中継電極 Q F 1 の導通部）を取り囲むように配置される。また、上部電源線層 4 3 - 1 は、画素ごとに設けられるパターンである。上部電源線層 4 3 - 0 は、上部電源線層 4 3 - 1 と接続され、図 4 7 から理解される通り、Y 方向においては、画素電極導通部、および信号線導通部と所定の間隔を有して配置され、X 方向においては、隣り合う表示画素 P e の上部電源線層 4 3 - 0 と所定の間隔を有して配置された矩形の電極

10

20

30

40

50

層である。上部電源線層43-0と上部電源線層43-1は、絶縁層LE0および絶縁層LD1により容量電極層CA1と絶縁されている。上部電源線層43-0は、図41から理解される通り、上部電源線層43-1から吊り下げられた構造を有している。上部電源線層43-0は、図41から理解される通り、上部電源線層43-1を介して第1電源線層41に導通すると共に、駆動トランジスタTdrのソース領域またはドレイン領域に導通する。また、上部電源線層43-0は、絶縁層LD1および絶縁層LD0を介して容量電極層CA0と対向する。容量電極層CA0は、容量電極層CA1を介して駆動トランジスタTdrのゲート層Gdrに導通する。したがって、上部電源線層43-0は、図2および図3に示す容量素子Cの第2容量電極C2に相当し、容量電極層CA0は図2および図3に示す容量素子Cの第1容量電極C1に相当する。したがって、容量素子Cの第2容量電極C2を構成する上部電源線層43-0を上部電源線層43-1から吊り下げた構造とすることにより、容量素子Cの誘電体膜を薄くでき、容量素子Cの容量を大きくすることができる。上部電源線層43-1を単独で用いる場合と比して、配置の自由度を増すことができる。また、この例では、容量素子Cの第1容量電極C1を構成する容量電極層CA0も上述したように容量電極層CA1から吊り下げた構造なので、全体として容量素子Cの容量をより一層大きくすることができる。以上のように、本実施形態では、第1電源線層41と絶縁層LCと容量電極層CA0とから構成される容量素子Cと、容量電極層CA0と絶縁層LD0および絶縁層LD1と上部電源線層43-0とから構成される容量素子Cとが、積層方向(Z方向)において積層された構成となっている。

10

#### 【0136】

20

以上に説明した通り、本実施形態では、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1と、容量電極層CA1に接続された容量電極層CA0は、駆動トランジスタTdrのゲート層Gdrよりも上層に設けられており、容量電極層CA1および容量電極層CA0と、選択トランジスタTs1のドレイン領域またはソース領域に接続された信号線26との間に、第1電源線層41が配置されるように構成されている。第1電源線層41は、画素電極である第1電極E1と発光制御トランジスタTelのソース領域またはドレイン領域との導通部、すなわち、画素電極導通部と、駆動トランジスタTdrのゲート導通部とを除き、ほぼ全面に亘って形成されている。したがって、ノイズの発生源となる信号線26と、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1および容量電極層CA0との間のカップリングが抑制される。

30

#### 【0137】

また、信号線26の下層には、選択トランジスタTs1のゲート層Gs1に接続された走査線22が配置されているが、これらの走査線22と、容量電極層CA1および容量電極層CA0との間に、第1電源線層41が配置されるように構成されている。第1電源線層41は、走査線22を覆うように、ほぼ全面に亘って形成されている。したがって、ノイズの発生源となる走査線22と、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1および容量電極層CA0との間のカップリングが抑制される。

#### 【0138】

本実施形態では、容量電極層CA1および容量電極層CA0と、画素電極である第1電極E1との間には、上部電源線層43-1および上部電源線層43-0が配置されている。上部電源線層43-1および上部電源線層43-0は、上述した画素導通部を除き、ほぼ全面に亘って形成されている。したがって、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1および容量電極層CA0と、画素電極である第1電極E1との間のカップリングが抑制される。

40

#### 【0139】

画素電極導通部は、上述したように複数の中継電極と複数の導通孔から構成されており、発光制御トランジスタTelのソース配線またはドレイン配線として機能している。つまり、第1電極E1と発光制御トランジスタTelのソース領域またはドレイン領域との導通部は、第1電源線層41と、容量電極層CA1および容量電極層CA0と、上部電源線層43-1および上部電源線層43-0とを貫いて設けられた発光制御トランジス

50

ターT e 1のソース配線またはドレイン配線により構成されている。したがって、画素電極を発光制御トランジスターT e 1のソース領域またはドレイン領域の層まで延ばして導通を図る場合と比して、低抵抗で発光制御トランジスターT e 1のソース領域またはドレイン領域と画素電極である第1電極E 1とを接続することができる。

#### 【0140】

信号線26と、選択トランジスターT s 1のドレイン領域またはソース領域とを接続する信号線導通部は、上述したように、第1電源線層41-1が形成された層と、走査線22および容量電極層C A 2が形成された層とを貫いて設けられている。この信号線導通部は、選択トランジスターT s 1のドレイン配線またはソース配線である。このように構成することにより、信号線26を下層に延ばして導通を図る場合と比して、低抵抗で選択トランジスターT s 1と信号線26とを接続することができる。なお、信号線導通部と信号線26は、画素電極導通部を避けて配置されている。

10

#### 【0141】

本実施形態においても、信号線26を、平面視において、選択トランジスターT s 1および補償トランジスターT c m pと重なるように配置している。その結果、画素の高密度化を図ることができる。

#### 【0142】

その他、上述した各実施形態との共通の構成については、前述した各実施形態における効果と同様な効果を奏することができる。また、第5実施形態においても、第1実施形態で説明した変形例と同様な変形例が適用可能である。

20

#### 【0143】

##### <第6実施形態>

本発明の第6実施形態を説明する。なお、以下に例示する各形態において作用や機能が第1実施形態と同様である要素については、上記各実施形態の説明で参照した符号を流用して各々の詳細な説明を適宜に省略する。

#### 【0144】

第6実施形態の各表示画素P eの回路は、図52に示すように、補償トランジスターT c m pが省略された構成となっている。以下、第6実施形態の有機エレクトロルミネッセンス装置100の具体的な構造について説明する。以下の説明で参照する各図面では、説明の便宜のために、各要素の寸法や縮尺を実際の有機エレクトロルミネッセンス装置100とは相違させている。図53は、有機エレクトロルミネッセンス装置100の断面図であり、図54から図62は、有機エレクトロルミネッセンス装置100の各要素を形成する各段階での基板10の表面の様子を表示画素P eの1個分に着目して図示した平面図である。図54から図62のVI-VI'線を含む断面に対応した断面図が図53に相当する。なお、図54から図62は平面図であるが、各要素の視覚的な把握を容易化する観点から、図53と共通する各要素に図53と同態様のハッチングが便宜的に付加されている。

30

#### 【0145】

図53および図54から理解される通り、珪素等の半導体材料で形成された基板10の表面には、表示画素P eの各トランジスターT (T d r , T s 1 , T e 1)の能動領域10A (ソース/ドレイン領域)が形成される。能動領域10Aにはイオンが注入される。表示画素P eの各トランジスターT (T d r , T s 1 , T e 1)のアクティブ層はソース領域とドレイン領域との間に存在し、能動領域10Aとは別種類のイオンが注入されるが、便宜的に能動領域10Aと一体に記載している。図53および図55から理解される通り、能動領域10Aが形成された基板10の表面は絶縁膜L 0 (ゲート絶縁膜)で被覆され、各トランジスターTのゲート層G (G d r , G s 1 , G e 1)が絶縁膜L 0の面上に形成される。各トランジスターTのゲート層Gは、絶縁膜L 0を挟んでアクティブ層に対向する。

40

#### 【0146】

図53から理解される通り、各トランジスターTのゲート層Gが形成された絶縁膜L 0の面上には、複数の絶縁層L (L A ~ L D 1)と複数の導電層(配線層)とを交互に積層

50

した多層配線層が形成される。各絶縁層Lは、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機材料で形成される。なお、以下の説明では、導電層（単層または複数層）の選択的な除去により複数の要素が同一工程で一括的に形成される関係を「同層から形成される」と表記する。

【0147】

絶縁層LAは、各トランジスタTのゲートGが形成された絶縁膜L0の面上に形成される。図53および図56から理解される通り、絶縁層LAの面上には、走査線22と、発光制御トランジスタTe1の制御線28と、複数の中継電極QB（QB20，QB21，QB22，QB23，QB24）とが同層から形成される。

【0148】

図53および図56から理解される通り、中継電極QB20は、絶縁膜L0と絶縁層LAとを貫通する導通孔HA20を介して選択トランジスタTs1のドレイン領域またはソース領域を形成する能動領域10Aに導通する。中継電極QB21は、絶縁膜L0と絶縁層LAとを貫通する導通孔HA21を介して選択トランジスタTs1のドレイン領域またはソース領域を形成する能動領域10Aに導通すると共に、絶縁層LAを貫通する導通孔HB21を介して駆動トランジスタTdrのゲート層Gdrに導通する。つまり、中継電極QB21は、選択トランジスタTs1のドレイン領域またはソース領域と、駆動トランジスタTdrのゲート層Gdrとの配線層である。

【0149】

中継電極QB22は、絶縁膜L0と絶縁層LAとを貫通する複数の導通孔HA22，HA23，HA24，HA25，HA26を介して駆動トランジスタTdrのドレイン領域またはソース領域を形成する能動領域10Aに導通する。中継電極QB22は、電源供給部を構成する中継電極である。中継電極QB23は、絶縁膜L0と絶縁層LAとを貫通する複数の導通孔HA27，HA28，HA29，HA30，HA31を介して駆動トランジスタTdrのドレイン領域またはソース領域を形成する能動領域10Aに導通すると共に、発光制御トランジスタTe1のドレイン領域またはソース領域を形成する能動領域10Aに導通する。つまり、中継電極QB23は、駆動トランジスタTdrのドレイン領域またはソース領域と、発光制御トランジスタTe1のドレイン領域またはソース領域との配線層である。中継電極QB24は、絶縁膜L0と絶縁層LAとを貫通する導通孔HA33を介して発光制御トランジスタTe1のドレイン領域またはソース領域を形成する能動領域10Aに導通する。中継電極QB24は、画素電極導通部を構成する中継電極である。

【0150】

図56から理解される通り、走査線22は、絶縁層LAを貫通する導通孔HB20を介して選択トランジスタTs1のゲート層Gs1に導通する。走査線22は、複数の表示画素PeにわたりX方向に直線状に延在し、絶縁層LBにより、後述する信号線26からは電氣的に絶縁される。

【0151】

図56から理解される通り、発光制御トランジスタTe1の制御線28は、絶縁層LAに形成された導通孔HB22を介して発光制御トランジスタTe1のゲート層Ge1に導通する。制御線28は、複数の表示画素PeにわたりX方向に直線状に延在し、絶縁層LBにより後述する信号線26からは電氣的に絶縁される。

【0152】

走査線22は、発光制御トランジスタTe1と平面視重なるとともに、絶縁層LBにより、発光制御トランジスタTe1のゲート層Ge1からは電氣的に絶縁される。制御線28は、選択トランジスタTs1と平面視重なるとともに、絶縁層LBにより、選択トランジスタTs1のゲート層Gs1からは電氣的に絶縁される。

【0153】

絶縁層LBは、走査線22と、選択トランジスタTs1の制御線27と、発光制御トランジスタTe1の制御線28と、複数の中継電極QB（QB20，QB21，QB2

10

20

30

40

50

2, QB23, QB24)とが形成された絶縁層LAの面上に形成される。図53および図57から理解される通り、絶縁層LBの面上には、容量電極層CA10と、中継電極QC20, QC21, QC22が形成される。中継電極QC20は信号線導通部を構成する電極であり、絶縁層LBを貫通する導通孔HC20を介して、選択トランジスタTs1のドレイン領域またはソース領域と導通する。中継電極QC21は電源供給部を構成する電極であり、絶縁層LBを貫通する複数の導通孔HC23, HC24, HC25, HC26, HC27を介して、中継電極QB22に導通する。中継電極QC22は画素電極導通部を構成する電極であり、絶縁層LBを貫通する導通孔HC28を介して、発光制御トランジスタTe1のドレイン領域またはソース領域と導通する。

#### 【0154】

容量電極層CA10は、図57から理解されるように、各トランジスタの一部および走査線22の一部並びに制御線28の一部を覆うように配置された矩形の容量電極である。容量電極層CA10は、図53および図57から理解されるように、絶縁層LBを貫通する導通孔HC21およびHC22を介して、中継電極QB21に導通する。したがって、容量電極層CA10は、導通孔HC21およびHC22と、中継電極QB21と、導通孔HB21を介して、駆動トランジスタTdrのゲート層Gdrと導通する。

#### 【0155】

絶縁層LCは、容量電極層CA10と、複数の中継電極QC(QC20, QC21, QC22)とが形成された絶縁層LBの面上に形成される。図53および図58から理解される通り、絶縁層LCの面上には、第1電源線層41-0が形成される。第1電源線層41-0が形成された絶縁層LCの面上には、絶縁層LD0が形成され、絶縁層LD0の面上には、第1電源線層41-1と、中継電極QD20と、中継電極QD21とが形成される。中継電極QD20は、信号線導通部を構成する電極であり、絶縁層LD0および絶縁層LCとを貫通する導通孔HD20を介して中継電極QC20に導通する。中継電極QD21は、画素電極導通部を構成する電極であり、絶縁層LD0および絶縁層LCとを貫通する導通孔HD26を介して、中継電極QC20に導通する。

#### 【0156】

第1電源線層41-1は、図58から理解される通り、画素電極導通部(発光制御トランジスタTe1と中継電極QD21の導通部)および信号線導通部(選択トランジスタTs1と中継電極QD20の導通部)を取り囲むように配置される。そして、第1電源線層41-1は、画素電極導通部(発光制御トランジスタTe1と中継電極QD21の導通部)および信号線導通部(選択トランジスタTs1と中継電極QD20の導通部)の間に配置されている。また、第1電源線層41-1は、X方向およびY方向において隣り合う表示画素Pe間において隙間なく連続して形成されたパターンである。第1電源線層41-1は、多層配線層内の配線(図示略)を介して、高位側の電源電位Ve1が供給される実装端子36に導通する。なお、第1電源線層41-1は、図1に示す第1領域12の表示領域16内に形成される。また、図示を省略するが、第1領域12の周辺領域18内にも別の電源線層が形成される。この電源線層は、多層配線層内の配線(図示略)を介して、低位側の電源電位Vctが供給される実装端子36に導通する。第1電源線層41-1および低位側の電源電位Vctが供給される電源線層は、例えば銀やアルミニウムを含む導電材料で例えば100nm程度の膜厚に形成される。

#### 【0157】

第1電源線層41-0は、第1電源線層41-1と接続され、図58から理解される通り、Y方向においては、画素電極導通部および信号線導通部と所定の間隔を有し、かつ、X方向においては、電源供給部と所定の間隔を有して配置された矩形の電極層である。第1電源線層41-0と第1電源線層41-1は、絶縁層LBおよび絶縁層LCにより容量電極層CA10と絶縁されている。第1電源線層41-0は、図53から理解される通り、第1電源線層41-1から吊り下げられた構造を有している。第1電源線層41-0は、第1電源線層41-1を介して駆動トランジスタTdrのソース領域またはドレイン領域に導通する。したがって、第1電源線層41-0は、図2および図3に示す容量素子

10

20

30

40

50

Cの第2容量電極C2に相当し、容量電極層CA10は図2および図3に示す容量素子Cの第1容量電極C1に相当する。したがって、容量素子Cの第2容量電極C2を構成する第1電源線層41-0を第1電源線層41-1から吊り下げた構造とすることにより、容量素子Cの誘電体膜を薄くでき、容量素子Cの容量を大きくすることができる。第1電源線層41-1を単独で用いる場合と比して、配置の自由度を増すことができる。以上のように、本実施形態では、第1電源線層41-0と絶縁層LCと容量電極層CA10とから容量素子Cが構成される。

【0158】

第1電源線層41-1は、図53、図57および図58から理解される通り、絶縁層LD0および絶縁層LCを貫通する複数の導通孔HD21, HD22, HD23, HD24, HD25を介して、中継電極QC21に導通する。したがって、第1電源線層41-1は、図53ないし図58から理解される通り、複数の導通孔HD21, HD22, HD23, HD24, HD25と、中継電極QC21と、複数の導通孔HC23, HC24, HC25, HC26, HC27と、中継電極QB22と、複数の導通孔HA22, HA23, HA24, HA25, HA26とを介して駆動トランジスタTdrのソース領域またはドレイン領域に導通する。

【0159】

絶縁層LD1は、第1電源線層41-1と、複数の中継電極QD(QD20, QD21)とが形成された絶縁層LD0の面上に形成される。図53および図59から理解される通り、絶縁層LD1の面上には、信号線26と、中継電極QE20とが形成される。信号線26は、複数の画素PにわたりY方向に直線状に延在し、絶縁層LD1により、第1電源線層41-1からは電氣的に絶縁される。信号線26は、図53ないし図59から理解される通り、導通孔HE20と、中継電極QD20と、導通孔HD20と、中継電極QC20と、導通孔HC20と、中継電極QB20と、導通孔HA20とを介して選択トランジスタTs1のソース領域またはドレイン領域を形成する能動領域10Aと導通する。また、信号線26は、走査線22と、制御線27と、制御線28との上層の位置を通過するように形成され、選択トランジスタTs1および駆動トランジスタTdrのチャネル長の方向(Y方向)に沿って延在する。また、平面視において、信号線26は、選択トランジスタTs1および駆動トランジスタTdrと重なるように配置されている。したがって、画素の高密度化を図ることができる。

【0160】

中継電極QE20は、画素電極導通部を構成する中継電極の一つであり、図53ないし図59から理解される通り、絶縁層LD1を貫通する導通孔HE21と、中継電極QD21と、導通孔HD26と、中継電極QC22と、導通孔HC28と、中継電極QB24と、導通孔HA33とを介して、発光制御トランジスタTelのドレイン領域またはソース領域を形成する能動領域10Aに導通する。

【0161】

絶縁層LEは、信号線26と、中継電極QE20とが形成された絶縁層LD1の面上に形成される。絶縁層LEの表面には平坦化处理が実行される。平坦化处理には、化学機械研磨(CMP: Chemical Mechanical Polishing)等の公知の表面処理技術が任意に採用される。平坦化处理で高度に平坦化された絶縁層LEの表面には、図53および図60に例示される通り、反射層55が形成される。反射層55は、図59および図60から理解される通り、絶縁層LEを貫通する導通孔HF20を介して、中継電極QE20に導通する。したがって、反射層55は、画素電極導通部(発光制御トランジスタTelと中継電極QE20の導通部)と導通している。反射層55は、第1電極E1と同様、表示画素Pe毎に個別に形成されている。本実施形態においては、反射層55は、例えば銀やアルミニウムを含有する光反射性の導電材料で例えば100nm程度の膜厚に形成される。反射層55は、光反射性の導電材料で形成され、図28に示すように各トランジスタT、各配線、及び各中継電極を覆うように配置される。したがって、外光の侵入が反射層55により防止され、光照射に起因した各トランジスタTの電流リークを防止できるという利点

10

20

30

40

50

がある。

【 0 1 6 2 】

図 5 3 に例示される通り、反射層 5 5 が形成された絶縁層 L E の面上には光路調整層 6 0 が形成される。光路調整層 6 0 は、各表示画素 P e の共振構造の共振波長（すなわち表示色）を規定する光透過性の膜体である。表示色が同じ画素では、共振構造の共振波長は略同じであり、表示色が異なる画素では、共振構造の共振波長は異なるように設定される。

【 0 1 6 3 】

図 5 3 および図 6 1 に例示される通り、光路調整層 6 0 の面上には、表示領域 1 6 内の表示画素 P e 毎の第 1 電極 E 1 が形成される。第 1 電極 E 1 は、例えば I T O ( Indium Tin Oxide ) 等の光透過性の導電材料で形成される。第 1 電極 E 1 は、図 2 および図 3 を参照して前述した通り、発光素子 4 5 の陽極として機能する略矩形形状の電極（画素電極）である。第 1 電極 E 1 は、図 5 3 および図 6 1 から理解される通り、表示画素 P e 毎に光路調整層 6 0 に形成された導通孔 H G 2 0 を介して反射層 5 5 に導通する。

10

【 0 1 6 4 】

第 1 電極 E 1 が形成された光路調整層 6 0 の面上には、図 5 3 および図 6 2 に例示される通り、基板 1 0 の全域にわたり画素定義層 6 5 が形成される。画素定義層 6 5 は、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機材料で形成される。図 6 2 から理解される通り、画素定義層 6 5 には、表示領域 1 6 内の各第 1 電極 E 1 に対応する開口部 6 5 A が形成される。画素定義層 6 5 のうち開口部 6 5 A の内周縁の近傍の領域は第 1 電極 E 1 の周縁に重なる。すなわち、開口部 6 5 A の内周縁は平面視で第 1 電極 E 1 の周縁の内側に位置する。各開口部 6 5 A は、平面形状（矩形形状）やサイズが共通し、かつ、X 方向および Y 方向の各々にわたり共通のピッチで行列状に配列する。以上の説明から理解される通り、画素定義層 6 5 は平面視で格子状に形成される。尚、開口部 6 5 A の平面形状やサイズは、表示色が同じであれば同じであり、表示色が異なる場合は異なるようにしてもよい。また、開口部 6 5 A のピッチは、表示色が同じ開口部同士では同じであり、表示色が異なる開口部間では異なるようにしてもよい。

20

【 0 1 6 5 】

その他にも、詳細な説明は省略するが、第 1 電極 E 1 の上層には、発光機能層 4 6、第 2 電極 E 2、および封止体 4 7 が積層され、以上の各要素が形成された基板 1 0 の表面には封止基板（図示略）が例えば接着剤で接合される。封止基板は、基板 1 0 上の各要素を保護するための光透過性の板状部材（例えばガラス基板）である。なお、封止基板の表面または封止体 4 7 の表面に表示画素 P e 毎にカラーフィルターを形成することも可能である。

30

【 0 1 6 6 】

以上に説明した通り、本実施形態では、第 4 実施形態と同様の積層構造を有している。つまり、容量電極層 C A 1 0 を、各トランジスタが形成された層、および走査線 2 2 や制御線 2 8 が形成された層よりも上の層に形成したので、比較的、容量電極層 C A 1 0 を、トランジスタや配線の配置に縛られることなく配置することができる。また、走査線 2 2 や制御線 2 8 が形成された層との積層も可能であるため、画素の高密度化も容易である。

40

【 0 1 6 7 】

本実施形態では、第 3 実施形態と同様に、反射層 5 5 が画素電極である第 1 電極 E 1 と接続されている。画素電極である第 1 電極 E 1 の電位は、駆動トランジスタ T d r や発光素子 4 5 の電位に応じて設定されるため、画素電極である第 1 電極 E 1 や反射層 5 5 の電位は、信号線 2 6 の電位の影響を受けにくいという利点がある。

【 0 1 6 8 】

信号線 2 6 と、選択トランジスタ T s 1 のドレイン領域またはソース領域とを接続する信号線導通部は、第 3 実施形態と同様に、第 1 電源線層 4 1 - 1 が形成された層と、走査線 2 2 が形成された層とを貫いて設けられている。この信号線導通部は、選択トランジ

50

スターＴs 1のドレイン配線またはソース配線である。このように構成することにより、信号線２６を下層に延ばして導通を図る場合と比して、低抵抗で選択トランジスターＴs 1と信号線２６とを接続することができる。なお、信号線導通部と信号線２６は、画素電極導通部を避けて配置されている。

【 0 1 6 9 】

本実施形態においても、信号線２６を、平面視において、選択トランジスターＴs 1および駆動トランジスターＴdrと重なるように配置している。その結果、画素の高密度化を図ることができる。

【 0 1 7 0 】

その他、上述した各実施形態との共通の構成については、前述した各実施形態における効果と同様な効果を奏することができる。また、本実施形態においても、第１実施形態で説明した変形例と同様な変形例が適用可能である。

10

【 0 1 7 1 】

< 第 7 実施形態 >

本発明の第 7 実施形態を説明する。なお、以下に例示する各形態において作用や機能が各実施形態と同様である要素については、各実施形態の説明で参照した符号を流用して各々の詳細な説明を適宜に省略する。

【 0 1 7 2 】

第 7 実施形態の有機エレクトロルミネッセンス装置 1 0 0 の具体的な構造は、第 6 実施形態の有機エレクトロルミネッセンス装置 1 0 0 の具体的な構造とほぼ同様な構造である。

20

【 0 1 7 3 】

図 6 3 は、有機エレクトロルミネッセンス装置 1 0 0 の断面図であり、図 6 4 から図 7 2 は、有機エレクトロルミネッセンス装置 1 0 0 の各要素を形成する各段階での基板 1 0 の表面の様子を表示画素 P e の 1 個分に着目して図示した平面図である。図 6 4 から図 7 2 の VII - VII ' 線を含む断面に対応した断面図が図 6 3 に相当する。なお、図 6 4 から図 7 2 は平面図であるが、各要素の視覚的な把握を容易化する観点から、図 6 3 と共通する各要素に図 6 3 と同態様のハッチングが便宜的に付加されている。

【 0 1 7 4 】

第 7 実施形態は、図 6 4 および図 6 5 から理解されるように、発光制御トランジスター T e 1 と選択トランジスター T s 1 のチャンネル長が横方向（走査線 2 2 の延在方向）であるため、図 6 6 に示すように、チャンネルと配線がずれて配置されている。

30

【 0 1 7 5 】

第 7 実施形態における積層構造は第 6 実施形態と同様であり、図 6 3、図 6 6 および図 6 7 に示すように、各トランジスターが形成された層、および走査線 2 2 と制御線 2 8 が形成された層よりも上層に容量電極層 C A 1 1 が形成されている。容量電極層 C A 1 1 は、絶縁層 L B を貫通する導通孔 H C 4 1 と、中継電極 Q B 4 2 と、絶縁層 L A を貫通する導通孔 H B 4 1 とを介して、駆動トランジスター T d r のゲート層 G d r に導通する。

【 0 1 7 6 】

図 6 3、図 6 7 および図 6 8 から理解されるように、容量電極層 C A 1 1 が形成された層よりも上層には、第 1 電源線層 4 1 - 0 および第 1 電源線層 4 1 - 1 が形成され、第 1 電源線層 4 1 - 1 は、絶縁層 L C を貫通する導通孔 H D 4 0、中継電極 4 1 と、絶縁層 L B を貫通する導通孔 H C 4 2 と、中継電極 Q B 4 3 と、絶縁層 L A および絶縁膜 L 0 を貫通する導通孔 H A 4 2 とを介して、駆動トランジスター T d r のドレイン領域またはソース領域に導通する。

40

【 0 1 7 7 】

図 6 3、図 6 7 および図 6 8 から理解されるように、第 1 電源線層 4 1 - 1 が形成された層よりも上層には、信号線 2 6 が形成される。信号線 2 6 は、絶縁層 L D 1 を貫通する導通孔 H E 4 0 と、中継電極 Q D 4 0 と、絶縁層 L D 0 および絶縁層 L C を貫通する導通孔 H D 4 0 と、中継電極 Q C 4 0 と、絶縁層 L B を貫通する導通孔 H C 4 0 と、中継電

50

極QB40と、絶縁層LAおよび絶縁膜L0を貫通する導通孔HA40とを介して、選択トランジスターTs1のドレイン領域またはソース領域に導通する。

【0178】

以上に説明した通り、本実施形態では、第6実施形態と同様の積層構造を有している。つまり、容量電極層CA11を、各トランジスターが形成された層、および走査線22や制御線28が形成された層よりも上の層に形成したので、比較的、容量電極層CA11を、トランジスターや配線の配置に縛られることなく配置することができる。また、走査線22や制御線28が形成された層との積層も可能であるため、画素の高密度化も容易である。

【0179】

本実施形態においても、反射層55が画素電極である第1電極E1と接続されている。画素電極である第1電極E1の電位は、駆動トランジスターTdrや発光素子45の電位に応じて設定されるため、画素電極である第1電極E1や反射層55の電位は、信号線26の電位の影響を受けにくいという利点がある。

【0180】

信号線26と、選択トランジスターTs1のドレイン領域またはソース領域とを接続する信号線導通部は、第6実施形態と同様に、第1電源線層41-1が形成された層と、走査線22が形成された層とを貫いて設けられている。この信号線導通部は、選択トランジスターTs1のドレイン配線またはソース配線である。このように構成することにより、信号線26を下層に延ばして導通を図る場合と比して、低抵抗で選択トランジスターTs1と信号線26とを接続することができる。なお、信号線導通部と信号線26は、画素電極導通部を避けて配置されている。

【0181】

本実施形態においても、信号線26を、平面視において、選択トランジスターTs1と重なるように配置している。その結果、画素の高密度化を図ることができる。

【0182】

その他、上述した各実施形態との共通の構成については、前述した各実施形態における効果と同様な効果を奏することができる。また、本実施形態においても、第1実施形態で説明した変形例と同様な変形例が適用可能である。

【0183】

<第8実施形態>

本発明の第7実施形態を説明する。なお、以下に例示する各形態において作用や機能が各実施形態と同様である要素については、各実施形態の説明で参照した符号を流用して各々の詳細な説明を適宜に省略する。

【0184】

第8実施形態の有機エレクトロルミネッセンス装置100は、第6実施形態および第7実施形態と同様に補償トランジスターTcmpが省略されているが、積層構造等の具体的な構造は、第1実施形態の有機エレクトロルミネッセンス装置100とほぼ同様な構造である。以下、簡略化のため、相違する箇所についてのみ説明する。

【0185】

図73は、有機エレクトロルミネッセンス装置100の断面図であり、図74から図83は、有機エレクトロルミネッセンス装置100の各要素を形成する各段階での基板10の表面の様子を表示画素Peの1個分に着目して図示した平面図である。図74から図83のVIII-VIII'線を含む断面に対応した断面図が図73に相当する。なお、図74から図83は平面図であるが、各要素の視覚的な把握を容易化する観点から、図73と共通する各要素に図73と同態様のハッチングが便宜的に付加されている。

【0186】

第7実施形態は、図74および図75から理解されるように、発光制御トランジスターTelと選択トランジスターTs1のチャンネル長方向が縦方向(信号線26の延在方向)であり、発光制御トランジスターTelと選択トランジスターTs1は、一直線状に並ん

10

20

30

40

50

で配置されている。また、本実施形態においては、各トランジスタのゲート層  $Gdr$  ,  $Gsl$  ,  $Gel$  と、制御線等との接続部が、チャンネル上の位置ではなく、横方向（走査線 22 の延在方向）にずれた位置に設けられている。

【0187】

本実施形態においては、図 76 および図 77 から理解されるように、各トランジスタが形成された層の上層に走査線 22 と制御線 28 が形成される層が配置され、走査線 22 と制御線 28 が形成される層の上層に信号線 26 が形成される。図 73、図 75 ないし図 77 から理解されるように、信号線 26 は、絶縁層  $LB$  を貫通する導通孔  $HC61$  と、中継電極  $QB61$  と、絶縁層  $LA$  および絶縁膜  $L0$  を貫通する導通孔  $HA61$  を介して、選択トランジスタ  $Tsl$  のドレイン領域またはソース領域に導通する。

10

【0188】

図 73、図 75 ないし図 78 から理解されるように、信号線 26 が形成された層の上層には、第 1 電源線層 41 が形成されている。第 1 電源線層 41 は、図 78 から理解されるように、画素電極導通部を構成する中継電極  $QD61$  と、駆動トランジスタ  $Tdr$  のゲート導通部を構成する中継電極  $QD60$  とを取り囲むように形成される。また、第 1 電源線層 41 は、 $X$  方向および  $Y$  方向において隣り合う表示画素  $Pe$  間において隙間なく連続して形成されたパターンである。第 1 電源線層 41 は、多層配線層内の配線（図示略）を介して、高位側の電源電位  $Vel$  が供給される実装端子 36 に導通する。なお、第 1 電源線層 41 - 1 は、図 1 に示す第 1 領域 12 の表示領域 16 内に形成される。また、図示を省略するが、第 1 領域 12 の周辺領域 18 内にも別の電源線層が形成される。この電源線層は、多層配線層内の配線（図示略）を介して、低位側の電源電位  $Vct$  が供給される実装端子 36 に導通する。第 1 電源線層 41 - 1 および低位側の電源電位  $Vct$  が供給される電源線層は、例えば銀やアルミニウムを含有する導電材料で例えば 100 nm 程度の膜厚に形成される。第 1 電源線層 41 は、図 73 ないし図 78 から理解されるように、絶縁層  $LC$  を貫通する導通孔  $HD61$  と、中継電極  $QC61$  と、絶縁層  $LB$  を貫通する導通孔  $HC63$  と、中継電極  $QB62$  と、絶縁層  $LA$  および絶縁膜  $L0$  を貫通する導通孔  $HA62$  を介して、駆動トランジスタ  $Tdr$  のドレイン領域またはソース領域に導通する。

20

【0189】

図 73、図 78 および図 79 から理解されるように、第 1 電源線層 41 が形成された層の上層には、容量電極層  $CA0$  と、容量電極層  $CA0$  に接続された容量電極層  $CA0$  とが形成される。容量電極層  $CA0$  は、図 73 ないし図 79 から理解されるように、絶縁層  $LD1$  および絶縁層  $LD0$  を貫通する導通孔  $HE60$  と、中継電極  $QD60$  と、絶縁層  $LC$  を貫通する導通孔  $HD60$  と、中継電極  $QC60$  と、絶縁層  $LB$  を貫通する導通孔  $HC60$  と、中継電極  $QB60$  と、絶縁層  $LA$  および絶縁膜  $L0$  を貫通する導通孔  $HA60$  とを介して、選択トランジスタ  $Tsl$  のドレイン領域またはソース領域に導通する。また、容量電極層  $CA0$  は、中継電極  $QC60$  と、絶縁層  $LB$  を貫通する導通孔  $HC64$  と、中継電極  $QB63$  と、絶縁層  $LA$  を貫通する導通孔  $HB61$  を介して、駆動トランジスタ  $Tdr$  のゲート層  $Gdr$  に導通する。容量電極層  $CA0$  は、図 73 から理解されるように、容量電極層  $CA1$  から吊り下げられた構造を有している。

30

【0190】

図 73、図 79 および図 80 から理解されるように、容量電極層  $CA0$  と容量電極層  $CA1$  が形成された層の上層には、上部電源線層 43 - 0 と上部電源線層 43 - 1 が形成される。上部電源線層 43 - 1 は、図 80 から理解される通り、画素電極導通部（発光制御トランジスタ  $Te1$  と中継電極  $QF60$  の導通部）を取り囲むように配置される。また、上部電源線層 43 - 1 は、 $X$  方向および  $Y$  方向において隣り合う表示画素  $Pe$  間において隙間なく連続して形成されたパターンである。本実施形態においては、上部電源線層 43 - 1 は、反射層としても機能しており、例えば銀やアルミニウムを含有する光反射性の導電材料で例えば 100 nm 程度の膜厚に形成される。上部電源線層 43 - 1 は、光反射性の導電材料で形成され、図 80 に示すように各トランジスタ  $T$ 、各配線、及び各中継電極を覆うように配置される。したがって、外光の侵入が上部電源線層 43 - 1 により防

40

50

止され、光照射に起因した各トランジスタTの電流リークを防止できるという利点がある。

【0191】

上部電源線層43-0は、上部電源線層43-1と接続され、図80から理解される通り、画素電極導通部（発光制御トランジスタTe1と中継電極QF60の導通部）を取り囲むように配置される。また、Y方向およびX方向においては、隣り合う表示画素Peの上部電源線層43-0と所定の間隔を有して配置された矩形の電極層である。上部電源線層43-0と上部電源線層43-1は、絶縁層LD0および絶縁層LD1により容量電極層CA0および容量電極層CA1と絶縁されている。上部電源線層43-0は、図4から理解される通り、上部電源線層43-1から吊り下げられた構造を有している。上部電源線層43-0は、上部電源線層43-1を介して第1電源線層41に導通すると共に、駆動トランジスタTdrのソース領域またはドレイン領域に導通する。

10

【0192】

本実施形態においても、第1電源線層41と絶縁層LD0と容量電極層CA0により第1の容量素子C-1が構成され、容量電極層CA0と絶縁層LD1および絶縁層LE0と上部電源線層43-0により第2の容量素子C-2が構成されている。

【0193】

以上に説明した通り、本実施形態では、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1と、容量電極層CA1に接続された容量電極層CA0は、駆動トランジスタTdrのゲート層Gdrよりも上層に設けられており、容量電極層CA1および容量電極層CA0と、選択トランジスタTs1のドレイン領域またはソース領域に接続された信号線26との間に、第1電源線層41が配置されるように構成されている。第1電源線層41は、画素電極である第1電極E1と発光制御トランジスタTe1のソース領域またはドレイン領域との導通部、すなわち、画素電極導通部と、駆動トランジスタTdrのゲート導通部とを除き、ほぼ全面に亘って形成されている。したがって、ノイズの発生源となる信号線26と、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1および容量電極層CA0との間のカップリングが抑制される。

20

【0194】

また、信号線26の下層には、選択トランジスタTs1のゲート層Gs1に接続された走査線22が配置されているが、これらの走査線22と、容量電極層CA1および容量電極層CA1との間に、第1電源線層41が配置されるように構成されている。第1電源線層41は、信号線26だけでなく、走査線22も覆うように、ほぼ全面に亘って形成されている。したがって、ノイズの発生源となる走査線22と、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1および容量電極層CA0との間のカップリングが抑制される。

30

【0195】

本実施形態では、容量電極層CA1および容量電極層CA0と、画素電極である第1電極E1との間には、上部電源線層43-1および上部電源線層43-0が配置されている。上部電源線層43-1および上部電源線層43-0は、上述した画素導通部を除き、ほぼ全面に亘って形成されている。したがって、駆動トランジスタTdrのゲート層Gdrに接続された容量電極層CA1および容量電極層CA0と、画素電極である第1電極E1との間のカップリングが抑制される。

40

【0196】

画素電極である第1電極E1と発光制御トランジスタTe1のソース領域またはドレイン領域との導通部は、複数の導通孔と複数の中継電極により構成されている。これらは、発光制御トランジスタTe1のソース配線またはドレイン配線として機能している。つまり、第1電極E1と発光制御トランジスタTe1のソース領域またはドレイン領域との導通部は、第1電源線層41と、容量電極層CA1および容量電極層CA0と、上部電源線層43-1および上部電源線層43-0とを貫いて設けられた発光制御トランジスタTe1のソース配線またはドレイン配線により構成されている。したがって、画素電

50

極を発光制御トランジスタ $T_{e1}$ のソース領域またはドレイン領域の層まで延ばして導通を図る場合と比して、低抵抗で発光制御トランジスタ $T_{e1}$ のソース領域またはドレイン領域と画素電極である第1電極 $E_1$ とを接続することができる。

【0197】

駆動トランジスタ $T_{dr}$ と第1電源線層41をつなぐ導通部は、複数の導通孔および複数の中継電極により構成されている。この導通部は、駆動トランジスタ $T_{dr}$ のソース配線またはドレイン配線として機能する。このように構成することにより、第1電源線層41を下層に延ばして導通を図る場合と比して、低抵抗で駆動トランジスタ $T_{dr}$ と第1電源線層41とを接続することができる。

【0198】

駆動トランジスタ $T_{dr}$ のゲート層 $G_{dr}$ と容量電極層 $CA_1$ をつなぐ導通部は、複数の中継電極と複数の導通孔から構成される。この導通部は、選択トランジスタ $T_{s1}$ のソース配線またはドレイン配線であり、ゲート層 $G_{dr}$ が形成された層を貫いて設けられている。したがって、容量電極層 $CA_1$ を下層に延ばして導通を図る場合と比較して、低抵抗で駆動トランジスタ $T_{dr}$ と容量電極層 $CA_1$ とをつなぐことができる。

【0199】

容量素子 $C$ については、上述したように、上部電源線層43-0を第2容量電極 $C_2$ とし、容量電極層43-0を第1容量電極 $C_1$ とする第1の容量素子 $C-1$ と、第1電源線層41を第2容量電極 $C_2$ とし、容量電極層43-0を第1容量電極 $C_1$ とする第2の容量素子 $C-2$ との2種類の容量素子が積層方向( $Z$ 方向)に積層された構成となっている。第1の容量素子 $C-1$ においては、第2容量電極 $C_2$ である上部電源線層43-0は、上部電源線層43-1に電氣的に接続され、かつ、上部電源線層43-1より下層に配置された構成となっている。上述した例では、一例として、上部電源線層43-1から吊り下げた構造によりこの配置を実現している。したがって、第2容量電極 $C_2$ として、中継電極と同層に形成される上部電源線層43-1自体を用いる場合と比して、第1の容量素子 $C-1$ の誘電体膜を薄くすることができ、第1の容量素子 $C-1$ の容量を大きくすることができる。あるいは、第1の容量素子 $C-1$ の配置の自由度を高めることができる。

【0200】

第2の容量素子 $C-2$ においては、第2容量電極 $C_2$ である容量電極層 $CA_0$ は、駆動トランジスタ $T_{dr}$ のゲート層 $G_{dr}$ に接続されたゲート配線である容量電極層 $CA_1$ に電氣的に接続され、かつ、容量電極層 $CA_1$ より下層に配置された構成となっている。上述した例では、一例として、容量電極層 $CA_1$ から吊り下げた構造によりこの配置を実現している。したがって、第2容量電極 $C_2$ として、中継電極と同層に形成される容量電極層 $CA_1$ 自体を用いる場合と比して、第2の容量素子 $C-2$ の誘電体膜を薄くすることができ、第2の容量素子 $C-2$ の容量を大きくすることができる。あるいは、第2の容量素子 $C-2$ の配置の自由度を高めることができる。

【0201】

また、第2の容量素子 $C-2$ においては、駆動トランジスタ $T_{dr}$ のゲート層 $G_{dr}$ に接続された第1容量電極 $C_1$ に相当する容量電極層 $CA_0$ は、第2容量電極 $C_2$ に相当する上部電源線層43-0と、走査線22が形成された層との間に配置している。すなわち、走査線22が形成された層側に容量素子 $C$ の第1容量電極 $C_1$ が配置されることになる。したがって、走査線22が形成された層や上部電源線層43-0とは別に容量電極が形成できるため、設計の自由度を高めることができる。

【0202】

第1の容量素子 $C-1$ においては、第1容量電極 $C_1$ に相当する容量電極層 $CA_0$ は、第1電源線層41と画素電極である第1電極 $E_1$ との間に配置している。すなわち、画素電極側に容量素子 $C$ のうちのゲート電位側に接続される第1容量電極 $C_1$ が配置される。この配置を採用することにより、画素電極である第1電極 $E_1$ に対する走査線22によるノイズを低減できる。また、画素電極である第1電極 $E_1$ や第1電源線層41とは別に容量電極が形成できるため、設計の自由度を高めることができる。さらに、画素電極である

10

20

30

40

50

第1電極E1（発光制御トランジスタT<sub>e1</sub>のドレイン領域またはソース領域）の電位は駆動トランジスタT<sub>d r</sub>や発光素子45の電位に応じて設定されるため、容量電極である第1容量電極C1の電位は、走査線22側に配置する場合と比して階調電位による変動を受けにくい。

【0203】

第1の容量素子C-1および第2の容量素子C-2は、平面視において、選択トランジスタT<sub>s1</sub>、発光制御トランジスタT<sub>e1</sub>、および駆動トランジスタT<sub>d r</sub>のそれぞれと重なる位置に設けられている。したがって、容量素子の容量を確保しつつ、画素の高密度化を実現することができる。このように、本実施形態によれば、駆動トランジスタT<sub>d r</sub>のゲート層G<sub>d r</sub>よりも上の層を有効に活用して、高密度な画素のための画素構造を提供することができる。

10

【0204】

その他、上述した各実施形態との共通の構成については、前述した各実施形態における効果と同様な効果を奏することができる。また、本実施形態においても、第1実施形態で説明した変形例と同様な変形例が適用可能である。

【0205】

<第9実施形態>

本発明の第9実施形態を説明する。なお、以下に例示する各形態において作用や機能が第1実施形態と同様である要素については、第1実施形態の説明で参照した符号を流用して各々の詳細な説明を適宜に省略する。

20

【0206】

本実施形態における各表示画素P<sub>e</sub>の回路の構成は、第1実施形態と同様であり、駆動トランジスタT<sub>d r</sub>、選択トランジスタT<sub>s1</sub>、発光制御トランジスタT<sub>e1</sub>、および補償トランジスタT<sub>c m p</sub>を含んで構成される。なお、本実施形態においても、表示画素P<sub>e</sub>の各トランジスタT（T<sub>d r</sub>、T<sub>e1</sub>、T<sub>s1</sub>、T<sub>c m p</sub>）をPチャンネル型としたが、Nチャンネル型のトランジスタを利用することも可能である。本実施形態の表示画素P<sub>e</sub>の回路は、いわゆるカップリング駆動方式と、いわゆる電流プログラミング方式とのいずれの方式によっても駆動することが可能である。

【0207】

第9実施形態の有機エレクトロルミネッセンス装置100の具体的な構造を以下に詳述する。なお、以下の説明で参照する各図面では、説明の便宜のために、各要素の寸法や縮尺を実際の有機エレクトロルミネッセンス装置100とは相違させている。図84は、有機エレクトロルミネッセンス装置100の断面図であり、図85から図92は、有機エレクトロルミネッセンス装置100の各要素を形成する各段階での基板10の表面の様子を表示画素P<sub>e</sub>の1個分に着目して図示した平面図である。図93から図95は、基板10の表面の様子を表示画素P<sub>e</sub>の4個分に着目して図示した平面図である。図85から図92のX-X'線を含む断面に対応した断面図が図84に相当する。なお、図85から図92は平面図であるが、各要素の視覚的な把握を容易化する観点から、図84と共通する各要素に図84と同様様のハッチングが便宜的に付加されている。

30

【0208】

図84および図85から理解される通り、珪素等の半導体材料で形成された基板10の表面には、表示画素P<sub>e</sub>の各トランジスタT（T<sub>d r</sub>、T<sub>s1</sub>、T<sub>e1</sub>、T<sub>c m p</sub>）の能動領域10A（ソース/ドレイン領域）が形成される。能動領域10Aにはイオンが注入される。表示画素P<sub>e</sub>の各トランジスタT（T<sub>d r</sub>、T<sub>s1</sub>、T<sub>e1</sub>、T<sub>c m p</sub>）のアクティブ層はソース領域とドレイン領域との間に存在し、能動領域10Aとは別種類のイオンが注入されるが、便宜的に能動領域10Aと一体に記載している。また、本実施形態においても、容量素子Cを構成する領域においても能動領域10Aが形成され、能動領域10Aには不純物が注入されて電源に接続される。そして、能動領域10Aを一方の電極とし、絶縁層を介して形成された容量電極を他方の電極とするいわゆるMOS容量を構成する。また、容量素子Cを構成する領域における能動領域10Aは電源電位部としても

40

50

機能する。図 2 1 から理解される通り、補償トランジスタ  $T_{cmp}$  の能動領域 1 0 A は導通孔 H A 1 が設けられた部分において、選択トランジスタ  $T_{s1}$  の能動領域 1 0 A とはつながっている。したがって、補償トランジスタ  $T_{cmp}$  の電流端は、選択トランジスタ  $T_{s1}$  の電流端としても機能する。図 8 4 および図 8 6 から理解される通り、能動領域 1 0 A が形成された基板 1 0 の表面は絶縁膜 L 0 (ゲート絶縁膜) で被覆され、各トランジスタ  $T$  のゲート層 G ( $G_{dr}$ ,  $G_{s1}$ ,  $G_{e1}$ ,  $G_{cmp}$ ) が絶縁膜 L 0 の面上に形成される。各トランジスタ  $T$  のゲート層 G は、絶縁膜 L 0 を挟んでアクティブ層に対向する。また、図 8 6 に例示される通り、駆動トランジスタ  $T_{dr}$  のゲート層  $G_{dr}$  は、容量素子 C を構成する領域に形成された能動領域 1 0 A まで延びて形成され、下部容量電極層 C A 1 を構成している。

10

## 【 0 2 0 9 】

図 8 4 から理解される通り、各トランジスタ  $T$  のゲート層 G および下部容量電極層 C A 1 が形成された絶縁膜 L 0 の面上には、複数の絶縁層 L ( $L_A \sim L_D$ ) と複数の導電層 (配線層) とを交互に積層した多層配線層が形成される。各絶縁層 L は、例えば珪素化合物 (典型的には窒化珪素や酸化珪素) 等の絶縁性の無機材料で形成される。なお、以下の説明では、導電層 (単層または複数層) の選択的な除去により複数の要素が同一工程で一括的に形成される関係を「同層から形成される」と表記する。

## 【 0 2 1 0 】

絶縁層 L A は、各トランジスタ  $T$  のゲート G が形成された絶縁膜 L 0 の面上に形成される。図 8 4 および図 8 7 から理解される通り、絶縁層 L A の面上には、上部容量電極層 C A 2, C A 3, C A 4 と、複数の中継電極 Q B ( $Q B 2, Q B 3, Q B 4, Q B 5, Q B 6$ ) と、発光制御トランジスタ  $T_{e1}$  の制御線 2 8 とが同層から形成される。図 8 4 および図 8 5 から理解される通り、上部容量電極層 C A 2 は、絶縁層 L A と絶縁膜 L 0 とを貫通する導通孔 H A 5 を介して駆動トランジスタ  $T_{dr}$  のソース領域またはドレイン領域を形成する能動領域 1 0 A に導通する。上部容量電極層 C A 2 には、平面視において、駆動トランジスタ  $T_{dr}$  のゲート層  $G_{dr}$  の一部と下部容量電極層 C A 1 が形成された領域を取り囲むように開口部 5 0 が形成される。

20

## 【 0 2 1 1 】

開口部 5 0 には、上部容量電極層 C A 3 と上部容量電極層 C A 4 が上部容量電極層 C A 2 と同層に形成される。上部容量電極層 C A 3 には開口部 5 2 が形成され、上部容量電極層 C A 4 は開口部 5 2 内に形成される。つまり、上部容量電極層 C A 2 と上部容量電極層 C A 3 は互いに離間して形成され電氣的に絶縁されており、上部容量電極層 C A 3 と上部容量電極層 C A 4 は互いに離間して形成され電氣的に絶縁されている。上部容量電極層 C A 3 は、駆動トランジスタ  $T_{dr}$  のゲート層  $G_{dr}$  と選択トランジスタ  $T_{s1}$  のドレイン領域またはソース領域とを接続する配線層としても機能している。すなわち、図 8 4、図 8 6 および図 8 7 から理解される通り、絶縁層 L A と絶縁膜 L 0 とを貫通する導通孔 H A 2 を介して選択トランジスタ  $T_{s1}$  の能動領域 1 0 A に導通するとともに、絶縁層 L A の導通孔 H B 2 を介して駆動トランジスタ  $T_{dr}$  のゲート  $G_{dr}$  に導通する。

30

## 【 0 2 1 2 】

駆動トランジスタ  $T_{dr}$  と補償トランジスタ  $T_{cmp}$  および発光制御トランジスタ  $T_{e1}$  との導通部、補償トランジスタ  $T_{cmp}$  と選択トランジスタ  $T_{s1}$  との導通部、補償トランジスタ  $T_{cmp}$  のゲート層  $G_{cmp}$  の導通部、選択トランジスタ  $T_{s1}$  のゲート層  $G_{s1}$  の導通部、および発光制御トランジスタ  $T_{e1}$  と画素電極としての第 1 電極 E 1 との導通部のそれぞれには、中継電極 Q B 4、中継電極 Q B 3、中継電極 Q B 5、中継電極 Q B 2、中継電極 Q B 6 が上部容量電極層 C A 2 と同層に形成される。また、発光制御トランジスタ  $T_{e1}$  のゲート層  $G_{e1}$  の導通部には制御線 2 8 が上部容量電極層 C A 2 と同層に形成される。図 8 4、図 8 6 および図 8 7 から理解される通り、中継電極 Q B 4 は、絶縁膜 L 0 と絶縁層 L A とを貫通する導通孔 H A 6 を介して駆動トランジスタ  $T_{dr}$  のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。また、中継電極 Q B 4 は、絶縁膜 L 0 と絶縁層 L A とを貫通する導通孔 H A 7 を介して補

40

50

償トランジスタ $T_{cmp}$ のドレイン領域またはソース領域を形成する能動領域10Aに導通する。さらに、中継電極QB4は、絶縁膜L0と絶縁層LAとを貫通する導通孔HA8を介して発光制御トランジスタ $T_{el}$ のドレイン領域またはソース領域を形成する能動領域10Aに導通する。中継電極QB2は、絶縁層LAを貫通する導通孔HB1を介して選択トランジスタ $T_{s1}$ のゲート層Gs1に導通する。中継電極QB3は、絶縁層LAと絶縁膜L0とを貫通する導通孔HA1を介して選択トランジスタ $T_{s1}$ のソース領域またはドレイン領域を形成すると共に、補償トランジスタ $T_{cmp}$ のソース領域またはドレイン領域を形成する能動領域10Aに導通する。中継電極QB5は、絶縁層LAを貫通する導通孔HB3を介して補償トランジスタ $T_{cmp}$ のゲート層Gcmpに導通する。中継電極QB6は、絶縁膜L0と絶縁層LAとを貫通する導通孔HA9を介して発光制御トランジスタ $T_{el}$ のドレイン領域またはソース領域を形成する能動領域10Aに導通する。

10

## 【0213】

発光制御トランジスタ $T_{el}$ の制御線28は、絶縁層LAに形成された導通孔HB4を介して発光制御トランジスタ $T_{el}$ のゲート層Gelに導通する。制御線28は、図93から理解される通り、複数の表示画素PeにわたりX方向に直線状に延在し、絶縁層LAにより補償トランジスタ $T_{cmp}$ のゲート層Gcmpからは電氣的に絶縁される。図87から理解される通り、選択トランジスタ $T_{s1}$ と駆動トランジスタ $T_{dr}$ と発光制御トランジスタ $T_{el}$ の各々は、チャンネル長がY方向に沿うように形成される。また、容量素子Cを構成する領域は、駆動トランジスタ $T_{dr}$ に対してX方向(図87ではX方向の正側)にずれた位置に配置される。また、選択トランジスタ $T_{s1}$ のゲート層Gs1と中継電極QB2との導通箇所は、選択トランジスタ $T_{s1}$ に対してX方向(図87ではX方向の負側)にずれた位置に配置される。補償トランジスタ $T_{cmp}$ のゲート層Gcmpと中継電極QB5との導通箇所は、補償トランジスタ $T_{cmp}$ に対してY方向(図87ではY方向の正側)にずれた位置に配置される。

20

## 【0214】

絶縁層LBは、上部容量電極層CA2、上部容量電極層CA3、上部容量電極層CA4と、複数の中継電極QB(QB2, QB3, QB4, QB5, QB6)と、制御線28とが形成された絶縁層LAの面上に形成される。図84および図88から理解される通り、絶縁層LBの面上には、第1電源導電体としての電源線層41と、走査線22と、補償トランジスタ $T_{cmp}$ の制御線27と、複数の中継電極QC(QC1, QC3)とが同層から形成される。電源線層41は、多層配線層内の配線(図示略)を介して、高位側の電源電位Ve1が供給される実装端子36に導通する。なお、電源線層41は、図1に示す第1領域12の表示領域16内に形成される。また、図示を省略するが、第1領域12の周辺領域18内にも別の電源線層が形成される。この電源線層は、多層配線層内の配線(図示略)を介して、低位側の電源電位Vctが供給される実装端子36に導通する。電源線層41および低位側の電源電位Vctが供給される電源線層は、例えば銀やアルミニウムを含有する導電材料で例えば100nm程度の膜厚に形成される。

30

## 【0215】

電源線層41は、前述の通り高位側の電源電位Ve1が供給される電源配線であり、図88および図94から理解される通り、上部容量電極層CA2の開口部50およびその周囲の上部容量電極層CA2を各画素において覆う。電源線層41は、さらに、Y方向において隣り合う表示画素Peの発光制御トランジスタ $T_{el}$ の制御線28を覆う位置まで延びて形成されており、この隣り合う表示画素Peとの連続部には開口部53が形成されて、画素電極導通部(発光制御トランジスタ $T_{el}$ と中継電極QC3の導通部)を取り囲むように配置される。また、電源線層41は、X方向において隣り合う表示画素Pe間において隙間なく連続して形成されたパターンである。

40

## 【0216】

図84および図88から理解される通り、表示領域16内に形成された電源線層41は、表示画素Pe毎に絶縁層LBに形成された導通孔HC3を介して上部容量電極層CA2

50

に導通する。また、電源線層 4 1 は、表示画素 P e 毎に絶縁層 L B に形成された導通孔 H C 5、H C 6 を介して上部容量電極層 C A 2 に導通する。したがって、図 8 4、図 8 6 ないし図 8 8 から理解される通り、電源線層 4 1 は、上部容量電極層 C A 2 と、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H A 3、H A 4 とを介して、容量素子 C を構成する領域に形成された能動領域 1 0 A に導通する。さらに、図 8 4 および図 8 8 から理解される通り、電源線層 4 1 は、表示画素 P e 毎に絶縁層 L B に形成された導通孔 H C 7 を介して上部容量電極層 C A 2 に導通する。したがって、図 8 4、図 8 6 ないし図 8 8 から理解される通り、電源線層 4 1 は、上部容量電極層 C A 2 と、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H C 7 を介して、駆動トランジスタ T d r のソース領域またはドレイン領域を形成する能動領域 1 0 A に導通する。すなわち、上部容量電極層 C A 2 は、駆動トランジスタ T d r のソース領域またはドレイン領域と、電源線層 4 1 とを接続する配線層としても機能している。図 8 4 および図 8 8 から理解される通り、電源線層 4 1 は、表示画素 P e 毎に絶縁層 L B に形成された導通孔 H C 4、H C 8 を介して上部容量電極層 C A 4 に導通する。

#### 【 0 2 1 7 】

図 8 8 から理解される通り、走査線 2 2 は、表示画素 P e 毎に絶縁層 L B に形成された導通孔 H C 2 を介して中継電極 Q B 2 に導通する。したがって、図 8 6 ないし図 8 8 から理解される通り、走査線 2 2 は、中継電極 Q B 2 と、絶縁層 L A を貫通する導通孔 H B 1 を介して選択トランジスタ T s 1 のゲート層 G s 1 に導通する。走査線 2 2 は、図 9 4 から理解される通り、複数の表示画素 P e にわたり X 方向に直線状に延在し、絶縁層 L B により上部容量電極層 C A 2 および中継電極 Q B 4 からは電氣的に絶縁される。

#### 【 0 2 1 8 】

図 8 8 から理解される通り、制御線 2 7 は、表示画素 P e 毎に絶縁層 L B に形成された導通孔 H C 1 0 を介して中継電極 Q B 5 に導通する。したがって、図 8 6 ないし図 8 8 から理解される通り、制御線 2 7 は、中継電極 Q B 5 と、絶縁層 L A を貫通する導通孔 H B 3 を介して補償トランジスタ T c m p のゲート層 G c m p に導通する。制御線 2 7 は、図 9 4 から理解される通り、複数の表示画素 P e にわたり X 方向に直線状に延在し、絶縁層 L B により上部容量電極層 C A 2 および中継電極 Q B 4 からは電氣的に絶縁される。

#### 【 0 2 1 9 】

図 8 7 から理解される通り、中継電極 Q C 3 は、表示画素 P e 毎に絶縁層 L B に形成された導通孔 H C 1 1 を介して中継電極 Q B 6 に導通する。したがって、図 8 5 ないし図 8 7 から理解される通り、中継電極 Q C 3 は、中継電極 Q B 6 と、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H A 9 を介して発光制御トランジスタ T e 1 の能動領域 1 0 A に導通する。

#### 【 0 2 2 0 】

図 8 8 から理解される通り、中継電極 Q C 1 は、表示画素 P e 毎に絶縁層 L B に形成された導通孔 H C 1 を介して中継電極 Q B 3 に導通する。したがって、図 8 6 ないし図 8 8 から理解される通り、中継電極 Q C 1 は、中継電極 Q B 3 と、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H A 1 を介して選択トランジスタ T s 1 および補償トランジスタ T c m p のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。

#### 【 0 2 2 1 】

絶縁層 L C は、電源線層 4 1、走査線 2 2、制御線 2 7、中継電極 Q C 1、Q C 3 が形成された絶縁層 L B の面上に形成される。図 8 4 および図 8 9 から理解される通り、絶縁層 L C の面上には、信号線 2 6 と、中継電極 Q D 2 とが同層から形成される。信号線 2 6 は、複数の画素 P にわたり Y 方向に直線状に延在し、絶縁層 L C により走査線 2 2、制御線 2 7 および電源線層 4 1 からは電氣的に絶縁される。具体的には、信号線 2 6 は、図 8 8 および図 8 9 から理解される通り、表示画素 P e 毎に絶縁層 L C に形成された導通孔 H D 1 を介して中継電極 Q C 1 に導通する。したがって、図 8 6 ないし図 8 9 から理解される通り、信号線 2 6 は、中継電極 Q C 1 と、絶縁膜 L B を貫通する導通孔 H C 1 と、中継電極 Q B 3 と、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H A 1 を介して選択トラン

10

20

30

40

50

ジスター T s 1 および補償トランジスター T c m p が連結された能動領域 1 0 A と導通する。また、信号線 2 6 は、中継電極 Q C 1 と、走査線 2 2 と、制御線 2 7 と、電源線層 4 1 との上層の位置を通過するように形成され、選択トランジスター T s 1 のチャンネル長の方向 ( Y 方向 ) に沿って延在するとともに平面視で走査線 2 2 と制御線 2 7 と電源線層 4 1 とを介して選択トランジスター T s 1 に重なる。

【 0 2 2 2 】

図 8 9 から理解される通り、中継電極 Q D 2 は、表示画素 P e 毎に絶縁層 L C に形成された導通孔 H D 3 を介して中継電極 Q C 3 に導通する。したがって、図 8 6 ないし図 8 9 から理解される通り、中継電極 Q D 2 は、絶縁層 L C に形成された導通孔 H D 3 と、中継電極 Q C 3 と、絶縁層 L B に形成された導通孔 H C 1 1 と、中継電極 Q B 6 と、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H A 9 を介して発光制御トランジスター T e 1 のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。

10

【 0 2 2 3 】

図 8 4 に例示される通り、絶縁層 L D は、信号線 2 6 と中継電極 Q D 2 とが形成された絶縁層 L C の面上に形成される。以上の説明では表示画素 P e に着目したが、基板 1 0 の表面から絶縁層 L D までの各要素の構造は、周辺領域 1 8 内のダミー画素 P d についても共通する。

【 0 2 2 4 】

絶縁層 L D の表面には平坦化処理が実行される。平坦化処理には、化学機械研磨 ( CMP : Chemical Mechanical Polishing ) 等の公知の表面処理技術が任意に採用される。平坦化処理で高度に平坦化された絶縁層 L D の表面に、図 8 4 および図 9 0 に例示される通り、反射層 5 5 が形成される。反射層 5 5 は、例えば銀やアルミニウムを含有する光反射性の導電材料で例えば 1 0 0 n m 程度の膜厚に形成される。反射層 5 5 は、光反射性の導電材料で形成され、図 9 0 に示すように各トランジスター T 、各配線、及び各中継電極を覆うように配置される。したがって、外光の侵入が反射層 5 5 により防止され、光照射に起因した各トランジスター T の電流リークを防止できるという利点がある。

20

【 0 2 2 5 】

図 8 4 および図 9 0 から理解される通り、反射層 5 5 は、表示画素 P e 毎に絶縁層 L D に形成された導通孔 H E 2 を介して中継電極 Q D 2 に導通する。したがって、図 8 6 ないし図 9 0 から理解される通り、反射層 5 5 は、絶縁層 L D を貫通する導通孔 H E 2 と、中継電極 Q D 2 と、絶縁層 L C を貫通する導通孔 H D 3 と、中継電極 Q C 3 と、絶縁層 L B を貫通する導通孔 H C 1 1 と、中継電極 Q B 6 と、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H A 9 を介して発光制御トランジスター T e 1 のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。

30

【 0 2 2 6 】

図 8 4 に例示される通り、反射層 5 5 が形成された絶縁層 L D の面上には光路調整層 6 0 が形成される。光路調整層 6 0 は、各表示画素 P e の共振構造の共振波長 ( すなわち表示色 ) を規定する光透過性の膜体である。表示色が同じ画素では、共振構造の共振波長は略同じであり、表示色が異なる画素では、共振構造の共振波長は異なるように設定される。

40

【 0 2 2 7 】

図 8 4 および図 9 1 に例示される通り、光路調整層 6 0 の面上には、表示領域 1 6 内の表示画素 P e 毎の第 1 電極 E 1 が形成される。第 1 電極 E 1 は、例えば I T O ( Indium Tin Oxide ) 等の光透過性の導電材料で形成される。第 1 電極 E 1 は、図 2 を参照して前述した通り、発光素子 4 5 の陽極として機能する略矩形状の電極 ( 画素電極 ) である。第 1 電極 E 1 は、表示画素 P e 毎に光路調整層 6 0 に形成された導通孔 H F 2 を介して反射層 5 5 に導通する。したがって、図 8 6 ないし図 9 1 から理解される通り、第 1 電極 E 1 は、光路調整層 6 0 を貫通する導通孔 H F 2 と、反射層 5 5 と、絶縁層 L D を貫通する導通孔 H E 2 と、中継電極 Q D 2 と、絶縁層 L C を貫通する導通孔 H D 3 と、中継電極 Q C 3 と、絶縁層 L B を貫通する導通孔 H C 1 1 と、中継電極 Q B 6 と、絶縁膜 L 0 および絶縁

50

層 L A を貫通する導通孔 H A 9 を介して発光制御トランジスター T e 1 のドレイン領域またはソース領域を形成する能動領域 1 0 A に導通する。

【 0 2 2 8 】

第 1 電極 E 1 が形成された光路調整層 6 0 の面上には、図 8 4 および図 9 2 に例示される通り、基板 1 0 の全域にわたり画素定義層 6 5 が形成される。画素定義層 6 5 は、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機材料で形成される。図 9 2 から理解される通り、画素定義層 6 5 には、表示領域 1 6 内の各第 1 電極 E 1 に対応する開口部 6 5 A が形成される。画素定義層 6 5 のうち開口部 6 5 A の内周縁の近傍の領域は第 1 電極 E 1 の周縁に重なる。すなわち、開口部 6 5 A の内周縁は平面視で第 1 電極 E 1 の周縁の内側に位置する。各開口部 6 5 A は、平面形状（矩形状）やサイズが共通し、かつ、X 方向および Y 方向の各々にわたり共通のピッチで行列状に配列する。以上の説明から理解される通り、画素定義層 6 5 は平面視で格子状に形成される。尚、開口部 6 5 A の平面形状やサイズは、表示色が同じであれば同じであり、表示色が異なる場合は異なるようにしてもよい。また、開口部 6 5 A のピッチは、表示色が同じ開口部同士では同じであり、表示色が異なる開口部間では異なるようにしてもよい。

10

【 0 2 2 9 】

その他にも、詳細な説明は省略するが、第 1 電極 E 1 の上層には、発光機能層 4 6、第 2 電極 E 2、および封止体 4 7 が積層され、以上の各要素が形成された基板 1 0 の表面には封止基板（図省略）が例えば接着剤で接合される。封止基板は、基板 1 0 上の各要素を保護するための光透過性の板状部材（例えばガラス基板）である。なお、封止基板の表面または封止体 4 7 の表面に表示画素 P e 毎にカラーフィルターを形成することも可能である。

20

【 0 2 3 0 】

以上に説明した通り、第 9 実施形態では、第 1 トランジスターとしての駆動トランジスター T d r と発光素子 4 5 との間の接続状態を制御する第 3 トランジスターとしての発光制御トランジスター T e 1 と、第 2 制御線としての発光制御トランジスター T e 1 の制御線 2 8 を備える。制御線 2 8 を電源線層 4 1 とゲート層 G e 1 の間に形成した。したがって、電源線層 4 1 のシールド効果により、電源線層 4 1 よりも上層に配置される信号線 2 6 等による制御線 2 8 およびゲート層 G e 1 に対する影響を抑えることができる。また、電源線層 4 1 のシールド効果により、制御線 2 8 およびゲート層 G e 1 による信号線 2 6 に対する影響を抑えることができる。また、図 9 3 および図 9 4 から理解される通り、電源線層 4 1 は、制御線 2 8 とゲート層 G e 1 を X 方向について隙間のない連続的なパターンで覆うので、発光制御トランジスター T e 1 への光を遮る遮光部としても機能する。また、図 8 9 から理解される通り、信号線 2 6 は、平面視において選択トランジスター T s 1 と重なるように配置されるので、画素を微細化できるという利点がある。

30

【 0 2 3 1 】

さらに、第 9 実施形態では、図 9 4 から理解される通り、電源線層 4 1 は、Y 方向において隣り合う表示画素 P e の発光制御トランジスター T e 1 および発光制御トランジスター T e 1 の制御線 2 8 を覆う位置まで延びて形成され、開口部 5 3 により画素導通部を囲むように配置される。したがって、画素導通部に対する高いシールド効果が発揮されると共に、駆動トランジスター T d r および発光制御トランジスター T e 1 に対する良好な遮光効果が発揮される。

40

【 0 2 3 2 】

また、第 9 実施形態では、駆動トランジスター T d r の第 2 電流端であるソース領域またはドレイン領域を形成する能動領域 1 0 A とゲートとの間の接続状態を制御する第 4 トランジスターとしての補償トランジスター T c m p と、第 3 制御線としての補償トランジスター T c m p の制御線 2 7 を備え、制御線 2 7 を電源線層 4 1 と同層に形成した。したがって、工程の簡素化を図ることができる。

【 0 2 3 3 】

図 8 4 ないし図 9 1 から理解される通り、画素電極である第 1 電極 E 1 と発光制御トラ

50

ンジスター T e 1 のソース領域またはドレイン領域との導通部、すなわち、画素導通部は、絶縁膜 L 0 および絶縁層 L A を貫通する導通孔 H A 9、中継電極 Q B 6、絶縁層 L B を貫通する導通孔 H C 1 1、中継電極 Q C 3、絶縁層 L C を貫通する導通孔 H D 3、中継電極 Q D 2、絶縁層 L D を貫通する H E 2、および光路調整層 6 0 を貫通する導通孔 H F 2 により構成されている。これらは、発光制御トランジスター T e 1 のソース配線またはドレイン配線として機能している。つまり、第 1 電極 E 1 と発光制御トランジスター T e 1 のソース領域またはドレイン領域との導通部は、上部容量電極層 C A 2 等が形成された層と、電源線層 4 1 等が形成された層とを貫いて設けられた発光制御トランジスター T e 1 のソース配線またはドレイン配線により構成されている。したがって、画素電極を発光制御トランジスター T e 1 のソース領域またはドレイン領域の層まで延ばして導通を図る場合と比して、低抵抗で発光制御トランジスター T e 1 のソース領域またはドレイン領域と画素電極である第 1 電極 E 1 とを接続することができる。

10

## 【 0 2 3 4 】

図 8 7 および図 9 1 から理解される通り、補償トランジスター T c m p のゲートと制御線 2 7 との導通部は、補償トランジスター T c m p のゲートに対して Y 方向にずれて配置されている。したがって、余分な層を積層することなく、制御線 2 7 が形成された層のすぐ上の層に信号線 2 6 を配置することができる。なお、補償トランジスター T c m p のゲートと制御線 2 7 との導通部は、平面視において補償トランジスター T c m p と重なるように配置して、選択トランジスター T s 1 および補償トランジスター T c m p と信号線 2 6 の導通部を平面視において補償トランジスター T c m p のチャンネル長の方向とずらすようにしてもよい。

20

## 【 0 2 3 5 】

図 8 9 から理解される通り、信号線 2 6 は、平面視において補償トランジスター T c m p と重なるように配置されるので、画素を微細化できるという利点がある。また、信号線 2 6 と補償トランジスター T c m p との導通部を、信号線 2 6 の真下に配置することができるので、絶縁層を貫通する導通孔や中継電極により、低抵抗で信号線 2 6 と補償トランジスター T c m p の導通を図ることができる。その結果、信号線 2 6 による補償トランジスター T c m p への書き込み能力が向上する。

上部容量電極層 C A 2 は、走査線 2 2 又は制御線 2 7 と駆動トランジスター T d r のゲート電位部との間に配置されるように構成されている。さらに、電源線層 4 1 は、走査線 2 2 又は制御線 2 7 と駆動トランジスター T d r のゲート電位部との間に配置されるように構成されている。したがって、走査線 2 2 又は制御線 2 7 と駆動トランジスター T d r のゲート電位部との間のカップリングが抑制される。

30

上部容量電極層 C A 2 は、信号線 2 6 と選択トランジスター T s 1 をつなぐ導通部と、駆動トランジスター T d r のゲート電位部との間に配置されるように構成されている。さらに、電源線層 4 1 は、信号線 2 6 と選択トランジスター T s 1 をつなぐ導通部と、駆動トランジスター T d r のゲート電位部との間に配置されるように構成されている。したがって、信号線 2 6 と選択トランジスター T s 1 をつなぐ導通部と駆動トランジスター T d r のゲート電位部との間のカップリングが抑制される。

40

## 【 0 2 3 6 】

その他、第 1 実施形態との共通の構成については、前述した第 1 実施形態における効果と同様な効果を奏することができる。また、第 9 実施形態においても、容量素子を構成する電極を電源線層 4 1 とは異なる層で形成された電極とする等、第 1 実施形態で説明した変形例と同様な変形例が適用可能である。

## 【 0 2 3 7 】

## &lt; 第 1 0 実施形態 &gt;

本発明の第 1 0 実施形態を説明する。なお、以下に例示する各形態において作用や機能が第 1 実施形態および第 9 実施形態と同様である要素については、第 1 実施形態および第 2 実施形態の説明で参照した符号を流用して各々の詳細な説明を適宜に省略する。

## 【 0 2 3 8 】

50

第10実施形態の各表示画素Peの回路は第2実施形態の回路と同様であり、駆動トランジスタTdrと、選択トランジスタTslと、補償トランジスタTcmpと、発光制御トランジスタTelとを備えている。第10実施形態の有機エレクトロルミネッセンス装置100の具体的な構造は、第9実施形態の有機エレクトロルミネッセンス装置100の具体的な構造とほぼ同様な構造である。以下、簡略化のため、相違する箇所についてのみ説明する。

#### 【0239】

図96は、有機エレクトロルミネッセンス装置100の断面図であり、図97から図104は、有機エレクトロルミネッセンス装置100の各要素を形成する各段階での基板10の表面の様子を表示画素Peの1個分に着目して図示した平面図である。図105から図107は、基板10の表面の様子を表示画素Peの4個分に着目して図示した平面図である。図97から図104のXI-XI'線を含む断面に対応した断面図が図96に相当する。なお、図97から図107は平面図であるが、各要素の視覚的な把握を容易化する観点から、図96と共通する各要素に図96と同態様のハッチングが便宜的に付加されている。

#### 【0240】

第10実施形態は、図99および図105から理解される通り、上部容量電極層CA2は、開口部50によって駆動トランジスタTdrのゲート導通部の一部および容量素子Cの一部の形成部を取り囲むだけでなく、選択トランジスタTslと、補償トランジスタTcmpと、発光制御トランジスタTelと、駆動トランジスタTdrおよび補償トランジスタTcmpならびに発光制御トランジスタTelの導通部と、発光制御トランジスタTelのソース領域またはドレイン領域と導通する画素導通部とを、開口部54により取り囲むように配置されている。図105から理解される通り、上部容量電極層CA2は、X方向およびY方向において隣り合う表示画素Pe間で隙間なく連続するパターンとなっている。上部容量電極層CA2は、第2実施形態と異なり、絶縁層LBを貫通する導通孔HC3だけでなく、同じく絶縁層LBを貫通する導通孔HC13によっても電源線層41との導通が図られている。したがって、電源線層41のみの場合と比して、電源線層41及び上部容量電極層CA2が格子状に導通することができる。したがって、この構成により、高位側の電源電位Velを表示画素Peに安定して供給することができる。また、上部容量電極層CA2のシールド効果により、各トランジスタおよび画素導通部に対する、X方向およびY方向において隣り合う表示画素Pe間での影響を低減させることができる。上部容量電極層CA2は、平面視において、X方向およびY方向で隣り合う表示画素Peの反射層55間の隙間と重なる位置に配置されている。したがって、各トランジスタに対する遮光性が向上する。言い換えると、反射層55の端部は、上部容量電極層CA2又は電源線層41と重なるように配置されているため、隣り合う反射層55間を透過した光は、上部容量電極層CA2又は電源線層41により遮られるようになっている。よって、各トランジスタTへ光が到達しにくい構造となっている。

#### 【0241】

図100から理解される通り、第3実施形態では、発光制御トランジスタTelの制御線28は、補償トランジスタTcmpの制御線27と、走査線22と、電源線層41と同層に形成されている。したがって、第2実施形態よりも工程の簡素が可能となる。図97ないし図101から理解される通り、発光制御トランジスタTelの制御線28は、絶縁層LAに形成された導通孔HB4、中継電極QB7、絶縁層LBに形成されたHC12を介して発光制御トランジスタTelのゲート層Gelに導通する。図105から理解される通り、電源線層41は、第2実施形態と同様にY方向で隣り合う表示画素Pe間で隙間なく連続し、Y方向で隣り合う表示画素Peにおける画素導通部を取り囲む位置まで延びて形成されている。ただし、第2実施形態とは異なり、画素導通部の四方を取り囲むのではなく、発光制御トランジスタTelの制御線28側が開放された状態となっている。第3実施形態においても、電源線層41による高いシールド効果が発揮される。

上部容量電極層CA2は、走査線22及び制御線27、28のいずれかと駆動トランジ

スターＴｄｒのゲート電位部との間に配置されるように構成されている。さらに、電源線層４１は、走査線２２及び制御線２７、２８のいずれかと駆動トランジスターＴｄｒのゲート電位部との間に配置されるように構成されている。したがって、走査線２２及び制御線２７、２８のいずれかと駆動トランジスターＴｄｒのゲート電位部との間のカップリングが抑制される。

上部容量電極層ＣＡ２は、信号線２６と選択トランジスターＴｓ１をつなぐ導通部と、駆動トランジスターＴｄｒのゲート電位部との間に配置されるように構成されている。さらに、電源線層４１は、信号線２６と選択トランジスターＴｓ１をつなぐ導通部と、駆動トランジスターＴｄｒのゲート電位部との間に配置されるように構成されている。したがって、信号線２６と選択トランジスターＴｓ１をつなぐ導通部と駆動トランジスターＴｄ

10

#### 【０２４２】

その他、第９実施形態との共通の構成については、前述した第２実施形態における効果と同様な効果を奏することができる。また、第３実施形態においても、容量素子を構成する電極を電源線層４１とは異なる層で形成された電極とする等、第１実施形態で説明した変形例と同様な変形例が適用可能である。

#### 【０２４３】

<変形例>

以上の形態は多様に変形され得る。具体的な変形の態様を以下に例示する。以下の例示から任意に選択された２以上の態様は、相互に矛盾しない範囲内で適宜に併合され得る。

20

#### 【０２４４】

(１) 前述の各形態では、電源線層４１の電位は、駆動トランジスターＴｄｒに接続されるＶｅ１電位としたが、他の電位としてもよい。この場合には、電源線層４１と駆動トランジスターＴｄｒとを接続するための導通孔を省略することができる。電源線層４１は、他の電源電位Ｖａが供給される実装端子３６に導通し、駆動トランジスターＴｄｒや上部容量電極層ＣＡ２には、電源電位Ｖｅ１が供給される実装端子３６に導通するようにしてもよい。

#### 【０２４５】

(２) 前述の各形態では、半導体基板を基板１０として利用した有機エレクトロルミネッセンス装置１００を例示したが、基板１０の材料は任意である。例えばガラスや石英等の板状部材を基板１０として利用することも可能である。また、前述の各形態では、基板１０のうち第１領域１２の外側の第２領域１４に駆動回路３０を配置したが、駆動回路３０を例えば周辺領域１８内に配置することも可能である。例えば、第２電源導電体４２と基板１０との間に駆動回路３０が配置される。

30

#### 【０２４６】

(３) 発光素子４５の構成は以上の例示に限定されない。例えば、前述の各形態では、白色光を発生する発光機能層４６を複数の表示画素Ｐｅにわたり連続に形成した構成を例示したが、各表示画素Ｐｅの表示色に対応する波長の単色光を放射する発光機能層４６を表示画素Ｐｅ毎に個別に形成することも可能である。また、前述の各形態では、反射層５５と第２電極Ｅ２（半透過反射層）との間で共振構造を形成したが、例えば第１電源導電体としての電源線層４１を反射性の導電材料で形成し、電源線層４１（反射層）と第２電極

40

Ｅ２（半透過反射層）との間で共振構造を形成することも可能である。また、第１電極Ｅ１を反射性の導電材料で形成し、第１電極Ｅ１（反射層）と第２電極Ｅ２（半透過反射層）との間で共振構造を形成することも可能である。第１電極Ｅ１を反射層として利用する構成では、第１電極Ｅ１と第２電極Ｅ２との間に光路調整層６０が形成される。

#### 【０２４７】

前述の各形態では、光路調整層６０により各表示画素Ｐｅの共振波長を調整したが、第１電極Ｅ１や発光機能層４６の膜厚に応じて各表示画素Ｐｅの共振波長を調整することも可能である。

#### 【０２４８】

50

なお、発光機能層 4 6 は、青色波長領域、緑色波長領域、赤色波長領域のいずれで発光してもよいし、白色の光を発光するようにしてもよい。この場合には、発光機能層 4 6 は、表示領域にある複数の画素にまたがって設けられていてもよい。また、発光機能層 4 6 は、赤色、緑色、青色のそれぞれの画素において異なる発光を行うように構成してもよい。

【 0 2 4 9 】

( 4 ) 前述の各形態では有機 E L 材料を利用した発光素子 4 5 を例示したが、無機 E L 材料で発光層を形成した発光素子や L E D 等の発光素子を利用した構成にも本発明は同様に適用される。また、前述の各形態では、基板 1 0 とは反対側に光を出射するトップエミッション型の有機エレクトロルミネッセンス装置 1 0 0 を例示したが、基板 1 0 側に光を出射するボトムエミッション型の発光装置にも本発明は同様に適用される。

10

【 0 2 5 0 】

( 5 ) 前述の各形態では、表示画素 P e に構造 ( 配線やトランジスターや容量素子等の構造 ) が類似するダミー画素 P d を周辺領域 1 8 内に配置した構成を例示したが、周辺領域 1 8 内の構成は以上の例示に限定されない。例えば、周辺領域 1 8 内の第 2 電源導電体 4 2 の下層に、駆動回路 3 0 ( 走査線駆動回路 3 2 または信号線駆動回路 3 4 ) や駆動回路 3 0 以外の回路および配線を配置することも可能である。

【 0 2 5 1 】

( 6 ) 前述の各形態では、共振波長の説明の簡略化のために光路調整層 6 0 の膜厚に着目したが、実際には、共振構造の反射層 ( 例えば第 1 電源導電体 4 1 ) と半透過反射層 ( 例えば第 2 電極 E 2 ) との間に位置する各層の屈折率や、反射層および半透過反射層の表面での位相シフトに応じて共振構造の共振波長が設定される。

20

【 0 2 5 2 】

( 7 ) この発明の要旨を逸脱しない範囲において、トランジスター、あるいは容量、もしくは配線等のいずれかを省略してもよい。例えば、第 1 0 実施形態において、補償トランジスター T c m p 及び発光制御トランジスター T e 1 を省略し、画素電極導通部は、駆動トランジスター T d r のソース配線またはドレイン配線であってもよい。また、例えば、第 7 実施形態において、発光制御トランジスター T e 1 を省略し、画素電極導通部は、駆動トランジスター T d r のソース配線またはドレイン配線であってもよい。また、容量素子 C が 2 種類以上の容量素子で構成される場合には、このいずれかを省略してもよい。また、各形態において説明したトランジスター以外のトランジスター、あるいは容量、もしくは配線等を適宜追加するようにしてもよい。さらに、各形態においては、走査線 2 2、信号線 2 6、制御線 2 7、2 8、および電源線層 4 1 は直線状であり、幅が一様としたが、本発明はこの態様に限定されるものではなく、配線の幅が他の部分より太くなるようにしてもよいし、曲がって形成されていてもよい。

30

【 0 2 5 3 】

< 電子機器 >

前述の各形態に例示した有機エレクトロルミネッセンス装置 1 0 0 は各種の電子機器の表示装置として好適に利用される。図 1 0 8 には、前述の各形態に例示した有機エレクトロルミネッセンス装置 1 0 0 を利用した頭部装着型の表示装置 9 0 ( HMD : Head Mounted Display ) が電子機器として例示されている。

40

【 0 2 5 4 】

表示装置 9 0 は、利用者の頭部に装着可能な電子機器であり、利用者の左眼に重なる透過部 ( レンズ ) 9 2 L と、利用者の右眼に重なる透過部 9 2 R と、左眼用の有機エレクトロルミネッセンス装置 1 0 0 L およびハーフミラー 9 4 L と、右眼用の有機エレクトロルミネッセンス装置 1 0 0 R およびハーフミラー 9 4 R とを具備する。有機エレクトロルミネッセンス装置 1 0 0 L と有機エレクトロルミネッセンス装置 1 0 0 R とは、出射光が相互に反対の方向に進行するように配置される。左眼用のハーフミラー 9 4 L は、透過部 9 2 L の透過光を利用者の左眼側に透過させるとともに、有機エレクトロルミネッセンス装置 1 0 0 L からの出射光を利用者の左眼側に反射させる。同様に、右眼用のハーフミラー

50

94Rは、透過部92Rの透過光を利用者の右眼側に透過させるとともに有機エレクトロルミネッセンス装置100Rからの出射光を利用者の右眼側に反射させる。したがって、利用者は、透過部92Lおよび透過部92Rを介して観察される像と各有機エレクトロルミネッセンス装置100による表示画像とを重畳した画像を知覚する。また、相互に視差が付与された立体視画像（左眼用画像および右眼用画像）を有機エレクトロルミネッセンス装置100Lと有機エレクトロルミネッセンス装置100Rとに表示させることで、利用者に表示画像の立体感を知覚させることが可能である。

【0255】

なお、前述の各形態の有機エレクトロルミネッセンス装置100が適用される電子機器は図108の表示装置90に限定されない。例えば、ビデオカメラやスチルカメラ等の撮像装置に利用される電子式ビューファインダー（EVF：Electronic View Finder）にも本発明の有機エレクトロルミネッセンス装置100が好適に利用される。また、携帯電話機、携帯情報端末（スマートフォン）、テレビやパーソナルコンピューター等のモニター、カーナビゲーション装置等の各種の電子機器に本発明の発光装置を採用することが可能である。

10

【符号の説明】

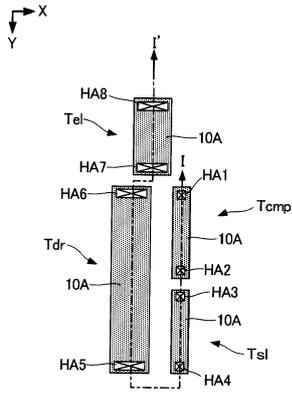
【0256】

100 …… 有機エレクトロルミネッセンス装置、10 …… 基板、10A …… 能動領域、12 …… 第1領域、14 …… 第2領域、16 …… 表示領域、18 …… 周辺領域、22 …… 走査線、26 …… 信号線、27 …… 制御線、28 …… 制御線、30 …… 駆動回路、32 …… 走査線駆動回路、34 …… 信号線駆動回路、36 …… 実装端子、41 …… 第1電源導電体（電源線層）、42 …… 第2電源導電体、43-0, 43-1 …… 上部電源線層、45 …… 発光素子、46 …… 発光機能層、60 …… 光路調整層、65 …… 画素定義層、C …… 容量素子、C1 …… 第1容量電極、C2 …… 第2容量電極、CA0, CA1, CA2, CA3, CA4 …… 容量電極層、E1 …… 第1電極、E2 …… 第2電極、L（L0, LA, LB, LC, LD, LE） …… 絶縁層、Q（QB1, QB2, QB3, QB4, QB5, QB6, QC1, QC2, QC3, QC4, QD1, QD2, QD3, QE1） …… 中継電極、Tcmp …… 補償トランジスター、Tdr …… 駆動トランジスター、Tel …… 発光制御トランジスター、Tsl …… 選択トランジスター。

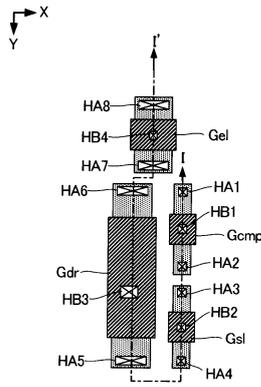
20



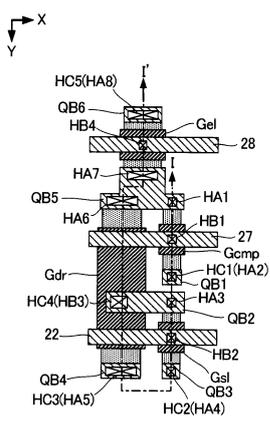
【 図 5 】



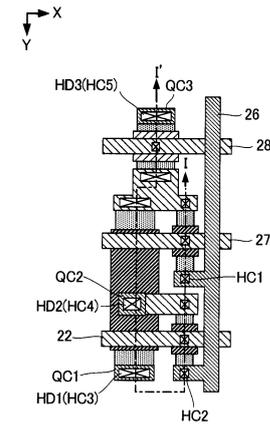
【 図 6 】



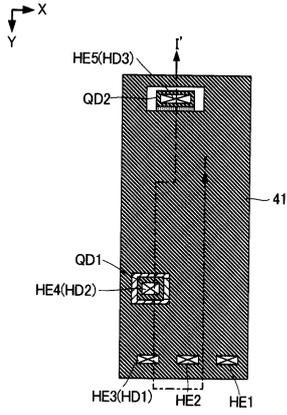
【 図 7 】



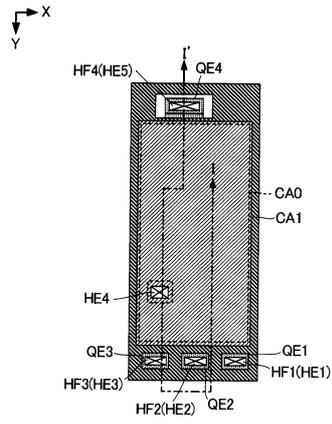
【 図 8 】



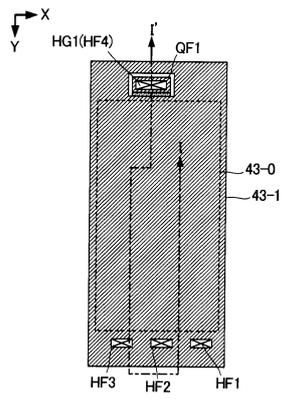
【 9 】



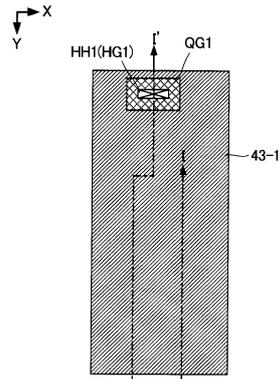
【 10 】



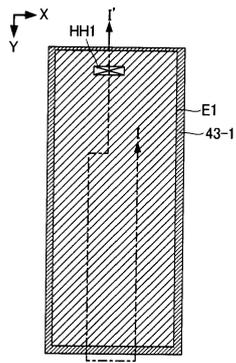
【 11 】



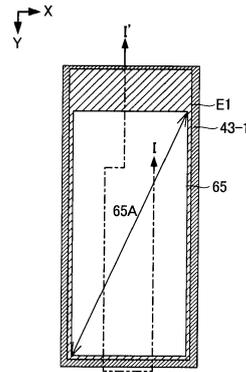
【 12 】



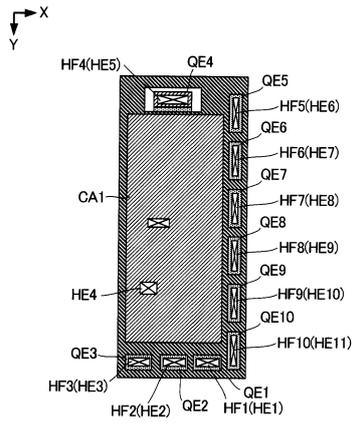
【 13 】



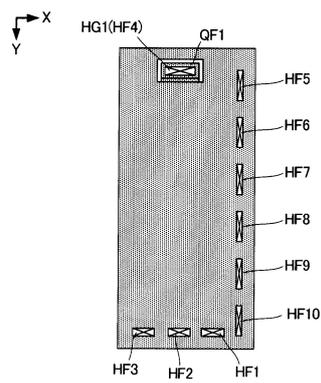
【 14 】



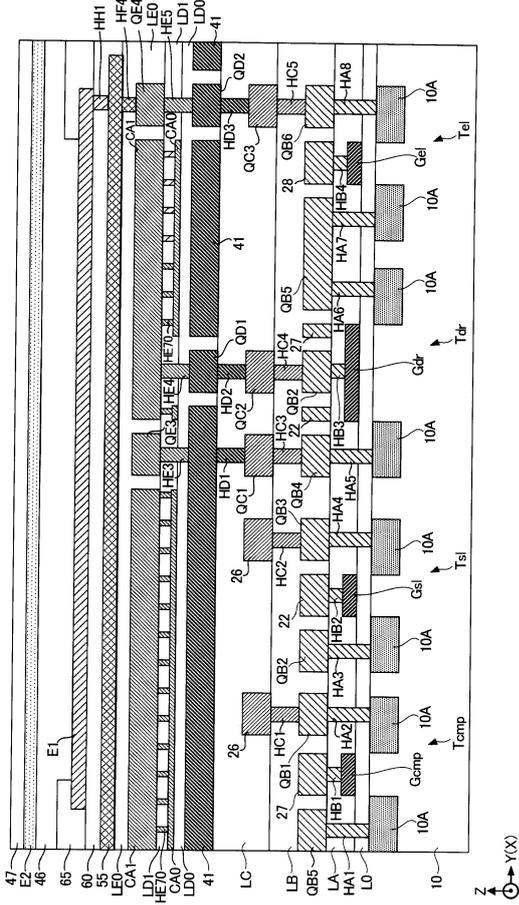
【 15 】



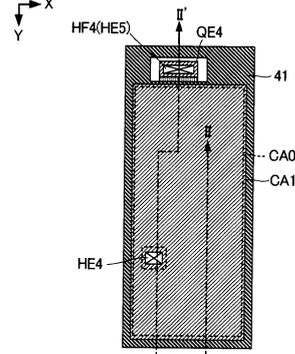
【 16 】



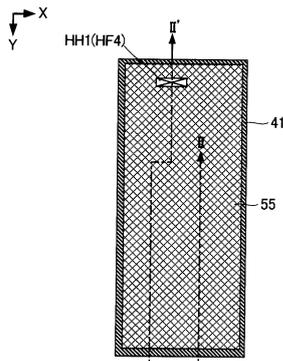
【 17 】



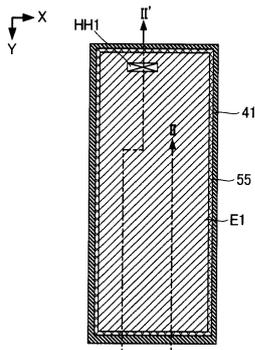
【 18 】



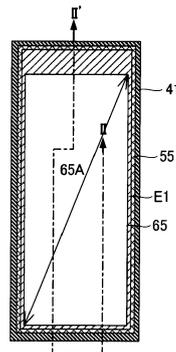
【 19 】



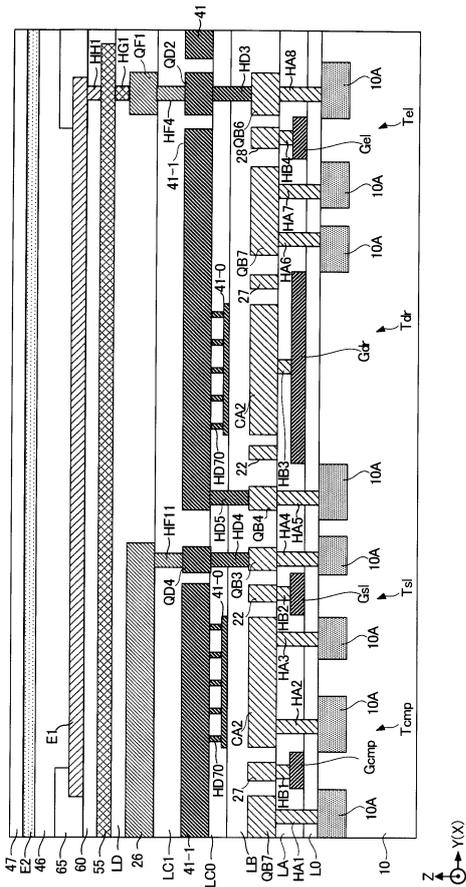
【 20 】



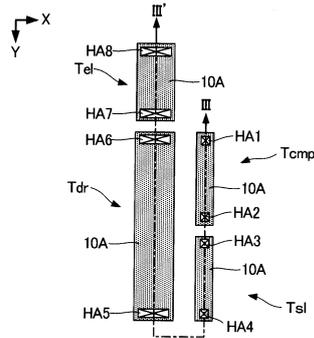
【 21 】



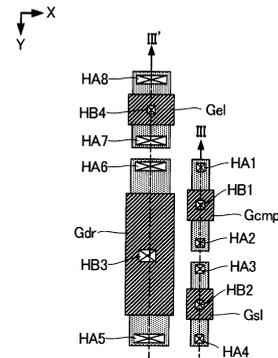
【 2 2 】



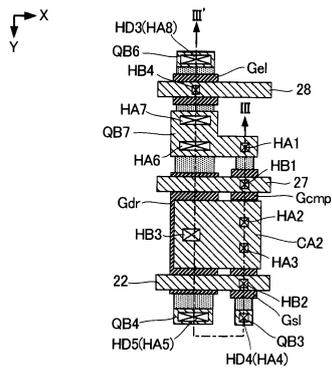
【 2 3 】



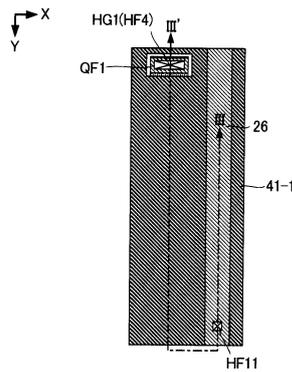
【 2 4 】



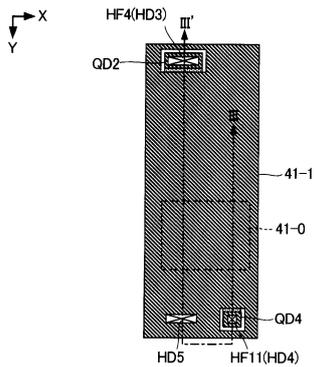
【 2 5 】



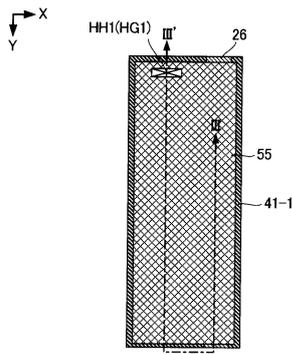
【 2 7 】



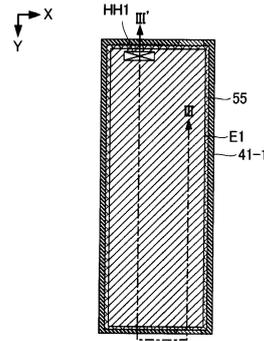
【 2 6 】



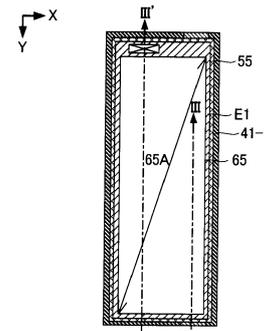
【 28 】



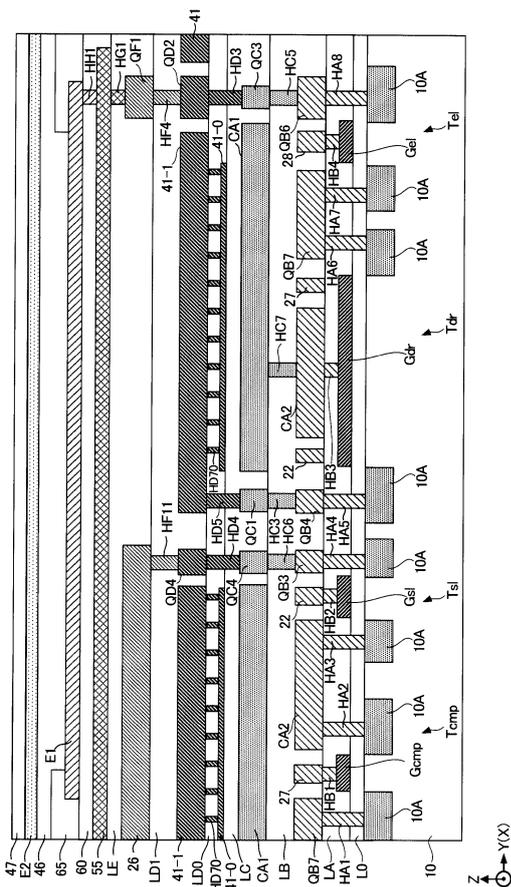
【 29 】



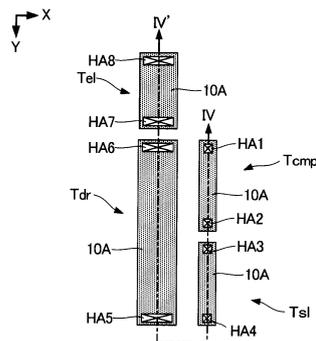
【 30 】



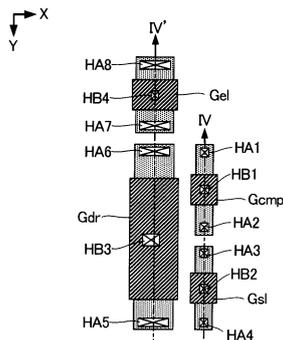
【 31 】



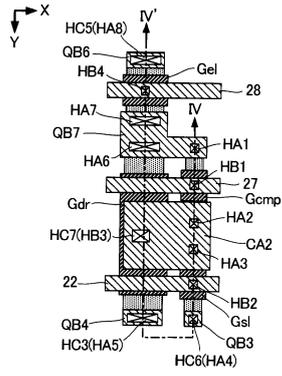
【 32 】



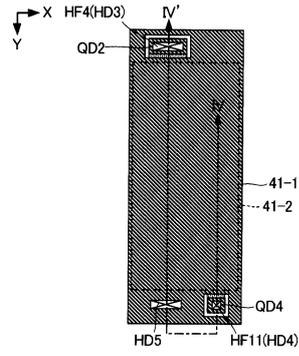
【 33 】



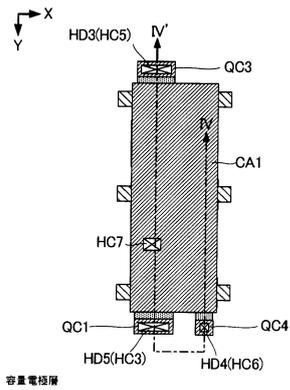
【図34】



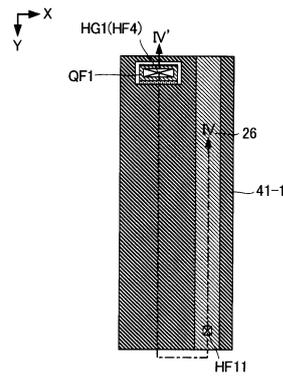
【図36】



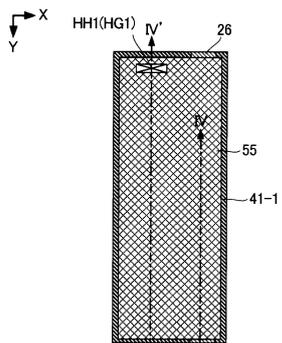
【図35】



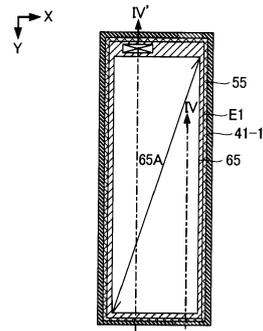
【図37】



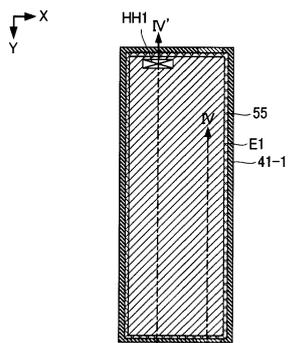
【図38】



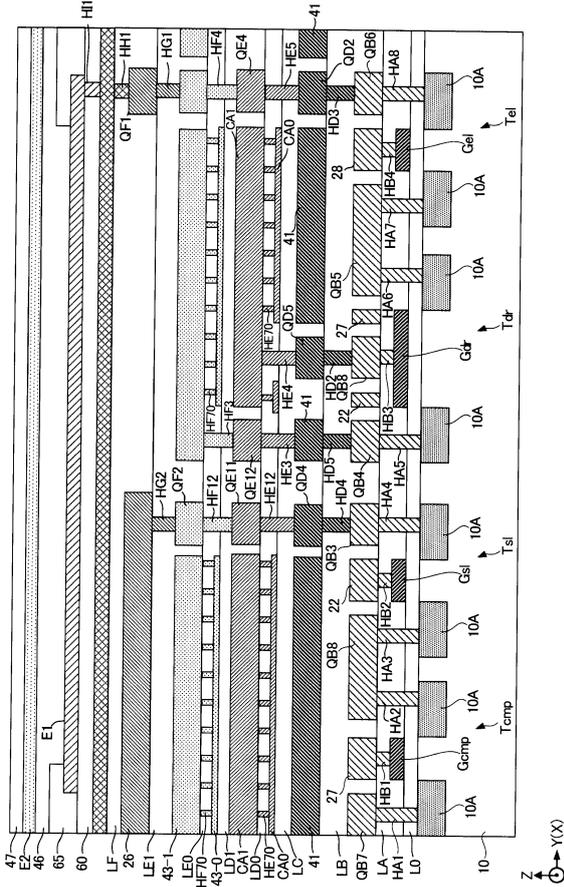
【図40】



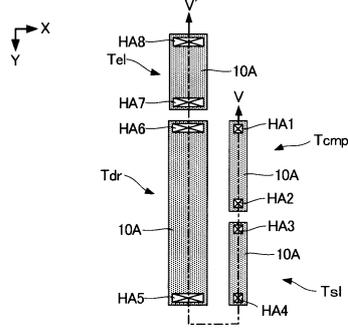
【図39】



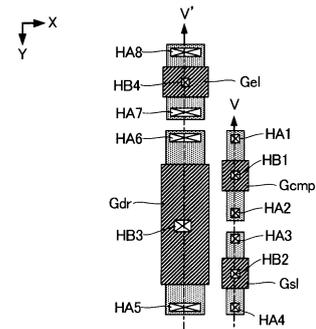
【 4 1 】



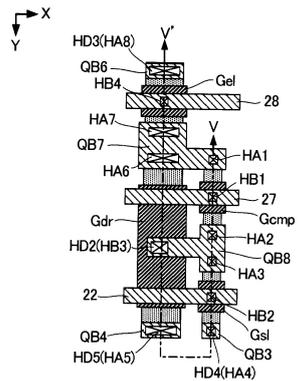
【 4 2 】



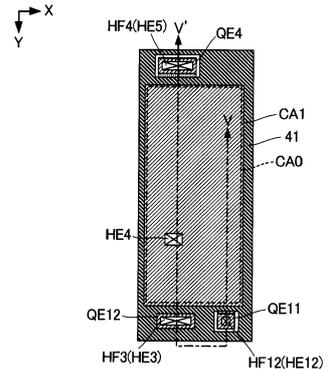
【 4 3 】



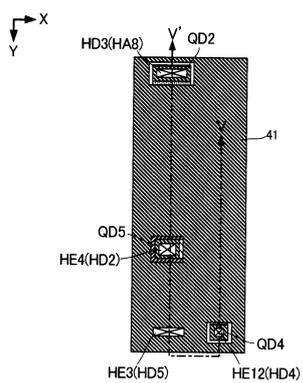
【 4 4 】



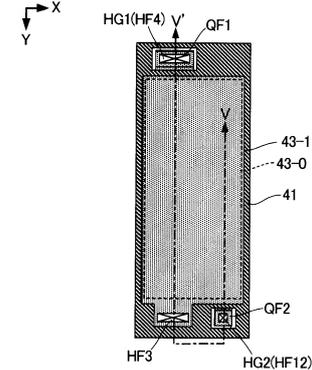
【 4 6 】



【 4 5 】

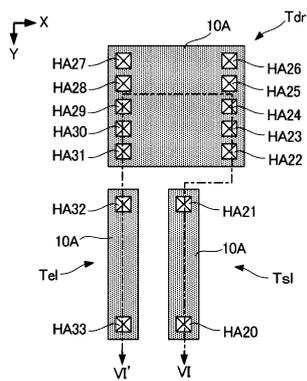


【 4 7 】

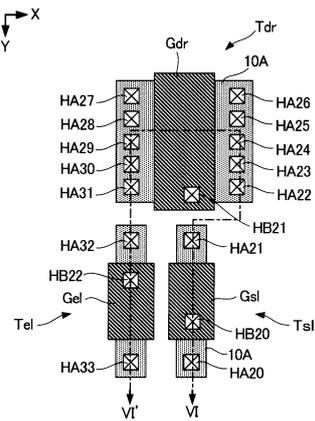




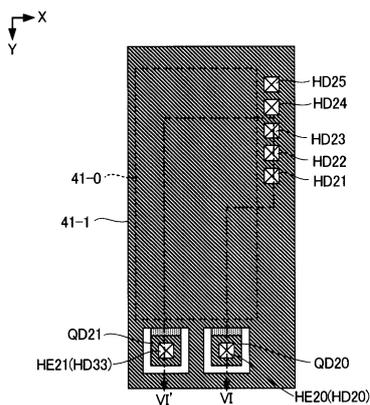
【 5 4 】



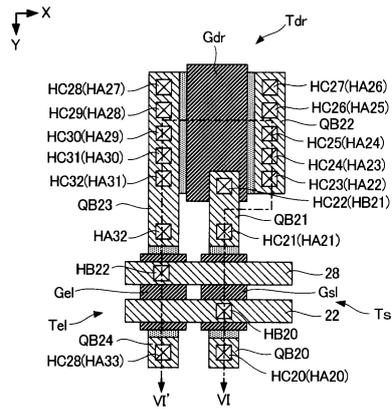
【 5 5 】



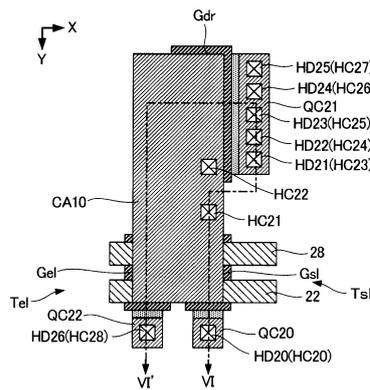
【 5 8 】



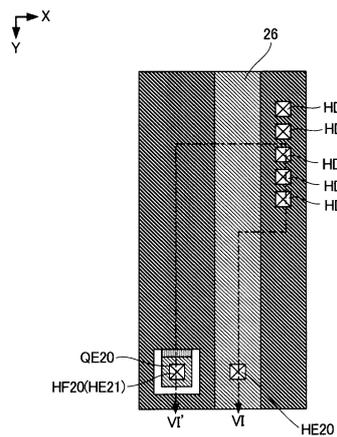
【 5 6 】



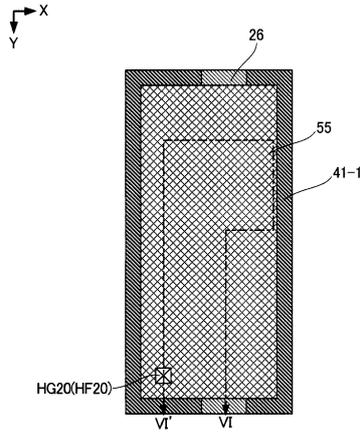
【 5 7 】



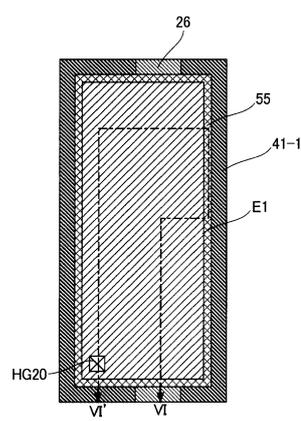
【 5 9 】



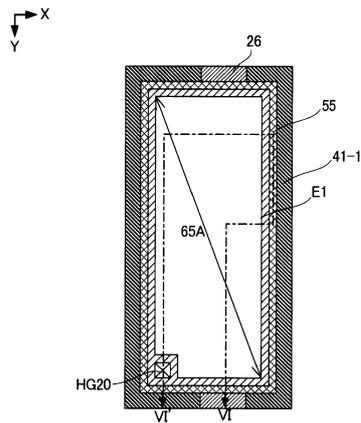
【 60 】



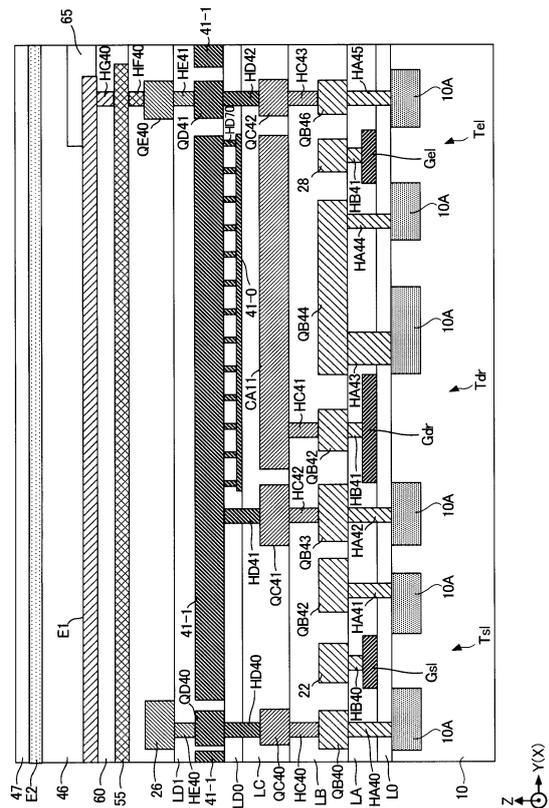
【 61 】



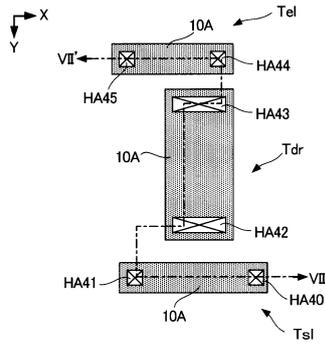
【 62 】



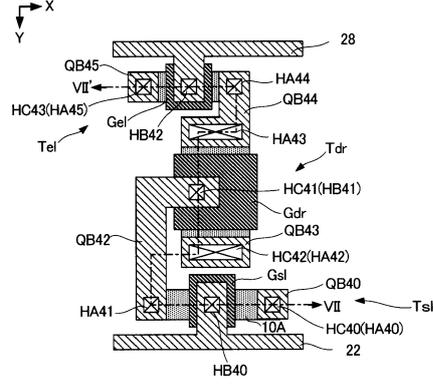
【 63 】



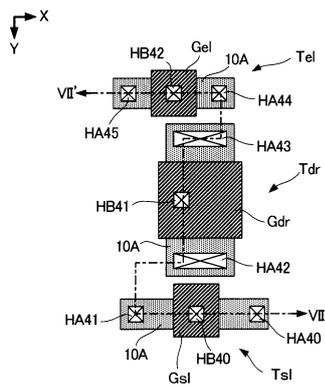
【 図 6 4 】



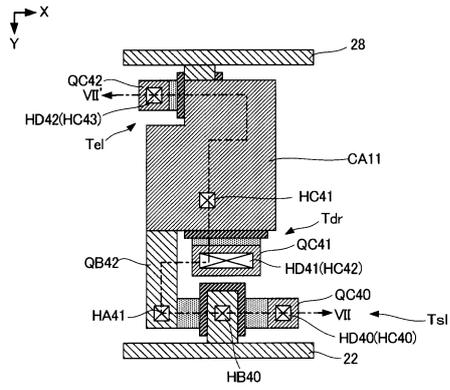
【 図 6 6 】



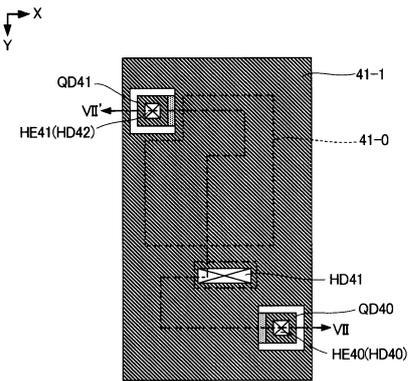
【 図 6 5 】



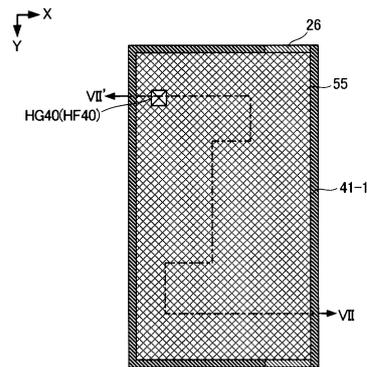
【 図 6 7 】



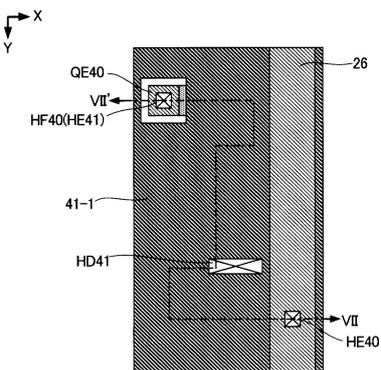
【 図 6 8 】



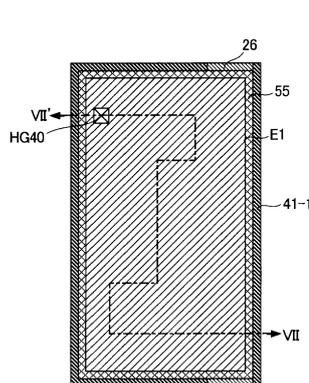
【 図 7 0 】



【 図 6 9 】



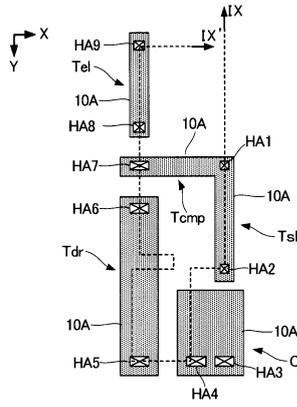
【 図 7 1 】



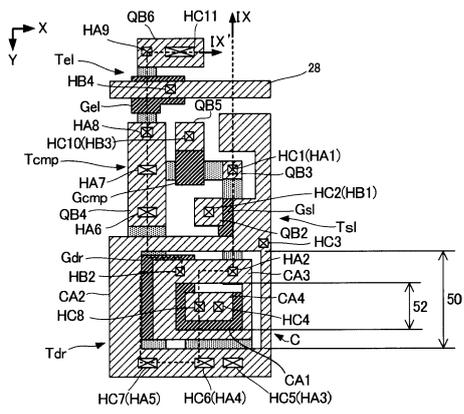




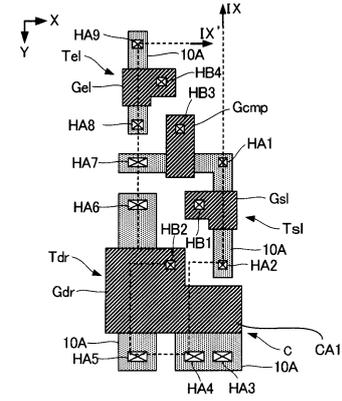
【 85 】



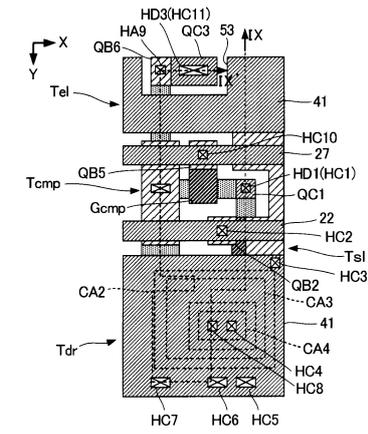
【 87 】



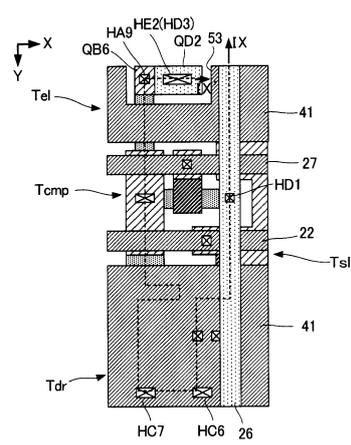
【 86 】



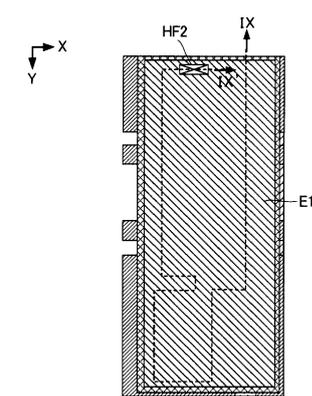
【 88 】



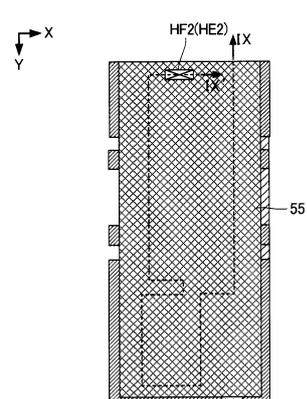
【 89 】



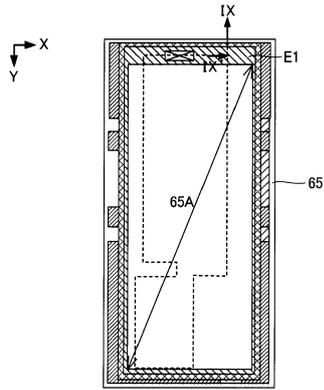
【 91 】



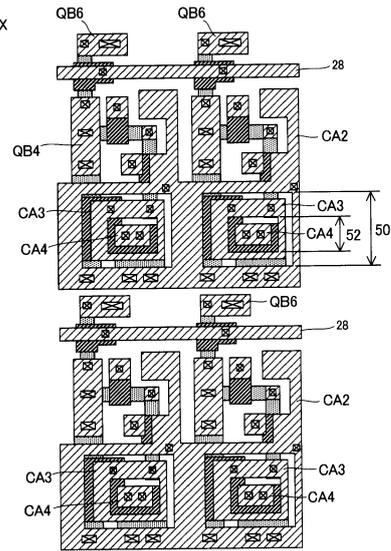
【 90 】



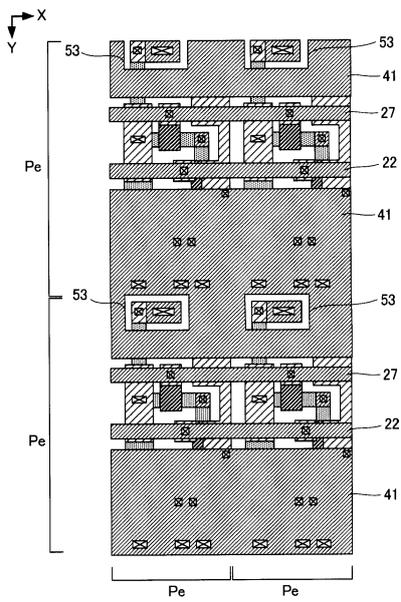
【 9 2 】



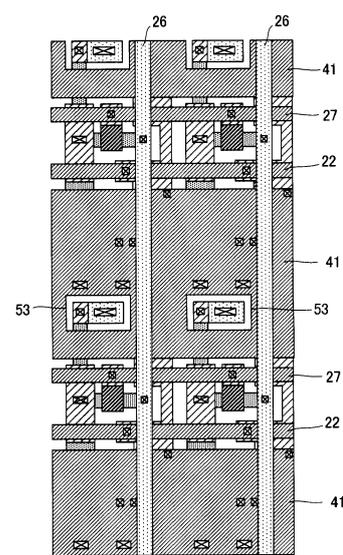
【 9 3 】



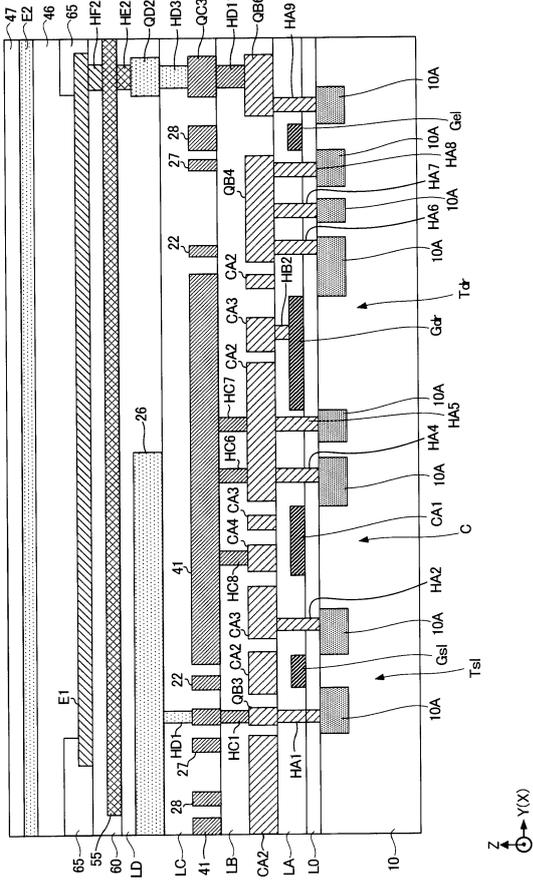
【 9 4 】



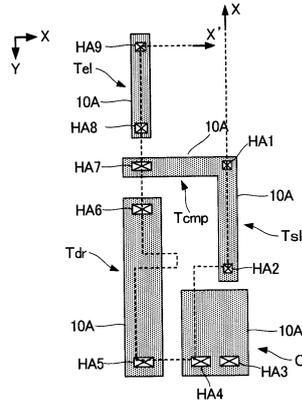
【 9 5 】



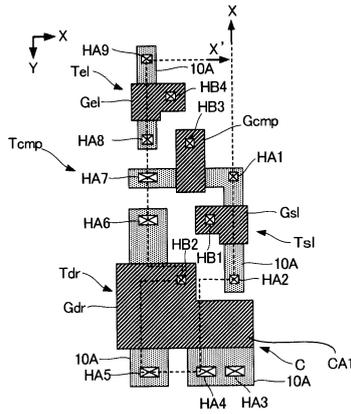
【 96 】



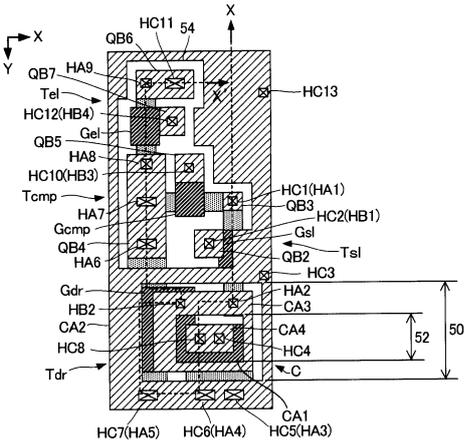
【 97 】



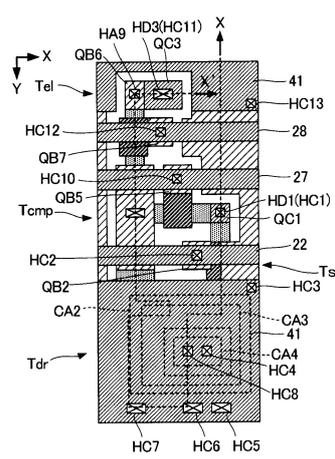
【 98 】



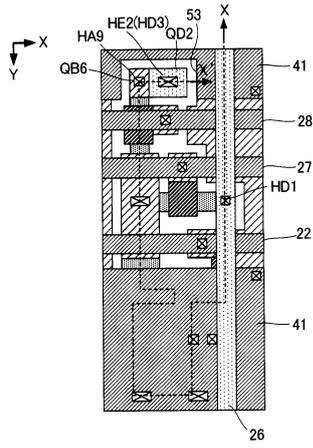
【 99 】



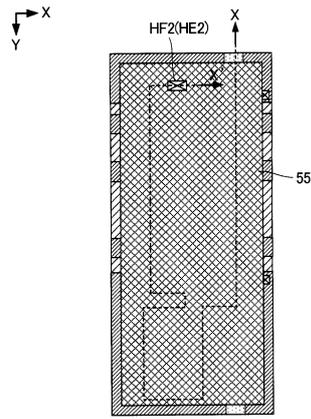
【 100 】



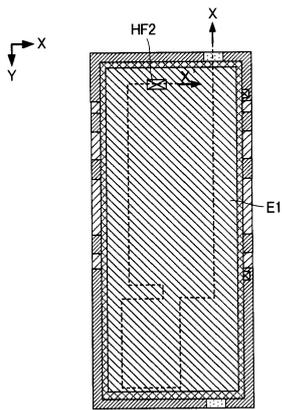
【図101】



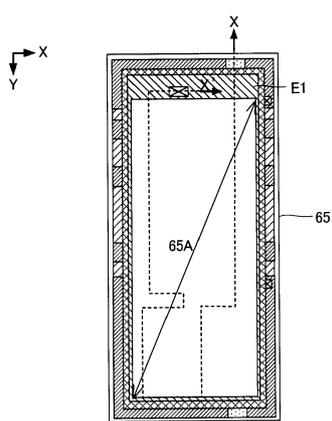
【図102】



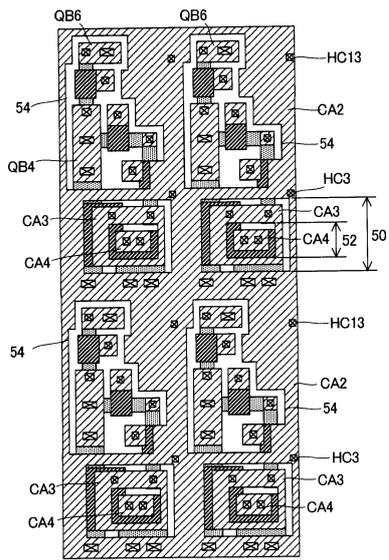
【図103】



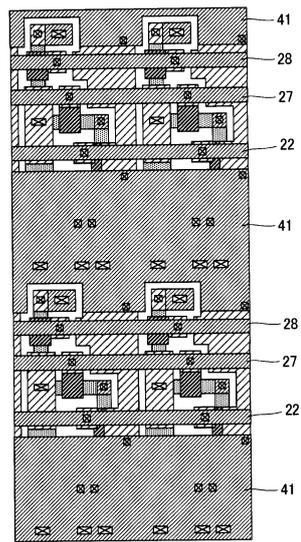
【図104】



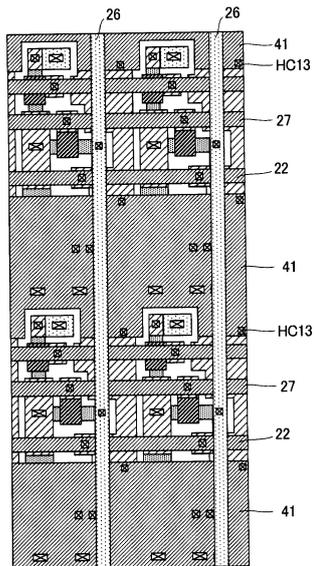
【図105】



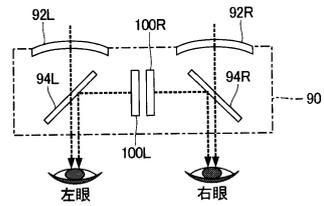
【図106】



【図107】



【図108】



## フロントページの続き

(56)参考文献 特開2014-098779(JP,A)  
特開2014-153492(JP,A)  
特開2005-340772(JP,A)  
特開2013-104890(JP,A)  
特開2012-227247(JP,A)  
特開2013-238724(JP,A)  
特開2011-114346(JP,A)  
米国特許出願公開第2014/0132175(US,A1)  
米国特許出願公開第2005/0258466(US,A1)  
米国特許出願公開第2013/0120338(US,A1)  
米国特許出願公開第2012/0261684(US,A1)  
米国特許出願公開第2013/0306996(US,A1)  
米国特許出願公開第2014/0098078(US,A1)

## (58)調査した分野(Int.Cl., DB名)

G09F	9/00	-	9/46
H01L	51/50		
H01L	27/32		
H05B	33/00	-	33/28