

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-103433

(P2010-103433A)

(43) 公開日 平成22年5月6日(2010.5.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 B	5 F 0 3 3
HO 1 L 23/522 (2006.01)	HO 1 L 21/88 J	
HO 1 L 21/3205 (2006.01)		
HO 1 L 23/52 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2008-275865 (P2008-275865)
 (22) 出願日 平成20年10月27日 (2008.10.27)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 秋山 和隆
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

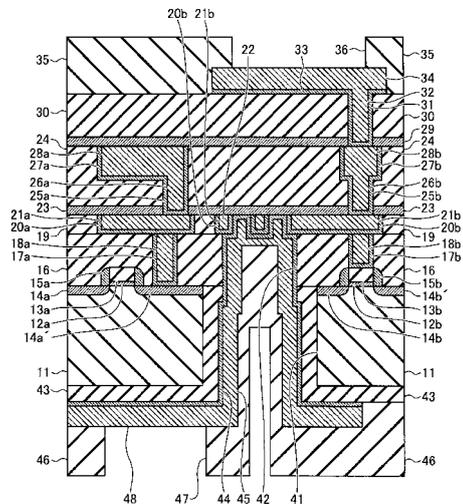
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】貫通電極のショート不良を引き起こすことなく、貫通電極とパッド電極との密着性を向上させる。

【解決手段】開口部22が設けられたパッド電極21b上にエッチストップ膜23を積層し、半導体基板11に形成された貫通孔41に貫通電極45を埋め込む際に、貫通電極45の先端が、開口部22を介してパッド電極21bの一部を突き抜け、エッチストップ膜23で止められるように構成する。

【選択図】 図1 - 1



【特許請求の範囲】

【請求項 1】

半導体素子が表面側に形成された半導体基板と、
前記半導体基板上に形成された配線層と、
前記配線層に形成されたパッド電極と、
前記パッド電極上に形成され、前記配線層を絶縁する絶縁体のエッチストップ膜と、
前記半導体基板の裏面から前記半導体基板を貫通し、前記パッド電極の一部を突き抜けて前記エッチストップ膜にて止められた貫通電極とを備えることを特徴とする半導体装置。

【請求項 2】

前記エッチストップ膜は、SiN、SiCNまたはSiCを主成分とすることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

半導体素子が表面側に形成された半導体基板と、
前記半導体基板上に形成された配線層と、
前記配線層に形成されたパッド電極と、
前記パッド電極と重なるようにして、前記パッド電極よりも上層に形成されたストップ電極と、
前記半導体基板の裏面から前記半導体基板を貫通し、前記パッド電極の一部を突き抜けて前記ストップ電極にて止められた貫通電極とを備えることを特徴とする半導体装置。

【請求項 4】

第 1 の開口部を有するパッド電極が設けられた配線層を半導体基板上に形成する工程と、
前記配線層を絶縁する絶縁体のエッチストップ膜を前記パッド電極上に形成する工程と、
前記半導体基板の裏面から前記半導体基板を貫通する貫通孔を形成する工程と、
前記第 1 の開口部および前記貫通孔を介して前記エッチストップ膜に達する第 2 の開口部を前記絶縁体に形成する工程と、
前記第 1 および第 2 の開口部および前記貫通孔に埋め込まれ、前記パッド電極に電氣的に接続されるとともに、前記半導体基板の裏面側に引き出された貫通電極を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 5】

第 1 の開口部を有するパッド電極が設けられた配線層を半導体基板上に形成する工程と、
前記パッド電極と重なるように配置されたストップ電極を前記パッド電極よりも上層に形成する工程と、
前記半導体基板の裏面から前記半導体基板を貫通する貫通孔を形成する工程と、
前記第 1 の開口部および前記貫通孔を介して前記ストップ電極に達する第 2 の開口部を、前記配線層を絶縁する絶縁体に形成する工程と、
前記第 1 および第 2 の開口部および前記貫通孔に埋め込まれ、前記パッド電極および前記ストップ電極に電氣的に接続されるとともに、前記半導体基板の裏面側に引き出された貫通電極を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置および半導体装置の製造方法に関し、特に、半導体基板の裏面から電極を取り出すための貫通電極を形成する方法に適用して好適なものである。

【背景技術】

【0002】

携帯電話などの電子機器の小型化および多機能化などの要求に伴って、それらの主要な

10

20

30

40

50

部品である半導体装置の実装密度を向上させることが求められている。ここで、半導体装置の実装密度を向上させる方法として半導体チップを積層させる方法がある。この半導体チップを積層させる方法としては、積層数を制限されることなく、フリップチップ実装できるという点から、半導体基板の裏面から電極を取り出すための貫通電極を形成する方法が有望視されている。

【0003】

ここで、半導体基板の裏面から電極を取り出すための貫通電極を形成する場合、半導体基板上に設けられた外部接続用のパッド電極とは別個に、貫通電極を接続するためのパッド電極が半導体基板上の多層配線層に形成される。そして、半導体基板の裏面から貫通孔を形成し、その貫通孔に貫通電極を埋め込むことで、半導体基板上に設けられたパッド電極との接続がとられている。

10

【0004】

また、例えば、特許文献1には、パッド部における配線同士の密着性を向上させるため、Si基板上のSiO₂膜の上面から内部にかけてCuダマシン配線およびそのパッド部を設け、そのCuダマシン配線上に形成されたAlデュアルダマシン配線の下面からそのCuダマシン配線のパッド部の内部に達してコンタクトプラグを設ける方法が開示されている。

【0005】

しかしながら、特許文献1に開示された方法では、Cuダマシン配線のパッド部の内部に達するコンタクトプラグを形成するために、Cuダマシン配線のパッド部が上面から内部にかけて設けられたSiO₂膜に開口部を形成する必要がある。このため、その開口部がSiO₂膜を突き抜け、その開口部に埋め込まれたコンタクトプラグがCuダマシン配線の下層配線層にまで到達する恐れがあることから、Cuダマシン配線やAlデュアルダマシン配線とその下の下層配線層とが短絡し、ショート不良を引き起こす場合があるという問題があった。

20

【0006】

【特許文献1】特開2004-146597号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

そこで、本発明の目的は、貫通電極のショート不良を引き起こすことなく、貫通電極とパッド電極との密着性を向上させることが可能な半導体装置および半導体装置の製造方法を提供することである。

30

【課題を解決するための手段】

【0008】

上述した課題を解決するために、本発明の一態様によれば、半導体素子が表面側に形成された半導体基板と、前記半導体基板上に形成された配線層と、前記配線層に形成されたパッド電極と、前記パッド電極上に形成され、前記配線層を絶縁する絶縁体のエッチストップ膜と、前記半導体基板の裏面から前記半導体基板を貫通し、前記パッド電極の一部を突き抜けて前記エッチストップ膜にて止められた貫通電極とを備えることを特徴とする半導体装置を提供する。

40

【0009】

また、本発明の一態様によれば、半導体素子が表面側に形成された半導体基板と、前記半導体基板上に形成された配線層と、前記配線層に形成されたパッド電極と、前記パッド電極と重なるようにして、前記パッド電極よりも上層に形成されたストップ電極と、前記半導体基板の裏面から前記半導体基板を貫通し、前記パッド電極の一部を突き抜けて前記ストップ電極にて止められた貫通電極とを備えることを特徴とする半導体装置を提供する。

【0010】

また、本発明の一態様によれば、第1の開口部を有するパッド電極が設けられた配線層

50

を半導体基板上に形成する工程と、前記配線層を絶縁する絶縁体のエッチストップ膜を前記パッド電極上に形成する工程と、前記半導体基板の裏面から前記半導体基板を貫通する貫通孔を形成する工程と、前記第1の開口部および前記貫通孔を介して前記エッチストップ膜に達する第2の開口部を前記絶縁体に形成する工程と、前記第1および第2の開口部および前記貫通孔に埋め込まれ、前記パッド電極に電氣的に接続されるとともに、前記半導体基板の裏面側に引き出された貫通電極を形成する工程とを備えることを特徴とする半導体装置の製造方法を提供する。

【0011】

また、本発明の一態様によれば、第1の開口部を有するパッド電極が設けられた配線層を半導体基板上に形成する工程と、前記パッド電極と重なるように配置されたストップ電極を前記パッド電極よりも上層に形成する工程と、前記半導体基板の裏面から前記半導体基板を貫通する貫通孔を形成する工程と、前記第1の開口部および前記貫通孔を介して前記ストップ電極に達する第2の開口部を、前記配線層を絶縁する絶縁体に形成する工程と、前記第1および第2の開口部および前記貫通孔に埋め込まれ、前記パッド電極および前記ストップ電極に電氣的に接続されるとともに、前記半導体基板の裏面側に引き出された貫通電極を形成する工程とを備えることを特徴とする半導体装置の製造方法を提供する。

10

【発明の効果】

【0012】

以上説明したように、本発明によれば、貫通電極のショート不良を引き起こすことなく、貫通電極とパッド電極との密着性を向上させることが可能となる。

20

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施形態に係る半導体装置について図面を参照しながら説明する。

【0014】

(第1実施形態)

図1-1は、本発明の第1実施形態に係る半導体装置の概略構成を示す断面図、図1-2は、図1-1のパッド電極21bの概略構成の一例を示す平面図、図1-3は、図1-1のパッド電極21bの概略構成のその他の例を示す平面図である。

図1-1において、半導体基板11には、互いに分離された不純物導入層14a、14a'、14b、14b'が形成されている。なお、半導体基板11の材料は、Siに限定されることなく、例えば、Ge、SiGe、SiC、SiSn、PbS、GaAs、InP、GaP、GaN、ZnSe、GaInAsPなどの中から選択するようにしてもよい。また、半導体基板11の厚さは、例えば、70 μ m程度とすることができる。

30

【0015】

そして、不純物導入層14a、14a'の間の半導体基板11上には、ゲート絶縁膜12aを介してゲート電極13aが形成され、ゲート電極13aの側壁にはサイドウォール15aが形成されている。また、不純物導入層14b、14b'の間の半導体基板11上には、ゲート絶縁膜12bを介してゲート電極13bが形成され、ゲート電極13bの側壁にはサイドウォール15bが形成されている。

【0016】

そして、半導体基板11およびゲート電極13a、13b上には、層間絶縁層16が形成されている。そして、層間絶縁層16には、バリアメタル膜17a、17bをそれぞれ介してコンタクトプラグ18a、18bが埋め込まれている。ここで、コンタクトプラグ18aは不純物導入層14a'に接続され、コンタクトプラグ18bはゲート電極13bに接続されている。

40

【0017】

また、層間絶縁層16およびコンタクトプラグ18a、18b上には、層間絶縁層19が形成されている。そして、層間絶縁層19には、バリアメタル膜20aを介して配線21aが埋め込まれるとともに、バリアメタル膜20bを介してパッド電極21bが埋め込まれている。

50

【0018】

ここで、配線21aは、コンタクトプラグ18aに接続されている。また、パッド電極21bは、コンタクトプラグ18bに接続されるとともに、パッド電極21bには、貫通電極45を突き抜けさせるための開口部22が形成されている。なお、開口部22は、図1-2に示すように、パッド電極21bに孔を設けた構成でもよい。あるいは、パッド電極21bの代わりに、図1-3に示すように、スリット状の開口部22'が形成されたパッド電極21b'を用いるようにしてもよい。また、パッド電極21bの面積は、貫通電極45の先端の面積よりも大きくなるように設定することができる。また、パッド電極21bの開口率は、10%~80%の範囲内に設定することが好ましい。例えば、パッド電極21bのサイズは80 μ m角とすることができ、このパッド電極21bに、5 μ m角の開口部22を15 μ m間隔で配置することができる。また、パッド電極21bの膜厚は、例えば、0.2 μ m程度とすることができ、

10

【0019】

また、層間絶縁層19、配線21aおよびパッド電極21b上には、エッチストップ膜23が形成されている。なお、エッチストップ膜23の膜厚は、例えば、0.1 μ m程度とすることができ、また、エッチストップ膜23上には、層間絶縁層24が形成されている。そして、エッチストップ膜23および層間絶縁層24には、バリアメタル膜25a、25bをそれぞれ介してコンタクトプラグ26a、26bが埋め込まれるとともに、バリアメタル膜27a、27bをそれぞれ介して配線28a、28bが埋め込まれている。ここで、配線28aは、コンタクトプラグ26aを介して配線21aに接続され、配線28bは、コンタクトプラグ26bを介して配線21bに接続されている。

20

【0020】

また、層間絶縁層24および配線28a、28b上には、エッチストップ膜29が形成されている。また、エッチストップ膜29上には、層間絶縁層30が形成されている。そして、エッチストップ膜29および層間絶縁層30には、バリアメタル膜31を介してコンタクトプラグ32が埋め込まれている。

【0021】

そして、層間絶縁層30上には、バリアメタル膜33を介してパッド電極34が形成されている。ここで、パッド電極34は、コンタクトプラグ32を介して配線28bに接続されている。そして、層間絶縁層30およびパッド電極34上には、保護膜35が形成され、保護膜35には、パッド電極34の表面を露出させる開口部36が形成されている。

30

【0022】

なお、エッチストップ膜23、29は、層間絶縁層16、19、24、30よりもエッチングレート小さい材料で構成することができる。例えば、層間絶縁層16、19、24、30としては、例えば、SiO₂膜またはLow-k膜を用いることができ、エッチストップ膜23、29としては、例えば、SiN、SiCNまたはSiCを主成分とする膜を用いることができる。また、保護膜35としては、例えば、SiN膜を用いることができる。また、コンタクトプラグ18a、18b、26a、26b、32、配線21a、28a、28bおよびパッド電極21b、34の材料としては、Cu、Al、WまたはSnを主成分とする材料を用いることができる。また、バリアメタル膜17a、17b、20a、20b、25a、25b、27a、27b、31、33の材料としては、Ta、Ta₂N₅、TiまたはTiNあるいはそれらの積層構造を用いることができる。

40

【0023】

一方、半導体基板11には、半導体基板11を裏面から貫通する貫通孔41が形成されている。なお、貫通孔41の深さと直径の比(アスペクト比)は、直径1に対して深さ5以下であることが好ましく、さらに好ましくは直径1に対して深さ2以下とするのがよい。例えば、貫通孔41の深さが70 μ mの場合、貫通孔41の直径は70 μ mとすることができる。

【0024】

そして、半導体基板11の裏面および貫通孔41の側壁には、絶縁層43が形成され、

50

層間絶縁層 16 および絶縁層 43 には、パッド電極 21b 下のバリアメタル膜 20b を露出させる開口部 42 が貫通孔 41 を介して形成されている。

【0025】

そして、貫通孔 41 および開口部 42 には、パッド電極 21b に電氣的に接続されるとともに、半導体基板 11 の裏面側に引き出された貫通電極 45 がバリアメタル膜 44 を介して埋め込まれている。ここで、貫通電極 45 の先端は、開口部 22 を介してパッド電極 21b の一部を突き抜け、エッチストップ膜 23 にて止められている。

【0026】

そして、半導体基板 11 の裏面には、貫通電極 45 に接続されたパッド電極 48 が形成されている。そして、半導体基板 11 の裏面側には、貫通孔 41 内に入り込みつつ貫通電極 45 およびパッド電極 48 が覆われるようにしてソルダレジスト膜 46 が形成されている。そして、ソルダレジスト膜 46 には、パッド電極 48 を露出させる開口部 47 が形成されている。

10

【0027】

なお、絶縁層 43 としては、例えば、 SiO_2 膜を用いることができる。バリアメタル膜 44 の材料としては、Ti または TiN またはそれらの積層構造を用いることができる。また、貫通電極 45 およびパッド電極 48 の材料としては、Cu、Al、W または Sn を主成分とする材料を用いることができる。

また、貫通孔 41 の深さが $70\ \mu\text{m}$ 、直径が $70\ \mu\text{m}$ の場合、絶縁層 43 の膜厚は、例えば、 $1\ \mu\text{m}$ とすることができ、貫通電極 45 の膜厚は、例えば、 $10\ \mu\text{m}$ とすることができ、貫通孔 41 の底面上のソルダレジスト膜 46 の膜厚は、例えば、 $40\ \mu\text{m}$ 、貫通孔 41 の側壁上のソルダレジスト膜 46 の膜厚は、例えば、 $20\ \mu\text{m}$ とすることができ、

20

【0028】

ここで、貫通電極 45 の先端が、開口部 22 を介してパッド電極 21b の一部を突き抜けるように構成することにより、貫通電極 45 とパッド電極 21b との間の接触面積を増大させることが可能となる。このため、貫通電極 45 とパッド電極 21b との間の密着性を向上させることが可能となり、貫通電極 45 とパッド電極 21b との間にバリアメタル膜 20b、42 が介在している場合においても、貫通電極 45 とパッド電極 21b とが剥がれ難くすることができる。また、バリアメタル膜 20b を残して開口部 22 を介してパッド電極 21b の一部を突き抜けるように形成する際に、例えば RIE (Reactive Ion Etching) 法や Wet 法を用いた場合でも、パッド電極 21b の電極材料と直接接触することが無いため、電極材料に対して例えば腐食などを防ぐことができる。

30

【0029】

また、パッド電極 21b に開口部 22 を設けることにより、Cu などの柔らかい材料がパッド電極 21b に用いられている場合においても、ダマシン法にて層間絶縁層 19 にパッド電極 21b を埋め込むための CMP 時に、パッド電極 21b が過剰に除去されるエロージョンを抑制することができる。このため、パッド電極 21b の抵抗が増大したり、エレクトロマイグレーションやストレスマイグレーションなどで信頼性が劣化したりするのを抑制することができる。

40

【0030】

また、パッド電極 21b 上にエッチストップ膜 23 を積層することにより、パッド電極 21b に開口部 22 が設けられている場合においても、層間絶縁層 16 に開口部 42 を形成するためのエッチング時に、開口部 22 を介して開口部 42 が層間絶縁層 24 を突き抜け、パッド電極 21b の上層に形成された上層配線に到達するのを防止することができる。このため、パッド電極 21b に開口部 22 が設けられている場合においても、パッド電極 21b の上層に形成された上層配線に貫通電極 45 が接続されるのを防止することができる。貫通電極 45 のショート不良を防止することができる。

【0031】

50

また、例えばR I E法を用いて貫通電極45の先端が開口部22を突き抜けるように形成する際に、例えば半導体基板11をS i、層間絶縁膜16、19をS i O₂とすると、半導体基板11をS F₆系のガスを用いて加工することで、半導体基板11と層間絶縁膜の間の加工選択比は100程度になる。そのため、70umの半導体基板11を加工しても半導体基板11と層間絶縁膜16の境界で加工が止まる。次の層間絶縁膜16と開口部22を含む層間絶縁膜19を例えばC₄F₈系のガスを用いて加工することで、バリアメタル膜20bとの加工選択比は30以上となる。そのため、開口部22はバリアメタル膜20bをマスクに加工することができる。

【0032】

また、パッド電極21b上にエッチストップ膜23を積層することにより、バリアメタル膜20bとともにパッド電極21bの周囲を囲むことが可能となる。このため、エッチストップ膜23およびバリアメタル膜20bによってパッド電極21bの材料が周囲に拡散するのを抑制することが可能となり、Cuなどの材料がパッド電極21bに用いられている場合においても、半導体基板11およびゲート電極13a、13bにCuなどが侵入するのを抑制することが可能となり、半導体基板11に形成された電界効果トランジスタの特性を劣化させたり、ゲート電極13a、13bの信頼性を劣化させたりするのを抑制することができる。

【0033】

(第2実施形態)

図2～図6は、本発明の第2実施形態に係る半導体装置の製造方法を示す断面図である。

図2において、半導体基板11上にゲート絶縁膜12a、12bをそれぞれ介してゲート電極13a、13bを形成する。そして、ゲート電極13a、13bの側壁にサイドウォール15a、15bをそれぞれ形成した後、半導体基板11に不純物をイオン注入することで、不純物導入層14a、14a'、14b、14b'を形成する。

【0034】

そして、CVDなどの方法を用いることで、半導体基板11およびゲート電極13a、13b上に層間絶縁層16を形成する。なお、層間絶縁層16の材質としては、例えば、S i O₂膜を用いることができる。また、層間絶縁層16の膜厚は、例えば、0.5μmとすることができる。

【0035】

次に、ダマシンなどの方法を用いることで、バリアメタル膜17aを介して不純物導入層14a'に接続されたコンタクトプラグ18aを層間絶縁層16に埋め込むとともに、バリアメタル膜17bを介してゲート電極13bに接続されたコンタクトプラグ18bを層間絶縁層16に埋め込む。

次に、CVDなどの方法を用いることで、層間絶縁層16およびコンタクトプラグ18a、18b上に層間絶縁層19を形成する。

【0036】

次に、ダマシンなどの方法を用いることで、バリアメタル膜20aを介してコンタクトプラグ18aに接続された配線21aを層間絶縁層19に埋め込むとともに、バリアメタル膜20bを介してコンタクトプラグ18bに接続されたパッド電極21bを層間絶縁層19に埋め込む。

【0037】

ここで、パッド電極21bに開口部22を設けることにより、Cuなどの柔らかい材料がパッド電極21bに用いられている場合においても、ダマシン法にて層間絶縁層19にパッド電極21bを埋め込むためのCMP時に、パッド電極21bが過剰に除去されるエロージョンを抑制することができる。

なお、配線21aおよびパッド電極21bの形成は、ダマシン法以外にも、フォトグラフィ技術およびドライエッチング技術を用いて導電膜をパターンングする方法を用いるようにしてもよい。

10

20

30

40

50

【0038】

次に、CVDなどの方法を用いることで、層間絶縁層19、配線21aおよびパッド電極21b上にエッチストップ膜23を形成する。なお、エッチストップ膜23の材質としては、例えば、SiN膜を用いることができる。また、エッチストップ膜23の膜厚は、例えば、0.1 μ mとすることができる。

【0039】

ここで、エッチストップ膜23はバリア膜としての機能も併せ持つことができ、バリアメタル膜20bとともにパッド電極21bの材料が周囲に拡散するのを抑制することが可能となる。このため、Cuなどの材料がパッド電極21bに用いられている場合においても、半導体基板11およびゲート電極13a、13bにCuなどが侵入するのを抑制することが可能となり、電界効果トランジスタなどの特性の劣化を抑制することができる。

10

【0040】

次に、CVDなどの方法を用いることで、エッチストップ膜23上に層間絶縁層24を形成する。そして、デュアルダマシンなどの方法を用いることで、配線21aに接続されたコンタクトプラグ26aおよび配線28aをバリアメタル膜25a、27aをそれぞれ介してエッチストップ膜23および層間絶縁層24に埋め込むとともに、パッド電極21bに接続されたコンタクトプラグ26bおよび配線28bをバリアメタル膜25b、27bをそれぞれ介してエッチストップ膜23および層間絶縁層24に埋め込む。

【0041】

次に、CVDなどの方法を用いることで、層間絶縁層19および配線28a、28b上にエッチストップ膜29を形成する。そして、CVDなどの方法を用いることで、エッチストップ膜29上に層間絶縁層30を形成する。そして、ダマシンなどの方法を用いることで、バリアメタル膜31を介して配線28bに接続されたコンタクトプラグ32をエッチストップ膜29および層間絶縁層30に埋め込む。

20

そして、コンタクトプラグ32に接続されたパッド電極34をバリアメタル膜33を介して層間絶縁層30上に形成する。そして、層間絶縁層30およびパッド電極34上に保護膜35を形成し、パッド電極34の表面を露出させる開口部36を保護膜35に形成する。

【0042】

次に、図3に示すように、半導体基板11の裏面を研削することにより、半導体基板11の厚さが100 μ m程度以下になるように半導体基板11を薄膜化する。なお、半導体基板11の厚さが100 μ m程度以下になるように薄膜化する場合、半導体基板11の表面にサポート基板を接着することが好ましい。このサポート基板は、半導体基板11に接着させた後、必要に応じて剥離できるものが好ましい。

30

【0043】

そして、フォトリソグラフィ技術を用いることにより、貫通孔41の開口に対応した開口部が設けられたレジストパターンを半導体基板11の裏面に形成する。そして、このレジストパターンをマスクとして半導体基板11のドライエッチングを行うことで、半導体基板11に貫通孔41を形成する。そして、アッシングなどの方法を用いることで、半導体基板11の裏面に形成されたレジストパターンを除去する。

40

【0044】

次に、図4に示すように、CVDなどの方法を用いることで、貫通孔41の側壁が覆われるようにして、半導体基板11の裏面に絶縁層43を形成する。なお、絶縁層43としては、例えば、SiO₂膜を用いることができ、絶縁層43の膜厚は、例えば、1 μ mとすることができる。

【0045】

次に、図5に示すように、絶縁層43および層間絶縁層16、19のドライエッチングを行うことで、絶縁層43および層間絶縁層16に開口部42を形成するとともに、パッド電極21bの開口部22内の層間絶縁層19を除去する。

【0046】

50

ここで、パッド電極 2 1 b 上にエッチストップ膜 2 3 を積層することにより、開口部 2 2 内の層間絶縁層 1 9 を除去した時に、開口部 4 2 が開口部 2 2 を介して層間絶縁層 2 4 を突き抜け、パッド電極 2 1 b の上層に形成された上層配線に到達するのを防止することができる。

【 0 0 4 7 】

なお、絶縁層 4 3 および層間絶縁層 1 6、1 9 の材料として SiO_2 、エッチストップ膜 2 3 の材料として SiN を用いた場合、 $\text{C}_4\text{F}_8 / \text{CO} / \text{Ar}$ 系のエッチングガスを用いることで、絶縁層 4 3 および層間絶縁層 1 6、1 9 とエッチストップ膜 2 3 との選択比を 2 0 以上確保することができる。

【 0 0 4 8 】

次に、図 6 に示すように、スパッタなどの方法を用いることで、パッド電極 2 1 b の裏面、開口部 2 2、4 2 および貫通孔 4 1 の側壁が覆われるようにして、半導体基板 1 1 の裏面にバリアメタル膜 4 4 を形成する。なお、バリアメタル膜 4 4 は、シード電極としての機能も併せ持たせることができる。

【 0 0 4 9 】

そして、フォトリソグラフィ技術を用いることにより、選択メッキ用のレジストパターンをバリアメタル膜 4 4 上に形成する。そして、この選択メッキ用のレジストパターンをマスクとして電解めっきを行うことにより、パッド電極 2 1 b に電氣的に接続された貫通電極 4 5 および貫通電極 4 5 に接続されたパッド電極 4 8 をバリアメタル膜 4 4 上に形成する。

【 0 0 5 0 】

そして、この選択メッキ用のレジストパターンを除去した後、貫通電極 4 5 およびパッド電極 4 8 をマスクとして酸系のエッチング液でバリアメタル膜 4 4 をウェットエッチングすることにより、貫通電極 4 5 およびパッド電極 4 8 から露出したバリアメタル膜 4 4 を除去する。

【 0 0 5 1 】

ここで、パッド電極 2 1 b に開口部 2 2 を設けることにより、貫通電極 4 5 の先端がパッド電極 2 1 b の一部を突き抜けるように構成することができ、貫通電極 4 5 とパッド電極 2 1 b との間の密着性を向上させることが可能となる。

【 0 0 5 2 】

次に、図 1 - 1 に示すように、貫通孔 4 1 内に埋め込まれるようにして、貫通電極 4 5 およびパッド電極 4 8 を覆うソルダレジスト膜 4 6 を半導体基板 1 1 の裏面側に形成する。そして、パッド電極 4 8 の表面を露出させる開口部 4 7 をソルダレジスト膜 4 6 に形成する。

なお、ソルダレジスト膜 4 6 の材料としては、例えば、アクリル系の有機材料などを使用することができ、ソルダレジスト膜 4 6 は、水分などにより貫通電極 4 5 およびパッド電極 4 8 が腐食するのを防ぐための腐食防止剤として機能することができる。

【 0 0 5 3 】

ここで、貫通電極 4 5 とパッド電極 2 1 b との間の密着性を向上させることで、ソルダレジスト膜 4 6 の架橋反応により熱収縮が発生したり、温度に対して膨張と収縮を繰り返すようなヒステリシスなストレスを持つ場合においても、貫通電極 4 5 がパッド電極 2 1 b から剥離するのを抑制することが可能となる。

【 0 0 5 4 】

以上の製造方法により、貫通電極 4 5 を 1 0 0 個連ねたピアチェイン構造を形成した。このピアチェイン構造が形成されたテストチップを 5 0 個だけ用いて、- 5 5 から 1 5 0 までの温度サイクル試験を実施した。この結果、1 0 0 0 サイクル分の試験に対しても、不良は 1 個も発生しなかった。また、同じテストチップを用いて、温度が 1 3 0、湿度が 8 5 % の P C T 試験を 1 0 0 0 時間行ったが、同様に不良は発生しなかった。

【 0 0 5 5 】

(第 3 実施形態)

10

20

30

40

50

図 7 は、本発明の第 3 実施形態に係る半導体モジュールの概略構成を示す断面図である。

図 7 において、トランジスタなどの半導体素子が表面側に形成された半導体基板 5 1 上には、多層配線層 5 2 が形成されている。ここで、多層配線層 5 2 の下層には、パッド電極 5 3 が形成され、多層配線層 5 2 の最上層にはパッド電極 5 5 が形成され、パッド電極 5 3、5 5 はコンタクトプラグ 5 4 を介して互いに接続されている。なお、多層配線層 5 2 は、図 1 - 1 の半導体基板 1 1 上に形成された配線層と同様の構成をとることができ、特に、パッド電極 5 3 は、図 1 - 1 のパッド電極 2 1 b と同様の構成をとることができる。ここで、多層配線層 5 2 が形成された半導体基板 5 1 には、例えば、CCD イメージセンサや CMOS イメージセンサなどに用いられる撮像素子を形成することができる。

10

【0056】

一方、半導体基板 5 1 には、半導体基板 5 1 を裏面から貫通する貫通孔 6 1 が形成されている。そして、半導体基板 5 1 の裏面および貫通孔 6 1 の側壁には、絶縁層 6 2 が形成され、貫通孔 6 1 には、パッド電極 5 3 に電氣的に接続されるとともに、半導体基板 5 1 の裏面側に引き出された貫通電極 6 3 が絶縁層 6 2 を介して埋め込まれている。そして、半導体基板 5 1 の裏面には、貫通電極 6 3 に接続されたパッド電極 6 7 が絶縁層 6 2 を介して形成されている。

【0057】

また、絶縁層 6 2 上には、貫通孔 6 1 内に埋め込まれるようにして、貫通電極 6 3 およびパッド電極 6 7 を覆うソルダレジスト膜 6 4 が形成されている。そして、ソルダレジスト膜 6 4 には、パッド電極 6 7 の表面を露出させる開口部 6 5 が形成され、パッド電極 6 7 上には突出電極 6 6 が形成されている。なお、突出電極 6 6 としては、例えば、ハンダボールあるいは Au パンプ、半田材などで被覆された Cu パンプまたは Ni パンプなどを用いることができる。また、半導体基板 5 1 に形成された貫通電極 6 3 の構造は、図 1 - 1 の貫通電極 4 5 と同様の構造をとることができる。

20

【0058】

また、半導体基板 5 1 上の多層配線層 5 2 上には、接着層 7 2 を介してガラス基板 7 1 が貼り合わされている。なお、接着層 7 2 としては、例えば、フォトレジストを用いることができる。

【0059】

一方、マザー基板 7 6 上には、ランド電極 7 7 が形成されている。そして、突出電極 6 6 をランド電極 7 7 上に接合させることにより、半導体基板 5 1 がマザー基板 7 6 上にフリップチップ実装されている。そして、ガラス基板 7 1 が貼り合わされた半導体基板 5 1 は、鏡筒 7 5 内に配置され、ガラス基板 7 1 上には、フィルタ板 7 3 を介してレンズ 7 4 が搭載されている。

30

【0060】

ここで、半導体基板 5 1 に貫通電極 6 3 を形成することにより、半導体基板 5 1 とマザー基板 7 6 との電氣的な接続をボンディングワイヤにて行う必要がなくなり、実装面積を削減することが可能となる。

【0061】

(第 4 実施形態)

図 8 は、本発明の第 4 実施形態に係る半導体モジュールの概略構成を示す断面図である。

図 8 において、半導体チップ K 1 には、トランジスタなどの半導体素子が表面側に形成された半導体基板 8 1 が設けられ、半導体基板 8 1 上には、多層配線層 8 2 が形成されている。ここで、多層配線層 8 2 の下層には、パッド電極 8 3 が形成され、多層配線層 8 2 の最上層にはパッド電極 8 5 が形成され、パッド電極 8 3、8 5 はコンタクトプラグ 8 4 を介して互いに接続されている。なお、多層配線層 8 2 は、図 1 - 1 の半導体基板 1 1 上に形成された配線層と同様の構成をとることができ、特に、パッド電極 8 3 は、図 1 - 1 のパッド電極 2 1 b と同様の構成をとることができる。

40

50

【 0 0 6 2 】

一方、半導体基板 8 1 には、半導体基板 8 1 を裏面から貫通する貫通孔 9 1 が形成されている。そして、半導体基板 8 1 の裏面および貫通孔 9 1 の側壁には、絶縁層 9 2 が形成され、貫通孔 9 1 には、パッド電極 8 3 に電氣的に接続されるとともに、半導体基板 8 1 の裏面側に引き出された貫通電極 9 3 が絶縁層 9 2 を介して埋め込まれている。そして、半導体基板 8 1 の裏面には、貫通電極 9 3 に接続されたパッド電極 9 7 が絶縁層 9 2 を介して形成されている。なお、パッド電極 9 7 は、パッド電極 8 5 の直下にくるように配置することができる。

【 0 0 6 3 】

また、絶縁層 9 2 上には、貫通孔 9 1 内に埋め込まれるようにして、貫通電極 9 3 およびパッド電極 9 7 を覆うソルダレジスト膜 9 4 が形成されている。そして、ソルダレジスト膜 9 4 には、パッド電極 9 7 の表面を露出させる開口部 9 5 が形成され、パッド電極 9 7 上には突出電極 9 6 が形成されている。なお、半導体基板 8 1 に形成された貫通電極 9 3 の構造は、図 1 - 1 の貫通電極 4 5 と同様の構造をとることができる。

10

【 0 0 6 4 】

また、半導体チップ K 2、K 3 も半導体チップ K 1 と同様の構成をとることができる。そして、半導体チップ K 1 ~ K 3 は、突出電極 9 6 を介して互いに積層されている。

【 0 0 6 5 】

ここで、半導体基板 8 1 に貫通電極 9 3 を形成することにより、半導体チップ K 1 ~ K 3 の積層数を制限されることなく、半導体チップ K 1 ~ K 3 をフリップチップ実装することが可能となり、実装面積を削減することが可能となる。なお、図 8 の実施形態では、半導体チップ K 1 ~ K 3 の積層数が 3 である場合を例にとって説明したが、半導体チップ K 1 ~ K 3 の積層数は 3 に限定されることなく、2 以上ならばいくつでもよい。

20

【 0 0 6 6 】

(第 5 実施形態)

図 9 は、本発明の第 5 実施形態に係る半導体装置の概略構成を示す断面図である。

図 9 において、半導体基板 1 1 上には、図 1 の構成に加え、バリアメタル膜 1 1 1 およびストッパ電極 1 1 2 が設けられるとともに、図 1 のバリアメタル膜 4 4 および貫通電極 4 5 の代わりにバリアメタル膜 1 1 3 および貫通電極 1 1 4 が設けられている。

【 0 0 6 7 】

ここで、ストッパ電極 1 1 2 は、パッド電極 2 1 b と重なるようにしてパッド電極 2 1 b の上層の配線層に設けることができる。例えば、ストッパ電極 1 1 2 は、配線 2 8 a、2 8 b と同一の配線層に形成することができ、バリアメタル膜 1 1 1 を介して層間絶縁層 2 4 に埋め込まれている。なお、ストッパ電極 1 1 2 の形状は、半導体基板 1 1 上に形成されたいずれの配線とも接続されていない孤立パターンとすることができる。

30

【 0 0 6 8 】

また、貫通孔 4 1 および開口部 4 2 には、パッド電極 2 1 b に電氣的に接続されるとともに、半導体基板 1 1 の裏面側に引き出された貫通電極 1 1 4 がバリアメタル膜 1 1 3 を介して埋め込まれている。ここで、貫通電極 1 1 4 の先端は、パッド電極 2 1 b の開口部 2 2 を介してエッチストッパ膜 2 3 および層間絶縁層 2 4 を付き抜け、ストッパ電極 1 1 2 で止められるように構成されている。

40

【 0 0 6 9 】

これにより、層間絶縁層 1 6 に開口部 4 2 を形成するためのエッチング時に、開口部 2 2 を介してエッチストッパ膜 2 3 および層間絶縁層 2 4 を突き抜けた場合においても、貫通電極 1 1 4 をストッパ電極 1 1 2 で止めることが可能となり、貫通電極 1 1 4 のショート不良を防止することができる。

【 0 0 7 0 】

また、バリアメタル膜 2 0 b を残して開口部 2 2 を介してパッド電極 2 1 b の一部を突き抜けるように形成する際に、例えば R I E (R e a c t i v e I o n E t c h i n g) 法や W e t 法を用いた場合でも、パッド電極 2 1 b の電極材料と直接接触することが

50

無いため、電極材料に対して例えば腐食などを防ぐことができる。

【0071】

また、例えばR I E法を用いて貫通電極45の先端が開口部22を突き抜けるように形成する際に、例えば半導体基板11をSi、層間絶縁膜16、19をSiO₂とすると、半導体基板11をSF₆系のガスを用いて加工することで、半導体基板11と層間絶縁膜の間の加工選択比は100程度になる。そのため、70umの半導体基板11を加工しても半導体基板11と層間絶縁膜16の境界で加工が止まる。次の層間絶縁膜16と開口部22を含む層間絶縁膜19を例えばC₄F₈系のガスを用いて加工することで、バリアメタル膜20bとの加工選択比は30以上となる。そのため、開口部22はバリアメタル膜20bをマスクに加工することができる。

10

【0072】

(第6実施形態)

図10は、本発明の第6実施形態に係る半導体装置の概略構成を示す断面図である。

図10において、図1のバリアメタル膜27bおよび貫通電極28bの代わりにバリアメタル膜121およびストッパ電極122が設けられるとともに、図1のバリアメタル膜44および貫通電極45の代わりにバリアメタル膜123および貫通電極124が設けられている。

【0073】

ここで、ストッパ電極122は、パッド電極21bと重なるようにしてパッド電極21bの上層の配線層に設けるとともに、貫通電極28bと同電位の配線に接続することができる。例えば、ストッパ電極122は、配線28a、28bと同一の配線層に形成し、バリアメタル膜121を介して層間絶縁層24に埋め込むことができる。また、ストッパ電極122は、コンタクトプラグ26bを介してパッド電極21bに接続するとともに、コンタクトプラグ32を介してパッド電極34に接続することができる。

20

【0074】

また、貫通孔41および開口部42には、パッド電極21bに電氣的に接続されるとともに、半導体基板11の裏面側に引き出された貫通電極124がバリアメタル膜123を介して埋め込まれている。ここで、貫通電極124の先端は、パッド電極21bの開口部22を介してエッチストッパ膜23および層間絶縁層24を付き抜け、ストッパ電極122で止められるように構成されている。

30

【0075】

これにより、層間絶縁層16に開口部42を形成するためのエッチング時に、開口部22を介してエッチストッパ膜23および層間絶縁層24を突き抜けた場合においても、パッド電極21bの上層に孤立パターンを形成することなく、貫通電極124をストッパ電極122で止めることが可能となり、貫通電極124のショート不良を防止することができる。

【0076】

また、バリアメタル膜20bを残して開口部22を介してパッド電極21bの一部を突き抜けるように形成する際に、例えばR I E (R e a c t i v e I o n E t c h i n g) 法やW e t法を用いた場合でも、パッド電極21bの電極材料と直接接触することが無いため、電極材料に対して例えば腐食などを防ぐことができる。

40

【0077】

また、例えばR I E法を用いて貫通電極45の先端が開口部22を突き抜けるように形成する際に、例えば半導体基板11をSi、層間絶縁膜16、19をSiO₂とすると、半導体基板11をSF₆系のガスを用いて加工することで、半導体基板11と層間絶縁膜の間の加工選択比は100程度になる。そのため、70umの半導体基板11を加工しても半導体基板11と層間絶縁膜16の境界で加工が止まる。次の層間絶縁膜16と開口部22を含む層間絶縁膜19を例えばC₄F₈系のガスを用いて加工することで、バリアメタル膜20bとの加工選択比は30以上となる。そのため、開口部22はバリアメタル膜20bをマスクに加工することができる。

50

【図面の簡単な説明】

【0078】

【図1-1】本発明の第1実施形態に係る半導体装置の概略構成を示す断面図。

【図1-2】図1-1のパッド電極21bの概略構成の一例を示す平面図。

【図1-3】図1-1のパッド電極21bの概略構成のその他の例を示す平面図。

【図2】本発明の第2実施形態に係る半導体装置の製造方法を示す断面図。

【図3】本発明の第2実施形態に係る半導体装置の製造方法を示す断面図。

【図4】本発明の第2実施形態に係る半導体装置の製造方法を示す断面図。

【図5】本発明の第2実施形態に係る半導体装置の製造方法を示す断面図。

【図6】本発明の第2実施形態に係る半導体装置の製造方法を示す断面図。

【図7】本発明の第3実施形態に係る半導体モジュールの概略構成を示す断面図。

【図8】本発明の第4実施形態に係る半導体モジュールの概略構成を示す断面図。

【図9】本発明の第5実施形態に係る半導体装置の概略構成を示す断面図。

【図10】本発明の第6実施形態に係る半導体装置の概略構成を示す断面図。

【符号の説明】

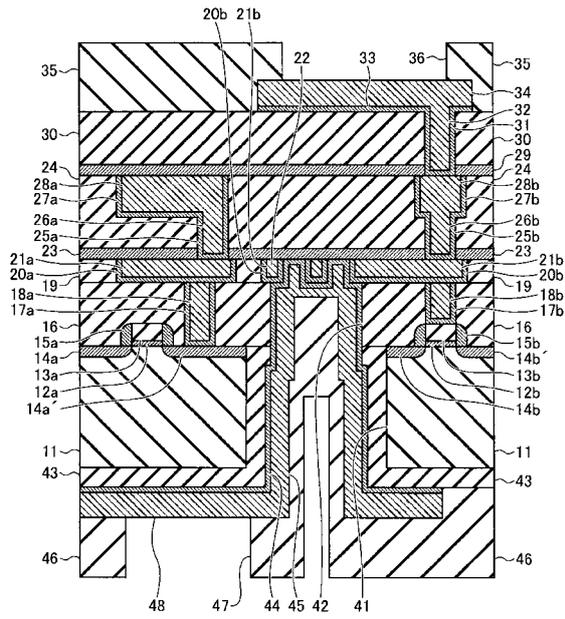
【0079】

11、51、81 半導体基板、12a、12b ゲート絶縁膜、13a、13b ゲート電極、14a、14b、14a'、14b' 不純物導入層、15a、15b サイドウォール、16、19、24、30 層間絶縁層、17a、17b、20a、20b、25a、25b、27a、27b、31、33、44、84、111、113、121、123 パリアメタル膜、18a、18b、26a、26b、32、54 コンタクトプラグ、21a、28a、28b 配線、21b、21b'、34、48、53、55、67、83、85、97 パッド電極、22、22'、47、65、95 開口部、23、29 エッチストップ膜、35 保護膜、36、42 開口部、41、61、91 貫通孔、43、62、92 絶縁層、45、63、93、114、124 貫通電極、46、64、94 ソルダレジスト膜、52、82 多層配線層、66、96 突出電極、71 ガラス基板、72 接着層、73 フィルタ板、74 レンズ、75 鏡筒、76 マザー基板、77 ランド電極、K1~K3 半導体チップ、112、122 ストップ電極

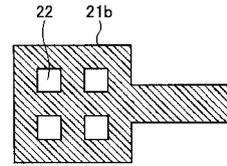
10

20

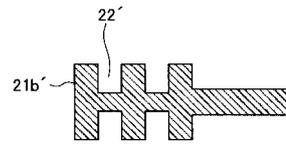
【 図 1 - 1 】



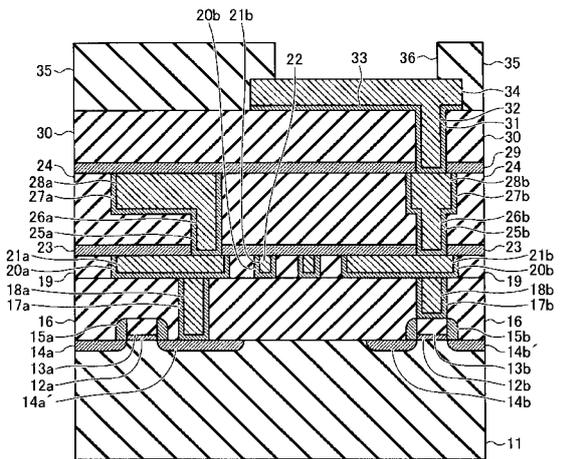
【 図 1 - 2 】



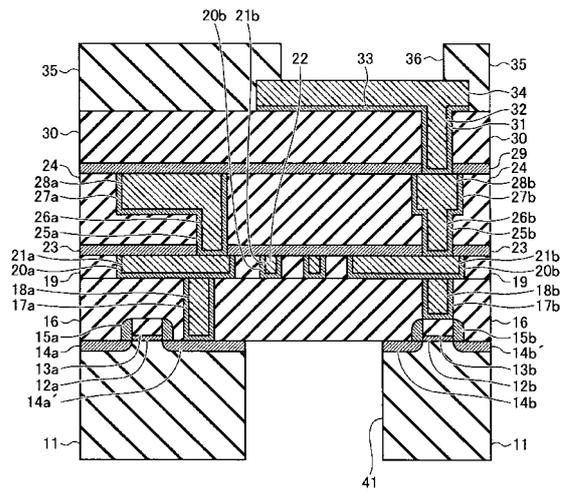
【 図 1 - 3 】



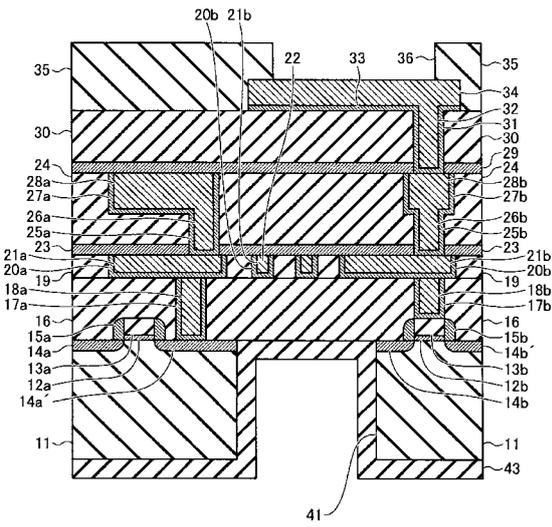
【 図 2 】



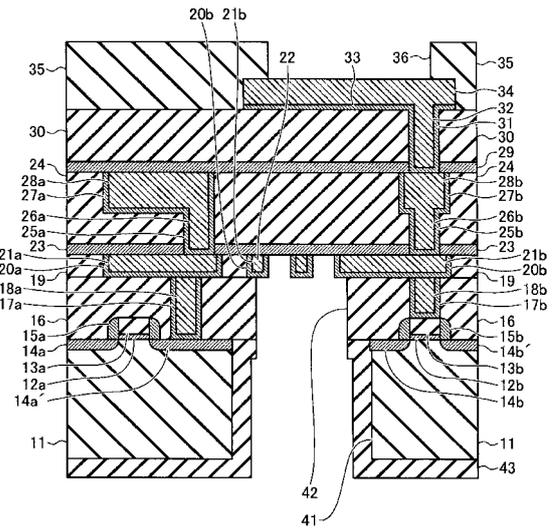
【 図 3 】



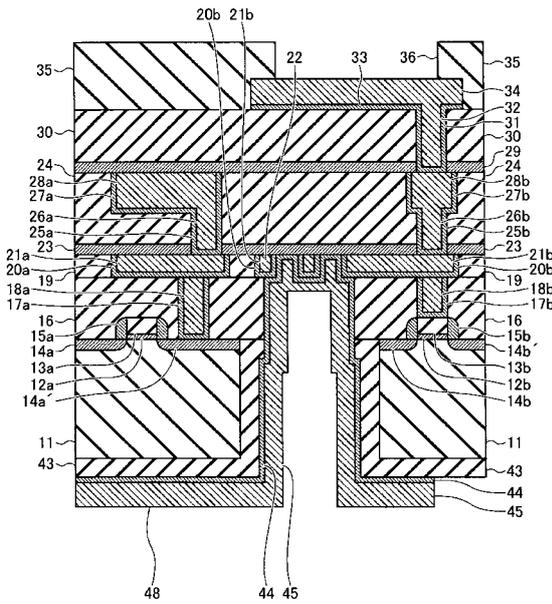
【 図 4 】



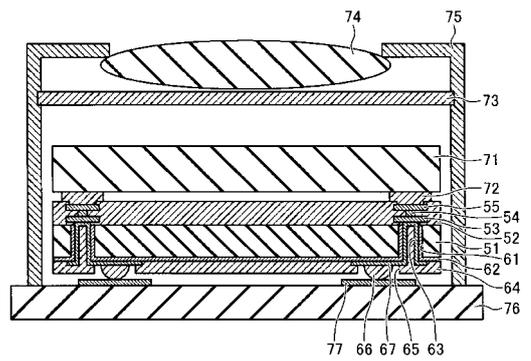
【 図 5 】



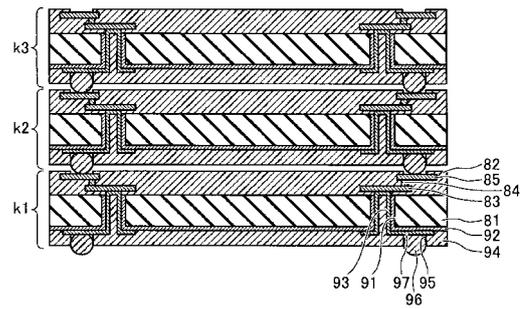
【 図 6 】



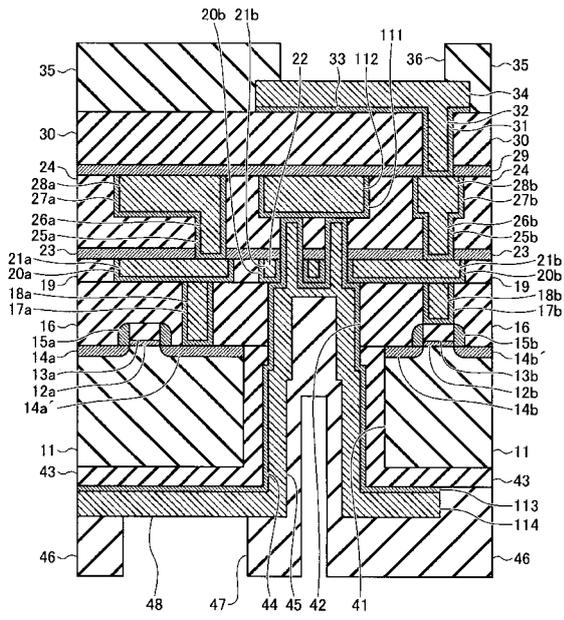
【 図 7 】



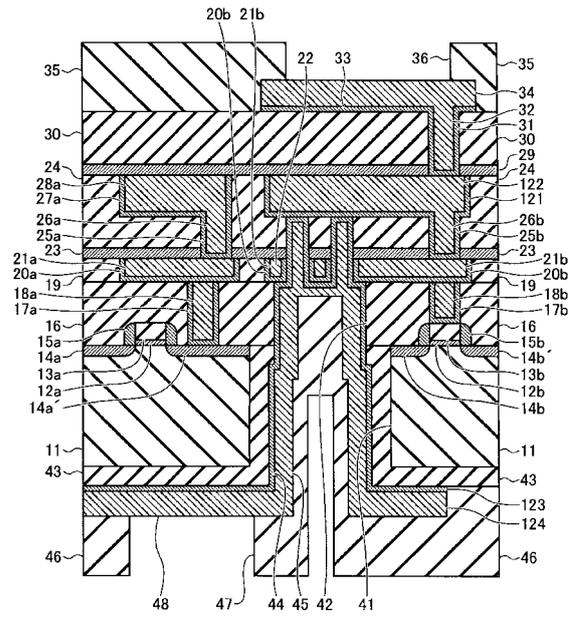
【 図 8 】



【 図 9 】



【 図 1 0 】



フロントページの続き

Fターム(参考) 5F033 GG01 GG02 HH07 HH08 HH11 HH18 HH19 HH21 HH32 HH33
JJ07 JJ08 JJ11 JJ18 JJ19 JJ21 JJ32 JJ33 KK07 KK08
KK11 KK18 KK19 KK21 KK32 KK33 MM01 MM12 MM13 MM30
NN06 NN07 NN16 NN39 PP15 PP27 QQ07 QQ08 QQ09 QQ11
QQ13 QQ19 QQ24 QQ25 QQ35 QQ37 QQ47 QQ48 RR01 RR04
RR06 SS11 TT07 VV07 XX13 XX18 XX31