



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년07월07일  
(11) 등록번호 10-0906236  
(24) 등록일자 2009년06월29일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2007-0066613

(22) 출원일자 2007년07월03일

심사청구일자 2007년07월03일

(65) 공개번호 10-2009-0003707

(43) 공개일자 2009년01월12일

(56) 선행기술조사문헌

KR1020010058570 A\*

KR1020010062922 A

US6136699 A

KR1020060110559 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

임현석

경기 화성시 반월동 신영통현대3차아파트 308동 202호

박인선

경기 수원시 영통구 영통동 신나무실6단지 신원아파트 644동104호

(뒷면에 계속)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 10 항

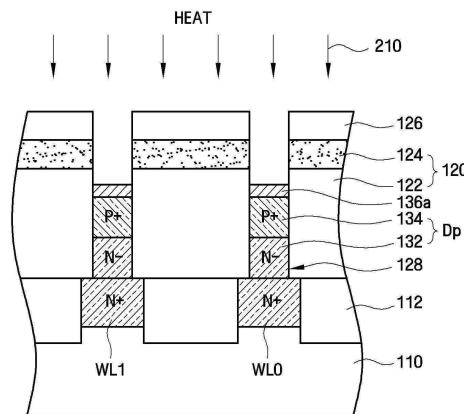
심사관 : 김기현

(54) 비휘발성 메모리 장치의 제조 방법 및 비휘발성 메모리장치

(57) 요약

저항체를 이용한 비휘발성 메모리 장치의 제조 방법 및 비휘발성 메모리 장치가 제공된다. 상기 비휘발성 메모리 장치의 제조 방법은 기판 상에 반도체 패턴을 형성하고, 반도체 패턴 상에 금속층을 형성하고, 기판을 열처리하여 반도체 패턴과 금속층을 반응시켜, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층을 형성하고, 혼합상 금속 실리사이드층이 형성된 기판을 식각 가스에 노출시키는 것을 포함한다.

대표도 - 도6



(72) 발명자

**오규환**

경기 화성시 안녕동 성호2차아파트 105동 1007호

**김도형**

경기 성남시 분당구 분당동 셋별마을라이프아파트  
106동 1605호

**강신재**

경기 용인시 기흥구 농서동 삼성전자(주)기흥공장  
마로니에동1105호

**특허청구의 범위**

**청구항 1**

기판 상에 반도체 패턴을 형성하고,

상기 반도체 패턴 상에 금속층을 형성하고,

상기 기판을 열처리하여 상기 반도체 패턴과 상기 금속층을 반응시켜, 적어도 2개의 상이 혼재하는 혼합상 (mixed phase) 금속 실리사이드층을 형성하되, 상기 혼합상 금속 실리사이드층은 CoSi 상과 CoSi<sub>2</sub> 상이 포함하고,

상기 혼합상 금속 실리사이드층이 형성된 기판을 식각 가스에 노출시키는 것을 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 2**

제 1항에 있어서, 상기 혼합상 금속 실리사이드층을 형성하는 것은,

상기 기판을 제1 열처리하고,

상기 기판을 상기 제1 열처리의 실시 온도보다 높은 온도로 제2 열처리하는 것을 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 3**

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

제 2항에 있어서,

상기 제2 열처리는 540℃ 내지 600℃ 에서 실시되는 비휘발성 메모리 장치의 제조 방법.

**청구항 4**

삭제

**청구항 5**

제 1항에 있어서,

상기 혼합상 금속 실리사이드층이 형성된 기판을 식각 가스에 노출시킨 후에, 상기 기판을 열처리하여 상기 혼합상 금속 실리사이드층을 단일상 금속 실리사이드층으로 변환시키는 것을 더 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 6**

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제 5항에 있어서,

상기 혼합상 금속 실리사이드층을 형성하는 것은, 상기 기판을 제1 열처리하고 상기 기판을 상기 제1 열처리의 실시 온도보다 높은 온도로 제2 열처리하는 것을 포함하고,

상기 단일상 금속 실리사이드층을 형성하는 것은, 상기 제2 열처리의 실시 온도보다 높은 온도로 열처리하는 비휘발성 메모리 장치의 제조 방법.

**청구항 7**

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제 5항에 있어서,

상기 단일상 금속 실리사이드층은 CoSi<sub>2</sub> 상을 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 8**

기판 상에, 개구부를 포함하는 절연막 패턴을 형성하고,  
 상기 개구부 내에 수직 셀 다이오드를 형성하고,  
 상기 수직 셀 다이오드 상에, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층을 형성하고,  
 상기 개구부 내에, 상기 혼합상 금속 실리사이드층 상에 스페이서를 형성하고,  
 상기 개구부 내에, 상기 스페이서에 둘러싸인 하부 전극 콘택을 형성하는 것을 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 9**

기판 상에, 개구부를 포함하는 제1 절연막 패턴을 형성하고,  
 상기 개구부 내에 수직 셀 다이오드를 형성하고,  
 상기 수직 셀 다이오드 상에, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층을 형성하고,  
 상기 제1 절연막 패턴 상에, 콘택홀을 포함하는 제2 절연막 패턴을 형성하고,  
 상기 콘택홀 내에, 상기 혼합상 금속 실리사이드층 상에 스페이서를 형성하고,  
 상기 콘택홀 내에, 상기 스페이서에 둘러싸인 하부 전극 콘택을 형성하는 것을 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 10**

제 8항 또는 제 9항에 있어서, 상기 혼합상 금속 실리사이드층을 형성하는 것은,  
 상기 수직 셀 다이오드 상에 금속층을 형성하고,  
 상기 기판을 제1 열처리하고,  
 상기 기판을 상기 제1 열처리의 실시 온도보다 높은 온도로 제2 열처리하여, 상기 혼합상 금속 실리사이드층을 완성하는 것을 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 11**

청구항 11은(는) 설정등록료 납부시 포기되었습니다.  
 제 10항에 있어서,  
 상기 제2 열처리는 540℃ 내지 600℃ 에서 실시되는 비휘발성 메모리 장치의 제조 방법.

**청구항 12**

제 8항 또는 제 9항에 있어서,  
 상기 혼합상 금속 실리사이드층은 CoSi 상과 CoSi<sub>2</sub> 상이 혼재되어 있는 비휘발성 메모리 장치의 제조 방법.

**청구항 13**

제 8항 또는 제 9항에 있어서,  
 상기 스페이서를 형성한 후에, 상기 기판을 열처리하여 상기 혼합상 금속 실리사이드층을 단일상 금속 실리사이드층으로 변환시키는 것을 더 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 14**

청구항 14은(는) 설정등록료 납부시 포기되었습니다.  
 제 13항에 있어서,

상기 혼합상 금속 실리사이드층을 형성하는 것은, 상기 수직 셀 다이오드 상에 금속층을 형성하고, 상기 기판을 제1 열처리하고, 상기 기판을 상기 제1 열처리의 실시 온도보다 높은 온도로 제2 열처리하는 것을 포함하고, 상기 단일상 금속 실리사이드층을 형성하는 것은, 상기 기판을 상기 제2 열처리의 실시 온도보다 높은 온도로 열처리하는 비휘발성 메모리 장치의 제조 방법.

**청구항 15**

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제 13항에 있어서,

상기 혼합상 금속 실리사이드층은 CoSi 상과 CoSi<sub>2</sub> 상이 혼재되어 있고, 상기 단일상 금속 실리사이드층은 CoSi<sub>2</sub> 상을 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 16**

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제 8항에 있어서, 상기 스페이서를 형성하는 것은,

상기 개구부 내에, 상기 혼합상 금속 실리사이드층 상에 스페이서용 절연막을 형성하고,

상기 스페이서용 절연막을 에치백하여 상기 스페이서를 완성하는 것을 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 17**

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 제2 절연막 패턴을 형성하는 것은, 상기 제1 절연막 패턴 상에 제2 절연막을 형성하고, 상기 제2 절연막을 식각하여 상기 콘택홀을 형성하는 것을 포함하고,

상기 스페이서를 형성하는 것은, 상기 콘택홀 내에, 상기 혼합상 금속 실리사이드층 상에 스페이서용 절연막을 형성하고, 상기 스페이서용 절연막을 에치백하여 형성하는 것을 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 18**

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제 8항 또는 제 9항에 있어서,

상기 하부 전극 콘택 상에 상변화 물질 패턴을 형성하는 것을 더 포함하는 비휘발성 메모리 장치의 제조 방법.

**청구항 19**

기판 상에 형성되고, 개구부를 포함하는 절연막 패턴;

상기 개구부 내에 형성된 수직 셀 다이오드;

상기 수직 셀 다이오드 상에 형성되고, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층;

상기 개구부 내에, 상기 혼합상 금속 실리사이드층 상에 형성된 스페이서; 및

상기 개구부 내에, 상기 스페이서에 둘러싸이도록 형성된 하부 전극 콘택을 포함하는 비휘발성 메모리 장치.

**청구항 20**

기판 상에 형성되고, 개구부를 포함하는 제1 절연막 패턴;

상기 개구부 내에 형성된 수직 셀 다이오드;

상기 수직 셀 다이오드 상에 형성되고, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층;

상기 제1 절연막 패턴 상에 형성되고, 컨택홀을 포함하는 제2 절연막 패턴;

상기 컨택홀 내에, 상기 혼합상 금속 실리사이드층 상에 형성된 스페이서; 및

상기 컨택홀 내에, 상기 스페이서에 둘러싸이도록 형성된 하부 전극 컨택을 포함하는 비휘발성 메모리 장치.

## 명세서

### 발명의 상세한 설명

#### 기술분야

<1> 본 발명은 저항체를 이용한 비휘발성 메모리 장치의 제조 방법, 및 그 제조 방법에 의해 제조된 비휘발성 메모리 장치에 관한 것이다.

#### 배경기술

<2> 저항체(resistance material)를 이용한 비휘발성 메모리 장치에는 상변화 메모리 장치(PRAM: Phase change Random Access Memory), 저항 메모리 장치(RRAM: Resistive RAM), 자기 메모리 장치(MRAM: Magnetic RAM) 등 있다. 동적 메모리 장치(DRAM: Dynamic RAM)나 플래시 메모리 장치는 전하(charge)를 이용하여 데이터를 저장하는 반면, 저항체를 이용한 비휘발성 메모리 장치는 칼코제나이드 합금(chalcogenide alloy)과 같은 상변화 물질의 상태 변화(PRAM), 가변 저항체의 저항 변화(RRAM), 강자성체의 자화상태에 따른 MTJ(Magnetic Tunnel Junction) 박막의 저항 변화(MRAM) 등을 이용하여 데이터를 저장한다.

<3> 이러한 저항체를 이용한 비휘발성 메모리 장치의 일 예로서 상변화 메모리 장치를 자세히 설명하면, 상변화 물질은 결정 상태에서는 저항이 낮고 비정질 상태에서는 저항이 높기 때문에, 결정 상태는 셋(set) 또는 0데이터로 정의하고 비정질 상태는 리셋(reset) 또는 1데이터로 정의한다. 또한, 상변화 메모리 장치는 상변화 물질에 셋 펄스 또는 리셋 펄스와 같은 라이트 펄스를 제공하고 이로 인해 발생하는 주열(joule)열을 이용하여 라이트하게 된다. 구체적으로, 1데이터를 라이트할 때는 리셋 펄스를 이용하여 상변화 물질을 녹는점 이상으로 가열한 후 빠르게 냉각시켜 비정질 상태가 되도록 하고, 0데이터를 라이트할 때에는 셋 펄스를 이용하여 상변화 물질을 결정화 온도 이상 녹는점 이하의 온도로 가열한 후 일정한 시간동안 그 온도를 유지한 후 냉각시켜 결정 상태가 되도록 한다.

<4> 이러한 상변화 메모리 장치를 고집적화하려 할 때 중요한 이슈(critical issue)는, 라이트할 때 사용되는 라이트 펄스의 양을 감소시키는 것이다. 종래에는 라이트 펄스를 감소시키기 위해, 상변화 물질과 접촉하고 있는 하부 전극 컨택(BEC)의 사이즈(size)를 스케일링(scaling)하거나, 상변화 물질에 질소를 도핑하는 등의 여러가지 방법이 연구되었으나, 이러한 방법들은 공정에 실제로 적용하기 어렵거나, 공정에 적용하더라도 여러가지 불량이 발생하여 장치의 신뢰성 특성이 떨어지게 되었다.

#### 발명의 내용

##### 해결하고자 하는 과제

<5> 본 발명이 이루고자 하는 과제는, 신뢰성 특성을 향상시킬 수 있는 비휘발성 메모리 장치의 제조 방법을 제공하는 것이다.

<6> 본 발명이 이루고자 하는 다른 과제는, 상기 제조 방법에 의해 제조된 비휘발성 메모리 장치를 제공하는 것이다.

<7> 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

##### 과제 해결수단

<8> 상기 과제를 달성하기 위한 본 발명의 일 태양에 따른 비휘발성 메모리 장치의 제조 방법은 기판 상에 반도체 패턴을 형성하고, 반도체 패턴 상에 금속층을 형성하고, 기판을 열처리하여 반도체 패턴과 금속층을 반응시켜, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층을 형성하고, 혼합상 금속 실리사이드층이 형성된 기판을 식각 가스에 노출시키는 것을 포함한다.

- <9> 상기 과제를 달성하기 위한 본 발명의 다른 태양에 따른 비휘발성 메모리 장치의 제조 방법은 기판 상에, 개구부를 포함하는 절연막 패턴을 형성하고, 개구부 내에 수직 셀 다이오드를 형성하고, 수직 셀 다이오드 상에, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층을 형성하고, 개구부 내에, 혼합상 금속 실리사이드층 상에 스페이서를 형성하고, 개구부 내에, 스페이서에 둘러싸인 하부 전극 콘택을 형성하는 것을 포함한다.
- <10> 상기 과제를 달성하기 위한 본 발명의 또 다른 태양에 따른 비휘발성 메모리 장치의 제조 방법은 기판 상에, 개구부를 포함하는 제1 절연막 패턴을 형성하고, 개구부 내에 수직 셀 다이오드를 형성하고, 수직 셀 다이오드 상에, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층을 형성하고, 제1 절연막 패턴 상에, 콘택홀을 포함하는 제2 절연막 패턴을 형성하고, 콘택홀 내에, 혼합상 금속 실리사이드층 상에 스페이서를 형성하고, 콘택홀 내에, 스페이서에 둘러싸인 하부 전극 콘택을 형성하는 것을 포함한다.
- <11> 상기 과제를 달성하기 위한 본 발명의 일 태양에 따른 비휘발성 메모리 장치는 기판 상에 형성되고, 개구부를 포함하는 절연막 패턴, 개구부 내에 형성된 수직 셀 다이오드, 수직 셀 다이오드 상에 형성되고, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층, 개구부 내에, 혼합상 금속 실리사이드층 상에 형성된 스페이서, 및 개구부 내에, 스페이서에 둘러싸이도록 형성된 하부 전극 콘택을 포함한다.
- <12> 상기 과제를 달성하기 위한 본 발명의 다른 태양에 따른 비휘발성 메모리 장치는 기판 상에 형성되고, 개구부를 포함하는 제1 절연막 패턴, 개구부 내에 형성된 수직 셀 다이오드, 수직 셀 다이오드 상에 형성되고, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층, 제1 절연막 패턴 상에 형성되고, 콘택홀을 포함하는 제2 절연막 패턴, 콘택홀 내에, 혼합상 금속 실리사이드층 상에 형성된 스페이서, 및 콘택홀 내에, 스페이서에 둘러싸이도록 형성된 하부 전극 콘택을 포함한다.

**효 과**

- <13> 상기한 바와 같은 비휘발성 메모리 장치의 제조 방법에 따르면, 수직 셀 다이오드의 오믹층(ohmic layer) 역할을 하는 금속 실리사이드층에 손상이 적기 때문에, 비휘발성 메모리 장치의 신뢰성 특성을 향상시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- <14> 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <15> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <16> 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- <17> 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- <18> 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- <19> 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술

분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

- <20> 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- <21> 이하, 본 발명의 실시예들은 상변화 메모리 장치(PRAM: Phase change Random Access Memory)를 이용하여 설명할 것이다. 그러나, 본 발명은 저항 메모리 장치(RRAM: Resistive RAM), 자기 메모리 장치(MRAM: Magnetic RAM) 등과 같이 저항체를 이용한 비휘발성 메모리 장치에 모두 적용될 수 있음은 본 발명이 속하는 기술의 당업자에게 자명하다.
- <22> 도 1 및 도 2는 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도 및 회로도이다. 본 발명의 실시예들에서는 설명의 편의를 위해서 16개의 메모리 뱅크를 예로 드나, 이에 제한되는 것은 아니다. 또한, 도 2에서는 설명의 편의상 제1 메모리 블록(BLK0)과 관련된 영역만을 중심으로 도시한다.
- <23> 우선, 도 1을 참조하면, 본 발명의 실시예들에 따른 비휘발성 메모리 장치는 다수의 메모리 뱅크(10\_1~10\_16), 다수의 센스 앰프 및 라이트 드라이버(20\_1~20\_8), 주변 회로 영역(30)을 포함한다.
- <24> 다수의 메모리 뱅크(10\_1~10\_16)는 각각 다수의 메모리 블록(BLK0~BLK7)으로 구성될 수 있고, 각 메모리 블록(10\_1~10\_16)은 매트릭스 형태로 배열된 다수의 비휘발성 메모리 셀을 포함한다. 본 발명의 실시예들에서는, 메모리 블록이 8개씩 배치된 경우를 예로 들었으나, 이에 한정되는 것은 아니다.
- <25> 또한, 도면에는 자세히 도시하지 않았으나, 메모리 뱅크(10\_1~10\_16)에 대응하여 라이트/리드하려는 비휘발성 메모리 셀의 행 및 열을 각각 지정하는 행 디코더 및 열 디코더가 배치된다.
- <26> 센스 앰프 및 라이트 드라이버(20\_1~20\_8)은 2개의 메모리 뱅크(10\_1~10\_16)에 대응하여 배치되어, 대응하는 메모리 뱅크에서의 리드 및 라이트 동작을 한다. 본 발명의 실시예들에서는, 센스 앰프 및 라이트 드라이버(20\_1~20\_8)가 2개의 메모리 뱅크(10\_1~10\_16)에 대응되는 경우를 예로 들었으나, 이에 한정되는 것은 아니다. 즉, 센스 앰프 및 라이트 드라이버(20\_1~20\_8)는 1개 또는 4개의 메모리 뱅크 등에 대응하여 배치되어도 무방하다.
- <27> 주변 회로 영역(30)에는 상기 행 디코더, 열 디코더, 센스 앰프 및 라이트 드라이버 등을 동작시키기 위한 다수의 로직 회로 블록과 전압 생성부가 배치된다.
- <28> 도 2를 참조하면, 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 메모리 블록(BLK0) 내에는, 다수의 비휘발성 메모리 셀(Cp), 다수의 비트 라인(BL0~BL3), 다수의 워드 라인(WL0, WL1)이 배치된다.
- <29> 다수의 비휘발성 메모리 셀(Cp)은 워드 라인(WL0, WL1)과 비트 라인(BL0~BL3)이 교차되는 영역에 위치한다. 비휘발성 메모리 셀(Cp)은 관통 전류에 따라 결정 상태 또는 비정질 상태로 변화하고, 각 상태마다 서로 다른 저항을 갖는 상변화 소자(Rp)와, 상변화 소자(Rp)에 흐르는 관통 전류를 제어하는 수직 셀 다이오드(Dp)를 포함한다. 여기서, 상변화 소자(Rp)는 2개의 원소를 화합한 GaSb, InSb, InSe, Sb<sub>2</sub>Te<sub>3</sub>, GeTe, 3개의 원소를 화합한 GeSbTe, GaSeTe, InSbTe, SnSb<sub>2</sub>Te<sub>4</sub>, InSbGe, 4개의 원소를 화합한 AgInSbTe, (GeSn)SbTe, GeSb(SeTe), Te<sub>81</sub>Ge<sub>15</sub>Sb<sub>2</sub>S<sub>2</sub> 등 다양한 종류의 물질로 구성될 수 있다. 예를 들어, 상변화 소자(Rp)는 게르마늄(Ge), 안티모니(Sb), 텔루리움(Te)으로 이루어진 GeSbTe를 포함할 수 있다. 도면에는, 상변화 소자(Rp)가 비트 라인(BL0~BL3)과 커플링되어 있고 수직 셀 다이오드(Dp)가 워드 라인(WL0, WL1)에 커플링되어 있는 것으로 도시되어 있으나, 반대로, 상변화 소자(Rp)가 워드 라인(WL0, WL1)과 커플링되어 있고 수직 셀 다이오드(Dp)가 비트 라인(BL0~BL3)에 커플링되어 있는 것으로 도시되어 있을 수 있다.
- <30> 이하에서, 도 2를 참조하여 비휘발성 메모리 장치의 동작을 설명한다.
- <31> 우선, 비휘발성 메모리 장치의 라이트 동작은, 상변화 소자(Rp)를 녹는점(melting temperature; Tm) 이상으로



가열한 후 빠르게 냉각시켜 논리 레벨 1의 비정질 상태로 되도록 하거나, 결정화 온도(crystallization; Tx) 이상 녹는점(Tm) 이하의 온도로 가열한 후 일정한 시간동안 그 온도를 유지한 후 냉각시켜 논리 레벨 0의 결정 상태가 되도록 한다. 여기서, 상변화 소자(Rp)를 상변화시키기 위해서는 상당히 높은 레벨의 라이트 전류가 가변 저항 물질(Rp)을 관통하게 되는데, 예를 들어 리셋을 시키기 위한 라이트 전류는 약 1mA 정도의 크기로 제공되고, 셋을 시키기 위한 라이트 전류의 0.6 내지 0.7mA 정도의 크기로 제공된다. 이러한 라이트 전류는 라이트 회로(미도시)로부터 제공되어 비트 라인(BL0~BL3), 수직 셀 다이오드(Dp)를 거쳐서 접지 전압으로 빠져 나가게 된다.

<32> 한편, 비휘발성 메모리 장치의 리드 동작은, 상변화 소자(Rp)가 상변화되지 않는 레벨의 리드 전류를 상변화 소자(Rp)에 제공하여 저장된 데이터를 리드하게 된다. 이러한 리드 전류는 리드 회로(미도시)로부터 제공되어 비트 라인(BL0~BL3), 수직 셀 다이오드(Dp)를 거쳐서 접지 전압으로 빠져 나가게 된다.

<33> 도 3a 내지 도 12b를 참조하여, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명한다. 도 3b, 도 4b, 도 11b, 도 12b는 각각 도 3a, 도 4a, 도 11a, 도 12a의 B-B'를 따라 절단한 단면도들이다.

<34> 우선, 도 3a 및 도 3b를 참조하면, 제1 도전형(예를 들어, P형)의 기판(110) 내에 소자 분리 영역(112)을 형성하여 다수의 액티브 영역을 정의한다. 예를 들어, 상기 다수의 액티브 영역은 제1 방향으로 연장되고, 서로 평행할 수 있다. 이러한 다수의 액티브 영역 내에 제2 도전형(예를 들어, N형)의 불순물을 임플란트하여 워드 라인(WL1, WL2)을 형성한다. 기판(110)은 실리콘 기판, SOI(Silicon On Insulator) 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판 등이 될 수 있다

<35> 여기서, 제1 도전형의 기판(110)에 제2 도전형의 불순물을 임플란트하여 워드 라인(WL1, WL2)을 형성하는 것을 설명하였으나, 이에 한정되는 것은 아니다. 예를 들어, 에피택시얼 성장을 이용하여 워드 라인(WL1, WL2)을 형성할 수도 있다. 구체적으로 예를 들면, 기판(110) 상에, 기판(110)의 소정 영역을 노출하는 다수의 개구부를 구비하는 몰드막 패턴을 형성한다. 이어서, 선택적 에피택시얼 성장(Selective Epitaxial Growth; SEG) 방식, 고상 에피택시얼 성장(Solid Phase Epitaxial; SPE) 방식 등을 이용하여, 상기 개구부 내에 에피택시얼층을 형성한다. 에피택시얼층이 성장된 기판(110)의 전면에 제2 도전형의 불순물을 이온 주입하여 다수의 워드 라인(WL0, WL1)을 완성한다. 다만, 선택적 에피택시얼 성장 또는 고상 에피택시얼 성장시 인시츄로 불순물이 도핑된 경우에는 이온 주입 공정을 생략할 수 있다.

<36> 도 4a 및 도 4b를 참조하면, 기판(110) 상에, 기판(110)을 노출하는 다수의 개구부(128)가 형성되어 있는 하부 절연막 패턴(120)과 희생막 패턴(126)을 형성한다.

<37> 구체적으로, 하부 절연막 패턴(120)은 제1 하부 절연막 패턴(122)과 제2 하부 절연막 패턴(124)을 포함할 수 있다. 희생막 패턴(126)은 제2 하부 절연막 패턴(124)에 대해서 식각 선택비를 갖는 물질로 이루어질 수 있고, 제2 하부 절연막 패턴(124)은 제1 하부 절연막 패턴(122)에 대해서 식각선택비를 갖는 물질로 이루어질 수 있다. 예를 들어, 제1 하부 절연막 패턴(122) 및 희생막 패턴(126)은 실리콘 산화막(SiO<sub>2</sub>)으로 이루어질 수 있고, 제2 하부 절연막 패턴(124)은 실리콘 산질화막(SiON) 또는 실리콘 질화막(SiN)로 이루어질 수 있다.

<38> 도 5를 참조하면, 개구부(128) 내에 제1 및 제2 반도체 패턴(132, 134)을 형성하여, 수직 셀 다이오드(Dp)를 형성한다.

<39> 이러한 제1 및 제2 반도체 패턴(132, 134)은 여러가지 방법을 통해서 형성할 수 있다. 예를 들어, 제1 및 제2 반도체 패턴(132, 134)은 선택적 에피택시얼 성장 방식을 이용하여 성장시킬 수 있는데, 제1 반도체 패턴(132)은 개구부(128)에 의해 노출된 워드 라인(WL0, WL1)을 씨드층으로 하여 성장시키고, 제2 반도체 패턴(134)은 제1 반도체 패턴(132)을 씨드층으로 하여 성장시킬 수 있다. 여기서, 워드 라인(WL0, WL1)이 단결정일 경우, 성장된 제1 및 제2 반도체 패턴(132, 134) 역시 단결정이 된다. 또는, 제1 및 제2 반도체 패턴(132, 134)은 고상 에피택시얼 성장(Solid Phase Epitaxial; SPE) 방식을 사용하여 형성할 수도 있다. 이어서, 제1 반도체 패턴(132)에는 제2 도전형(예를 들어, N형)의 불순물을 이온 주입하고, 제2 반도체 패턴(134)에는 제1 도전형(예를 들어, P형)의 불순물을 이온 주입한다. 다만, 선택적 에피택시얼 성장 또는 고상 에피택시얼 성장시 인시츄로 불순물이 도핑된 경우에는 이온 주입 공정을 생략할 수 있다.

<40> 그런데, 제1 반도체 패턴(132)은 워드 라인(WL0, WL1)보다 낮은 불순물 농도일 수 있고, 제2 반도체 패턴(134)의 불순물 농도는 제1 반도체 패턴(132)보다 높을 수 있다. 이는 셀 다이오드(Dp)는 역 바이어스(reverse bias)가 인가되는 경우, 역 바이어스된 수직 셀 다이오드(reverse biased vertical cell diode)를 통해서 흐르는 누설 전류를 감소시키기 위함이다. 역 바이어스는 라이트 또는 리드시 비선택된 상변화 메모리 셀의 수직 셀 다

이오드(Dp)에 인가될 수 있다.

- <41> 도 6을 참조하면, 수직 셀 다이오드(Dp) 상에, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층(136a)을 형성한다. 여기서, 혼합상 금속 실리사이드층(136a)은 수직 셀 다이오드(Dp)의 오믹층(ohmic layer) 역할을 한다.
- <42> 구체적으로 설명하면, 먼저, 수직 셀 다이오드(Dp) 상에 금속층을 형성한다. 금속층은 예를 들어, Co, Ni, Ti 중 적어도 하나를 포함할 수 있는데, 본 발명의 일 실시예에서는 Co를 사용한 경우를 예로 든다. 금속층은 PVD(Physical Vapor Deposition), CVD(Chemical Vapor Deposition), ALD(Atomic Layer Deposition)등의 방식으로 형성할 수 있다. 또한, 금속층의 두께는 후속의 제1 열처리 및 제2 열처리(210)를 통해서 금속층 아래의 소모되는 실리콘의 두께를 고려하여 결정할 수 있다. 모폴로지 개선을 위해서 금속층 상에 캡핑층을 더 형성할 수 있다. 캡핑층은 예를 들어, TiN, SiON, SiN 및 SiO<sub>2</sub> 중 적어도 하나를 포함할 수 있다.
- <43> 이어서, 기판(110)을 제1 열처리하여, 기판(110)과 금속층을 반응시킨다. 예를 들어, 제1 열처리는 약 460℃ ~ 540℃의 온도에서 실시될 수 있다. 제1 열처리는 RTA(Rapid Thermal Annealing) 방식을 사용할 수 있다. 이와 같은 제1 열처리를 통해서 프리(pre) 금속 실리사이드층이 형성되는데, 프리 금속 실리사이드층은 예를 들어, CoSi 상(phase)으로 이루어질 수 있다.
- <44> 이어서, 캡핑층 및 반응하지 않은 금속층을 제거한다. 캡핑층 및 반응하지 않은 금속층을 별도로 제거할 수도 있고, 캡핑층과 반응하지 않은 금속층을 동시에 제거할 수도 있다. 예를 들어, 금속층이 Co이고, 캡핑층이 TiN 인 경우에는, 황산으로 캡핑층과 반응하지 않은 금속층을 동시에 제거할 수 있다.
- <45> 이어서, 기판을 제1 열처리의 온도보다 높은 온도에서 제2 열처리(210)한다. 예를 들어, 제2 열처리(210)는 약 540℃ ~ 600℃의 온도에서 실시될 수 있다. 또한, 제2 열처리(210)는 RTA(Rapid Thermal Annealing) 방식을 사용할 수 있다. 이와 같은 제2 열처리(210)를 통해서 프리(pre) 금속 실리사이드층이, 혼합상 금속 실리사이드층(136a)으로 변화된다. 예를 들어, 혼합상 금속 실리사이드층(136a)은 CoSi 상과 CoSi<sub>2</sub> 상이 혼재되어 있을 수 있다. 만약, 제2 열처리가 약 700℃ 이상의 온도(예를 들어, 약 750℃ ~ 850℃)에서 실시될 경우(후술될 실험예 1 참조)에는, 혼합상 금속 실리사이드층(136a)이 형성되지 않고 단일상 금속 실리사이드층이 형성될 수 있다. 여기서, 단일상 금속 실리사이드층은 CoSi<sub>2</sub> 상을 포함하게 된다. CoSi 상과 CoSi<sub>2</sub> 상이 혼재되어 있는 혼합상 금속 실리사이드층(136a)은, CoSi<sub>2</sub> 상을 포함하는 단일상 금속 실리사이드층보다, 저항은 더 크지만 내성은 더 강하다. 따라서, 혼합상 금속 실리사이드층(136a)은 식각 가스에 노출되더라도, 쉽게 손상을 받지 않는다.
- <46> 도 7을 참조하면, 개구부(128) 내에, 혼합상 금속 실리사이드층(136a) 상에 스페이서(137a)를 형성한다.
- <47> 구체적으로, 개구부(128) 내에 혼합상 금속 실리사이드층(136a) 상에 스페이서용 절연막을 형성하고, 이를 에치백(220)하여 스페이서(137a)를 완성할 수 있다. 또한, 스페이서(137a)는 희생막 패턴(126)에 대해서 식각 선택비를 갖는 물질로 이루어질 수 있다. 예를 들어, 희생막 패턴(126)이 실리콘 산화막(SiO<sub>2</sub>)으로 이루어져 있는 경우, 스페이서(137a)는 실리콘 산질화막(SiON) 또는 실리콘 질화막(SiN)로 이루어질 수 있다.
- <48> 그런데, 상기 에치백(220)할 때, 혼합상 금속 실리사이드층(136a)이 노출된 후에도, 과잉 식각(over-etching)할 수 있다. 예를 들어, 상기 에치백(220)할 때 사용되는 식각 가스는 CH<sub>2</sub>H<sub>2</sub>+CHF<sub>3</sub>인데, CoSi<sub>2</sub> 상을 포함하는 단일상 금속 실리사이드층은 CH<sub>2</sub>H<sub>2</sub>+CHF<sub>3</sub>에 의해 쉽게 손상을 받아, 단일상 금속실리사이드층에 보이드(void)가 생기거나 뜯김 현상이 발생할 수 있다. 하지만, CoSi 상과 CoSi<sub>2</sub> 상이 혼재되어 있는 혼합상 금속실리사이드층(136a)은 내성이 강하기 때문에 과잉 식각에 의해 손상을 받지 않고, 이로 인해 비휘발성 메모리 장치의 신뢰성 특성을 크게 향상시킬 수 있다.
- <49> 도 8을 참조하면, 기판(110)을 제3 열처리(230)하여, 혼합상 금속 실리사이드층(136a)을 단일상 실리사이드층(136)으로 변환시킨다.
- <50> 예를 들어, 제3 열처리(230)는 약 750℃ ~ 850℃의 온도에서 실시될 수 있다. 제3 열처리(230)는 RTA(Rapid Thermal Annealing) 방식을 사용할 수 있다. 이와 같은 제3 열처리(230)를 통해서, CoSi 상과 CoSi<sub>2</sub> 상이 혼재되어 있는 혼합상 금속 실리사이드층(도 7의 136a 참조)이, CoSi<sub>2</sub> 상을 포함하는 단일상 금속 실리사이드층(136)로 변환될 수 있다. 단일상 금속 실리사이드층(136)은 저항이 작기 때문에, 비휘발성 메모리 장치의 동작 특성을 향상시킬 수 있다.

- <51> 이러한 제3 열처리(230)는 선택적인 것이므로, 제3 열처리(230)를 한 경우에 완성된 비휘발성 메모리 장치의 금속 실리사이드층은 단일상을 포함하고, 제3 열처리(230)를 하지 않은 경우에 완성된 비휘발성 메모리 장치의 금속 실리사이드층은 혼합상을 포함할 수 있다. 다만, 단일상 실리사이드층(136)으로 변환시키기 위한 별도의 열처리를 하지 않더라도, 후속의 제조 공정 중에 약 750°C 이상의 온도에서 열처리하는 공정이 포함되어 있다면, 혼합상 금속 실리사이드층(136a)은 단일상 금속 실리사이드층(136)으로 변환될 수 있다.
- <52> 도 9을 참조하면, 개구부(128) 내에, 스페이서(137a)에 둘러싸인 하부 전극 콘택(138a)을 형성한다.
- <53> 구체적으로, 희생막 패턴(126) 상면과 개구부(128) 내에, 콘택용 도전막을 형성하고, 희생막 패턴(126)의 상면에 드러나도록 평탄화하여 하부 전극 콘택(137)을 완성한다. 여기서, 하부 전극 콘택(138a)은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 탄탈륨 질화막(TaN), 텅스텐 질화막(WN), 몰리브데늄 질화막(MoN), 니오비움 질화막(NbN), 타이타늄 실리콘 질화막(TiSiN), 타이타늄 붕소 질화막(TiBN), 지르코늄 실리콘 질화막(ZrSiN), 텅스텐 실리콘 질화막(WSiN), 텅스텐 붕소 질화막(WBN), 지르코늄 알루미늄 질화막(ZrAlN), 몰리브데늄 알루미늄 질화막(MoAlN), 탄탈륨 실리콘 질화막(TaSiN), 탄탈륨 알루미늄 질화막(TaAlN), 타이타늄 텅스텐막(TiW), 타이타늄 알루미늄막(TiAl), 타이타늄 산질화막(TiON), 타이타늄 알루미늄 산질화막(TiAlON), 텅스텐 산질화막(WON) 또는 탄탈륨 산질화막(TaON)과 같은 물질로 이루어질 수 있다.
- <54> 도 10를 참조하면, 희생막 패턴(도 8의 126 참조)을 제거하여, 제2 하부 절연막 패턴(124)을 노출시킨다. 그 결과, 하부 전극 콘택(138a)과 스페이서(137a)가 제2 하부 절연막 패턴(124)의 상면에 비해 상대적으로 돌출된다.
- <55> 이어서, 제2 하부 절연막 패턴(124)을 연마 저지막으로 사용하여 돌출된 하부 전극 콘택(138a)과 스페이서(137a)을 평탄화시킨다. 이에 따라, 수직 셀 다이오드(Dp) 상에 평탄화된 하부 전극 콘택(138)이 완성되고, 하부 전극 콘택(138)의 상면은 제2 하부 절연막 패턴(124)의 상면과 실질적으로 동일한 레벨을 갖게 된다. 또한, 개구부(128)와 하부 전극 콘택(138) 사이에 평탄화된 스페이서(137)가 형성되어 있으므로, 하부 전극 콘택(138)의 상면의 면적은, 개구부(128)의 수평 단면적보다 작을 수 있다. 이와 같은 방식에 의해서, 하부 전극 콘택(138)은 개구부(128)에 의해, 수직 셀 다이오드(Dp)와 자기 정렬될 수 있다.
- <56> 도 11a 및 도 11b를 참조하면, 하부 전극 콘택(138) 상에 상변화 물질 패턴(142)과 상부 전극 콘택(TEC; Top Electrode Contact)(144)을 형성한다.
- <57> 구체적으로, 상변화 물질막과 상부 전극 콘택용 도전막을 기판(110) 상에 순차적으로 형성하고, 이들을 패터닝하여 상변화 물질 패턴(142)과 상부 전극 콘택(144)을 형성할 수 있다. 여기서, 상변화 물질막은 불량한 단차도포성(poor step coverage)을 보이는 스퍼터링 공정과 같은 물질적 기상 증착 기술(physical vapor deposition technique)을 사용하여 형성할 수 있다. 그럼에도 불구하고, 상변화 물질막은 기판(110) 전체에 걸쳐서 균일한 두께로 형성될 수 있다. 하부 전극 콘택(138)을 갖는 기판(110)이 평평한 표면을 갖기 때문이다.
- <58> 상변화 물질 패턴(142)은 2개의 원소를 화합한 GaSb, InSb, InSe, Sb<sub>2</sub>Te<sub>3</sub>, GeTe, 3개의 원소를 화합한 GeSbTe, GaSeTe, InSbTe, SnSb<sub>2</sub>Te<sub>4</sub>, InSbGe, 4개의 원소를 화합한 AgInSbTe, (GeSn)SbTe, GeSb(SeTe), Te<sub>81</sub>Ge<sub>15</sub>Sb<sub>2</sub>S<sub>2</sub> 등 다양한 종류의 물질로 이루어질 수 있고, 상부 전극 패턴(144)은 타이타늄/타이타늄 질화막(Ti/TiN)과 같은 물질로 이루어질 수 있다.
- <59> 도 12a 및 도 12b를 참조하면, 상부 전극 콘택(146)이 형성된 기판(110) 상에, 콘택홀을 포함하는 상부 절연막 패턴(150)을 형성한다. 콘택홀 내에 비트 라인 콘택 플러그(146)를 형성한다. 이어서, 비트 라인 콘택 플러그(146) 상에 제2 방향으로 연장된 비트 라인(BL0-BL3)을 형성한다. 비트 라인(BL0-BL3)과 워드 라인(WL0, WL1)은 서로 교차되는 방향으로 배치될 수 있다.
- <60> 도 13 내지 도 16를 참조하여, 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명한다. 본 발명의 다른 실시예는, 일 실시예와 달리 하부 전극 콘택이 수직 셀 다이오드와 자기 정렬되지 않는다.
- <61> 도 13을 참조하면, 제1 도전형(예를 들어, P형)의 기판(110) 내에 소자 분리 영역(112)을 형성하여 다수의 액티브 영역을 정의한다. 다수의 액티브 영역 내에 제2 도전형(예를 들어, N형)의 불순물을 임플란트하여, 제1 방향으로 연장된 워드 라인(WL1, WL2)을 형성한다.
- <62> 이어서, 기판(110) 상에, 기판(110)을 노출하는 다수의 개구부(328)가 형성되어 있는 하부 절연막 패턴(320)을 형성한다.
- <63> 이어서, 개구부(328) 내에 제1 및 제2 반도체 패턴(332, 334)을 형성하여 수직 셀 다이오드(Dp)를 형성한다.

- <64> 이어서, 수직 셀 다이오드(Dp) 상에, 적어도 2개의 상이 혼재하는 혼합상(mixed phase) 금속 실리사이드층(336)을 형성한다. 혼합상 금속 실리사이드층(336)은 CoSi 상과 CoSi<sub>2</sub> 상이 혼재되어 있을 수 있다. 본 발명의 일 실시예에서 설명한 바와 같이, 혼합상 금속 실리사이드층(336)은 수직 셀 다이오드(Dp) 상에 금속층을 형성하고, 2번의 열처리를 통해서 형성될 수 있다. 제1 열처리는 약 460℃ ~ 540℃ 의 온도에서 진행될 수 있고, 제2 열처리(410)는 약 540℃ ~ 600℃의 온도에서 진행될 수 있다.
- <65> 도 14를 참조하면, 하부 절연막 패턴(320) 상에, 컨택홀(348)을 포함하는 절연막 패턴(340)을 형성한다.
- <66> 구체적으로, 하부 절연막 패턴(320) 상에 절연막을 형성하고, 절연막을 식각(420)하여 컨택홀(348)을 형성한다. 절연막을 식각(420)할 때, 혼합상 금속 실리사이드층(336)이 식각 가스에 노출되더라도, 혼합상 금속 실리사이드층(336)은 내성이 강하기 때문에 손상을 받지 않는다.
- <67> 도 15를 참조하면, 컨택홀(348) 내에, 혼합상 금속 실리사이드층(336) 상에 스페이서(337)를 형성한다.
- <68> 구체적으로, 컨택홀(348) 내에, 혼합상 금속 실리사이드층(336) 상에 스페이서용 절연막을 형성하고, 스페이서용 절연막을 에치백(430)하여 형성할 수 있다. 스페이서용 절연막을 에치백(430)할 때, 혼합상 금속 실리사이드층(336)이 식각 가스에 노출되더라도, 혼합상 금속 실리사이드층(336)은 내성이 강하기 때문에 손상을 받지 않는다.
- <69> 도 16을 참조하면, 컨택홀(348) 내에 스페이서(337)에 의해 둘러싸이도록 하부 전극 컨택(338)을 형성한다.
- <70> 도면으로 설명하지 않았으나, 이후의 제조 공정은 다음과 같다. 하부 전극 컨택(338) 상에 상변화 물질 패턴과 상부 전극 컨택을 형성한다. 상부 전극 컨택이 형성된 기판 상에, 컨택홀을 포함하는 상부 절연막 패턴을 형성한다. 컨택홀 내에 비트 라인 컨택 플러그를 형성한다. 이어서, 비트 라인 컨택 플러그 상에 제2 방향으로 연장된 비트 라인을 형성한다.
- <71> 본 발명에 관한 보다 상세한 내용은 다음의 구체적인 실험예들을 통하여 설명하며, 여기에 기재되지 않은 내용은 이 기술 분야에서 숙련된 자이면 충분히 기술적으로 유추할 수 있는 것이므로 설명을 생략한다.
- <72> <실험예 1>
- <73> 다음과 같은 5가지 실험군에 대해서 실험을 실시하였다.
- <74> 제1 실험군은 벌크 기판 상에 금속층(Co) 및 캡핑층(TiN)을 형성하고, 제1 열처리(460℃)하고, 제1 캡핑층 및 반응하지 않은 금속층을 제거하였다.
- <75> 제2 실험군은 벌크 기판 상에 금속층(Co) 및 캡핑층(TiN)을 형성하고, 제1 열처리(460℃)하고, 제1 캡핑층 및 반응하지 않은 금속층을 제거하고, 제2 열처리(600℃)하여, 금속 실리사이드층을 형성하였다.
- <76> 제3 실험군은 벌크 기판 상에 금속층(Co) 및 캡핑층(TiN)을 형성하고, 제1 열처리(460℃)하고, 제1 캡핑층 및 반응하지 않은 금속층을 제거하고, 제2 열처리(750℃)하여, 금속 실리사이드층을 형성하였다.
- <77> 제4 실험군은 벌크 기판 상에 금속층(Co) 및 캡핑층(TiN)을 형성하고, 제1 열처리(460℃)하고, 제1 캡핑층 및 반응하지 않은 금속층을 제거하고, 제2 열처리(850℃)하여, 금속 실리사이드층을 형성하였다.
- <78> 제5 실험군은 벌크 기판 상에 금속층(Co) 및 캡핑층(TiN)을 형성하고, 제1 열처리(460℃)하고, 제1 캡핑층 및 반응하지 않은 금속층을 제거하고, 제2 열처리(900℃)하여, 금속 실리사이드층을 형성하였다.
- <79> 그 후, X선 회절 분석기(XRD)를 이용하여 상기 5가지 실험군의 금속 실리사이드층을 분석하고, 그 결과를 도 17에 나타내었다.
- <80> 도 17을 참조하면, 도면 부호 a 내지 e는, 각각 제1 내지 제5 실험군의 금속 실리사이드층을 나타낸다. 도면 부호 a, b는 CoSi 상에 대응되는 피크(peak)이 존재하는 반면, 도면 부호 c, d, e는 CoSi 상에 대응되는 피크(peak)가 없음을 알 수 있다. 특히, 도면 부호 b는 CoSi상과 CoSi<sub>2</sub> 상이 모두 존재함을 알 수 있다. 또한, 제2 열처리가 약 750℃ 이상에서 이루어지면, CoSi 상과 CoSi<sub>2</sub> 상이 혼재되어 있는 혼합상 금속 실리사이드층이 형성되지 않음을 알 수 있다.
- <81> <실험예 2>
- <82> 비교 실험군은 벌크 기판 상에 금속층(Co) 및 캡핑층(TiN)을 형성하고, 제1 열처리(460℃)하고, 제1 캡핑층 및



반응하지 않은 금속층을 제거하고, 제2 열처리(750℃)하여, 금속 실리사이드층을 형성하였다. 그 후, 스페이서 형성시(도 7 참조) 사용하였던 에치백 조건에, 상기 금속 실리사이드층을 노출시켰다.

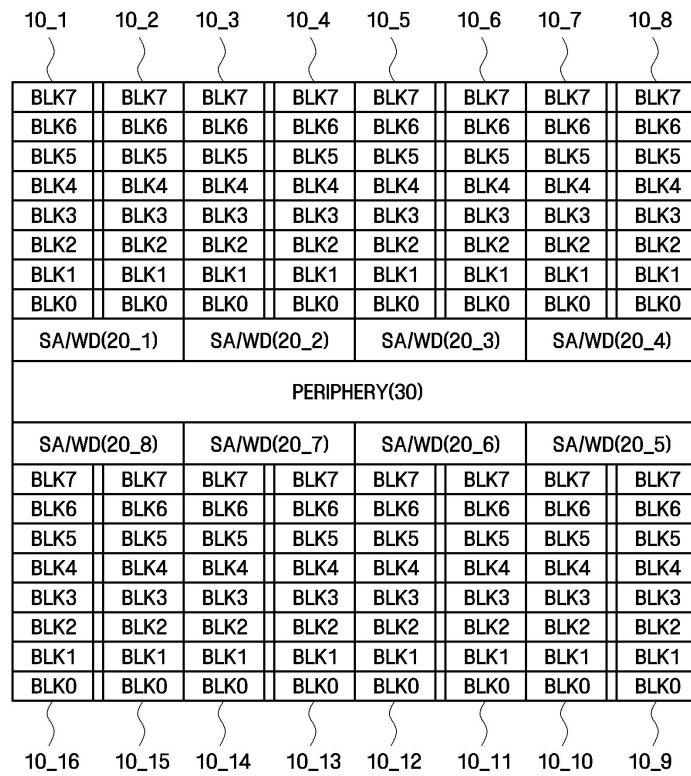
- <83> 실험군은 벌크 기판 상에 금속층(Co) 및 캡핑층(TiN)을 형성하고, 제1 열처리(460℃)하고, 제1 캡핑층 및 반응하지 않은 금속층을 제거하고, 제2 열처리(600℃)하여, 금속 실리사이드층을 형성하였다. 그 후, 스페이서 형성시(도 7 참조) 사용하였던 에치백 조건에, 상기 금속 실리사이드층을 노출시켰다.
- <84> 이어서, 비교 실험군의 금속 실리사이드층의 표면과, 실험군의 금속 실리사이드층의 표면을 측정하였다. 그 결과를 각각 도 18a 및 도 18b에 표시하였다.
- <85> 도 18a 및 도 18b를 참조하면, 도 18a의 화살표로 나타내는 부분은 손상이 발생한 부분을 지적한 것이다. 실험군의 금속 실리사이드층의 표면이, 비교 실험군의 금속 실리사이드층의 표면보다 손상이 적음을 알 수 있다.
- <86> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**도면의 간단한 설명**

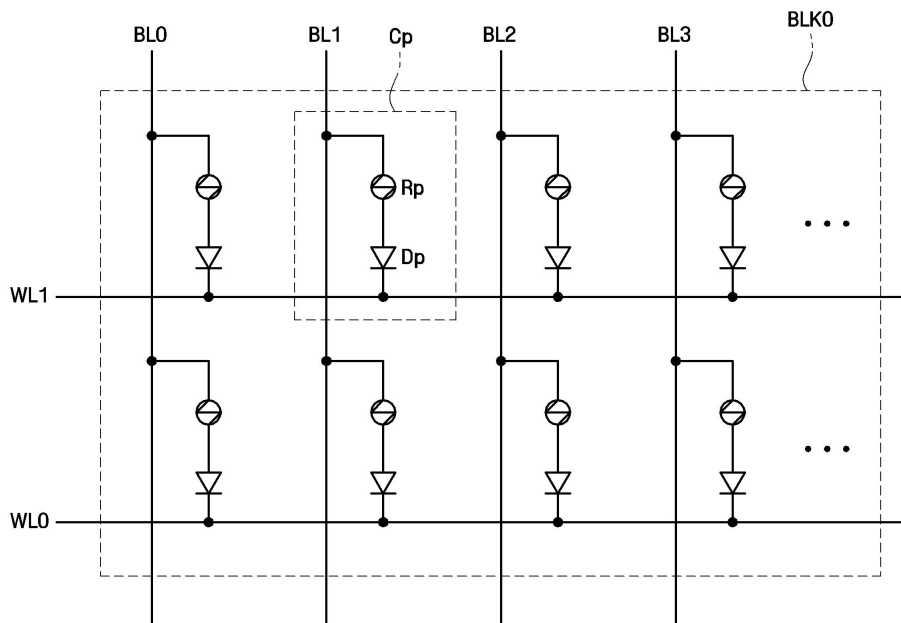
- <87> 도 1 및 도 2는 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도 및 회로도이다.
- <88> 도 3a 내지 도 12b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하기 위한 도면들이다.
- <89> 도 13 내지 도 16은 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하기 위한 도면들이다.
- <90> 도 17은 다양한 열처리 조건에서 금속 실리사이드층을 형성해 본 실험 결과를 나타낸 도면이다.
- <91> 도 18a는 혼합상 금속 실리사이드층을 식각 가스에 노출시킨 후 혼합상 금속 실리사이드층의 표면을 나타낸 도면이고, 도 18b는 단일상 금속 실리사이드층을 식각 가스에 노출시킨 후 단일상 금속 실리사이드층의 표면을 나타낸 도면이다.
- <92> <도면의 주요 부분에 관한 부호의 설명>
- <93> 110 : 기판 120 : 하부 절연막 패턴
- <94> 122 : 제1 하부 절연막 패턴 124 : 제2 하부 절연막 패턴
- <95> 132 : 제1 반도체 패턴 134 : 제2 반도체 패턴
- <96> 136a : 혼합상 금속 실리사이드층
- <97> 136 : 단일상 금속 실리사이드층
- <98> 210 : 제2 열처리 230 : 제3 열처리

도면

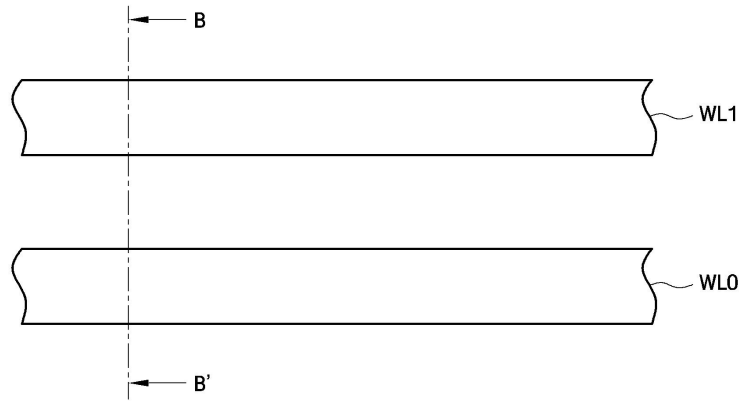
도면1



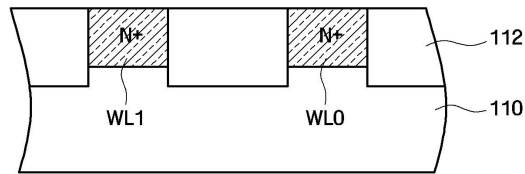
도면2



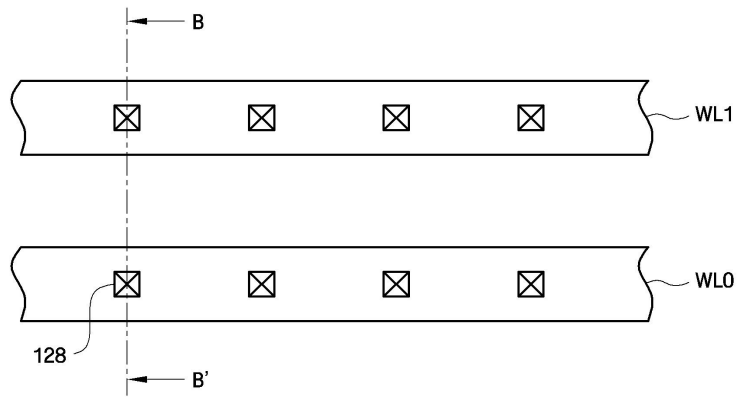
도면3a



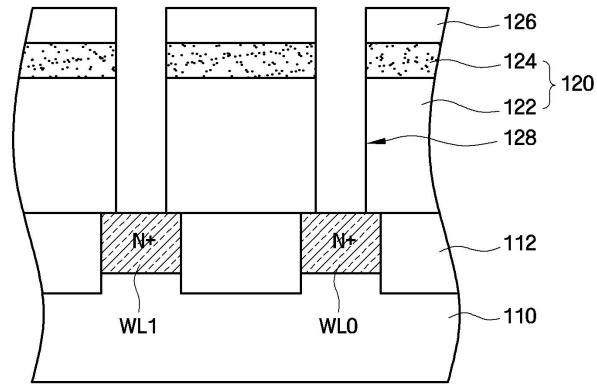
도면3b



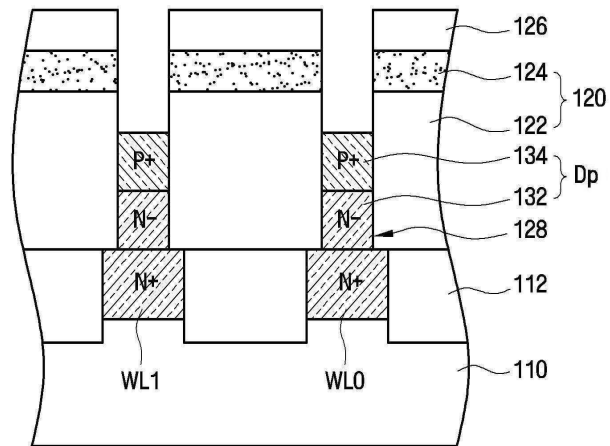
도면4a



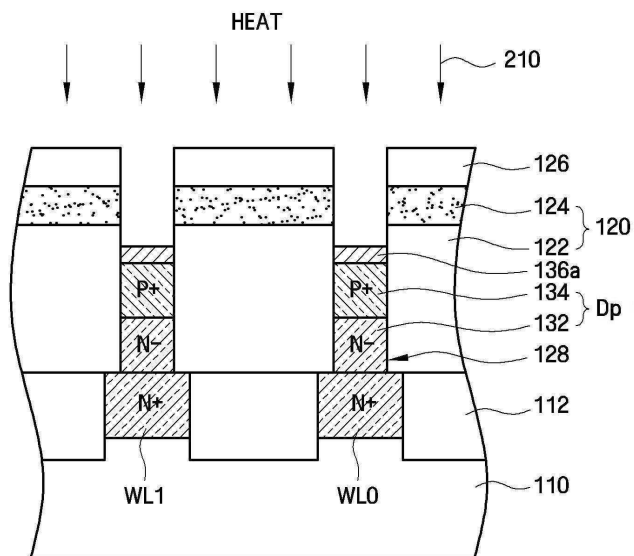
도면4b



도면5

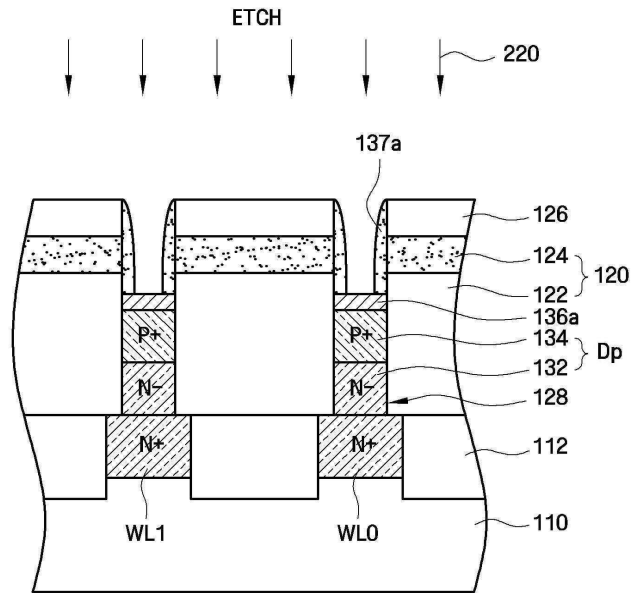


도면6

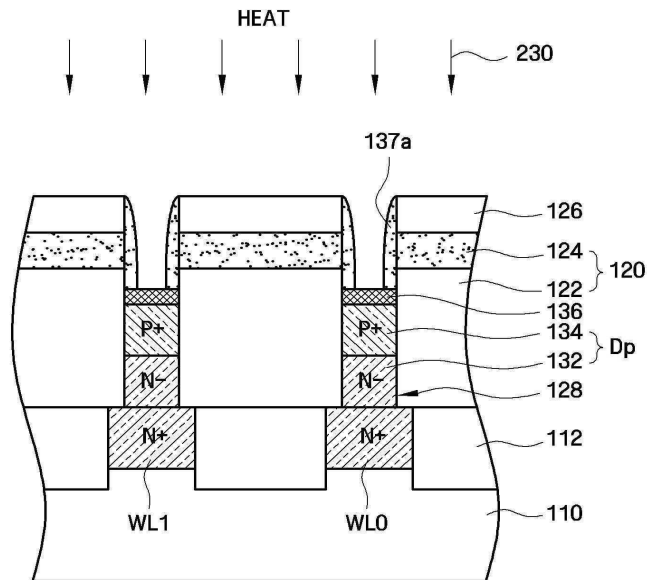




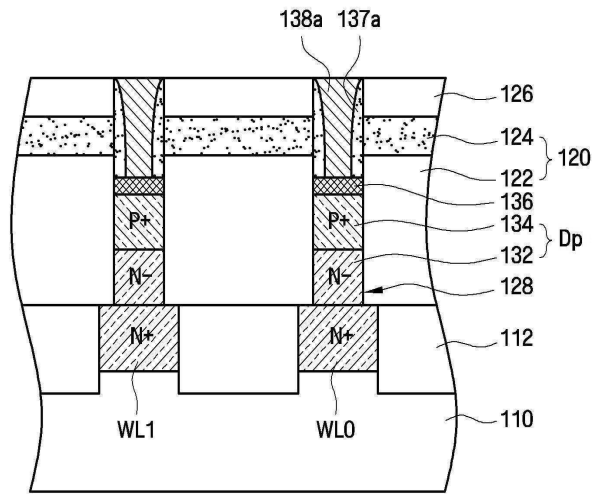
도면7



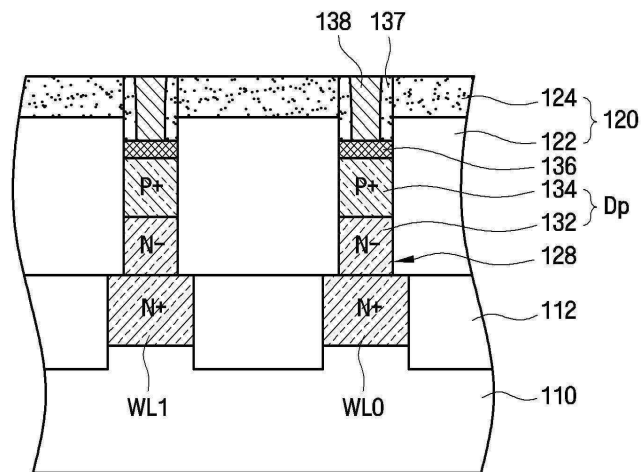
도면8



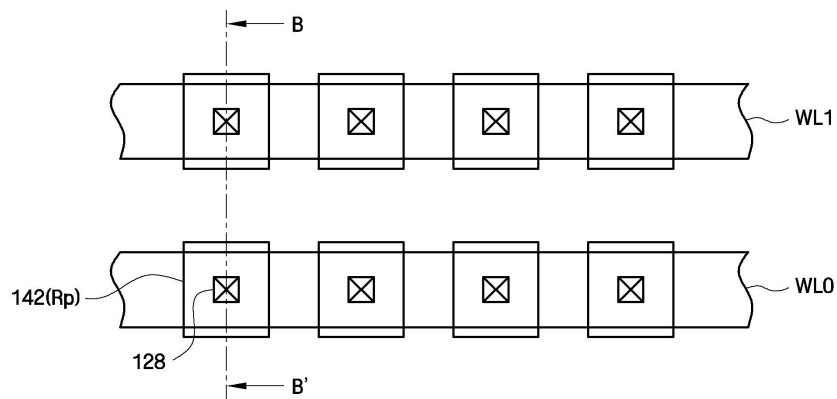
도면9



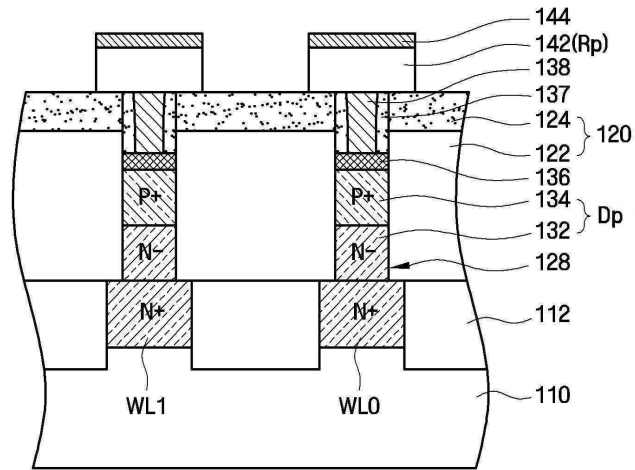
도면10



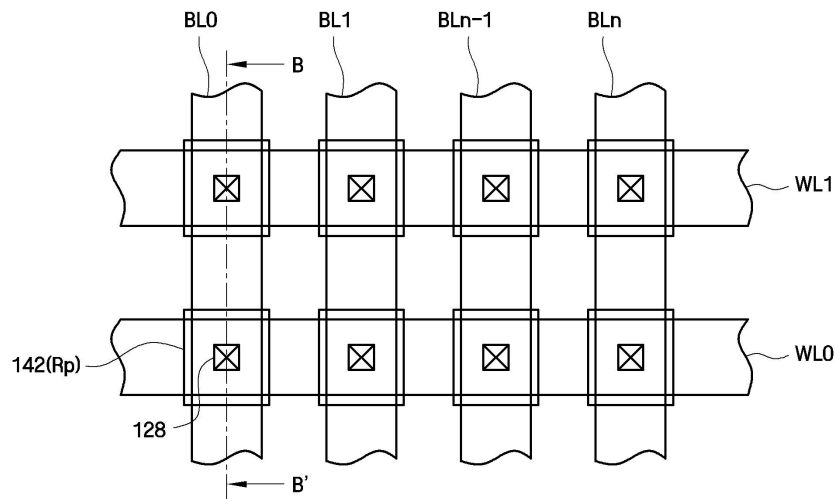
도면11a



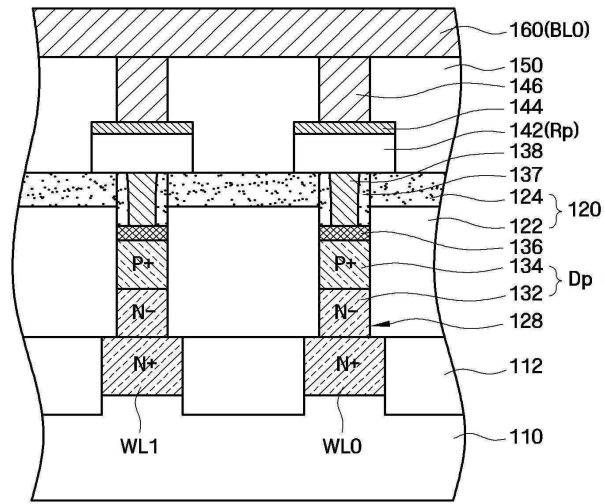
도면11b



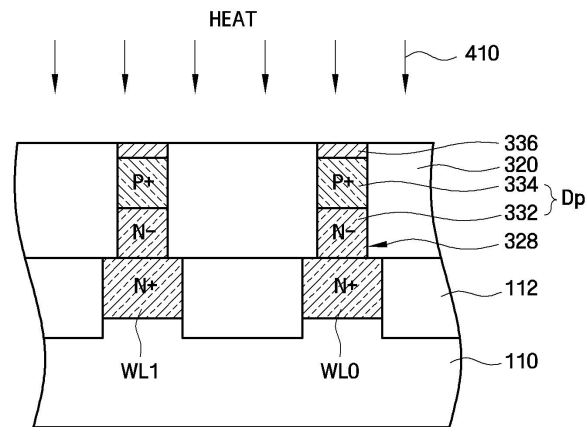
도면12a



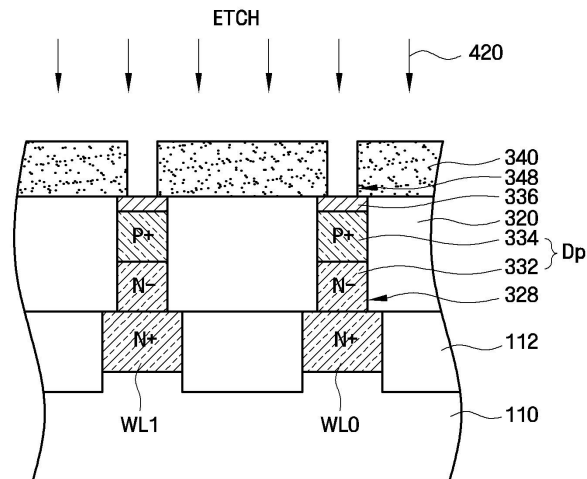
도면12b



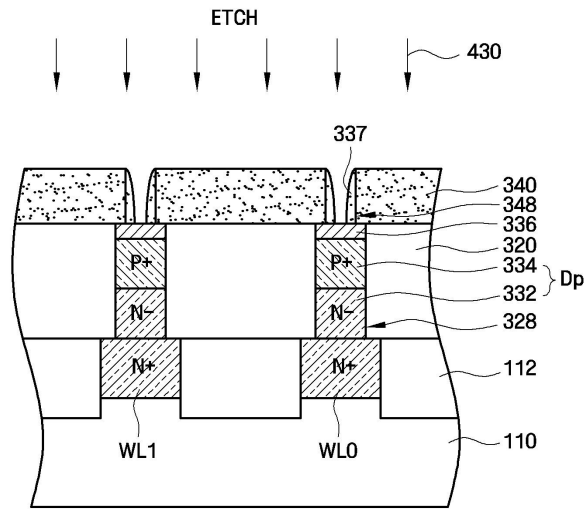
도면13



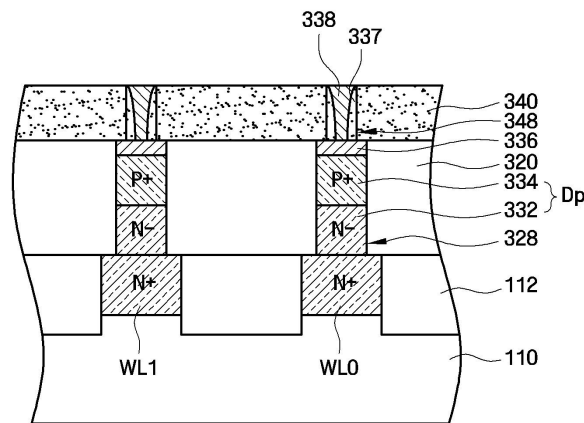
도면14



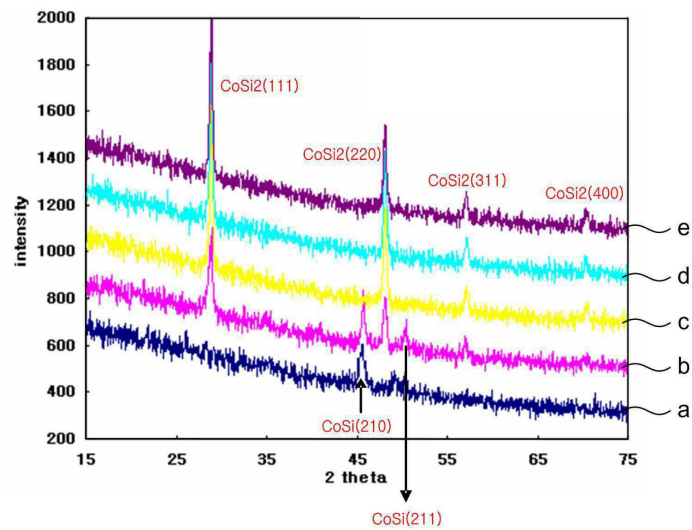
도면15



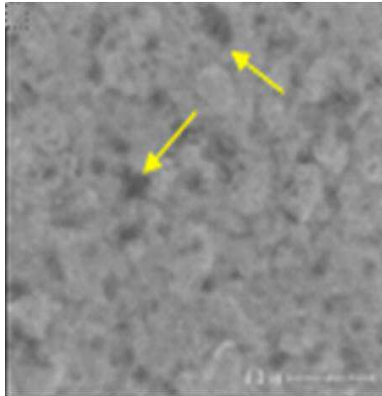
도면16



도면17



도면18a



도면18b

