(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
H01L 29/786

(11) 공개번호 특2001 - 0057116
(43) 공개일자 2001년07월04일

(21) 출원번호 10 - 1999 - 0058887
(22) 출원일자 1999년12월18일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 이성권
경기도이천시부발읍아미리산136 - 1현대전자사원임대아파트108 - 104호

(74) 대리인 강성배

심사청구 : 있음

(54) 전기적 특성을 개선시키기 위한 박막 트랜지스터의 제조방법

요약

본 발명은 핫 캐리어 효과를 감소시키고, 펀치 쓰루 특성을 증가시켜서 전기적 특성을 개선할 수 있는 박막 트랜지스터의 제조 방법에 관한 것이다.

본 발명의 박막 트랜지스터 제조 방법은 하지층을 구비한 반도체 기판 상에 박막 트랜지스터의 게이트 전극용 폴리 실리콘막을 증착하는 단계와, 상기 게이트 전극용 폴리 실리콘막을 소정 부분 패터닝 하여, 게이트 전극 및 노드 콘택 라인을 형성하는 단계와, 상기 하지층, 게이트 전극 및 노드 콘택 라인의 표면에 게이트 절연막을 형성하는 단계와, 상기 노드 콘택 라인의 일정 부분이 노출되도록 게이트 절연막의 소정 부분을 식각하여 제거하는 단계와, 상기 기판 결과물 표면에 채널용 폴리 실리콘 박막을 형성하는 단계와, 박막 트랜지스터의 문턱 전압을 조절하기 위하여 상기 폴리 실리콘 박막의 전면에 불순물을 주입하는 제 1 이온 주입 단계와, 소정의 감광막 패턴을 이용하여 박막 트랜지스터의 저농도 도핑된 오프셋 영역을 형성하기 위한 제 2 이온 주입 단계와, 소정의 감광막 패턴을 이용하여 박막 트랜지스터의 소오스/드레인 영역을 형성하기 위한 제 3 이온 주입 단계를 포함한다.

대표도

도 4g

명세서

도면의 간단한 설명

도 1은 일반적인 박막 트랜지스터형 SRAM 소자의 단면도,

도 2는 상기 도 1에서 박막 트랜지스터 구조를 촬영한 주사 전자 현미경 사진,

도 3은 상기 도 2의 A-A'를 절단한 단면도,

도 4a 내지 도 4g는 본 발명의 실시예에 따른 박막 트랜지스터의 제조 방법을 나타내기 위한 각 공정별 단면도,

도 5는 종래의 박막 트랜지스터 제조 방법과 본 발명의 실시예에 따른 박막 트랜지스터 제조 방법에 있어서, 게이트의 폭에 대한 펀치 쓰루 전압을 나타내는 그래프.

(도면의 주요 부분에 대한 부호의 명칭)

40: 반도체 기판 41: 하지층

42A: 게이트 전극 42B: 노드 라인 콘택

43: 게이트 절연막 44, 46, 47: 감광막 패턴

45: 채널용 폴리 실리콘 박막 50, 51, 52: 불순물 이온

61, 62: 게이트 폭에 대한 펀치 쓰루 전압의 파형

S: 소오스 영역 D: 드레인 영역

C: 채널 영역 LDO: 저농도 도핑된 오프셋 영역

SO: 소오스 오버랩 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터(Thin Film Transistor: TFT)의 제조 방법에 관한 것으로, 보다 구체적으로는 핫 캐리어 효과(Hot Carrier Effect)를 감소시키고, 펀치 쓰루(Punch Through) 특성을 증가시켜서, 전체적인 전기적 특성을 개선할 수 있는 박막 트랜지스터의 제조 방법에 관한 것이다.

반도체의 메모리 소자로는 2 가지의 기본적인 MOS(Metal-Oxide Semiconductor) RAM의 구조가 있는데, DRAM(Dynamic Random Access Memory)과 SRAM(Static Random Access Memory)이다. DRAM의 경우는 비트 데이터를 커패시터(Capacitor)에 저장하는데 비해, SRAM은 플립 플롭(Flip Flop)의 구조를 사용한다.

상기의 SRAM 셀은 2 개의 풀-다운(Pull-down) 소자인 구동 트랜지스터(Drive Transistor)와, 2 개의 억세스(Access) 트랜지스터 및 2 개의 풀-업(Pull-up) 소자로 구성된다.

SRAM 셀은 풀-업 소자의 구성에 따라 완전 CMOS(Complementary Metal Oxide Semiconductor) 형과, 고부하 저

항(High Load Resistor: HLR) 형과, 박막 트랜지스터(TFT; Thin Film Transistor) 형의 3 가지 구조로 분류된다. 완전 CMOS형은 P 채널 벌크 MOSFET(P-channel bulk Metal Oxide Semiconductor Field Effect Transistor)이 풀-업 소자로 사용되고, 고부하 저항형은 높은 저항 값을 갖는 폴리 실리콘 층이 풀-업 소자로 사용되며, 박막 트랜지스터형은 P 채널 폴리 실리콘 박막 트랜지스터가 풀-업 소자로 사용된다.

여기서, 박막 트랜지스터형 SRAM 소자는 셀 크기를 현저하게 줄일 수 있기 때문에, 기억소자 전용으로 사용되는 반도체 기억 장치에 적용하기에 용이하다. 즉, 박막 트랜지스터는 구동 트랜지스터와 억세스 트랜지스터가 형성된 기판 상부에 형성되기 때문에 고집적화가 가능하다.

도 1은 종래의 박막 트랜지스터형 SRAM 소자의 단면도로서, 도면을 통하여 종래의 박막 트랜지스터형 SRAM 소자의 제조 방법을 개략적으로 설명한다.

소자와 소자간을 분리하는 필드 산화막(2)이 구비된 반도체 기판(1)에 게이트 절연막을 형성하고, 공지된 증착 방식에 의하여, 제 1 폴리 실리콘막을 증착한다. 이어서, 제 1 폴리 실리콘막을 소정 부분 패터닝 하여, 억세스 트랜지스터의 게이트 전극(3A)과 구동 트랜지스터의 게이트 전극(3B)을 형성한다.

상기 억세스 트랜지스터 및 구동 트랜지스터의 게이트(Gate) 전극(3A, 3B) 양측의 반도체 기판(1)에 불순물을 주입하여, 각각 트랜지스터의 소오스(Source), 드레인(Drain) 영역(S, D)을 형성한다. 이 때, 도면에서 소오스 영역(S)은 이후 비트 라인(Bit Line)과 콘택될 부분이고, 드레인 영역(D)은 억세스 트랜지스터와 구동 트랜지스터 및 이후 형성될 박막 트랜지스터와의 공통 접속 노드이다.

그 후에, 전체 구조물 상부에 제 1 산화막(4)을 증착한 다음, 억세스 트랜지스터의 소오스 영역(S)이 노출되도록 제 1 산화막(4)을 식각한다. 그리고 나서, 노출된 소오스 영역(S)과 콘택 되도록 제 2 폴리 실리콘막을 증착한 다음, 소정 부분 식각하여 비트 라인(5)을 형성한다.

그 후, 비트 라인(5) 및 제 1 산화막(4) 상부에 제 2 산화막(6), 평탄화 절연막(7) 및 제 3 산화막(8)을 순차적으로 형성하고, 구동 트랜지스터의 드레인 영역인 공통 접속 노드(D)와 드라이브 트랜지스터의 게이트 전극(3B)이 동시에 노출되도록, 제 3 산화막(8), 평탄화 절연막(7), 제 2 산화막(6) 및 제 1 산화막(4)을 소정 부분 식각하여 노드 콘택홀(h)을 형성한다.

이어서, 노드 콘택홀(h) 내벽 및 제 3 산화막(8) 상부에 제 3 폴리 실리콘막을 증착한 다음, 제 3 폴리 실리콘막은 박막 트랜지스터의 게이트 전극이 형성될 영역 및 노드 콘택홀(h) 내부, 상기 노드 콘택홀(h)의 인접한 부위에 존재하도록 패터닝 하여, 박막 트랜지스터의 게이트 전극(9A)과, 제 1 노드 콘택 라인(Node Contact Line: 9B)을 형성한다.

그리고 나서, 게이트 전극(9A)과 제 1 노드 콘택 라인(9B)에 불순물을 이온 주입한다. 그 후, 결과물 상부에 박막 트랜지스터의 게이트 절연막(10)을 형성하고, 박막 트랜지스터가 형성될 영역에만 존재하도록 게이트 절연막(10)을 패터닝 한다.

다음으로, 자연 산화막, 식각으로 인한 오염 및 손상을 제거하기 위하여, 불소계 습식 용액, 예를 들어 HF 용액을 이용하여 결과물 표면을 세정한다. 그 후, 제 2 노드 콘택 라인, 박막 트랜지스터의 채널 및 전원 전압(Vcc) 라인으로 작용할 제 4 폴리 실리콘막을 전체 구조물 상부에 형성한다. 이어서, 제 4 폴리 실리콘막 중 박막 트랜지스터의 채널 형성 부위를 제외한 부분에만 불순물을 이온 주입하고, 소정 크기로 패터닝 하여 전원 전압(Vcc) 라인(11)과 박막 트랜지스터의 채널 영역 및 제 2 노드 라인(12)을 형성한다.

발명이 이루고자 하는 기술적 과제

그러나, 상기와 같이 풀 - 업 소자로 박막 트랜지스터를 사용하는 경우에는 전원 전압(Vcc) 라인을 형성하기 위하여, 200 내지 300 Å의 매우 얇은 두께로 제 4 폴리 실리콘 박막을 형성하는데, 이러한 폴리 실리콘 박막에 전원 전압(Vcc) 영역을 형성하기 위해 불순물 이온을 주입하는 과정에서 이온 주입 에너지를 정확히 제어하지 않으면, 전원 전압(Vcc) 라인의 저항 값의 변화가 심하게 발생하게 된다.

또한, 제 4 폴리 실리콘 박막의 두께가 얇기 때문에 전하의 이동도가 낮아서 온 전류가 높고, 누설 전류(Leakage Current)가 크게 된다. 따라서, 출력 신호의 스윙 폭이 커지는 등 전기적 특성이 저하되는 문제점이 있다.

도 2는 SRAM 소자에서 박막 트랜지스터 부분을 주사 전자 현미경(Scanning Electron Microscope: SEM)으로 촬영한 사진을 나타낸 것이고, 도 3은 상기 도 2의 A - A' 부분을 절단한 단면도를 도시한 것이다.

도 3을 참조하면, 하지층(31)이 구비된 반도체 기판(30) 상에 박막 트랜지스터의 게이트 전극(32)과 노드 콘택 라인(33)이 소정 패턴으로 형성되고, 그 상부에 게이트 산화막(34)과, 채널용 폴리 실리콘 박막(35)이 차례로 형성된다.

그 후에, 상기 채널용 폴리 실리콘 박막(35)에 불순물 이온을 주입하여 저농도 도핑된 오프셋(Lightly Doped Offset) 영역(LDO) 및 소오스/드레인 영역을 형성한다. 이 때, 저농도 도핑된 오프셋 영역에 주입되는 불순물 이온이 얇은 채널용 폴리 실리콘 박막(35)에 지나치게 도핑되어 펀치 쓰루 특성을 악화시키고, 핫 캐리어 효과를 발생시켜서, 결국 박막 트랜지스터의 전기적 특성을 저하시키게 된다.

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 박막 트랜지스터의 저농도 도핑된 오프셋 영역에 불순물 이온을 주입하는 과정에 BF_2 이온을 주입한 후에 질소 이온을 연속적으로 주입함으로써, 박막 트랜지스터의 전기적 특성을 향상시키는 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위하여, 본 발명의 박막 트랜지스터 제조 방법은 하지층을 구비한 반도체 기판 상부에 박막 트랜지스터의 게이트 전극용 폴리 실리콘막을 증착하는 단계와, 상기 게이트 전극용 폴리 실리콘막을 소정 부분 패터닝하여, 게이트 전극 및 노드 콘택 라인을 형성하는 단계와, 상기 하지층, 게이트 전극 및 노드 콘택 라인 표면에 게이트 절연막을 증착하는 단계와, 상기 노드 콘택 라인의 일정 부분이 노출되도록 게이트 절연막을 식각하여 제거하는 단계와, 상기 기판 결과물 표면에 채널용 폴리 실리콘 박막을 형성하는 단계와, 상기 폴리 실리콘 박막의 전면에 불순물을 주입하는 제 1 이온 주입 단계와, 소정의 감광막 패턴을 이용하여 박막 트랜지스터의 저농도 도핑된 오프셋 영역을 형성하기 위한 제 2 이온 주입 단계와, 소정의 감광막 패턴을 이용하여 박막 트랜지스터의 소오스/드레인 영역을 형성하기 위한 제 3 이온 주입 단계를 포함하는 것을 특징으로 한다.

상기 게이트 절연막은 HTO(High Temperature Oxidation) 또는 MTO(Middle Temperature Oxidation)을 사용하여 100 내지 2,000 Å의 두께로 형성하는 것을 특징으로 한다.

상기 게이트 절연막은 LP - CVD(Low Pressure Chemical Vapor Deposition) 또는 PE - CVD(Plasma Enhanced CVD) 방법으로 형성하는 것을 특징으로 한다.

상기 채널용 폴리 실리콘 박막은 LP - CVD 방법을 사용하여 200 내지 2,000 Å의 두께로 형성하는 것을 특징으로 한다.

상기 제 1 이온 주입 단계는 BF_2 또는 인(P) 이온을 사용하는 것을 특징으로 한다.

상기 제 2 이온 주입 단계는 BF_2 이온을 주입 후에 연속적으로 질소 이온을 주입하는 것을 특징으로 한다.

상기 질소 이온은 10^{13} 내지 10^{16} 의 농도로 해서, 50 KeV 이하의 에너지로 주입하는 것을 특징으로 한다.

상기 제 3 이온 주입 단계는 박막 트랜지스터의 소오스 영역에 인접한 채널 영역 중에서 일정 부분이 오픈 되도록 감광막 패턴을 형성함으로써, 채널 영역은 감소시키고 소오스 영역은 증가시키는 것을 특징으로 한다.

상기 소오스 영역은 0.1 ㎛ 정도 확장되도록 형성하는 것을 특징으로 한다.

이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

본 발명은 박막 트랜지스터의 저농도 도핑된 오프셋 영역에 불순물을 주입하는 과정에서 BF_2 이온을 주입한 후에, 질소 이온을 연속적으로 주입함으로써, 질소 이온이 채널용 폴리 실리콘 박막 내에서의 보론 이온의 확산을 감소시키도록 하여, 핫 캐리어 효과를 최소화하고, 펀치 쓰루 특성을 증가시키는 등 전기적 특성을 개선시키도록 한다.

도 4a 내지 도 4g는 본 발명의 실시예에 따른 박막 트랜지스터의 제조 방법을 나타내기 위한 각 공정별 단면도를 도시한 것이다. 본 실시예에서 구동 트랜지스터 및 억세스 트랜지스터의 형성 공정은 상기 종래 기술과 동일하기 때문에, 그 부분에 대한 설명은 생략하고 박막 트랜지스터의 제조 방법에 대하여 설명한다. 아울러, 본 도면에서는 SRAM 소자의 박막 트랜지스터 부분만을 도시한다.

먼저, 도 4a를 참조하면, 하지층(41)이 형성된 반도체 기판(40) 상부에 게이트 전극 및 노드 콘택 라인용 폴리 실리콘막을 증착한 다음, 소정 부분을 식각하여 박막 트랜지스터의 게이트 전극(42A) 및 노드 콘택 라인(42B)을 형성한다.

그리고 나서, 하지층(41), 게이트 전극(42A) 및 노드 콘택 라인(42B) 상부에 게이트 절연막(43)을 증착한다.

이 때, 상기 게이트 절연막(43)은 HTO 또는 MTO 등의 산화막을 사용하는데, LP-CVD 방식 또는 PE-CVD 방식으로 100 내지 2,000 Å의 두께로 형성한다.

그 후에, 도 4b에 도시된 바와 같이, 채널용 폴리 실리콘 박막과 연결될 노드 콘택 라인(42B)의 일정 부분을 노출시키기 위하여 감광막 패턴(44)을 게이트 절연막(43) 상에 형성하고, 리소그라피 공정을 통하여 노드 콘택 라인(42B) 상부의 게이트 절연막(43)을 일정 부분 제거한다.

그리고 나서, 도 4c에 도시된 바와 같이, 상기 결과물 상에 박막 트랜지스터의 채널을 형성하기 위한 폴리 실리콘막(45)을 LP-CVD 방식으로 형성한다. 이 때, 상기 폴리 실리콘 박막은 200 내지 2,000 Å의 두께로 형성하는 것이 바람직하다.

다음으로, 도 4d에 도시된 바와 같이, 박막 트랜지스터의 문턱 전압(Threshold Voltage)을 조절하기 위하여, 상기 채널용 폴리 실리콘 박막(45)에 불순물 이온(50)을 주입하는 제 1 이온 주입 단계를 진행한다. 상기에서, 주입되는 불순물 이온(50)은 제작하려는 반도체 소자의 특성에 따라 BF_2 이온 또는 인(P)을 사용한다.

그 후에, 도 4e에 도시된 바와 같이, 박막 트랜지스터의 채널 영역을 덮도록 감광막 패턴(46)을 형성한 후에, 상기 채널 영역 이외의 저농도 도핑된 오프셋 영역 또는 소오스/드레인 영역에 불순물 이온(51)을 주입하여 박막 트랜지스터의 저농도 도핑된 오프셋 영역을 형성한다.

상기에서 저농도 도핑된 오프셋 영역을 형성하기 위하여 불순물 이온을 주입하는 단계는 BF_2 이온을 주입하는 과정과, 질소 이온(N2)을 주입하는 과정을 연속적으로 진행한다. 이 때, 질소 이온을 주입하는 과정은 주입 에너지를 50 KeV 이하로 하고, 질소 이온 농도는 10^{13} 내지 10^{16} 이온/㎠로 한다.

상기와 같이, BF_2 이온과 질소 이온의 주입 단계를 동시에 진행하면, 폴리 실리콘 박막 내에 주입된 질소 이온이 보론 이온의 확산 경로에 삽입되어, 보론 이온의 확산을 감소시키게 된다. 그에 따라, 박막 트랜지스터의 채널이 좁게 형성되더라도 핫 캐리어에 의한 영향을 줄일 수 있고, 펀치 쓰루 특성을 개선시킬 수 있게 된다.

그리고 나서, 도 4f에 도시된 바와 같이, 박막 트랜지스터의 소오스/드레인 영역이 노출되도록 그 이외의 부분에 감광막 패턴(47)을 형성하고, 고농도의 불순물 이온(52)을 주입하여 소오스/드레인 영역을 형성한다.

이 때, 박막 트랜지스터의 소오스 영역과 인접한 채널 영역 중에서 소오스 영역과 오버랩(Overlap)되도록 일정 영역(SO)을 노출시켜서 감광막 패턴(47)을 형성한다. 상기와 같이 감광막 패턴(47)을 형성하여 불순물 이온(52)을 주입하면, 채널 영역은 상기의 소오스 오버랩 영역(SO) 만큼 감소되고, 소오스 영역은 소오스 오버랩 영역(SO) 만큼 확장된다.

상기의 과정을 모두 진행한 후에 감광막 패턴을 제거하면, 도 4g와 같은 박막 트랜지스터 구조가 형성된다.

상기의 박막 트랜지스터의 저농도 도핑된 오프셋 영역(LDO)을 형성하는 과정에서 질소 이온을 주입하여 보론 이온의 확산을 감소시켜서 핫 캐리어 효과를 감소시키고, 펀치 쓰루 전압을 상승시켰기 때문에, 상기와 같이 소오스 영역(S)을 확장하고, 채널 영역(C)을 감소시키는 것이 가능해진다. 이 때, 상기 소오스 오버랩 영역(SO)은 0.1 ㎛ 정도가 되도록 형성하는 것이 바람직하다.

도 5는 박막 트랜지스터의 저농도 도핑된 오프셋 영역을 형성하는 과정에서 BF_2 이온 만을 이용하여 주입하는 종래의 제조 방법과, BF_2 이온과 질소 이온을 연속적으로 주입하는 본 발명의 제조 방법에 있어서, 게이트 전극의 폭에 따른 펀치 쓰루 전압의 변화를 나타내었다.

도 5를 참조하면, 게이트 폭을 좁게 설계하는 경우, 즉 고집적도의 박막 트랜지스터를 제조하는 경우에, 본 발명의 제조 방법을 사용하면 동일한 게이트의 폭에 대하여 종래의 펀치 쓰루 전압(61)에 비하여 펀치 쓰루 전압(62)이 크게 증가하는 것을 볼 수 있다.

다시 말해서, 본 발명의 제조 방법으로 박막 트랜지스터를 제조하는 경우에 펀치 쓰루 특성이 우수하고, 그에 따라 전기적 특성이 개선된 고집적도의 반도체 소자를 제조하는 것이 가능해진다.

본 실시예에서는 SRAM 소자의 박막 트랜지스터에 대하여 설명하였지만, 이에 국한되지 않고, 액정 디스플레이(Liquid Crystal Display: LCD)의 박막 트랜지스터 등 박막 트랜지스터를 제조하는 다른 경우에도 동일하게 적용된다.

발명의 효과

이상에서 자세히 설명한 바와 같이, 본 발명의 박막 트랜지스터의 제조 방법에 따르면, 박막 트랜지스터의 채널을 구성하는 폴리 실리콘 박막에 BF_2 이온과 질소 이온을 연속적으로 주입함으로써, 보론 이온의 확산을 감소시켜서 핫 캐리어 효과를 줄이고, 펀치 쓰루 특성을 향상시킬 수 있다.

그에 따라, 누설 전류에 의한 출력 신호의 스윙 폭이 커지는 것을 억제함으로써 반도체 소자의 전기적 특성을 개선시킬 수 있는 장점이 있다.

이하, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1.

하지층을 구비한 반도체 기판 상에 박막 트랜지스터의 게이트 전극용 폴리 실리콘막을 증착하는 단계;

상기 게이트 전극용 폴리 실리콘막을 소정 부분 패터닝 하여, 게이트 전극 및 노드 콘택 라인을 형성하는 단계;

상기 하지층, 게이트 전극 및 노드 콘택 라인의 표면에 게이트 절연막을 형성하는 단계;

상기 노드 콘택 라인의 일정 부분이 노출되도록 게이트 절연막의 소정 부분을 식각하여 제거하는 단계;

상기 기판 결과물 표면에 채널용 폴리 실리콘 박막을 형성하는 단계;

박막 트랜지스터의 문턱 전압을 조절하기 위하여 상기 폴리 실리콘 박막의 전면에 불순물을 주입하는 제 1 이온 주입 단계;

소정의 감광막 패턴을 이용하여 박막 트랜지스터의 저농도 도핑된 오프셋 영역을 형성하기 위한 제 2 이온 주입 단계; 및

소정의 감광막 패턴을 이용하여 박막 트랜지스터의 소오스/드레인 영역을 형성하기 위한 제 3 이온 주입 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 2.

제 1 항에 있어서, 상기 게이트 절연막은

HTO 또는 MTO를 사용하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 3.

제 2 항에 있어서, 상기 게이트 절연막은

LP - CVD 또는 PE - CVD 방법으로 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 4.

제 3 항에 있어서, 상기 게이트 절연막은

100 내지 2,000 Å의 두께로 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 5.

제 1 항에 있어서, 상기 채널용 폴리 실리콘 박막은

LP - CVD 방법을 사용하여 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 6.

제 5 항에 있어서, 상기 채널용 폴리 실리콘 박막은

200 내지 2,000 Å의 두께로 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 7.

제 1 항에 있어서, 상기 제 1 이온 주입 단계는

BF_2 또는 인(P) 이온을 사용하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 8.

제 1 항에 있어서, 상기 제 2 이온 주입 단계는

BF_2 이온을 주입한 후에 연속적으로 질소 이온을 주입하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 9.

제 8 항에 있어서, 상기 질소 이온은

10^{13} 내지 10^{16} 의 농도로 주입하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 10.

제 9 항에 있어서, 상기 질소 이온은

50 KeV 이하의 에너지로 주입하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 11.

제 1 항에 있어서, 상기 제 3 이온 주입 단계는

박막 트랜지스터의 소오스 영역에 인접한 채널 영역 중에서 일정 부분이 오픈되도록 감광막 패턴을 형성함으로써, 채널 영역은 감소시키고 소오스 영역은 증가시키는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

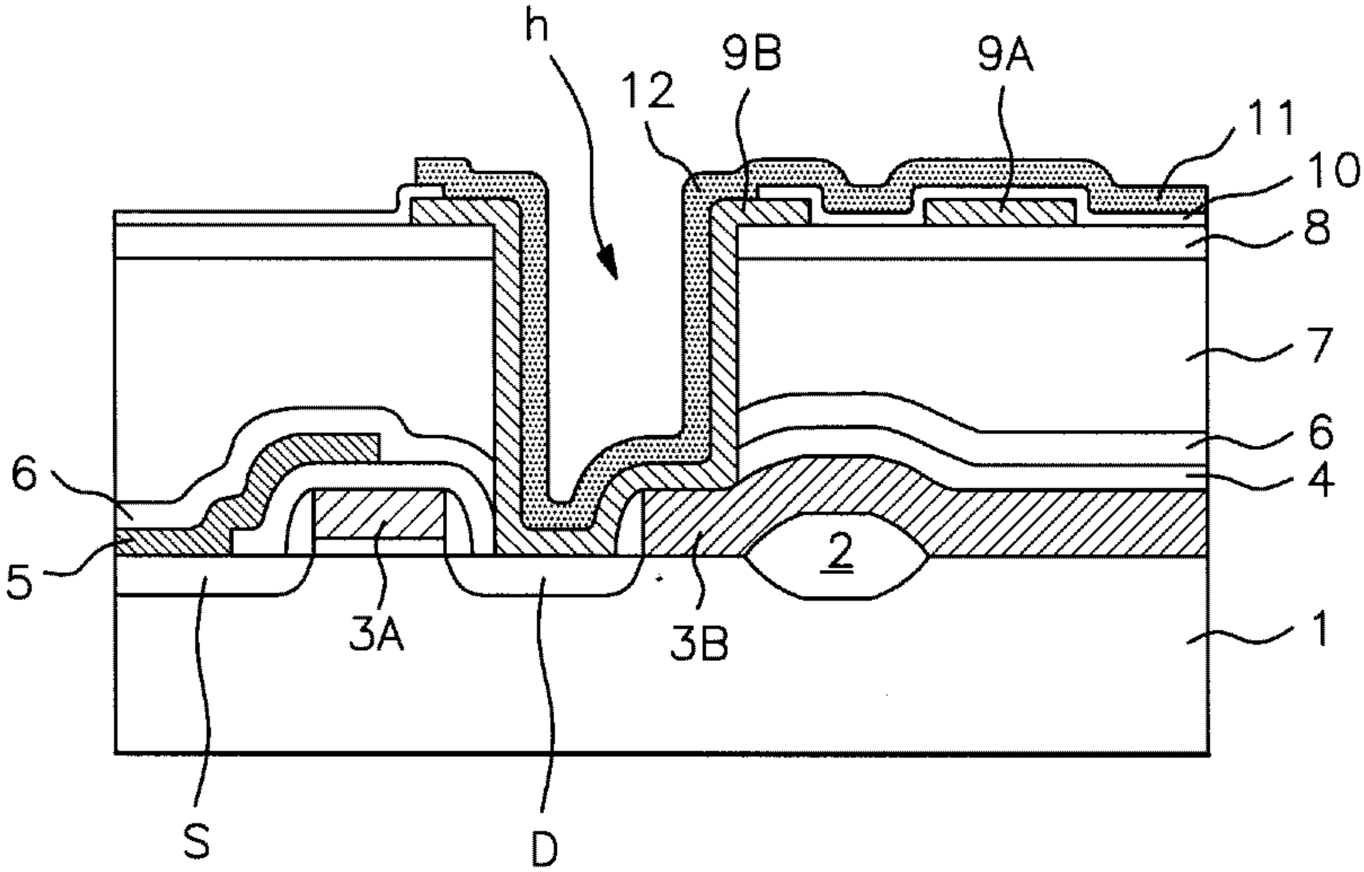
청구항 12.

제 11 항에 있어서, 상기 소오스 영역은

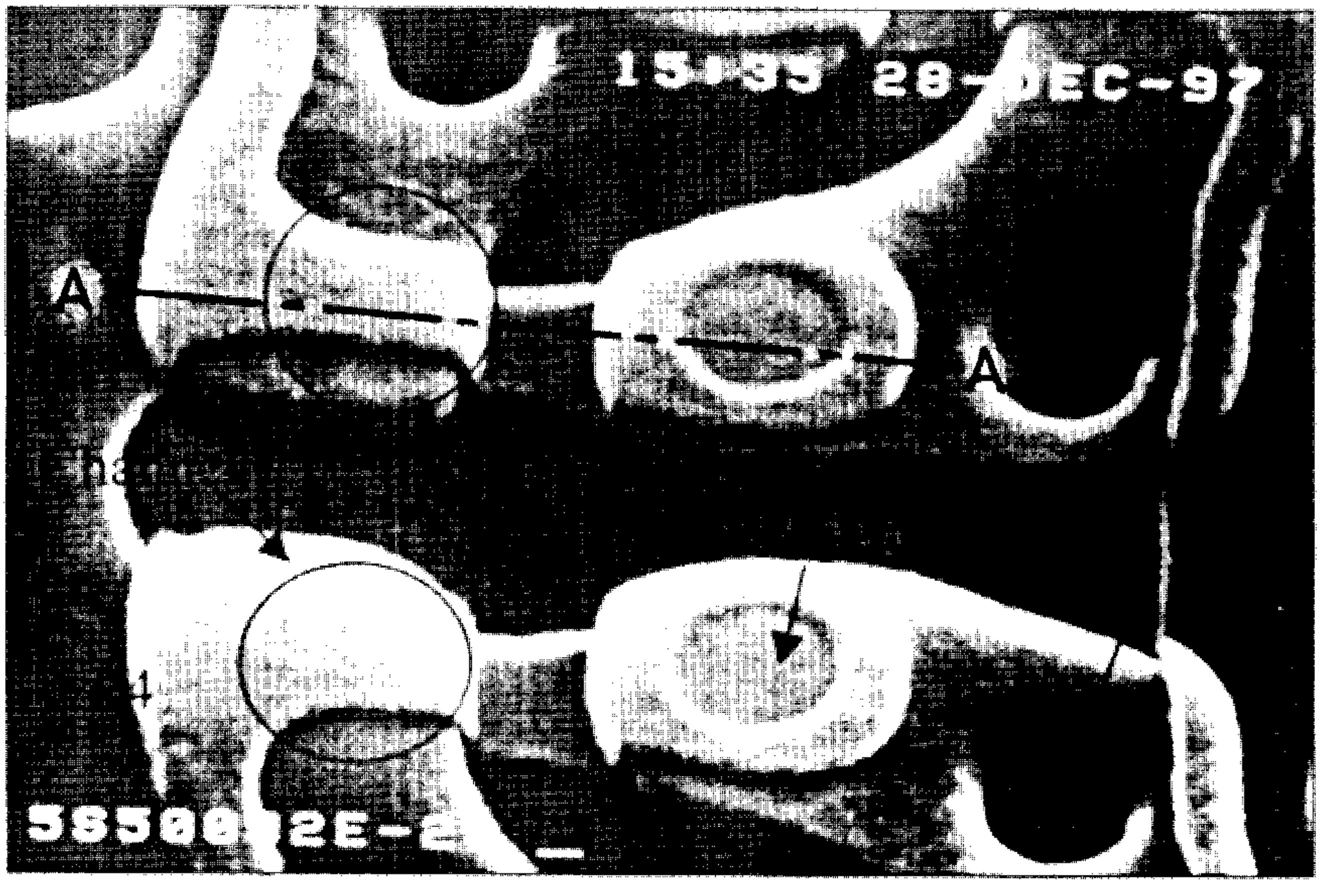
0.1 ㎛ 정도 확장되도록 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

도면

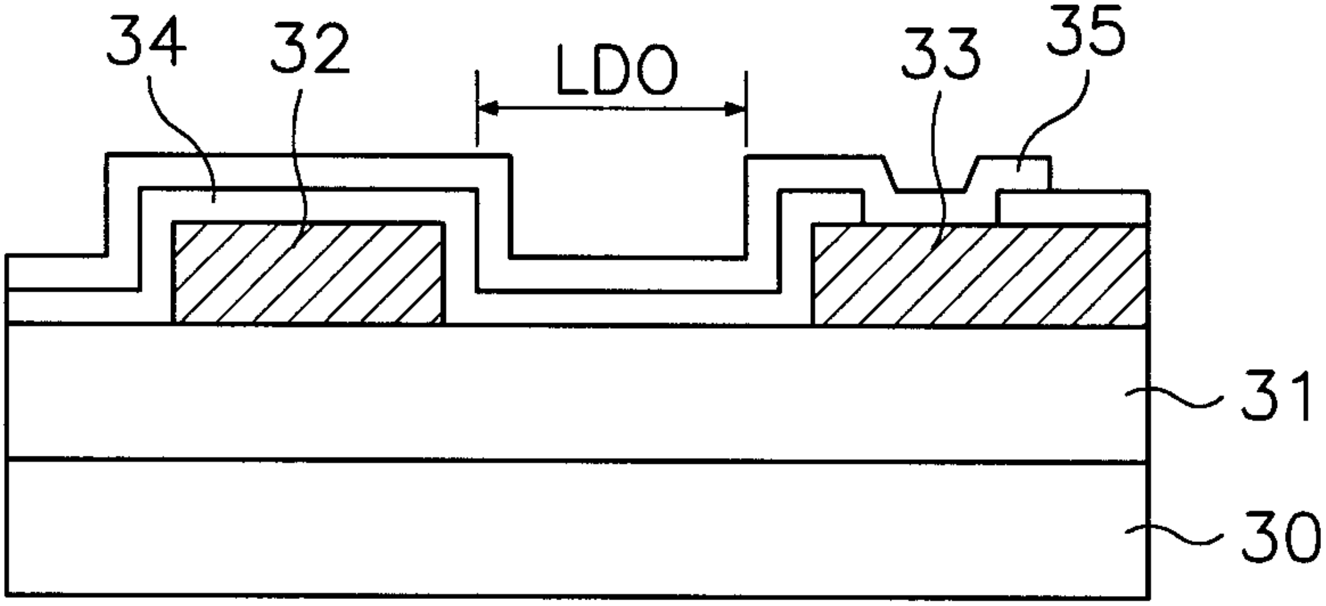
도면 1



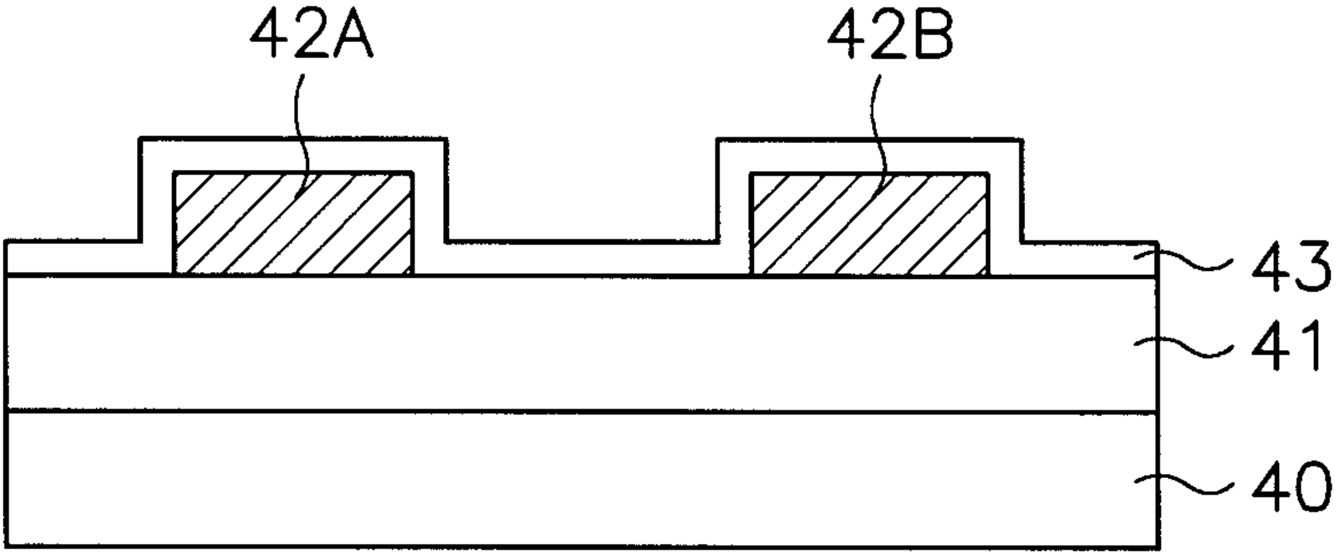
도면 2



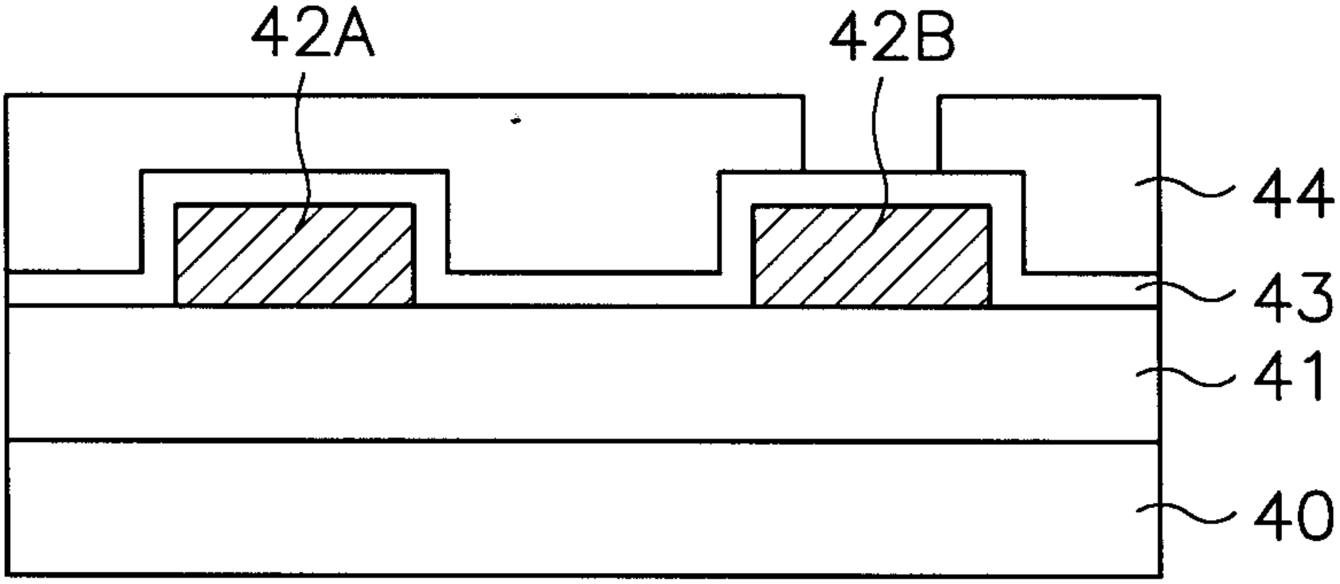
도면 3



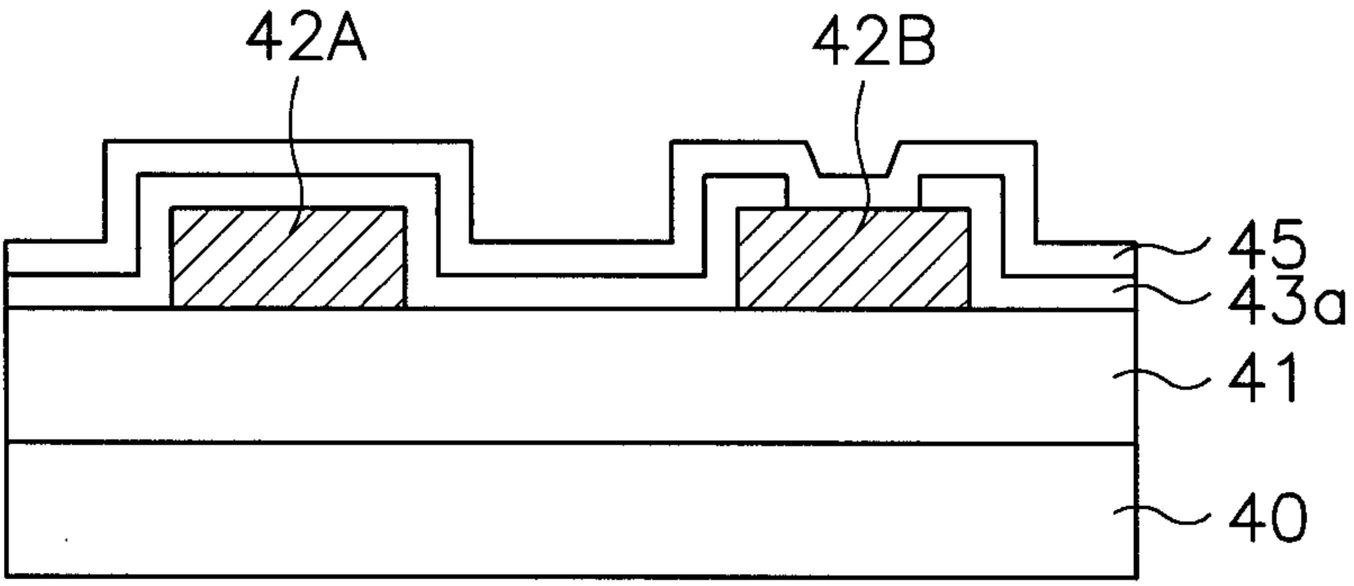
도면 4a



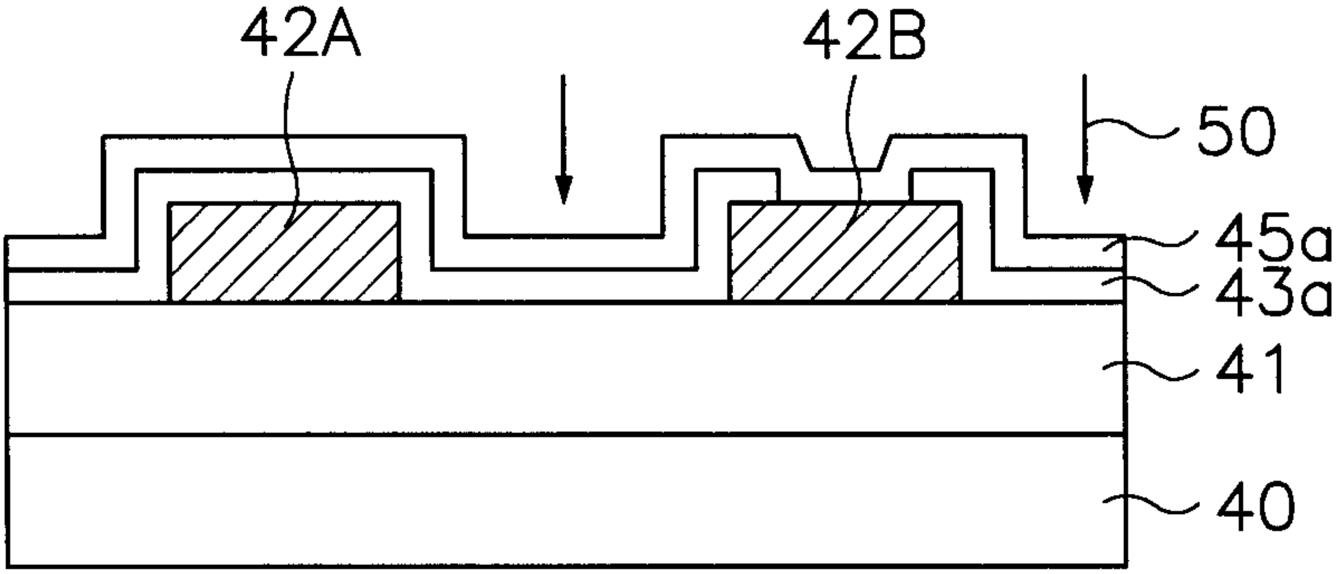
도면 4b



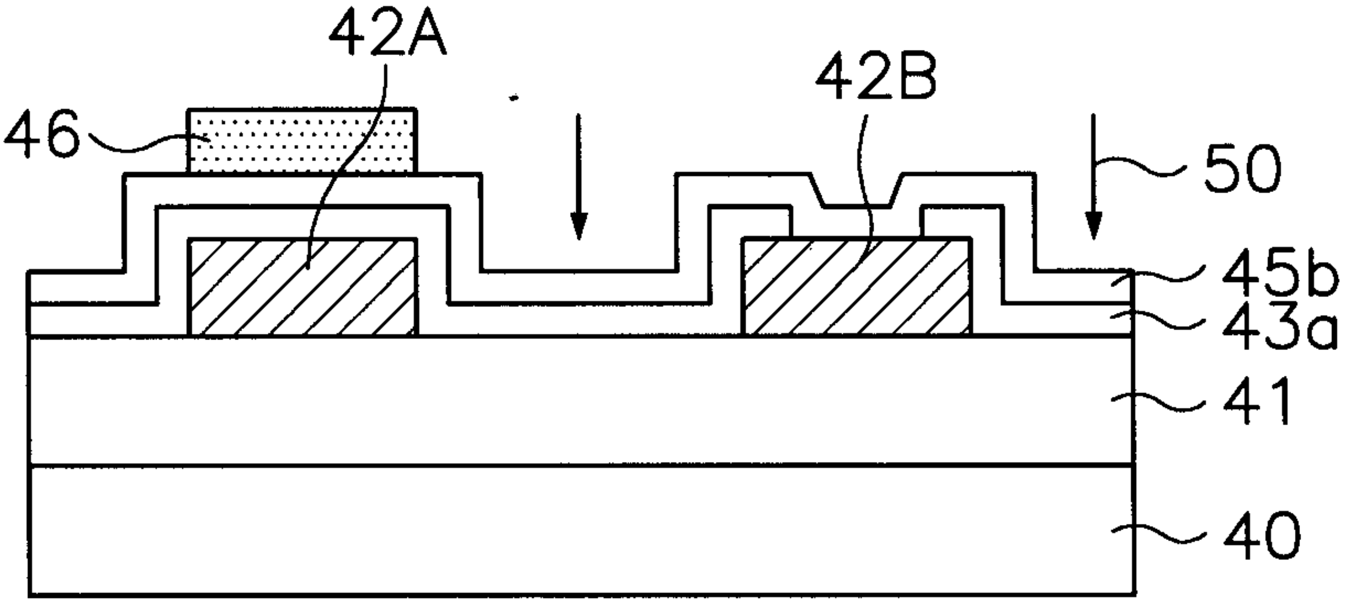
도면 4c



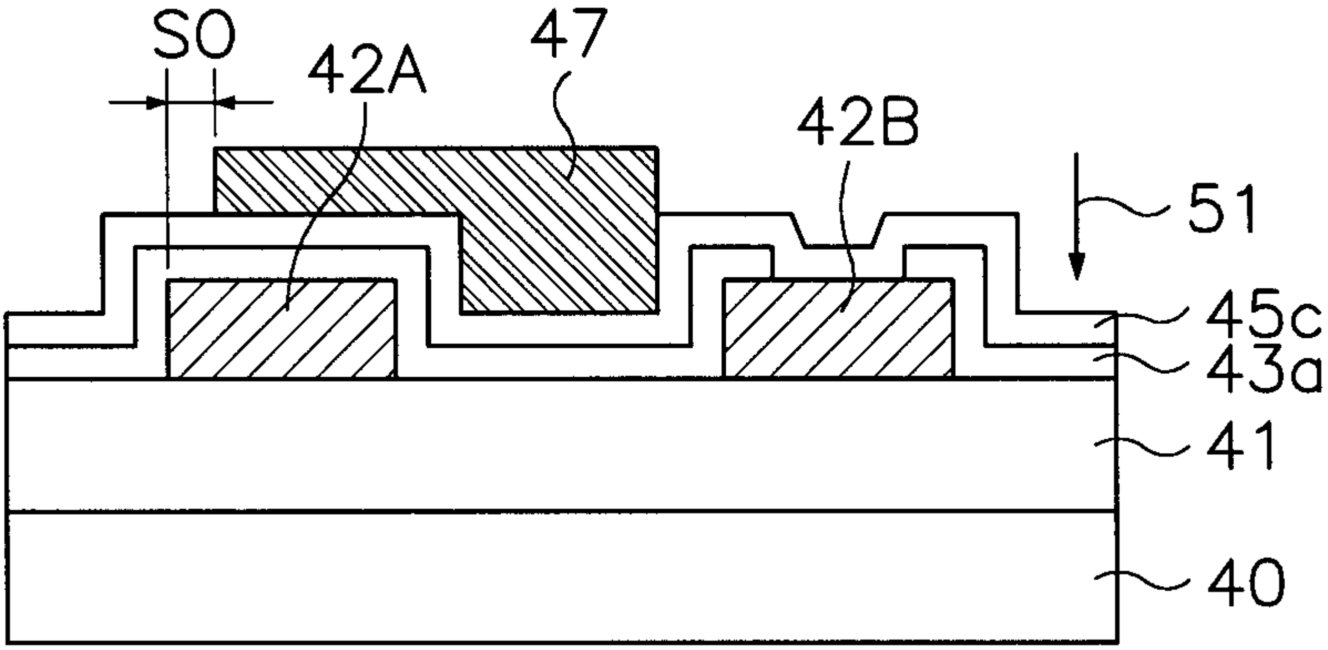
도면 4d



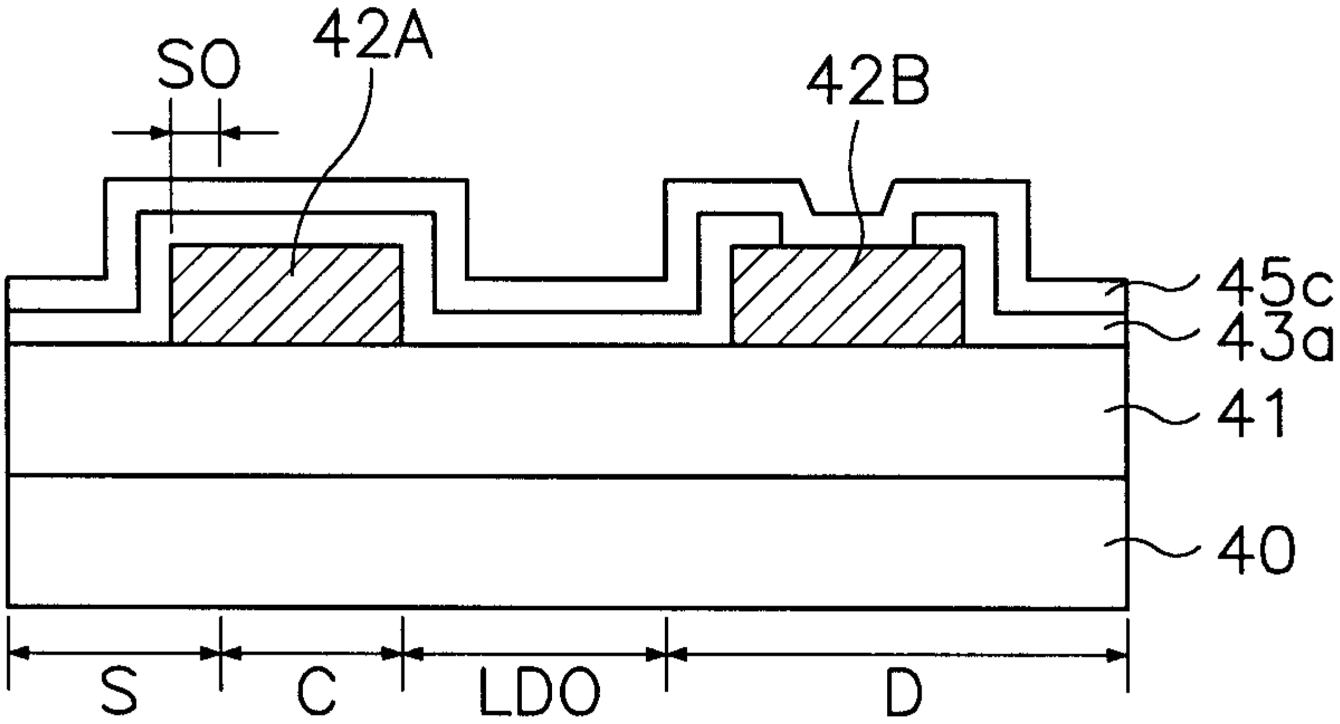
도면 4e



도면 4f



도면 4g



도면 5