

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H05K 3/34 (2006.01)

H05K 13/04 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510081792.0

[43] 公开日 2006年3月1日

[11] 公开号 CN 1741715A

[22] 申请日 2005.4.29

[21] 申请号 200510081792.0

[30] 优先权

[32] 2004.5.4 [33] US [31] 10/838,897

[71] 申请人 艾格瑞系统有限公司

地址 美国宾夕法尼亚

[72] 发明人 帕特瑞克勒·M·艾尔拜尼斯

约翰·W·奥森贝奇

托马斯·H·希灵

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 秦晨

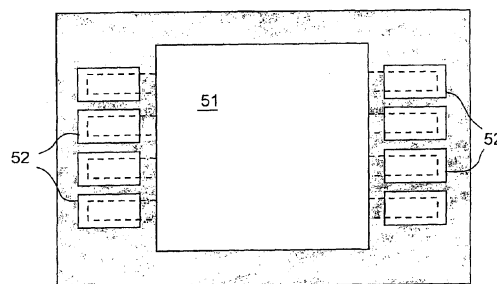
权利要求书 2 页 说明书 6 页 附图 8 页

[54] 发明名称

部件的表面组装安装

[57] 摘要

本说明书描述了用于制造高器件密度的电路板的表面安装方法。在板上的部件的基准距间隔能通过选择性的省略或者选择性的去除在部件封装下的焊料掩模层而显著增大。这在清洗操作期间改善了清洗液到达部件下面的通道。



- 1、用于制造电器件的方法，包括：
 - a. 提供互连衬底，该衬底具有顶表面和底表面，顶表面包括部件印记
- 5 (footprint)区域，和多个焊接位。
 - b. 在顶表面上形成焊接掩模层，该焊接掩模层具有：
 - i. 围绕焊接位的多个开口，和
 - ii. 围绕部件印记区域的至少一部分的至少一个开口，由此使得部件印记区域的至少一部分没有焊接掩模；
- 10 c. 通过将电部件的一部分焊接到焊接位，而将电部件粘贴到衬底上，电部件具有邻近衬底和与衬底分开的底侧，由此在衬底的顶表面和部件的底侧之间留下了基准距 (stand off) 间隔。
 - d. 通过将衬底暴露在清洗液中清洗衬底，该清洗步骤包括通过暴露基准距间隔到清洗液来清洗基准距间隔。
- 15 2、如权利要求1所述的方法，其中选择性地涂覆焊料膏到焊接位。
 - 3、如权利要求1所述的方法，其中该部件是无引线器件。
 - 4、如权利要求1所述的方法，其中该部件是引线器件。
 - 5、如权利要求1所述的方法，其中在 b.ii 中的开口的尺寸超过了部件印记区域的尺寸。
- 20 6、如权利要求1所述的方法，其中焊料掩模通过在衬底上沉积可光成像的聚合物的覆盖层而形成，将覆盖层的各区域暴露到光下，然后去除暴露的区域，其中各暴露区域与 b.i 和 b.ii 相对应。
 - 7、如权利要求2所述的方法，其中使用模板方法选择性地涂覆焊料膏。
 - 8、如权利要求1所述的方法，其中该部件安装在衬底底侧上。
- 25 9、一种 SMT 器件，包括：
 - a. 互连衬底，该衬底包括顶表面和底表面，顶表面包括部件印记区域，和多个焊接位；
 - b. 在顶表面上的焊料掩模层，其具有：
 - i. 围绕焊接位的多个开口，和
 - ii. 围绕至少部件印记区域的一部分的至少一个开口，由此使得部件印记
- 30

区域的至少一部分没有焊料掩模;

c. 焊接到焊接位的电部件, 该电部件具有邻接并从衬底分开的底侧, 由此在衬底的顶表面和部件的底侧之间留下了基准距间隔。

10、 如权利要求 9 的 SMT 器件, 其中在 b.ii 的开口区域超过了部件印记
5 区域的区域的尺寸。

11、 如权利要求 9 的 SMT 器件, 其中该器件是无引线芯片载体。

12、 如权利要求 9 的 SMT 器件, 其中该器件是引线器件。

13、 如权利要求 9 的 SMT 器件, 其中焊料掩模层包括可光成像聚合物。

14、 如权利要求 9 的 SMT 器件, 进一步包括在部件印记区域中衬底中
10 的凹陷。

15、 如权利要求 9 的 SMT 器件, 其中该衬底是印刷电路板。

16、 如权利要求 15 的 SMT 器件, 其中该衬底是聚合物。

17、 如权利要求 9 的 SMT 器件, 其中该衬底是陶瓷。

18、 如权利要求 9 的 SMT 器件, 进一步包括在焊接位处的衬底的上升
15 部分。

19、 如权利要求 9 的 SMT 器件, 其中进一步包括安装在衬底的底侧上的
的部件。

部件的表面组装安装

5 技术领域

本发明涉及表面组装技术(SMT)和用于安装提高改善后焊料清洁的 SMT 部件的方法。

背景技术

10 用于电子设备的印刷电路板(PCBs)的制造方法随着部件尺寸的缩小和在支撑板上部件密度的增加经历了许多变化。熟知的具有穿孔引线的双列直插式封装(DIP)已经被从板的一侧安装和粘贴的表面组装技术(SMT)器件取代。SMT 组装具有多种形式。许多用于杂化电路的地址安装分离部件。典型部件是电容、电阻、电感、LED、离散晶体管(discrete transistor)等等。结合了这些部件的子电路或子装配封装也通常被封装为 SMT 部件。例如，滤波器和其它 RC 电路经常被作为单个单元封装。具有大量数目的器件的集成电路器件，
15 无源器件和有源晶体管，都使用 SMT 安装。

在连接部件到板表面中，焊料几乎是通用的连接媒介。这使得连接也用作电互连。在部件上的电触点焊接到板上的导电垫上。在部件上的电触点可以
20 是无引线的，即，平坦预镀锡表面，或者可以是从小部件封装延伸的引线。在有引线的芯片载体封装上的引线典型地具有明显的形状，如欧翼型、J形、I形。

焊接操作典型地产生了残留物和碎片。残留物通过焊接助熔剂产生，该助熔剂是酸性的、腐蚀性的，并包含产生电信号的离子成分。如果没有完全去除，这些残留物能导致产品可靠性问题。碎片可以包括焊料的小颗粒和/或在
25 焊料回流步骤中形成的其它材料，其对已完成的器件同样是有利的。因此，SMT 焊接操作通常以清洗步骤而结束，其中液体围绕已组装的器件循环。清洗液的流动也渗透到在部件和板之间的间隔中，该间隔经常包含有害的残留物和碎片。在部件底部和板或衬底之间的间隔以下称作基准距(stand-off)间隔，以及分开衬底表面和部件底部的距离称作基准距(stand-off)高度。在板或衬底
30 上使用焊接掩模的 SMT 方法中，基准距高度由焊接掩模层的上表面和部件封

装的下表面之间的垂直距离确定。在有引线的封装中，基准距间隔名义上被引线的尺寸和形状控制。在无引线的芯片载体和类似的封装中，基准距主要通过表面张力和在回流中的焊料倒塌(collapse)高度而确定。

- 5 随着板上的器件密度增加以满足用于小尺寸和小型封装的高度封装需求，基准距间隔(stand-off space)变得更加受限制。受限制的间隔更倾向于俘获残留物和碎片，并对于清洗液的流动来说是不可到达的。因此，其中基准距间隔是非常受限制的，清洗操作是无效的。

发明内容

- 10 基准距空间可以通过选择性地省略(omitting)，或者选择性地去除在部件封装下的焊接掩模而被显著地放大。在部件封装下面的衬底上的其中部件被焊接的区域，这里指部件印记(footprint)。它典型地是正方形或长方形。通过选择性地省略焊接掩模，通过消耗已省略的焊接掩模的厚度增加了基准距高度。在人工 SMT 的状态下，基准距高度典型地是小的，并且焊接掩模的
- 15 厚度是基准距高度中的很大一部分。

附图说明

- 当结合附图考虑时，可以更好地理解本发明，
- 其中图 1 是安装在电路板上的鸥翼型引线部件焊料的一部分的示意图，
- 20 并说明了现有技术的俘获碎片的问题。

图 2 是更加具体地说明下述相关尺寸的示意图。

图 3 是与图 1 的视图类似的焊接安装无引线的表面安装部件的示意图，但说明了在 SMT 的另一形式中的俘获碎片的问题。

- 图 4 是与图 1 中的类似，但是用于球栅阵列(BGA)或倒装芯片 SMT 部件
- 25 的示意图。

图 5 是安装了从部件下的区域省略了图 1 示出的焊料掩模的 SMT 焊接的示意图。

图 6 是说明当缺少部件下的焊料掩模时，图 2 的相关尺寸的效果的示意图。

- 30 图 7 是示出了用于图 5 和图 8 的断线的图 5 的部件的平面图。

图 8 是在图 7 中示出的图 5 中的 SMT 部件的截面图，示出了在基准距间隔中流动的清洗液。

图 9 是与图 3 中的具有从部件下的区省略的焊料掩模的类似的示意图。

图 10 是与图 4 中的具有从部件下的区省略的焊料掩模的类似的示意图。

5 图 11 是示出了仿真(phantom)的引线部件的现有技术焊料掩模的平面图。

图 12 是根据本发明的具有在缺失部件下的部分制造的焊料掩模的平面图。

图 13 是在应用焊锡膏后图 12 的截面图。

图 14 是在应用和回流焊锡膏后与图 12 类似的平面图。

10 图 15 是在焊料垫回流和放置 SMT 之后的 SMT 器件的高度(elevation)。

图 16 和 17 示出了提供到基准距间隔的增强通道的焊料掩模的变形。

图 18 和 19 示出了为基准距间隔提供增强通道的衬底形状的变形。

具体实施方式

15 参考图 1，示出了具有鸥翼型引线 12 的引线部件 11 通过焊料缝脚 14 安装到衬底 13 上。与本发明描述相关的该结构以截面的形式示出（部件的内部特征没有示出）。衬底 13，其可以是电路板如环氧树脂(例如 FR4)，以切除的方式示出了在图中示出的板仅仅是更大的电路板的一部分，或者典型的一小部分。在焊料缝脚(solder fillet)下面是导体垫 15。导体垫与在板上互连多层部件

20 的电路片槽(runner)集成。导体垫典型地是铜的，但也可以是铝或具有顶部板金属形式的其它金属以通过应用的焊料保证导体垫的湿润。

图 1 是通用 SMT 方法的代表，其中使用焊料掩模，这里以 16 表示，以选择性地限定在衬底上的焊料的位置。从焊接操作得到的碎片以 18 表示，被俘获在焊料掩模层 16 和部件 11 的底部之间的基准距间隔中。

25 可以理解图中的元件并没有必要是按比例的。例如，与其它尺寸相关的焊料掩模的厚度可以稍微地放大以说明本发明。

图 2 示出了图 1 的虚线部分，并更加详细地示出了基准距间隔。焊料掩模层的厚度在这个图中以 t 表示。基准距高度 S 主要由引线 12 的尺寸和形状决定。引线要么接触衬底 13 的表面，或者，如果部件非常小可以稍微浮置在

30 衬底表面的上方。然而，与焊接位相关的实际上的基准距高度被衬底表面决定，

并具有最大高度 S 。在实际操作中，然而，在部件 11 下方的基准距高度不是由衬底 13 的表面决定，而是由焊料掩模层 16 的表面决定。因此，在图 2 中的实际上的基准距高度是 g 。如更早所提及的方法，这个基准距高度随着器件尺寸的缩小而变得更小。图 2 示出了碎片 18 被牢固地俘获在缝隙 g 中。

- 5 图 1 和 2 示出了通常在基准距间隔中俘获或形成碎片或残留物的问题。当这里所示的部件是具有欧翼型引线的引线封装时，在多个分离部件和集成电路封装中更广泛地遇到了该问题。为了说明，图 3 示出了在无引线表面安装部件中的问题。所有的元件与图 1 中的相同，除了没有引线 12。在表面安装部件下的基准距主要由在焊料回流期间焊料表面张力/表面塌陷特性决定。典型地镀锡部件(未示出)的末端以提高在部件和导体垫之间的湿润。图 4 是另一个 SMT 封装类型，其中使用焊料凸块或 BGA 球 24 用于粘贴器件 11。典型地在 BGA 技术中的器件 11 是集成电路，以及球或互连的数量会非常大。

已知示出了碎片和残留物问题存在于多种 SMT 封装类型中，下面将详细描述与图 1 中的欧翼型封装有关的细节。

- 15 图 5 示出了具有从大约与部件印记相对应的区域省略的焊接掩模的图 1 的封装。焊料掩模 16 仍然保留在所示出的焊接位的周围。从部件印记中省略焊料掩模的效果在图 6 中是明显的，其中在部件 11 的底部和衬底之间的缝隙 g 与图 2 中示出的最大基准距相当，由此通过在后焊接清洗操作期间的清洗液流动显著地增强了基准距间隔的通道。

- 20 图 5 示出了通过部件 11 的引线 12 的截面，即沿着在图 7 中的“图 5”表示的线的截面。在图 8 中示出了在引线之间的视图，由图 7 中的断线“图 8”表示。清洗液的流动由箭头表示，并以 31 表示去除碎片。可以看出清洗液的流动并没有受到焊料掩模的阻碍。

- 25 图 9 示出了图 3 的实施例，SMT 无引线芯片载体(LCC)，具有从部件印记省略的焊料掩模，以及图 10 示出了图 4 的具有从印记省略的焊料掩模的实施例。在每个情形中，用于图 5 的描述的相同的效果是显然的。

- 30 在 SMT 技术中，焊料掩模层典型地是聚合物，例如聚酰亚胺、聚丙烯酸脂，或合适的替换物。更优选地，可以是可光成像的(photoimageable)聚合物。焊料掩模材料优选是沉积在衬底上的覆盖层，并使用光刻构图。在现有技术中已知多种光致抗蚀剂材料，并且这些材料的类型很容易通过公知或已发展很好

的技术涂覆和构图。该层被掩模，曝光以显影。可选择地使用其它的方法，例如类似于丝网印刷的其它方法。图 11 示出了焊料掩模层 41 的平面图，根据现有技术构图，以覆盖除了焊接位 42 之外的衬底。在仿真(phantom)中用 45 表示部件轮廓 (outline)，在 46 处示出了部件引线。同样的，在仿真中示出了导体垫 47。为了清楚，仅示出了一个导体垫，可以理解导体垫位于每个焊接位 42 之下。在引线之间的间隔可以比示出的更大，以允许在引线和导体垫之间的某些未对准。典型地制造导体垫比引线更大以使得欧翼型的基线完全留在垫上。在现有技术的 SMT 中，用于产生焊料掩模的光掩模类似于图 11，具有与每个焊接位对应的开口的构图。

10 相反地，在图 12 中示出了用于实现本发明的具有开口 51 的大约相应于部件印记的焊料掩模。如所示提供了焊接位窗口 52。

放置图 12 的焊料掩模，除了选择性地涂覆膏剂到焊接位窗口 52 以外以通用方法进行焊料粘贴操作，并在部件印记区域中省略。这在图 13 中进行了说明，其中焊料膏 61 被选择性地涂覆到焊接位窗口中。焊料膏的选择性的涂覆可以使用公知的模板(stencil)方法易于进行。提供具有用于焊接位的开口但在部件印记区域没有开口的模板。焊料膏然后回流以产生以在图 14 中以 71 示出的焊料凸块。适当的焊料凸块也可以通过其它的方法产生。例如，焊料可以通过阴影掩模(shadow mask)蒸发。

20 当焊料凸块形成时，设置具有与焊料凸块 71 对应的引线的部件 11，如图 15 中所示，并且焊料回流以产生图 5 的装配 (assembly)。然后进行如上所述的清洗操作。清洗液可以是任何公知的有机溶剂或清洁剂。

25 可以使用几个可选择的方法以进一步提高清洗液到达部件下的区域的通道。例如，认识到在图 7 中的部件 11 在四边的仅仅两个上具有引线，在焊料掩模的端部的开口间隔可以延伸以扩展到空的间隔中。在图 16 中示出了其中延伸的空区域 51a 产生了一个增大的部件印记以增加到达部件下的区域的通道。图 17 示出了实施例，其中在仿真轮廓 81 中示出的部件在四边上都具有引线。使得在部件下的焊料掩模中的开口比部件印记的稍微大一些，另外，提供一个或者多个通道 82 以提高清洗液到部件下的区域的可达性。

30 如所述能使用本发明制造多种 SMT 器件。也存在多种安装衬底。典型的 PCB 是环氧树脂板，例如 FR4。它们可以是单层或多层。安装衬底也可以是

陶瓷或硅。

在焊料掩模形成时，在省略在部件印记的区域中的焊料掩模的手段是本发明的一个简单的实施，其它步骤可以得到相同的结果。重要的是在清洗操作期间在部件下的焊料掩模可以没有。因此，在部件印记中的焊料掩模可以在单个的步骤中被蚀刻掉。如果利用涂刷器施加焊料膏，这个顺序是有用的，使得限定焊料膏以适合焊接位更加困难。在那样的情况下，可以形成传统的焊料掩模，焊料膏沉积并回流，然后去除焊料掩模的部件印记区域。存在一些公知的能选择性地蚀刻焊料掩模的有机溶剂。

在已经描述的本发明的几个实施例中，基准距间隔通过去除焊料掩模的部分而增加。一个替代方法是去除衬底的一部分，或成形衬底，由此提高基准距高度。在图 18 和 19 中示出了用于达到这个目的的两个实施例，在图 18 中，在部件印记下的衬底的顶表面的区域被选择性地蚀刻以在衬底上形成凹陷 91。焊料掩模可以选择存在或者省略。基准距高度由于蚀刻凹陷的深度而被增大。可选择地，可以使用预先制造的凹陷而制造衬底。形成具有适当地位于板上的凹陷的电路板是直接的，特别是电路板是通过成型工艺典型地形成的时候。图 19 表示其中具有上升部分 95 成型的衬底的实施例。这些处于焊接位的位置并用于从板表面提高部件，由此达到提高基准距高度的目的。

对于本领域的技术人员可以产生本发明的多种其它的变形。来自本说明书的具体说明的所有变动基本上依赖于原则和它们的等价物，通过它们本技术可以在权利要求中描述的范围被引申或正确地考虑。

图 1

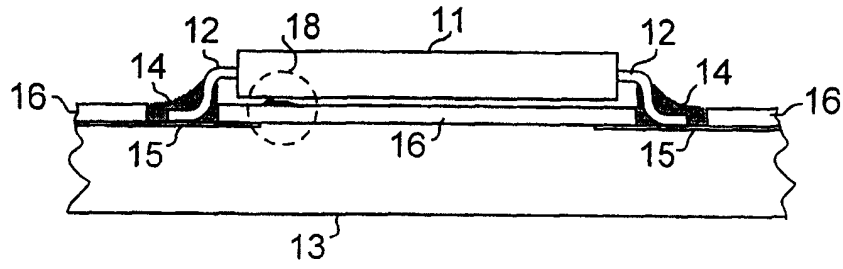


图 2

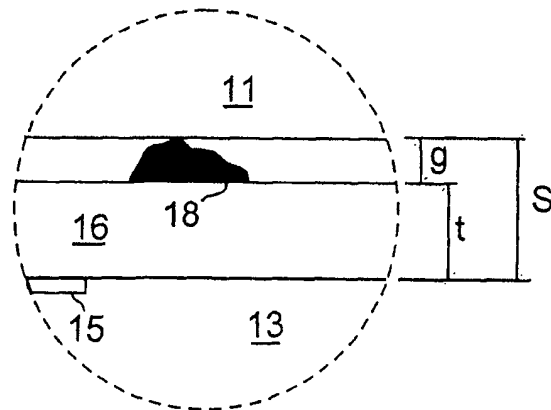


图 3

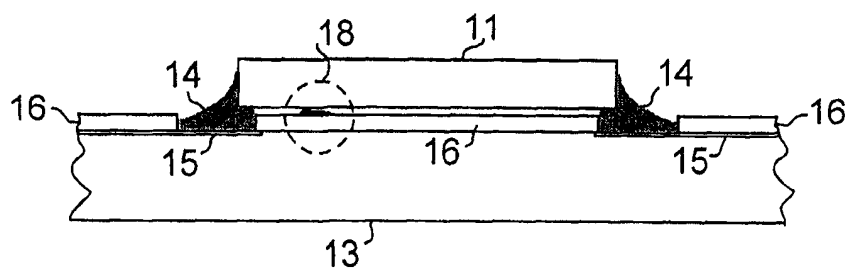


图 4

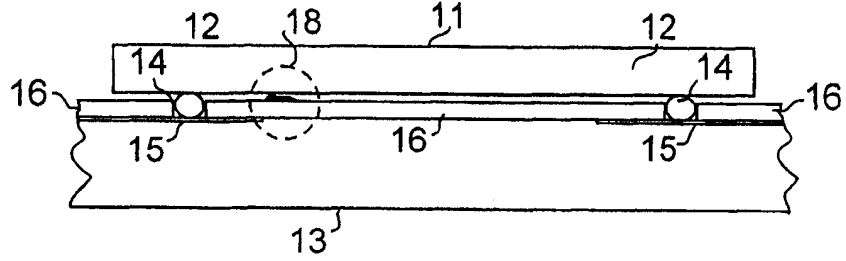


图 5

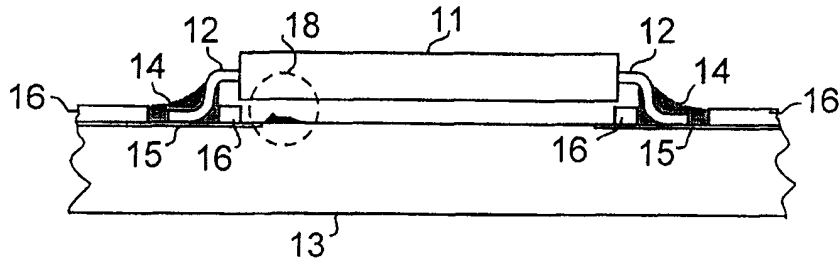


图 6

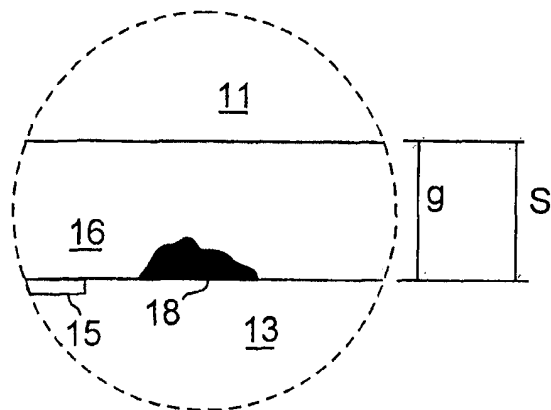


图 7

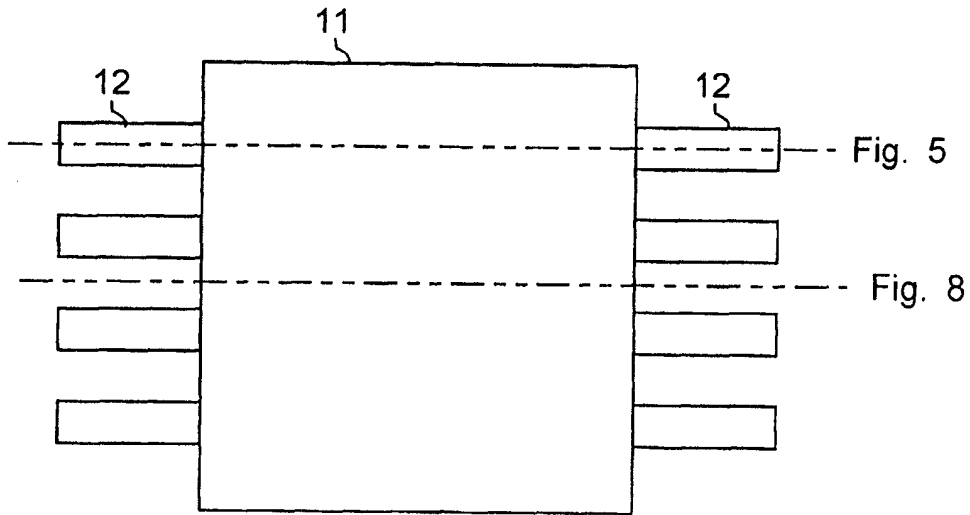


图 8

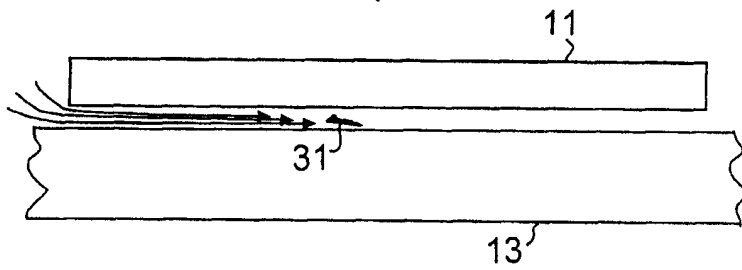


图 9

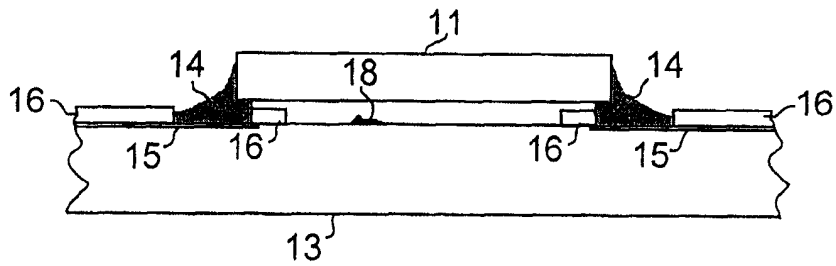


图 10

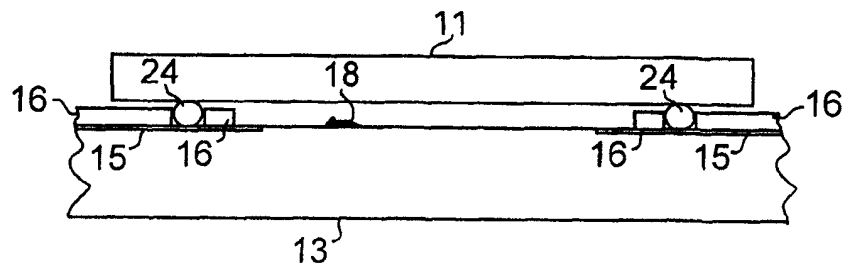


图 11 (现有技术)

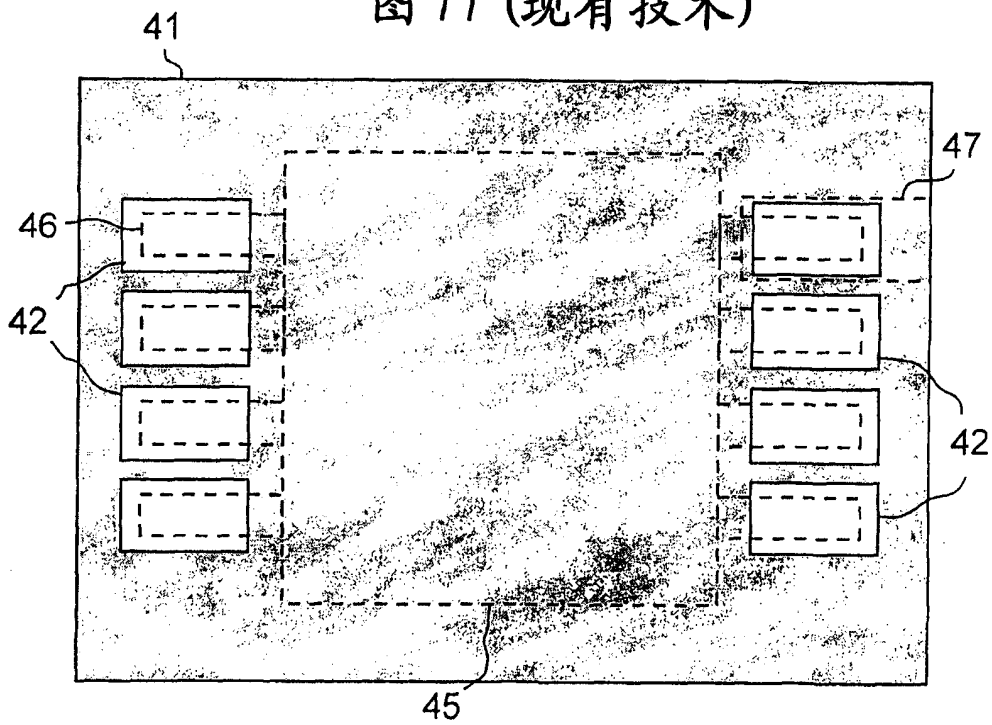


图 12

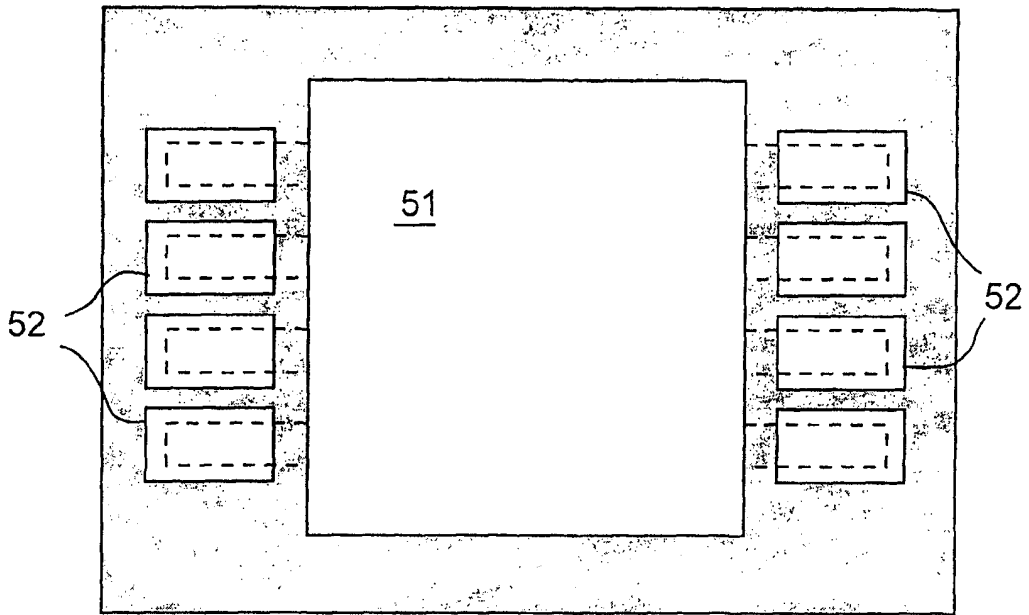


图 13

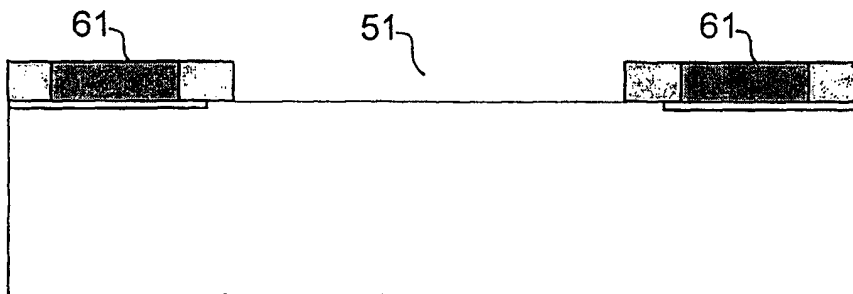


图 14

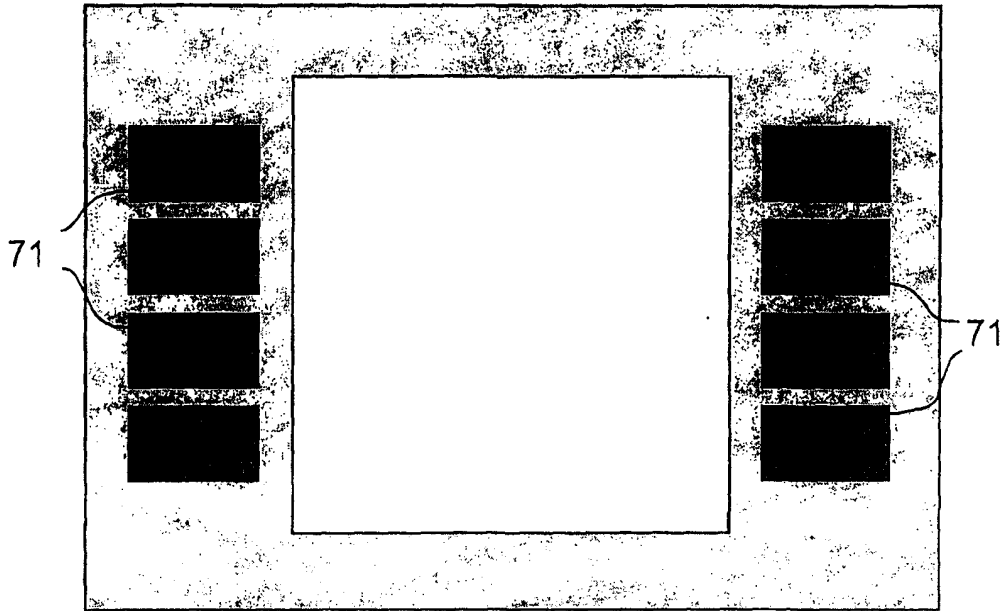
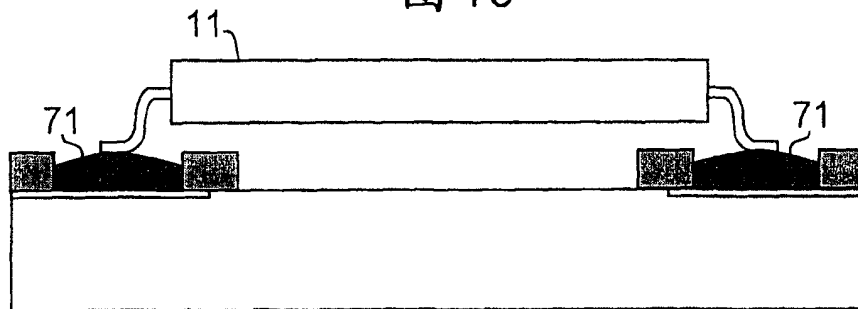


图 15



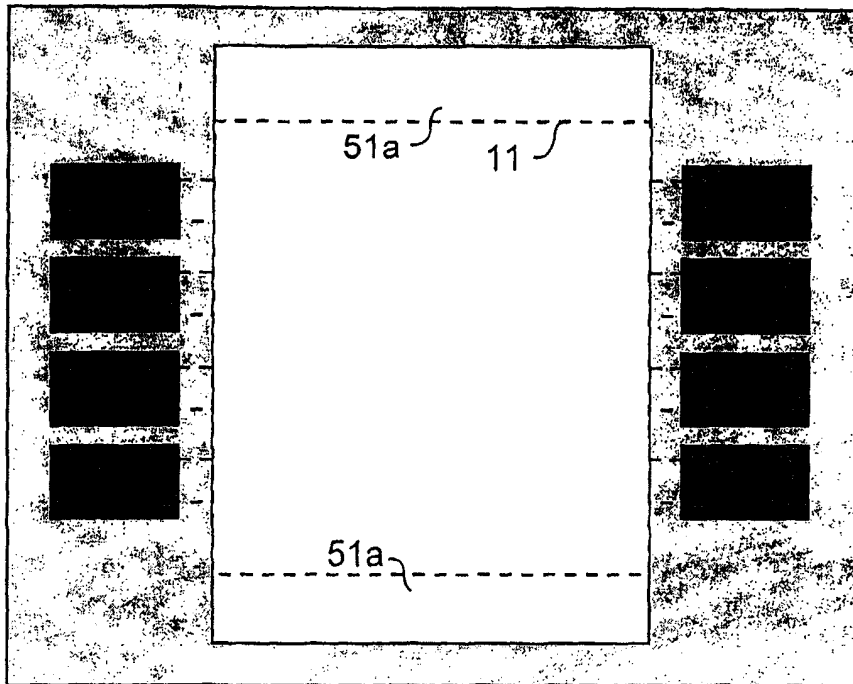


图 16

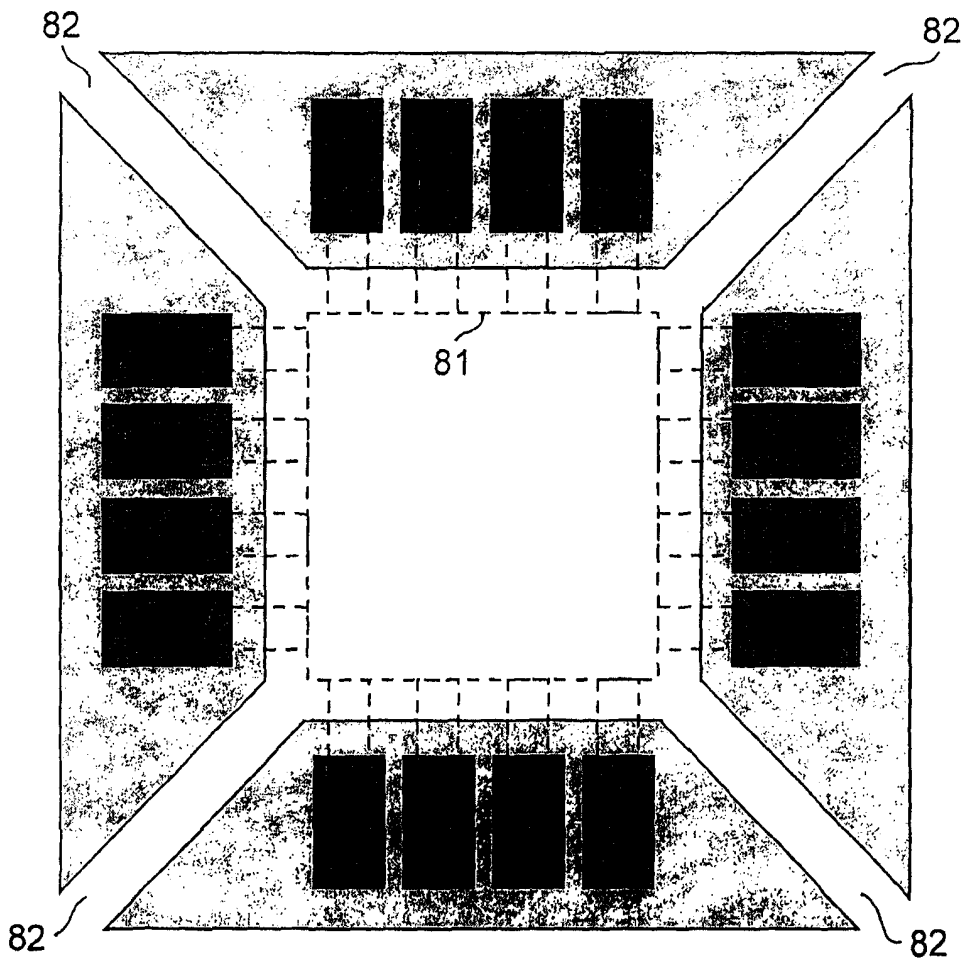


图 17

图 18

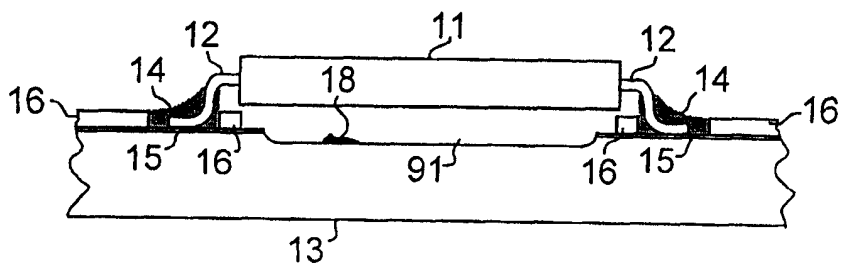


图 19

