



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0028607  
(43) 공개일자 2015년03월16일

(51) 국제특허분류(Int. Cl.)  
H01L 29/78 (2006.01)

(21) 출원번호 10-2013-0107448  
(22) 출원일자 2013년09월06일  
심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

고광식

충북 청주시 흥덕구 집대로 6, 103동 404호 (복대동, 벽산아파트)

이금주

광주광역시 광산구 산정동 하남부영사랑으로2차아파트 205-306

박주원

인천 계양구 까치말로49번길 21, 3층 (작전동)

(74) 대리인

특허법인신성

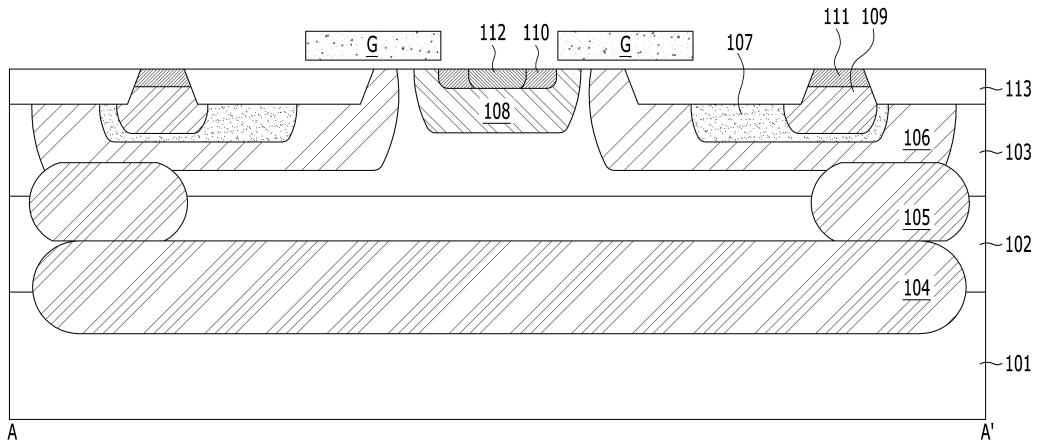
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 반도체 장치 및 그 제조방법

(57) 요약

본 기술은 항복전압을 증가시킬 수 있는 반도체 장치에 관한 것으로, 지지기판 상에 적층된 복수의 에피층들; 상기 복수의 에피층들에서 최하층 에피층과 상기 지지기판을 공유하도록 형성된 제1매립불순물영역; 상기 제1매립불순물영역에 연결되고 상기 복수의 에피층에서 N번째 에피층과 N+1번째 에피층을 공유하도록 형성된 적어도 하나 이상의 제2매립불순물영역; 상기 복수의 에피층들에서 최상층 에피층에 형성된 바디영역; 상기 최상층 에피층에 형성되어 상기 바디영역을 둘러싸고, 상기 최상층 에피층을 공유하는 제2매립불순물영역과 연결된 딥웰을 포함하는 반도체 장치를 제공한다.

대표도 - 도1b



이 발명을 지원한 국가연구개발사업

과제고유번호 10044497

부처명 지식경제부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업융합원천개발사업

연구과제명 AEC-Q100을 만족하는 BCDMOS 기반 자동차용 반도체 공정 및 관련 핵심 IP 개발

기여율 1/1

주관기관 SK 하이닉스

연구기간 2013.05.01 ~ 2017.04.30

---

## 특허청구의 범위

### 청구항 1

지지기판 상에 적층된 복수의 에피층들;

상기 복수의 에피층들에서 최하층 에피층과 상기 지지기판을 공유하도록 형성된 제1매립불순물영역;

상기 제1매립불순물영역에 연결되고 상기 복수의 에피층에서 N번째 에피층과 N+1번째 에피층을 공유하도록 형성된 적어도 하나 이상의 제2매립불순물영역;

상기 복수의 에피층들에서 최상층 에피층에 형성된 바디영역;

상기 최상층 에피층에 형성되어 상기 바디영역을 둘러싸고, 상기 최상층 에피층을 공유하는 제2매립불순물영역과 연결된 딥웰

을 포함하는 반도체 장치.

### 청구항 2

제1항에 있어서,

상기 복수의 에피층들은 소정의 불순물이 도핑되어 동일한 도전형을 가지며, 상기 복수의 에피층들에서 최하층 에피층의 불순물 도핑농도가 가장 크고 최상층 에피층의 불순물 도핑농도가 가장 낮도록 불순물 도핑농도가 점차 감소하는 반도체 장치.

### 청구항 3

제1항에 있어서,

상기 제1매립불순물영역은 평판형태를 포함하고, 상기 제2매립불순물영역은 상기 제1매립불순물영역 가장자리를 따라 형성된 링형태를 포함하는 반도체 장치.

### 청구항 4

제1항에 있어서,

둘 이상의 상기 제2매립불순물영역은 자신들끼리 서로 연결되는 반도체 장치.

### 청구항 5

제1항에 있어서,

상기 딥웰은 상기 바디영역을 둘러싸는 링형태를 포함하고, 상기 딥웰은 상기 바디영역으로부터 소정 간격 이격된 반도체 장치.

### 청구항 6

제1항에 있어서,

상기 최상층 에피층 상에 형성된 게이트;

상기 딥웰에 형성되어 상기 게이트와 일부 중첩되는 매립절연층;

상기 바디영역에 형성된 소스영역; 및

상기 게이트로부터 소정 간격 이격되어 상기 드리프트영역에 형성된 드레인영역을 더 포함하는 반도체 장치.

#### 청구항 7

제6항에 있어서,

상기 제2매립불순물영역은 상기 매립절연층과 중첩되지 않도록 배치하는 반도체 장치.

#### 청구항 8

제7항에 있어서,

상기 제2매립불순물영역은 상기 드레인영역과 중첩되지 않도록 배치되는 반도체 장치.

#### 청구항 9

지지기판에 불순물을 이온주입하는 단계;

상기 지지기판 상에 제1에피층을 형성함과 동시에 주입된 상기 불순물을 활성화시켜 상기 지지기판과 상기 제1에피층을 공유하는 제1매립불순물영역을 형성하는 단계;

상기 매립불순물영역의 가장자리에 대응하는 제1에피층에 불순물을 이온주입하는 단계;

상기 제1에피층 상에 제2에피층을 형성함과 동시에 주입된 불순물을 활성화시켜 상기 제1에피층과 상기 제2에피층을 공유하고 상기 제1매립불순물영역에 접하는 제2매립불순물영역을 형성하는 단계; 및

상기 제2에피층에 상기 제2매립불순물영역에 접하는 딥웰을 형성하는 단계

를 포함하는 반도체 장치 제조방법.

#### 청구항 10

제9항에 있어서,

상기 제1에피층의 불순물 도핑농도는 상기 제2에피층의 불순물 도핑농도보다 크게 형성하는 반도체 장치 제조방법.

#### 청구항 11

제9항에 있어서,

상기 제2에피층에 바디영역을 형성하는 단계;

상기 딥웰에 매립절연층을 형성하는 단계;

상기 제2에피층 상에 상기 바디영역 일부, 상기 딥웰 일부 및 상기 매립절연층 일부와 중첩되는 게이트를 형성하는 단계; 및

상기 바디영역 및 상기 딥웰에 각각 소스영역 및 드레인영역을 형성하는 단계를 더 포함하는 반도체 장치 제조방법.

#### 청구항 12

제11항에 있어서,

상기 딥웰은 상기 바디영역을 둘러싸는 링형태를 포함하고, 상기 딥웰은 상기 바디영역으로부터 소정 간격 이격 되도록 형성하는 반도체 장치 제조방법.

**청구항 13**

제11항에 있어서,

상기 제2매립불순물영역은 상기 매립절연층과 중첩되지 않도록 형성하는 반도체 장치 제조방법.

**청구항 14**

제13항에 있어서,

상기 제2매립불순물영역은 상기 드레인영역과 중첩되지 않도록 형성하는 반도체 장치 제조방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 장치 제조 기술에 관한 것으로, 보다 구체적으로는 고전압 분리 트랜지스터(High Voltage Isolated Transistors)에 관한 것이다.

**배경 기술**

[0002] 고전압 트랜지스터(High Voltage Transistor)는 일반적인 바이폴라(bipolar) 트랜지스터 대비 전력 이득이 크고 게이트 구동 회로가 간단하며, 턴오프(turn off) 동작에서 소수 캐리어(carrier)에 기인한 축적 또는 재결합에 의해 지연시간이 발생하지 않는 장점을 가지고 있다. 따라서, 구동 IC(Integrated Circuit), 전력 변환기, 모터 컨트롤러 및 차량용 전원장치를 포함한 다양한 전력장치에 넓게 이용되고 있다.

[0003] 이와 같은 고전압 트랜지스터로는 수평형 디모스 트랜지스터(Lateral Double diffused MOSFET, LDMOS)와 같이 이중 확산(double diffusion) 기술을 이용한 디모스 트랜지스터가 널리 사용되고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 실시예는 항복전압을 증가시킬 수 있는 반도체 장치 및 그 제조방법을 제공한다.

**과제의 해결 수단**

[0005] 본 발명의 실시예에 따른 반도체 장치는 지지기판 상에 적층된 복수의 에피층들; 상기 복수의 에피층들에서 최하층 에피층과 상기 지지기판을 공유하도록 형성된 제1매립불순물영역; 상기 제1매립불순물영역에 연결되고 상기 복수의 에피층에서 N번째 에피층과 N+1번째 에피층을 공유하도록 형성된 적어도 하나 이상의 제2매립불순물영역; 상기 복수의 에피층들에서 최상층 에피층에 형성된 바디영역; 상기 최상층 에피층에 형성되어 상기 바디영역을 둘러싸고, 상기 최상층 에피층을 공유하는 제2매립불순물영역과 연결된 딥웰을 포함할 수 있다.

[0006] 본 발명의 실시예에 따른 반도체 장치 제조방법은 지지기판에 불순물을 이온주입하는 단계; 상기 지지기판 상에 제1에피층을 형성함과 동시에 주입된 상기 불순물을 활성화시켜 상기 지지기판과 상기 제1에피층을 공유하는 제

1매립불순물영역을 형성하는 단계; 상기 매립불순물영역의 가장자리에 대응하는 제1에피층에 불순물을 이온주입하는 단계; 상기 제1에피층 상에 제2에피층을 형성함과 동시에 주입된 불순물을 활성화시켜 상기 제1에피층과 상기 제2에피층을 공유하고 상기 제1매립불순물영역에 접하는 제2매립불순물영역을 형성하는 단계; 및 상기 제2에피층에 상기 제2매립불순물영역에 접하는 딥웰을 형성하는 단계를 포함할 수 있다.

**발명의 효과**

[0007] 상술한 과제 해결 수단을 바탕으로 하는 본 기술은 복수의 에피층들 및 적어도 하나 이상의 제2매립불순물영역을 구비함으로써, 고전압 분리 트랜지스터의 항복전압을 효과적으로 향상시킬 수 있다.

**도면의 간단한 설명**

[0008] 도 1a 및 도 1b는 본 발명의 실시예에 따른 고전압 분리 트랜지스터를 도시한 도면.  
 도 2는 본 발명의 실시예에 따른 고전압 분리 트랜지스터의 변형예를 도시한 도면.  
 도 3a 내지 도 3d는 본 발명의 실시예에 따른 반도체 장치 제조방법을 도시한 도면.

**발명을 실시하기 위한 구체적인 내용**

[0009] 이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 도면을 참조하여 설명하기로 한다. 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기판상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기판 사이에 존재하는 경우도 나타낼 수 있다.

[0010] 후술하는 본 발명의 실시예는 고전압 분리 트랜지스터(High Voltage Isolated Transistors) 및 그 제조방법을 제공한다. 본 발명의 실시예에 따른 고전압 분리 트랜지스터를 설명하기에 앞서, 일반적으로 고전압 트랜지스터는 지지기판(또는 벌크기판) 상의 불순물이 도핑된 에피층(Epi. layer)에 형성된다. 고전압 트랜지스터가 형성되는 에피층은 고전압 트랜지스터의 항복전압을 증가시키기 위해 상대적으로 그 두께가 두껍고 불순물 도핑농도를 낮게 형성한다. 그러나, 상대적으로 그 두께가 두껍고 불순물의 도핑농도를 낮게 형성함에 따라 항복전압을 감소시키는 원인으로 작용하는 기생소자(parasitic device) 예컨대, 기생 바이폴라 트랜지스터(parasitic bipolar transistor)가 동작하기 쉽다는 단점이 있다. 특히, 안테나 또는 솔레노이드와 같은 유도 부하(Inductive load) 구동 시스템에 적용된 고전압 트랜지스터는 상술한 이유로 인해 기생소자가 과도하게 작용하여 요구되는 항복전압 특성을 확보할 수가 없다. 이를 해결하기 위해 기판에 형성되어 고전압 트랜지스터의 저면 및 측면을 감싸는 분리영역(Isolation region)을 구비한 고전압 분리 트랜지스터가 도입되었으나, 40V 이상의 항복전압을 확보하기 어려운 실정이다.

[0011] 따라서, 후술하는 본 발명의 실시예는 지지기판 상에 복수의 에피층들이 적층된 기판을 제공하여 항복전압을 증가시키되, 복수의 에피층들을 도입함에 따른 분리특성(Isolation characteristic) 열화를 방지하도록 N번째(N은 자연수) 에피층과 N+1번째 에피층을 공유하도록 형성된 적어도 하나 이상의(또는 복수의) 매립불순물영역(buried impurity region)을 구비한 고전압 분리 트랜지스터는 및 그 제조방법을 제공한다. 이하, 본 발명의 실시예에서는 이중 확산 기술을 이용한 수평형 디모스 트랜지스터(Lateral Double diffused MOSFET, LDMOS)에 본 발명의 기술사상을 적용한 경우를 예시하여 설명하기로 한다.

[0012] 한편, 이하의 설명에서 제1도전형 및 제2도전형은 서로 상보적인 도전형을 의미한다. 즉, 제1도전형이 P형인 경

우에 제2도전형은 N형이고, 제1도전형이 N형인 경우에 제2도전형은 P형이다. 설명의 편의를 위해 이하의 설명에서 제1도전형 및 제2도전형은 각각 P형 및 N형으로 한다.

[0013] 도 1a 및 도 1b는 본 발명의 실시예에 따른 고전압 분리 트랜지스터를 도시한 도면으로, 도 1a는 평면도이고, 도 1b는 도 1a에 도시된 A-A' 절취선을 따라 도시한 단면도이다. 그리고, 도 2는 본 발명의 실시예에 따른 고전압 분리 트랜지스터의 변형예를 도시한 단면도이다.

[0014] 도 1a 및 도 1b에 도시된 바와 같이, 본 실시예에 따른 고전압 분리 트랜지스터는 지지기판(101) 상에 적층된 복수의 에피층들(102, 103), 복수의 에피층들(102, 103)에서 최하층 에피층과 지지기판(101)을 공유하도록 형성된 제1매립불순물영역(104) 및 제1매립불순물영역(104)과 연결되고 복수의 에피층들(102, 103)에서 N번째(N은 자연수) 에피층과 N+1번째 에피층을 공유하도록 형성된 적어도 하나 이상의 제2매립불순물영역(105)을 포함한 분리영역 및 복수의 에피층들(102, 103)에서 최상층 에피층에 형성된 트랜지스터 예컨대, 수평형 디모스 트랜지스터를 포함할 수 있다. 여기서, 제2매립불순물영역(105)이 둘 이상 형성되는 경우에 각각의 제2매립불순물영역(105)은 서로 연결될 수 있다. 이하, 본 실시예에 따른 고전압 분리 트랜지스터의 각 구성요소에 대하여 보다 구체적으로 설명하기로 한다.

[0015] 먼저, 본 실시예에 따른 고전압 분리 트랜지스터는 지지기판(101) 상에 적층된 복수의 에피층들(102, 103)이 적층된 기판을 포함할 수 있다. 지지기판(101)과 복수의 에피층들(102, 103)은 소정의 불순물이 도핑되어 동일한 도전형을 가질 수 있고, 동일한 물질을 포함할 수 있다. 지지기판(101) 상에 순차적으로 적층된 복수의 에피층들(102, 103)은 수직방향으로 고전압 분리 트랜지스터의 공핍영역이 확장될 수 있는 충분한 공간을 제공하여 항복전압을 증가시키는 역할을 수행한다. 복수의 에피층들(102, 103)은 서로 동일한 두께를 갖거나, 또는 서로 상이한 두께를 가질 수 있다. 복수의 에피층들(102, 103)은 서로 동일한 불순물 도핑농도를 갖거나, 서로 다른 불순물 도핑농도를 가질 수 있다. 여기서, 복수의 에피층들(102, 103)이 서로 다른 불순물 도핑농도를 갖는 경우에 최하층 에피층의 불순물 도핑농도가 가장 크고, 최상층 에피층의 불순물 도핑농도가 가장 작도록 불순물 도핑농도가 점차 감소하는 형태를 가질 수 있다. 이 경우, 최상층 에피층에 형성된 트랜지스터에 걸리는 전계를 완화시켜 항복전압을 더 증가시킬 수 있다. 아울러, 기생소자의 동작을 억제하여 항복전압을 더욱더 증가시킬 수 있다.

[0016] 구체적으로, 기판은 제1도전형의 지지기판(101), 제1도전형의 제1에피층(102) 및 제1도전형의 제2에피층(103)이 순차적으로 적층된 구조를 포함할 수 있다. 지지기판(101), 제1에피층(102) 및 제2에피층(103)은 반도체 물질을 포함할 수 있다. 반도체 물질은 단결정 상태(Single crystal state)일 수 있으며, 실리콘 함유 재료를 포함할 수 있다. 즉, 반도체 물질은 단결정의 실리콘 함유 재료를 포함할 수 있다. 예컨대, 지지기판(101)은 벌크 실리콘 기판일 수 있고, 제1에피층(102) 및 제2에피층(103)은 실리콘에피층(Si Epi. layer)일 수 있다. 제1에피층(102)과 제2에피층(103)의 두께는 동일할 수 있다. 그리고, 제1에피층(102)의 불순물 도핑농도는 제2에피층(103)의 불순물 도핑농도보다 클 수 있다.

[0017] 또한, 본 발명의 실시예에 따른 고전압 분리 트랜지스터는 복수의 에피층들(102, 103)에서 최상층의 에피층에 형성된 트랜지스터를 포함할 수 있다. 예컨대, 제2에피층(103)에 형성된 트랜지스터를 포함할 수 있다. 여기서, 트랜지스터는 수평형 디모스 트랜지스터(LDMOS)를 포함할 수 있다. 구체적으로, 트랜지스터는 제2에피층(103) 상에 형성된 게이트(G), 제2에피층(103)에 형성되어 게이트(G)와 일부 중첩되는 매립절연층(113), 제2에피층(103)에 형성되어 게이트(G)와 일부 중첩되는 제1도전형의 바디영역(108), 제2에피층(103)에 형성되어 바디영역(108)을 둘러싸고 게이트(G)와 일부 중첩되는 제2도전형의 딥웰(106), 바디영역(108)의 양측 딥웰(106)에 형성된 제2도전형의 드리프트영역(107), 드리프트영역(107)을 포함한 딥웰(106)에 형성된 제2도전형의 웰(109), 게이트(G)로부터 소정 간격 이격되어 웰(109)에 형성된 제2도전형의 드레인영역(111), 게이트(G) 끝단에 정렬되어 바디영역(108)에 형성된 제2도전형의 소스영역(110)을 포함할 수 있다.

[0018] 게이트(G)는 게이트절연막과 게이트전극이 적층된 적층구조물로 바디영역(108)을 둘러싸는 링형태를 가질 수 있다. 본 실시예에서는 게이트(G)가 플레너타입인 경우를 예시하였으나, 리세스타입과 같은 다양한 3차원 구조를 적용할 수도 있다. 매립절연층(113)은 STI(Shallow Trench Isolation)공정으로 형성된 것일 수 있다. 바디영역(108)은 고전압 분리 트랜지스터의 채널(channel)을 제공하기 위한 것으로, 고전압 분리 트랜지스터의 중심부에 위치할 수 있다. 바디영역(108)은 평판형태를 가질 수 있다. 딥웰(106)은 바디영역(108)을 포함한 평판형태를 갖거나, 또는 바디영역(108)을 둘러싸는 링형태를 가질 수 있다. 여기서, 딥웰(106)이 평판형태인 경우보다 딥웰(106)이 바디영역(108)을 둘러싸는 링형태를 갖는 경우 보다 효과적으로 항복전압을 증가시킬 수 있다. 딥웰



(106)이 링형태를 갖는 경우 수평방향으로 덤벨(106)은 바디영역(108)과 접하거나, 또는 소정 간격 이격될 수 있다. 여기서, 덤벨(106)과 바디영역(108) 사이가 소정 간격 이격된 경우 이들 사이의 전계를 보다 효과적으로 완화시킬 수 있다. 덤벨(106)은 제2에피층(103)을 공유하는 제2매립불순물영역(105)과 접하는 형태를 가질 수 있다. 드리프트영역(107)은 소스영역(110)과 드레인영역(111) 사이의 안정적인 전류패스를 제공하기 위한 것이다. 드리프트영역(107)은 바디영역(108)을 기준으로 바디영역(108) 양측에 서로 대칭되도록 배치할 수 있다. 드리프트영역(107)은 평판형태를 가질 수 있다. 소스영역(110)은 링형태를 가질 수 있고, 소스영역(110) 내측에는 제1도전형의 바디픽업영역(112)이 위치할 수 있다. 즉, 소스영역(110)은 바디픽업영역(112)을 둘러싸는 형태를 가질 수 있다. 수평방향으로 소스영역(110)과 바디픽업영역(112)은 서로 접할 수 있다. 드레인영역(111)은 바디영역(108)을 기준으로 바디영역(108) 양측에 대칭되도록 배치할 수 있다.

[0019] 또한, 본 실시예에 따른 고전압 분리 트랜지스터는 복수의 에피층들(102, 103)에서 최하층 에피층과 지지기관(101)을 공유하도록 형성된 제1매립불순물영역(104) 및 제1매립불순물영역(104)과 연결되고 복수의 에피층들(102, 103)에서 N번째(N은 자연수) 에피층과 N+1번째 에피층을 공유하도록 형성된 적어도 하나 이상의 제2매립불순물영역(105)을 포함한 분리영역을 포함할 수 있다. 제1매립불순물영역(104)과 제2매립불순물영역(105)은 서로 동일한 도전형을 가질 수 있다. 예컨대, 제1매립불순물영역(104) 및 제2매립불순물영역(105)은 제2도전형을 가질 수 있다. 제1매립불순물영역(104) 및 제2매립불순물영역(105)은 고전압 분리 트랜지스터의 분리영역으로 작용하여 기생소자의 동작을 억제하여 항복전압을 증가시키는 역할을 수행한다. 적어도 하나 이상의 제2매립불순물영역(105)은 기관이 복수의 에피층들(102, 103)을 구비함에 따라 수직적으로 증가된 높이에 대응하여 최상층 에피층의 웰(109) 구조물 예컨대, 덤벨(106)과 제1매립불순물영역(104) 사이를 연결하는 역할을 수행한다. 즉, 제2매립불순물영역(105)를 구비함으로써, 고전압 분리 트랜지스터의 측면에서도 우수한 분리특성을 갖는 분리영역을 제공할 수 있다.

[0020] 구체적으로, 제1매립불순물영역(104)은 지지기관(101)과 제1에피층(102)을 공유하는 형태를 가질 수 있고, 제2에피층(103)은 제1에피층(102)과 제2에피층(103)을 공유하는 형태를 가질 수 있다. 제1매립불순물영역(104)은 평판형태를 가질 수 있다. 제2매립불순물영역(105)은 제1매립불순물영역(104)의 가장자리를 따라 링형태를 가질 수 있다. 제2매립불순물영역(105)은 제1매립불순물영역(104)의 가장자리에 접할 수 있다. 덤벨(106)에 접하는 제2매립불순물영역(105)은 드레인영역(111)을 포함한 드리프트영역(107)과 일부 중첩되는 형태를 가질 수 있다. 여기서, 제2매립불순물영역(105)은 드레인영역(111)과 접하는 매립절연층(113)의 내측방향 즉, 게이트(G)와 중첩되는 매립절연층(113)과 중첩되지 않도록 위치하는 것이 바람직하다. 이는, 드레인영역(111)과 제2매립불순물영역(105)의 과도한 중첩으로 인해 항복전압이 저하될 수 있기 때문이다.

[0021] 한편, 본 실시예에 따른 고전압 분리 트랜지스터의 도 2에 도시된 바와 같이, 제2매립불순물영역(105)이 드레인영역(111)과 중첩되지 않도록 배치할 수도 있다. 이 경우, 드레인영역(111)과 제2매립불순물영역(105)의 중첩에 기인한 항복전압 저하를 원천적으로 방지할 수 있다. 아울러, 고전압 분리 트랜지스터의 공핍영역이 수평방향으로 확장될 공간을 제공하여 보다 효과적으로 항복전압을 증가시킬 수 있다.

[0022] 상술한 실시예 및 그 변형예에 따르면, 복수의 에피층들(102, 103) 및 적어도 하나 이상의 제2매립불순물영역(105)을 구비함으로써, 고전압 분리 트랜지스터의 항복전압을 효과적으로 향상시킬 수 있다.

[0023] 이하에서는, 도 1a 및 도 1b에 도시된 구조를 갖는 본 실시예에 따른 고전압 분리 트랜지스터의 제조방법에 대한 일례를 도 3a 내지 도 3d를 참조하여 설명하기로 한다.

[0024] 도 3a 내지 도 3d는 본 발명의 실시예에 따른 반도체 장치 제조방법을 도 1a에 도시된 A-A' 절취선을 따라 도시한 공정단면도이다.

[0025] 도 3a에 도시된 바와 같이, 제1도전형의 지지기관(11)을 준비한다. 지지기관(11)은 반도체 기관일 수 있다. 반도체기관은 단결정 상태(Single crystal state)일 수 있으며, 실리콘함유 재료를 포함할 수 있다. 즉, 반도체기관은 단결정의 실리콘함유 재료를 포함할 수 있다. 예컨대, 지지기관(11)은 P형 벌크 실리콘기관일 수 있다.

[0026] 다음으로, 지지기관(11) 상의 마스크패턴(미도시)을 이온주입장벽으로 지지기관(11)에 제2도전형의 불순물을 이온주입한다. 즉, 지지기관(11)에 N형 불순물 예컨대, 인(P), 비소(As) 및 안티몬(Sb)으로 이루어진 그룹으로부터 선택된 어느 하나 이상의 불순물을 이온주입한다.

[0027] 다음으로, 지지기관(11) 상에 제1도전형의 제1에피층(13)을 형성한다. 제1에피층(13)의 불순물 도핑농도는 지지기관(11)의 불순물 도핑농도보다 클 수 있다. 제1에피층(13)(13)은 에피택셜 성장법을 이용하여 형성할 수 있다



며, 실리콘함유 재료를 포함할 수 있다. 제1에피층(13)을 형성함 동시에 챔버에 P형 불순물을 챔버에 주입하여 인시튜로 제1에피층(13)에 P형 불순물을 도핑시킬 수 있다. P형 불순물로는 붕소(B)를 사용할 수 있다. 예컨대, 제1에피층(13)은 P형 실리콘에피층일 수 있다.

- [0028] 여기서, 제1에피층(13)을 형성하는 과정에서 제공되는 활성화에너지 예컨대, 열에너지에 의해 지지기판(11)에 주입된 제2도전형의 불순물이 활성화되어 제2도전형의 제1매립불순물영역(12)을 형성할 수 있다. 제1매립불순물영역(12)은 지지기판(11)과 제1에피층(13)을 공유할 수 있고, 평판형태를 가질 수 있다.
- [0029] 한편, 제1에피층(13)을 형성하기 이전 또는/및 제1에피층(13)을 형성한 이후에 제1매립불순물영역(12)을 형성하기 위한 별도의 어닐공정을 진행할 수도 있다. 이때, 어닐공정은 퍼니스에서 진행할 수 있다.
- [0030] 도 3b에 도시된 바와 같이, 제1에피층(13) 상의 마스크패턴(미도시)을 이온주입장벽으로 제1매립불순물영역(12)의 가장자리에 대응하는 제1에피층(13)에 제2도전형의 불순물을 이온주입한다.
- [0031] 다음으로, 제1에피층(13) 상에 제1도전형의 제2에피층(15)을 형성한다. 제2에피층(15)의 불순물 도핑농도는 제1에피층(13)의 불순물 도핑농도보다 작을 수 있다. 제2에피층(15)은 에피택셜 성장법을 이용하여 형성할 수 있으며, 실리콘함유 재료를 포함할 수 있다. 제2에피층(15)을 형성함 동시에 챔버에 제1도전형의 불순물 즉, P형 불순물을 챔버에 주입하여 인시튜로 제2에피층(15)에 P형 불순물을 도핑시킬 수 있다. 예컨대, 제2에피층(15)은 P형 실리콘에피층일 수 있다.
- [0032] 여기서, 제2에피층(15)을 형성하는 과정에서 제공되는 활성화에너지 예컨대, 열에너지에 의해 제1에피층(13)에 주입된 제2도전형의 불순물이 활성화되어 제2도전형의 제2매립불순물영역(14)을 형성할 수 있다. 제2매립불순물영역(14)은 제1에피층(13)과 제2에피층(15)을 공유할 수 있고, 제1매립불순물영역(12)의 가장자리에 접할 수 있으며, 링형태를 가질 수 있다.
- [0033] 한편, 제2에피층(15)을 형성하기 이전 또는/및 제2에피층(15)을 형성한 이후에 제2매립불순물영역(14)을 형성하기 위한 별도의 어닐공정을 진행할 수도 있다. 이때, 어닐공정은 퍼니스에서 진행할 수 있다.
- [0034] 다음으로, 제2에피층(15)에 제2매립불순물영역(14)과 접하는 제2도전형의 딥웰(16)을 형성한다. 딥웰(16)은 제2에피층(15) 상의 마스크패턴(미도시)을 이온주입장벽으로 제2에피층(15)에 제2도전형의 불순물을 이온주입하고, 주입된 불순물을 활성화시키기 위한 어닐공정을 진행하는 일련의 과정을 통해서 형성할 수 있다. 이때, 어닐공정은 퍼니스에서 진행할 수 있다. 제2딥웰(16)은 외측 가장자리가 제2매립불순물영역(14)에 접하는 링형태로 형성할 수 있다.
- [0035] 도 3c에 도시된 바와 같이, 제2에피층(15)에 제1도전형의 바디영역(18)을 형성한다. 바디영역(18)은 제2에피층(15) 상의 마스크패턴(미도시)을 이온주입장벽으로 제2에피층(15)에 제1도전형의 불순물을 이온주입하고, 주입된 불순물을 활성화시키기 위한 어닐공정을 진행하는 일련의 과정을 통해서 형성할 수 있다. 이때, 어닐공정은 급속열처리를 사용할 수 있다. 바디영역(18)은 평판형태를 가질 수 있으며, 링형태를 갖는 딥웰(16)의 내측에 위치할 수 있다. 바디영역(18)과 딥웰(16)은 소정 간격 이격되도록 형성할 수 있다.
- [0036] 다음으로, 딥웰(16)에 제2도전형의 드리프트영역(17)을 형성한다. 드리프트영역(17)은 제2에피층(15) 상의 마스크패턴(미도시)을 이온주입장벽으로 바디영역(18) 양측 딥웰(16)에 제2도전형의 불순물을 이온주입하고, 주입된 불순물을 활성화시키기 위한 어닐공정을 진행하는 일련의 과정을 통해서 형성할 수 있다. 이때, 어닐공정은 퍼니스에서 진행할 수 있다. 드리프트영역(17)은 평판형태를 가질 수 있다.
- [0037] 다음으로, 제2에피층(15)에 복수의 매립절연층(19)을 형성한다. 복수의 매립절연층(19)은 STI(Shallow Trench Isolation)공정으로 형성할 수 있다. STI공정은 트렌치를 형성하고 트렌치 내부에 절연물질을 깎필하는 일련의 공정을 의미한다. 복수의 매립절연층(19)에서 일부는 드리프트영역(17)을 포함한 딥웰(16) 내에 형성할 수 있다.
- [0038] 도 3d에 도시된 바와 같이, 드리프트영역(17)을 포함한 딥웰(16)에 제2도전형의 웰(20)을 형성한다. 웰(20)은 이온주입공정 및 어닐공정을 순차적으로 진행하여 형성할 수 있다. 웰(20)은 딥웰(16)과 동일한 링형태를 가질 수 있다.
- [0039] 다음으로, 제2에피층(15) 상에 게이트(G)를 형성한다. 게이트(G)는 게이트절연막과 게이트전극이 순차적으로 적층된 적층구조물로 형성할 수 있다. 게이트(G)는 바디영역(18), 드리프트영역(17) 및 매립절연층(19)과 일부 중첩되도록 형성할 수 있다. 게이트(G)는 링형태를 가질 수 있다.

[0040] 다음으로, 제2도전형의 소스영역(21), 제2도전형의 드레인영역(22) 및 제1도전형의 바디픽업영역(23)을 형성한다. 소스영역(21) 및 바디픽업영역(23)은 바디영역(18)에 형성할 수 있고, 드레인영역(22)은 웰(20)에 형성할 수 있다. 이들은 이온주입공정 및 어닐공정을 순차적으로 진행하여 형성할 수 있다.

[0041] 상술한 본 실시예에 따른 제조방법은 고전압 분리 트랜지스터의 분리영역을 형성함에 있어서, 항복전압을 증가시키기 위해 복수의 에피층이 적층된 기판을 사용하더라도 에피층 형성공정시 제2매립불순물영역(14)을 형성함으로써, 고전압 분리 트랜지스터의 저면과 더불어서 측면에서도 우수한 분리특성을 갖는 분리영역을 제공할 수 있다.

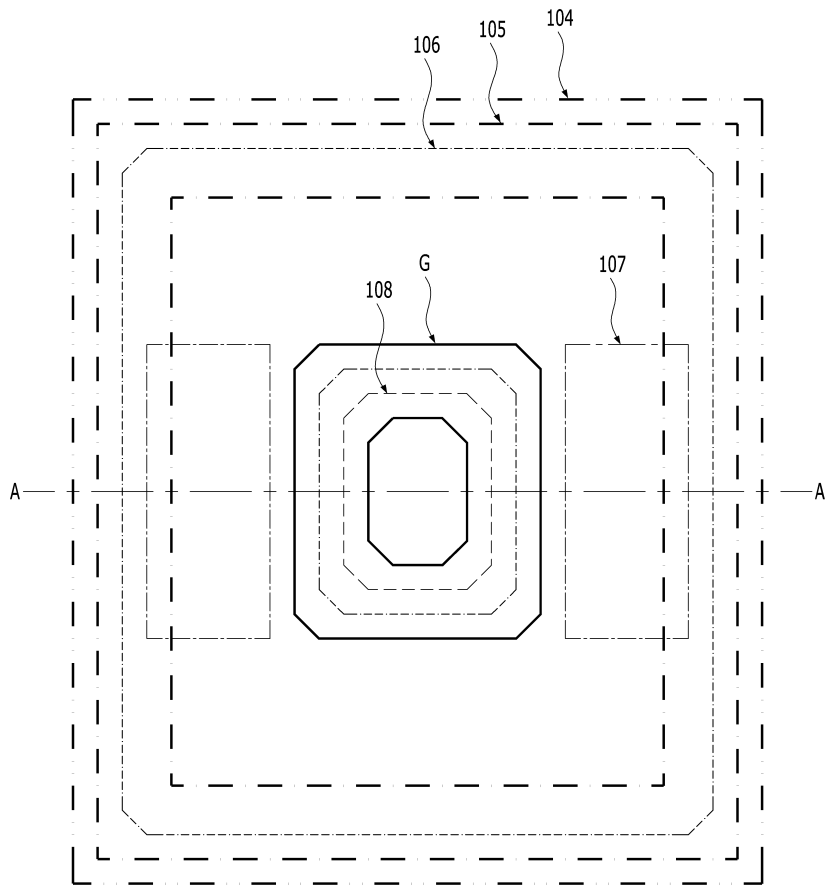
[0042] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위내의 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**부호의 설명**

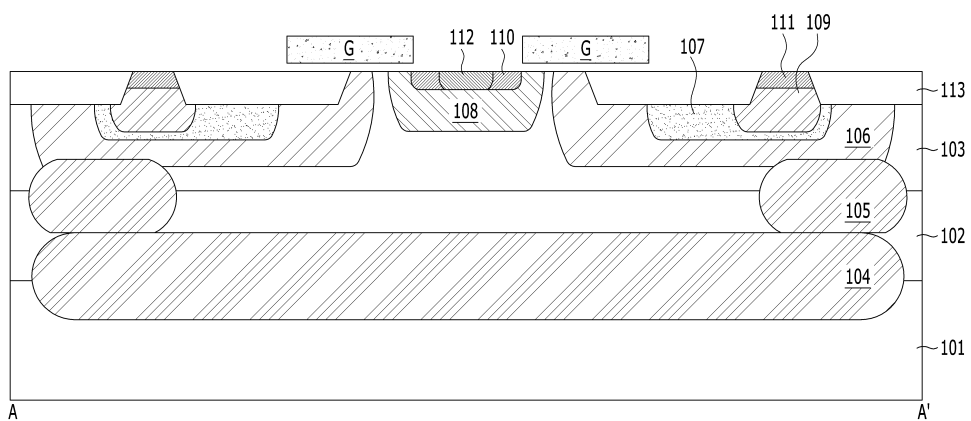
- [0043]
- |                 |                 |
|-----------------|-----------------|
| 101 : 지지기판      | 102 : 제1에피층     |
| 103 : 제2에피층     | 104 : 제1매립불순물영역 |
| 105 : 제2매립불순물영역 | 106 : 딥웰        |
| 107 : 드리프트영역    | 108 : 바디영역      |
| 109 : 웰         | 110 : 소스영역      |
| 111 : 드레인영역     | 112 : 바디픽업영역    |
| 113 : 매립절연층     |                 |

도면

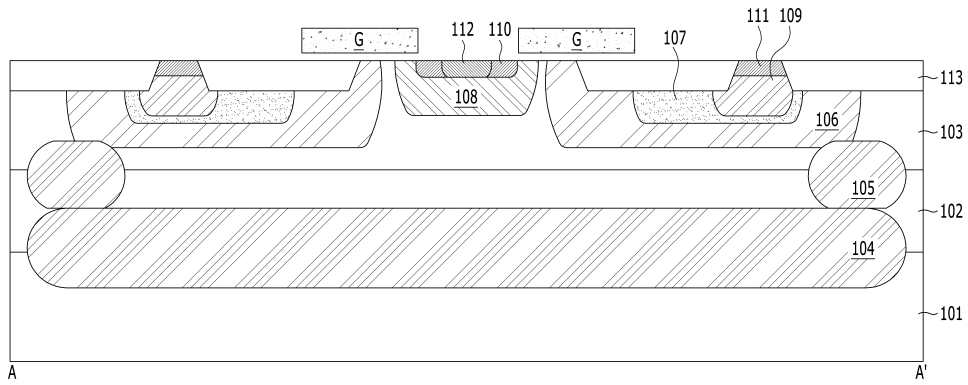
도면1a



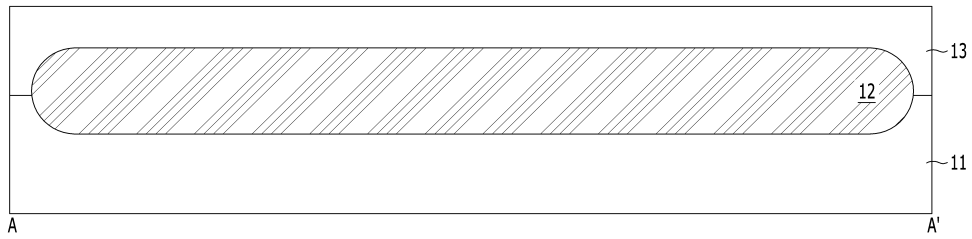
도면1b



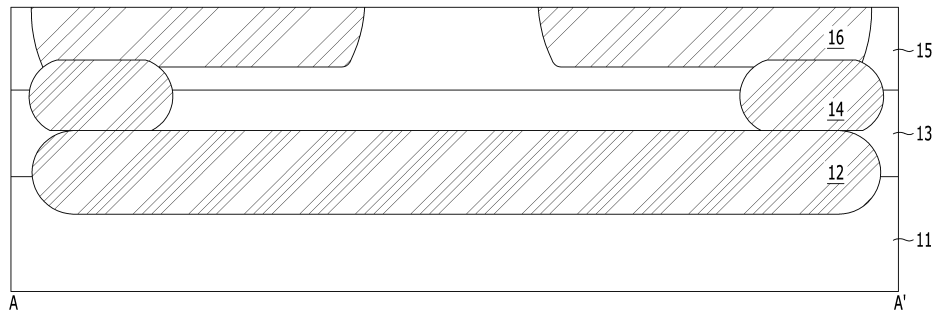
도면2



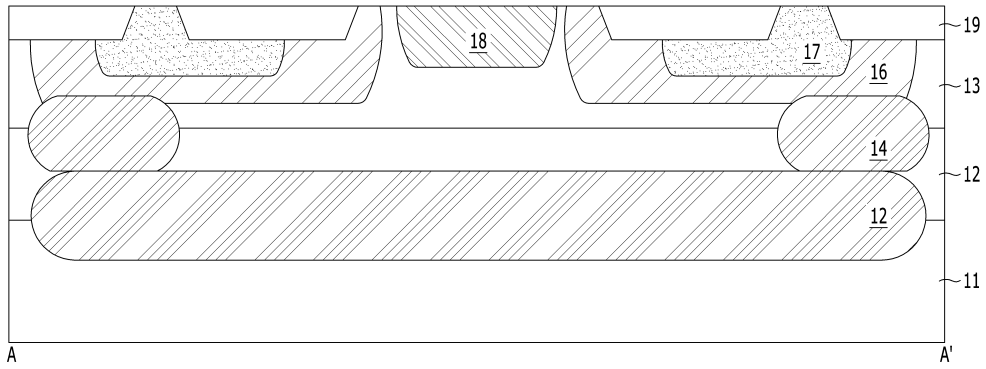
도면3a



도면3b



도면3c



도면3d

