



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년03월04일
(11) 등록번호 10-2370705
(24) 등록일자 2022년02월28일

(51) 국제특허분류(Int. Cl.)
C25D 1/00 (2006.01) C23C 16/04 (2006.01)
C25D 1/04 (2006.01) C25D 3/50 (2006.01)
C25D 3/56 (2006.01) H01L 21/768 (2006.01)
(52) CPC특허분류
C25D 1/006 (2013.01)
C23C 16/045 (2013.01)
(21) 출원번호 10-2020-0080216
(22) 출원일자 2020년06월30일
심사청구일자 2020년06월30일
(65) 공개번호 10-2022-0001818
(43) 공개일자 2022년01월06일
(56) 선행기술조사문헌
JP2008244025 A*
KR1020090014469 A*
KR1020100101885 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
문준환
서울특별시 성북구 보문사길 111, 110동 1404호(보문동6가, 보문파크뷰자이)
김승현
인천광역시 남동구 장자북로43번길 14-14, 301호(장수동, 참벗마을)
(뒀면에 계속)
(74) 대리인
김연권

전체 청구항 수 : 총 19 항

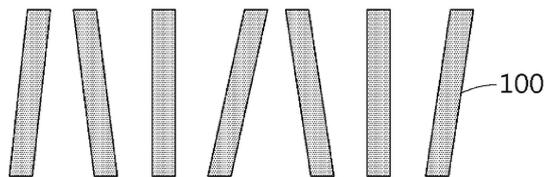
심사관 : 김재중

(54) 발명의 명칭 루테튬계 나노선 및 그의 제조 방법

(57) 요약

본 발명은 전기 도금법을 이용하여 다양한 직경의 루테튬 및 루테튬-코발트 합금 나노선을 형성하는 기술적 사상에 관한 것으로, 원자층 증착법을 이용하여 공극(pore)에 나노튜브(nano-tube)가 증착된 다공성 템플릿(template) 상에 전기 도금법을 이용하여 루테튬 및 루테튬-코발트 합금 나노선을 형성하고, 루테튬 및 루테튬-코발트 합금 나노선을 어닐링하여 다양한 직경의 루테튬 및 루테튬-코발트 합금 나노선을 형성하는 기술에 관한 것이다.

대표도 - 도1



(52) CPC특허분류

C25D 1/04 (2013.01)
C25D 3/50 (2013.01)
C25D 3/562 (2020.08)
C25D 3/567 (2013.01)
H01L 21/76841 (2013.01)
H01L 21/76877 (2013.01)

김영근

서울특별시 강남구 압구정로61길 37, 72동 1109호
 (압구정동, 한양아파트)

(72) 발명자

김태순

경기도 성남시 분당구 분당로263번길 13, 618동
 706호(서현동, 효자촌대우아파트)

전유상

서울특별시 송파구 동남로 225, 103동 1301호(가락
 동, 래미안파크팰리스)

이 발명을 지원한 국가연구개발사업

과제고유번호	SRFC-TA1703-06
과제번호	SRFC-TA1703-06
부처명	사기업 (삼성전자주식회사)
과제관리(전문)기관명	삼성전자주식회사
연구사업명	삼성미래기술육성사업
연구과제명	전기화학공정 기반 저저항 플러그 배선소재 개발
기 여 율	1/1
과제수행기관명	고려대학교 산학협력단
연구기간	2017.09.01 ~ 2020.08.31

명세서

청구범위

청구항 1

원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)의 내벽에 실리카(SiO₂)를 증착하여 실리카 막을 형성한 후, 상기 다공성 템플릿(template) 상에 전기 도금법을 이용하여 상기 실리카 막 상에 루테튬(Ru)을 환원시켜 형성되고, 어닐링(annealing)을 통해 결정립(crystal grain)의 크기가 제어되는

루테튬 나노선.

청구항 2

제1항에 있어서,

상기 실리카 막은 상기 공극(pore)의 내벽에 상기 원자층 증착법을 이용하여 5 nm 내지 30 nm 두께의 상기 실리카(SiO₂)를 증착하여 상기 실리카 막으로 형성되는

루테튬 나노선.

청구항 3

제1항에 있어서,

상기 다공성 템플릿(template)은 폴리카보네이트 멤브레인(polycarbonate membrane, PCM) 및 양극산화알루미늄(anodic aluminum oxide, AAO) 멤브레인 중 어느 하나를 포함하는

루테튬 나노선.

청구항 4

제1항에 있어서,

상기 어닐링(annealing)은 400℃ 내지 600℃의 온도에서 수행되는

루테튬 나노선.

청구항 5

제4항에 있어서,

상기 결정립(crystal grain)의 크기는 400℃ 내지 500℃의 온도에서 9 nm 내지 12 nm의 결정 성장에 기반한 크기로 제어되거나 600℃의 온도 이상에서 55 nm의 결정 성장에 기반한 크기로 제어되는

루테튬 나노선.

청구항 6

원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)의 내벽에 실리카(SiO₂)를 증착하여 실리카 막을 형성함에 따라 반도체 장비 유사 구조를 형성한 후, 상기 다공성 템플릿(template) 상에 완충제인 붕산(H₃BO₃) 및 시트르산(C₆H₈O₇) 중 어느 하나의 완충제를 포함하는 탈온수(deionized water) 기반의 용액을 이용한 전기 도금법을 이용하여 상기 실리카 막 상에 루테튬(Ru)을 환원시켜 10 nm 급의 직경을 갖도록 형성된

루테튬 나노선.

청구항 7

제6항에 있어서,

반도체 소자의 BEOL(back end of line) 층에 구비된 비아(via), 컨택(contact) 및 금속 배선층(metal line) 중 금속 배선층 또는 구비된 모든 층(비아, 컨택, 금속 배선층)을 대체할 수 있는 전기도금법으로 형성된 루테튬 나노선.

청구항 8

원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)의 내벽에 실리카 막을 증착한 후, 상기 다공성 템플릿(template) 상에 전기 도금법을 이용하여 코발트(Co)의 함량에 따라 결정 구조가 제어되며, 400℃ 내지 600℃의 온도에서 수행되는 어닐링(annealing) 후 상기 코발트(Co)가 루테튬(Ru) 매트릭스(matrix) 안으로 이동하여 루테튬(Ru)-코발트(Co) 전율 고용체(complete solid solution)가 형성되어 전기 비저항이 감소되는 루테튬-코발트 합금 나노선.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

제8항에 있어서,
 상기 코발트(Co)의 함량은 1 at% 내지 96 at% 중 어느 하나로 결정되고,
 상기 코발트(Co)의 함량이 1 at% 내지 48 at%인 경우, 상기 결정 구조는 비정질 유사 구조(amorphous-like structure)로 제어되는
 루테튬-코발트 합금 나노선.

청구항 13

제12항에 있어서,
 상기 코발트(Co)의 함량이 증가될 경우, 결정립(crystal grain)의 크기가 증가되는
 루테튬-코발트 합금 나노선.

청구항 14

제8항에 있어서,
 상기 코발트(Co)의 전구체 농도 및 전류 밀도(current density) 중 적어도 하나를 조절하여 상기 코발트(Co)의 함량이 제어되는
 루테튬-코발트 합금 나노선.

청구항 15

제8항에 있어서,
 반도체 소자의 BEOL(back end of line) 층에 구비된 비아(via), 컨택(contact) 및 금속 배선층(metal line) 중 적어도 하나에 배리어(barrier) 및 라이너(liner) 중 적어도 하나로 적용되는
 루테튬-코발트 합금 나노선.

청구항 16

원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)의 내벽에 실리카(SiO₂)를 증착하여 실리카 막을 형성한 후, 상기 다공성 템플릿(template) 상에 전기 도금법을 이용하여 상기 실리카 막 상에 루테튬(Ru)을 환원시켜 루테튬 나노선을 형성하는 단계;

상기 형성된 루테튬 나노선을 어닐링하는 단계를 포함하고,

상기 어닐링하는 단계는, 상기 형성된 루테튬 나노선의 결정립(crystal grain)의 크기를 제어하는 단계를 포함하는

루테튬 나노선의 제조 방법.

청구항 17

제16항에 있어서,

상기 어닐링하는 단계는,

상기 어닐링을 400℃ 내지 600℃의 온도에서 수행하여, 상기 결정립(crystal grain)의 크기를 400℃ 내지 500℃의 온도에서 9 nm 내지 12 nm의 결정 성장에 기반한 크기로 제어하고, 600℃의 온도 이상에서 55 nm의 결정 성장에 기반한 크기로 제어하는 단계를 포함하는

루테튬 나노선의 제조 방법.

청구항 18

원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)의 내벽에 실리카 막을 증착한 후, 상기 다공성 템플릿(template) 상에 전기 도금법을 이용하여 루테튬-코발트 합금 나노선을 형성하는 단계; 및

상기 형성된 루테튬-코발트 합금 나노선을 어닐링(annealing)하는 단계를 포함하고,

상기 루테튬-코발트 합금 나노선을 형성하는 단계는,

코발트(Co)의 함량에 따라 상기 루테튬-코발트 합금 나노선의 결정 구조를 제어하는 단계를 포함하고,

상기 형성된 루테튬-코발트 합금 나노선을 어닐링하는 단계는,

400℃ 내지 600℃의 온도에서 수행되는 어닐링(annealing) 후 상기 코발트(Co)가 루테튬(Ru) 매트릭스(matrix) 안으로 이동하여 루테튬(Ru)-코발트(Co) 전을 고용체(complete solid solution)를 형성하여 상기 루테튬-코발트 합금 나노선의 전기 비저항을 감소시키는 단계를 포함하는

루테튬-코발트 합금 나노선의 제조 방법.

청구항 19

삭제

청구항 20

제18항에 있어서,

상기 루테튬-코발트 합금 나노선을 형성하는 단계는,

상기 코발트(Co)의 함량을 1 at% 내지 96 at% 중 어느 하나로 결정하여, 상기 코발트(Co)의 함량이 1 at% 내지 48 at%인 경우, 상기 결정 구조를 비정질 유사 구조(amorphous-like structure)로 제어하는 단계를 포함하는

루테튬-코발트 합금 나노선의 제조 방법.

청구항 21

제18항에 있어서,

상기 루테튬-코발트 합금 나노선을 형성하는 단계는,

루테튬과 상기 코발트의 동시 환원을 위해 1.25 mA/cm² 내지 5.00 mA/cm²의 전류 밀도가 인가되는 환경에서 상기

전기 도금법을 이용하여 상기 루테늄-코발트 합금 나노선을 형성하는 루테늄-코발트 합금 나노선의 제조 방법.

청구항 22

제18항에 있어서,

상기 루테늄-코발트 합금 나노선을 형성하는 단계는,

상기 코발트(Co)의 전구체 농도 및 전류 밀도(current density) 중 적어도 하나를 조절하여 상기 코발트(Co)의 함량이 제어하는 단계를 포함하는

루테늄-코발트 합금 나노선의 제조 방법.

청구항 23

제6항에 있어서,

상기 탈온수(deionized water) 기반의 용액은 염화루테늄(ruthenium chloride (RuCl₃) 및 염화루테늄·x수화물 (RuCl₃ alt sulfate hydrate (RuCl₃·xH₂O) 중 적어도 하나의 전구체 및 첨가제 인 시트르산 나트륨(sodium citrate tribasic dihydrate, C₆H₇Na₃O₈)을 더 포함하는

루테늄 나노선.

발명의 설명

기술 분야

[0001] 본 발명은 루테늄(Ru) 계 나노선 및 그의 제조 방법에 관한 것으로, 보다 상세하게는 전기 도금법을 이용하여 다양한 직경의 루테늄 및 루테늄-코발트 합금 나노선을 형성하는 기술적 사상에 관한 것이다.

배경 기술

[0002] 반도체의 고집적화가 가속됨에 따라 기존의 금속배선의 급격한 저항 증가가 트랜지스터의 속도, 에너지 소모 등의 측면에서 소자 전체에 부정적인 영향을 미치고 있다.

[0003] 반도체 소자를 포함한 직접 회로 제조공정에서 널리 사용되고 있는 구리(Cu) 금속 배선(metalization)은 전기도금(electroplating) 공정과 다마신(damascene) 공정을 통해 제조되고 있으며, 구리 금속배선을 둘러싸고 있는 저유전율 유전체(low-k dielectric material)로의 확산을 막기 위해 TaN 배리어(barrier)와 Cu 도금을 용이하기 하기 위한 Ta 라이너층(liner)을 필요로 한다.

[0004] 금속들의 두께가 그들의 전자 평균 자유 경로 이하로 작아지면 비저항 값이 급격히 증가하는 저항 크기 효과가 나타나며, 배리어층과 라이너층의 TaN/Ta 이중층 구조는 소자의 원하는 수명을 달성하는 데 중요하지만, Cu 금속 배선보다 전기 저항이 훨씬 높을 뿐만 아니라 단차가 있는 표면에서 일정한 두께(step coverage)를 유지하기 어려운 문제점이 있다.

[0005] 루테늄(Ru)은 기존에 배선으로 사용되는 Cu에 비해 벌크 비저항 값은 높지만, 낮은 전자(electron) 평균자유경로(mean free path)를 가져 작은 직경에서 동일 직경의 Cu 보다 낮은 저항 값을 가질 수 있으며, 높은 응집(cohesive) 에너지를 갖기 때문에 확산 방지 특성이 우수하여 기존의 배선 구조를 단일 금속으로 대체하기에 유망하다.

[0006] 대부분의 앞선 연구들은 물리적 기상 증착법(physics vapor deposition, PVD), 화학적 기상 증착법(chemical vapor deposition, CVD), 그리고 원자층 증착법(atomic layer deposition, ALD) 방법을 이용하여 박막을 형성하거나 추가적인 공정을 통하여 나노선을 형성하여 소재의 전기적 특성을 평가하고 있다.

[0007] 즉, 종래 기술에서는 루테늄의 경우 전기도금 시에 경쟁 반응인 수소 발생으로 인해 나노스케일(nanoscale)의 직경에서 합성에 어려움이 있어 대부분의 Ru 소재에 관한 선행기술들이 물리적 기상 증착이나 화학적 기상 증착 등의 고진공 공정을 통해서 2차원 박막 구조 형태의 합성이 진행되었다.

[0008] 하지만 실질적인 반도체 배선의 구조는 나노선 형태로 박막과 달리 높은 종횡비를 가지고 2차원 차원 구조로

인해 박막과 비교하여 다른 특성을 가질 수 있어 나노선에 대한 직경별, 조성별 미세구조 변화 및 전기적 특성을 제공하기 어렵다.

선행기술문헌

비특허문헌

- [0009] (비특허문헌 0001) Shibesh Dutta et al., "Finite Size Effects in Highly Scaled Ruthenium Interconnects", IEEE Electron Device Letters 39, 268 (2018).
 (비특허문헌 0002) Erik Milosevic et al., "Resistivity size effect in epitaxial Ru(0001) layers", Journal of Applied Physics 124, 165105 (2018).

발명의 내용

해결하려는 과제

- [0010] 본 발명은 전기 도금법을 이용하여 저직경의 루테튬과 루테튬-코발트 합금 나노선을 합성하여 기존 배선소재보다 낮은 전기 비저항을 갖는 소재를 제공하고자 한다.
- [0011] 본 발명은 금속배선의 저유전율 유전체로의 확산을 방지하는 배리어 및 금속배선 도금을 위한 라이너로서 작용하여 단일층으로 금속 배선 공정에 사용될 수 있는 루테튬과 루테튬-코발트 합금 나노선 및 그 제조 방법을 제공하고자 한다.

과제의 해결 수단

- [0012] 본 발명의 일실시예에 따른 루테튬 나노선은 원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)에 나노튜브(nano-tube)를 증착한 후, 상기 다공성 템플릿(template) 상에 전기 도금법을 이용하여 상기 나노튜브(nano-tube) 내 루테튬(Ru)을 환원시켜 형성되고, 전기도금 후 어닐링(annealing)을 통해 결정립(crystal grain)의 크기가 제어될 수 있다.
- [0013] 상기 나노튜브(nano-tube)는 상기 공극(pore)에 5 nm 내지 30 nm 두께의 실리카(SiO₂)를 증착하여 실리카 나노튜브로 형성될 수 있다.
- [0014] 상기 다공성 템플릿(template)은 폴리카보네이트 멤브레인(polycarbonate membrane, PCM) 및 양극산화알루미늄(anodic aluminum oxide, AAO) 멤브레인 중 어느 하나를 포함할 수 있다.
- [0015] 상기 어닐링(annealing)은 400℃ 내지 600℃의 온도에서 수행될 수 있다.
- [0016] 상기 결정립(crystal grain)의 크기는 400℃ 내지 500℃의 온도에서 9 nm 내지 12 nm의 결정 성장에 기반한 크기로 제어되거나 600℃의 온도 이상에서 55 nm의 결정 성장에 기반한 크기로 제어될 수 있다.
- [0017] 본 발명의 일실시예에 따르면 루테튬 나노선은 원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)에 나노튜브(nano-tube)를 증착하여 반도체 장비 유사 구조를 형성한 후, 상기 다공성 템플릿(template) 상에 전기 도금법을 이용하여 상기 나노튜브(nano-tube) 내 루테튬(Ru)을 환원시켜 10 nm 급의 직경을 갖도록 형성될 수 있다.
- [0018] 본 발명의 일실시예에 따르면 루테튬 나노선은 반도체 소자의 BEOL(back end of line) 층에 구비된 비아(via), 컨택(contact) 및 금속 배선층(metal line) 중 금속 배선층 또는 구비된 모든 층(비아, 컨택, 금속 배선층)을 대체 할 수 있는 전기도금법으로 합성될 수 있다.
- [0019] 본 발명의 일실시예에 따르면 루테튬-코발트 합금 나노선은 원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)에 나노튜브(nano-tube)를 증착한 후, 상기 다공성 템플릿(template) 상에 전기 도금법을 이용하여 코발트(Co)의 함량에 따라 결정 구조가 제어되며, 어닐링을 통해 전기 비저항이 감소될 수 있다.
- [0020] 본 발명의 일실시예에 따르면 루테튬-코발트 합금 나노선은 상기 어닐링(annealing)을 통해 루테튬(Ru)-코발트(Co) 전을 고용체(complete solid solution)가 형성되어, 상기 전기 비저항이 감소될 수 있다.

- [0021] 상기 전율 고용체(complete solid solution)는 상기 어닐링(annealing) 후 상기 코발트(Co)가 루테튬(Ru) 매트릭스(matrix) 안으로 이동하여 형성될 수 있다.
- [0022] 상기 어닐링(annealing)은 400℃ 내지 600℃의 온도에서 수행될 수 있다.
- [0023] 상기 코발트(Co)의 함량은 1 at% 내지 96 at% 중 어느 하나로 결정되고, 상기 코발트(Co)의 함량이 1 at% 내지 48 at%인 경우, 상기 결정 구조는 비정질 유사 구조(amorphous-like structure)로 제어될 수 있다.
- [0024] 본 발명의 일실시예에 따르면 루테튬-코발트 합금 나노선은 상기 코발트(Co)의 함량이 증가될 경우, 결정립(crystal grain)의 크기가 증가되는
- [0025] 상기 코발트(Co)의 전구체 농도 및 전류 밀도(current density) 중 적어도 하나를 조절하여 상기 코발트(Co)의 함량이 제어될 수 있다.
- [0026] 본 발명의 일실시예에 따르면 루테튬-코발트 합금 나노선은 반도체 소자의 BEOL(back end of line) 층에 구비된 비아(via), 컨택(contact) 및 금속 배선층(metal line) 중 적어도 하나에 배리어(barrier) 및 라이너(liner) 중 적어도 하나로 적용될 수 있다.
- [0027] 본 발명의 일실시예에 따르면 루테튬 나노선의 제조 방법은 원자층 증착법을 이용하여 공극(pore)에 나노튜브(nano-tube)가 증착된 다공성 템플릿(template) 상에 전기 도금법을 이용하여 루테튬 나노선을 형성하는 단계, 상기 형성된 루테튬 나노선을 어닐링하는 단계를 포함하고, 상기 어닐링하는 단계는 상기 형성된 루테튬 나노선의 결정립(crystal grain)의 크기를 제어하는 단계를 포함할 수 있다.
- [0028] 상기 어닐링하는 단계는 상기 어닐링을 400℃ 내지 600℃의 온도에서 수행하여, 상기 결정립(crystal grain)의 크기를 400℃ 내지 500℃의 온도에서 9 nm 내지 12 nm의 결정 성장에 기반한 크기로 제어하고, 600℃의 온도 이상에서 55 nm의 결정 성장에 기반한 크기로 제어하는 단계를 포함할 수 있다.
- [0029] 본 발명의 일실시예에 따르면 루테튬-코발트 합금 나노선의 제조 방법은 원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)에 나노튜브(nano-tube)를 증착한 후, 상기 다공성 템플릿(template) 상에 전기 도금법을 이용하여 루테튬-코발트 합금 나노선을 형성하는 단계 및 상기 형성된 루테튬-코발트 합금 나노선을 어닐링하는 단계를 포함하고, 상기 루테튬-코발트 합금 나노선을 형성하는 단계는 코발트(Co)의 함량에 따라 상기 루테튬-코발트 합금 나노선의 결정 구조를 제어하는 단계를 포함할 수 있다.
- [0030] 상기 형성된 루테튬-코발트 합금 나노선을 어닐링하는 단계는 상기 어닐링(annealing)을 통해 루테튬(Ru)-코발트(Co) 전율 고용체(complete solid solution)를 형성하여 전기 비저항을 감소시키는 단계를 포함할 수 있다.
- [0031] 상기 루테튬-코발트 합금 나노선을 형성하는 단계는 상기 코발트(Co)의 함량을 1 at% 내지 96 at% 중 어느 하나로 결정하여, 상기 코발트(Co)의 함량이 1 at% 내지 48 at%인 경우, 상기 결정 구조를 비정질 유사 구조(amorphous-like structure)로 제어하는 단계를 포함할 수 있다.
- [0032] 상기 루테튬-코발트 합금 나노선을 형성하는 단계는, 루테튬과 상기 코발트의 동시 환원을 위해 1.25 mA/cm² 내지 5.00 mA/cm²의 전류 밀도가 인가되는 환경에서 상기 전기 도금법을 이용하여 상기 루테튬-코발트 합금 나노선을 형성할 수 있다.
- [0033] 상기 루테튬-코발트 합금 나노선을 형성하는 단계는, 상기 코발트(Co)의 전구체 농도 및 전류 밀도(current density) 중 적어도 하나를 조절하여 상기 코발트(Co)의 함량이 제어하는 단계를 포함할 수 있다.

발명의 효과

- [0034] 본 발명은 전기 도금법을 이용하여 저직경의 루테튬과 루테튬-코발트 합금 나노선을 합성하여 기존 배선소재보다 낮은 전기 비저항을 갖는 소재를 제공할 수 있다.
- [0035] 본 발명은 금속배선의 저유전율 유전체로의 확산을 방지하는 배리어 및 금속배선 도금을 위한 라이너로서 작용하여 단일층으로 금속 배선 공정에 사용 될 수 있는 루테튬과 루테튬-코발트 합금 나노선 및 그 제조 방법을 제공할 수 있다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 일실시예에 따른 루테튬계 나노선을 설명하기 위한 도면이다.

도 2는 본 발명의 일실시예에 따른 루테튬계 나노선의 제조 방법을 설명하기 위한 도면이다.

도 3은 본 발명의 일실시예에 따른 루테튬계 나노선의 제조 및 전기적 특성 측정 절차를 설명하기 위한 도면이다.

도 4a는 본 발명의 일실시예에 따른 실리카 막이 코팅된 루테튬 나노선의 제조 절차를 설명하기 위한 도면이다.

도 4b는 본 발명의 일실시예에 따른 실리카 막이 코팅된 루테튬 나노선의 투과전자현미경 이미지를 설명하기 위한 도면이다.

도 5a 내지 도 5g는 본 발명의 일실시예에 따른 직경 별 루테튬 나노선의 투과전자현미경 이미지를 설명하기 위한 도면이다.

도 6a는 본 발명의 일실시예에 따른 루테튬 나노선의 열처리 온도별 X선 회절 분석을 설명하기 위한 도면이다.

도 6b는 본 발명의 일실시예에 따른 루테튬 나노선의 열처리 온도에 따른 결정립 크기의 변화를 설명하기 위한 도면이다.

도 7a 및 도 7b는 본 발명의 일실시예에 따른 루테튬 나노선의 전기적 특성 변화를 설명하기 위한 도면이다.

도 8a 내지 도 8f는 본 발명의 일실시예에 따른 루테튬-코발트 합금 나노선의 조성 별 투과전자현미경 이미지와 전자회절분석 패턴을 설명하기 위한 도면이다.

도 9a 내지 도 9d는 본 발명의 일실시예에 따른 루테튬-코발트 합금 나노선의 조성별 X선 회절 분석 및 코발트 조성에 따른 결정립 크기 변화를 설명하기 위한 도면이다.

도 10은 본 발명의 일실시예에 따른 루테튬계 나노선의 어닐링 전후의 전기적 특성 변화를 설명하기 위한 도면이다.

도 11은 본 발명의 일실시예에 루테튬계 나노선의 적용예를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.
- [0038] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.
- [0039] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0040] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0041] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [0042] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0043] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.
- [0044] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [0045] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.
- [0046] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.
- [0047] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는"

것을 의미할 수 있다.

- [0048] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.
- [0049] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다.
- [0050] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포괄적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0051] 이하 사용되는 '..부', '..기' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어, 또는, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0053] 도 1은 본 발명의 일실시예에 따른 루테튬계 나노선을 설명하기 위한 도면이다.
- [0054] 도 1을 참고하면, 본 발명의 일실시예에 따른 루테튬계 나노선(100)은 루테튬 나노선 및 루테튬-코발트 합금 나노선을 포함하고, 전기 도금법을 이용하여 형성되며, 비정질 구조 및 상대적으로 낮은 전기 비저항을 갖도록 구현될 수 있다.
- [0055] 일례로, 루테튬계 나노선(100)은 금속배선의 저유전을 유전체로의 확산을 방지하는 배리어 및 금속배선 도금을 위한 라이너로서 작용하여 단일층으로 금속 배선 공정에 사용될 수 있다.
- [0056] 예를 들어, 루테튬계 나노선(100)은 확산 방지 특성이 기존의 구리(Cu)보다 뛰어나기 때문에 유전체로의 확산을 방지하는 배리어층의 불필요에 따라 단일층으로 금속배선 공정에 사용될 수 있으며, 전기도금을 이용한 반도체 다마신 공정에 적용될 수 있다.
- [0057] 본 발명의 일실시예에 따르면 루테튬 나노선은 원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)에 나노튜브(nano-tube)를 증착한 후, 상기 다공성 템플릿(template) 상에 전기 도금법을 이용하여 상기 나노튜브(nano-tube) 내 루테튬(Ru)을 환원시켜 형성되고, 어닐링(annealing)을 통해 결정립(crystal grain)의 크기가 제어될 수 있다.
- [0058] 예를 들어, 나노튜브(nano-tube)는 상기 공극(pore)에 5 nm 내지 30 nm 두께의 실리카(SiO₂)를 증착하여 실리카 나노튜브로 형성될 수 있다.
- [0059] 일례로, 다공성 템플릿(template)은 폴리카보네이트 멤브레인(polycarbonate membrane, PCM) 및 양극산화알루미늄(anodic aluminum oxide, AAO) 멤브레인 중 어느 하나를 포함할 수 있다.
- [0060] 본 발명의 일실시예에 따르면 루테튬 나노선은 400℃ 내지 600℃의 온도에서 어닐링(annealing)될 수 있으며, 어닐링에 따라 결정립(crystal grain)의 크기는 400℃ 내지 500℃의 온도에서 9 nm 내지 12 nm의 결정 성장에 기반한 크기로 제어되거나 600℃의 온도 이상에서 55 nm의 결정 성장에 기반한 크기로 제어될 수 있다.
- [0061] 본 발명의 일실시예에 따르면 루테튬-코발트 합금 나노선은 원자층 증착법을 이용하여 다공성 템플릿(template)의 공극(pore)에 나노튜브(nano-tube)를 증착한 후, 다공성 템플릿(template) 상에 전기 도금법을 이용하여 코발트(Co)의 함량에 따라 결정 구조가 제어되며, 어닐링을 통해 전기 비저항이 감소될 수 있다.
- [0062] 일례로, 루테튬-코발트 합금 나노선은 어닐링(annealing)을 통해 루테튬(Ru)-코발트(Co) 전을 고용체(complete solid solution)가 형성되어, 전기 비저항이 감소될 수 있다.
- [0063] 예를 들어, 전을 고용체(complete solid solution)는 어닐링(annealing) 후 코발트(Co)가 루테튬(Ru) 매트릭스(matrix) 안으로 이동하여 형성될 수 있다.
- [0064] 본 발명의 일실시예에 따르면, 루테튬-코발트 합금 나노선에서 코발트(Co)의 함량은 1 at% 내지 96 at% 중 어느 하나로 결정되고, 코발트(Co)의 함량이 1 at% 내지 48 at%인 경우, 결정 구조가 비정질 유사 구조(amorphous-like structure)로 제어될 수 있다.
- [0065] 예를 들어, 코발트(Co)의 함량이 증가될 경우, 결정립(crystal grain)의 크기가 증가될 수 있다.
- [0066] 여기서, 코발트(Co)의 함량은 전구체 농도 및 전류 밀도(current density) 중 적어도 하나를 조절하여 제어될 수 있다.

- [0068] 도 2는 본 발명의 일실시예에 따른 루테튬계 나노선의 제조 방법을 설명하기 위한 도면이다.
- [0069] 도 2를 참고하면, 본 발명의 일실시예에 따른 루테튬계 나노선의 제조 방법은 단계(201)에서 다공성 템플릿을 이용하여 루테튬 나노선 또는 루테튬-코발트 합금 나노선을 형성한다.
- [0070] 즉, 루테튬계 나노선의 제조 방법은 원자층 증착법을 이용하여 공극(pore)에 나노튜브(nano-tube)가 증착된 다공성 템플릿(template) 상에 전기 도금법을 이용하여 루테튬계 나노선에 해당되는 루테튬 나노선 또는 루테튬-코발트 합금 나노선을 형성할 수 있다.
- [0071] 단계(202)에서 루테튬계 나노선의 제조 방법은 단계(201)에서 형성된 나노선에 대한 어닐링을 수행한다.
- [0072] 즉, 루테튬계 나노선의 제조 방법은 어닐링을 400℃ 내지 600℃의 온도에서 수행하여 루테튬 나노선의 결정립 크기를 제어하거나 루테튬-코발트 나노선의 전기 비저항을 감소시킬 수 있다.
- [0074] 도 3은 본 발명의 일실시예에 따른 루테튬계 나노선의 제조 및 전기적 특성 측정 절차를 설명하기 위한 도면이다.
- [0075] 구체적으로, 도 3은 본 발명의 일실시예에 따라 루테튬 나노선을 전기 도금법을 이용하여 형성한 뒤, 루테튬 나노선의 전기적 특성을 측정 분석하는 절차를 예시한다.
- [0076] 도 3을 참고하면, 단계(S301) 및 단계(S302)에서 다공성 템플릿(template)이 준비되고, 준비된 다공성 템플릿은 도금조안에 위치하고, 다공성 템플릿은 이온조사한 폴리카보네이트 멤브레인(polycarbonate membrane, PCM) 또는 양극산화알루미늄(anodic aluminum oxide, AAO) 멤브레인이 이용될 수 있다. 예를 들어, 다공성 템플릿은 나노틀 또는 나노 템플릿으로 지칭될 수 있다.
- [0077] 단계(S303)에서 전기도금이 진행될 수 있도록 한쪽 면에 300 nm의 은(Ag)을 전자빔증착기(e-beam evaporator)로 증착될 수 있다. 예를 들어, 증착된 은은 전기도금의 작업 전극으로 이용될 수 있고, 백금 전극관을 상대 전극으로 이용할 수 있다.
- [0078] 도금조에 사용될 탈온수(deionized water) 기반의 용액은 전구체인 염화루테튬(ruthenium chloride (RuCl₃, 0.02 M) 또는 염화루테튬·x수화물(RuCl₃ alt sulfate hydrate (RuCl₃·xH₂O, 0.20 M), 완충제인 붕산(boric acid, H₃BO₃, 0.40 M), 첨가제인 염화칼륨(potassium chloride, KCl, 0.50 M) 또는 염산(hydrochloric acid, HCl, 0.50 M) 또는 과염소산(perchloric acid, HClO₄, 0.50 M) 또는 염화암모늄(ammonium chloride, NH₄Cl, 0.50 M)을 포함할 수 있다.
- [0079] 예를 들어, 탈온수 기반의 용액은 완충제인 붕산(boric acid, H₃BO₃) 및 시트르산(citric acid, C₆H₈O₇)과 첨가제인 시트르산 나트륨(sodium citrate tribasic dihydrate, C₆H₇Na₃O₈)을 더 포함할 수 있다.
- [0081] 단계(S304)에서 단일욕 상태의 루테튬 환원시키기 위해 1.25 mA/cm² 내지 5.00 mA/cm²의 전류 밀도를 인가될 수 있다.
- [0082] 단계(S305)에서 작업전극을 접착성 테이프를 제거한 디클로로메탄 용액(CH₂Cl₂)으로 다공성 템플릿을 선택적으로 제거할 수 있으며, 이후 원심분리기를 이용하여 클로로포름 용액(CHCl₃) 및 아세톤으로 5회 이상 세척하여 다공성 템플릿 내부에 존재하였던 루테튬계 나노선을 분리하여 형성할 수 있다.
- [0083] 단계(S306)에서 탐침을 이용하여 루테튬계 나노선에 대한 전기적 특성을 측정 분석할 수 있으며, 고해상도 투과 전자현미경(high resolution transmission electron microscopy, HR-TEM)과 전자회절 분석(selected area electron diffraction, SAED)을 포함하는 전자현미경으로 분석될 수 있다.
- [0085] 도 4a는 본 발명의 일실시예에 따른 실리카 막이 코팅된 루테튬 나노선의 제조 절차를 설명하기 위한 도면이다.
- [0086] 도 4a를 참고하면, 단계(S401)에서 다공성 템플릿으로 경로가 에칭된 폴리 카보네이트 멤브레인(track-etched polycarbonate membrane)이 준비된다.
- [0087] 단계(S402)에서 원자층 증착법(atomic layer deposition, ALD)을 이용하여 폴리카보네이트 멤브레인의 공극(pore)에 5 nm 내지 30 nm 두께의 실리카(SiO₂)를 증착하여 실리카 나노튜브를 다공성 템플릿의 공극에 형성한다.

- [0088] 단계(S403)에서 전기도금이 진행될 수 있도록 한쪽 면에 300 nm의 은(Ag)을 전자빔증착기(e-beam evaporator)로 증착될 수 있다. 예를 들어, 증착된 은은 전기도금의 작업 전극으로 이용될 수 있고, 백금 전극관을 상대 전극으로 이용할 수 있다.
- [0089] 단계(S404)에서 단일육 상태의 루테튬 환원시키기 위해 1.25 mA/cm^2 내지 5.00 mA/cm^2 의 전류 밀도를 인가될 수 있다.
- [0090] 단계(S405)에서 작업전극을 접착성 테이프로 제거한 디클로로메탄 용액(CH_2Cl_2)으로 다공성 템플릿을 선택적으로 제거할 수 있으며, 이후 원심분리기를 이용하여 클로로포름 용액(CHCl_3) 및 아세톤으로 5회 이상 세척하여 다공성 템플릿 내부에 존재하였던 루테튬계 나노선을 분리하여 형성할 수 있다.
- [0091] 예를 들어, 실리카 나노튜브를 형성하여 형성된 루테튬계 나노선은 기존보다 작은 직경의 기공으로 형성되며, 약 10 nm 대역의 나노선으로 형성될 수 있다.
- [0092] 도 4b는 본 발명의 일실시예에 따른 실리카 막이 코팅된 루테튬 나노선의 투과전자현미경 이미지를 설명하기 위한 도면이다.
- [0093] 도 4b를 참고하면, EDX(energy dispersive x-ray spectroscopy)을 이용하여 실리카 나노튜브 내에 루테튬 나노선이 성장한 것을 보여준다.
- [0094] 루테튬 나노선의 이미지(400)를 확대하면 루테튬 원소 분포 이미지(410), 산소 원소 분포 이미지(420) 및 실리카(Si) 원소 분포 이미지(430)를 확인할 수 있다.
- [0095] 예를 들어, 루테튬 나노선은 다공성 템플릿의 기공(pore) 내벽에 실리카 막이 코팅된 상태에서 전기 도금법을 이용하여 형성될 수 있다.
- [0097] 도 5a 내지 도 5g는 본 발명의 일실시예에 따른 직경 별 루테튬 나노선의 투과전자현미경 이미지를 설명하기 위한 도면이다.
- [0098] 도 5a 내지 도 5d는 고해상도 투과전자현미경(high resolution transmission electron microscopy, HR-TEM)과 전자회절 분석(selected area electron diffraction, SAED)을 이용하여 분석한 직경별 루테튬 나노선의 형태와 미세구조를 예시한다.
- [0099] 또한, 도 5e 및 도 5g는 실리카 나노튜브를 합성하여 기존보다 작은 직경의 기공을 형성하여, 이후에 전기도금 방식을 이용하여 루테튬 나노선을 성장시켜 10 nm 대역의 나노선을 형성한 것을 예시한다.
- [0100] 이미지(500)는 130 nm 직경의 루테튬 나노선을 예시하고, 이미지(510)는 70 nm 직경의 루테튬 나노선을 예시하며, 이미지(520)는 60 nm 직경의 루테튬 나노선을 예시하고, 이미지(530)는 35 nm 직경의 루테튬 나노선을 예시하며, 이미지(540) 및 이미지(550)는 실리카 나노튜브 내에 18 nm 직경의 루테튬 나노선을 예시한다.
- [0101] 이미지(540)과 이미지(550)을 살펴보면, 실리카 나노튜브와 루테튬 나노선의 총 직경은 76 nm일 수 있다.
- [0102] 또한, 이미지(560)을 살펴보면, 실리카 나노튜브 내에 10 nm 급의 직경을 갖는 루테튬 나노선을 예시한다.
- [0103] 따라서, 본 발명의 일실시예에 따른 루테튬 나노선은 다공성 템플릿의 공극에 나노튜브를 증착하여 반도체 장비 유사 구조를 형성한 후, 다공성 템플릿 상에 전기 도금법을 이용하여 루테튬을 환원시켜 10 nm 급의 직경을 갖도록 형성될 수 있다.
- [0104] 즉, 본 발명의 일실시예에 따른 루테튬 나노선은 전기 도금법을 이용하여 합성된 10 nm 급의 루테튬 나노선으로 형성될 수 있다.
- [0106] 도 6a는 본 발명의 일실시예에 따른 루테튬 나노선의 열처리 온도별 X선 회절 분석을 설명하기 위한 도면이다.
- [0107] 보다 구체적으로, 도 6a는 직경 130 nm 나노선의 열처리 온도별 X선 회절(X-ray diffraction, XRD) 분석 그래프를 예시한다.
- [0108] 도 6a를 참고하면, 그래프(600)는 각도(degree) 별 강도(intensity)를 나타내고, 직경 130 nm 루테튬 나노선의 열처리 온도별 X선 회절(X-ray diffraction, XRD) 및 미세구조 분석 결과를 예시한다.
- [0109] 그래프(600)에서 어닐링(annealing)는 6×10^{-5} Torr 진공에서 1시간 동안 진행되었고, 400 및 500℃에서는 결정

립의 크기에 큰 변화를 보이지 않지만 600℃ 이상에서 결정립의 크기가 급격하게 커진다. 어닐링 온도가 높아질수록 작은 각도로 이동한다.

- [0111] 도 6b는 본 발명의 일실시예에 따른 루테튬 나노선의 열처리 온도에 따른 결정립 크기의 변화를 설명하기 위한 도면이다.
- [0112] 구체적으로, 도 6b의 그래프(610)는 Scherrer 식을 사용하여 계산된 결정립 크기를 예시한다.
- [0113] 도 6b를 참고하면, 그래프(610)는 어닐링 온도(annealing temperature) 변화에 따른 결정립 크기(grain size) 변화를 나타낼 수 있다.
- [0114] 본 발명의 일실시예에 따르면 루테튬 나노선의 결정립(crystal grain) 크기는 400℃ 내지 500℃의 온도에서 9 nm 내지 12 nm의 결정 성장에 기반한 크기로 제어되거나 600℃의 온도 이상에서 약 55 nm의 결정 성장에 기반한 크기로 제어될 수 있다.
- [0116] 도 7a 및 도 7b는 본 발명의 일실시예에 따른 루테튬 나노선의 전기적 특성 변화를 설명하기 위한 도면이다.
- [0117] 도 7a의 그래프(700)는 루테튬 나노선을 기판에 분산시켜 4개의 나노 탐침이 부착된 집속 이온빔(focused ion beam, FIB)을 이용하여 측정된 결과를 예시한다. 예를 들어, 기판은 Si/SiO₂ 기판으로 300 nm의 두께를 가질 수 있다.
- [0118] 또한, 나노선과 나노 탐침 사이의 접촉 저항을 제거하기 위해 4개의 나노 탐침을 사용하였으며, 나노선을 기판에 고정시키기 위해 전자빔을 이용하여 나노선 끝에 납(Pt)을 증착 형성하였다.
- [0119] 그래프(700)는 입력 전압에 따른 전류의 변화를 나타내고, 그래프(700)내 작은 그래프는 전류에 따른 델타 전압의 변화를 나타낼 수 있다.
- [0120] 도 7b를 참고하면, 그래프(710)는 루테튬 나노선의 직경 변화별 전기 비저항 변화를 예시한다.
- [0121] 그래프(710)에 따르면 전기도금 합성 조건에 따라서 전기 저항이 크게 개선되는 것을 확인할 수 있다.
- [0122] 그래프(710)은 전기도금 공정조건1(RuCl₃xH₂O 20 mol/L, HBO₃ 400 mol/L, HCl 500 mol/L), 전기도금 공정조건2(RuCl₃xH₂O 20 mol/L, HBO₃ 400 mol/L, KCl 500 mol/L), 전기도금 공정조건3(RuCl₃ 20 mol/L, HBO₃ 400 mol/L, KCl 500 mol/L)의 공정조건을 나타낸다.
- [0123] 또한, 그래프(710)은 직경이 작아질수록 저항이 증가하는 것을 확인할 수 있고, 전기도금 공정조건3은 열처리 600℃의 그래프 변화에 따르면 600℃의 온도에서 열처리 이후에 전기적 특성이 미세하게 개선되는 것을 확인할 수 있다.
- [0125] 도 8a 내지 도 8f는 본 발명의 일실시예에 따른 루테튬-코발트 합금 나노선의 조성 별 투과전자현미경 이미지와 전자회절분석 패턴을 설명하기 위한 도면이다.
- [0126] 도 8a 및 도 8d의 이미지(800)과 이미지(830)는 코발트 함량이 1 at%인 루테튬-코발트 합금 나노선을 예시하고, 도 8b 및 도 8e의 이미지(810)과 이미지(840)는 코발트 함량이 48 at%인 루테튬-코발트 합금 나노선을 예시하며, 도 8c 및 도 8f의 이미지(820)과 이미지(850)는 코발트 함량이 96 at%인 루테튬-코발트 합금 나노선을 예시한다.
- [0127] 보다 구체적으로, 이미지(800)과 이미지(810)을 참고하면 코발트의 함량이 1 at%, 48 at%의 루테튬-코발트 합금 나노선은 링 패턴을 나타낼 수 있다.
- [0128] 이는 해당 1 at%, 48 at%의 루테튬-코발트 합금 나노선이 나노 결정 구조를 가져 비정질 형태임을 의미할 수 있다.
- [0129] 또한, 이미지(830), 이미지(840) 및 이미지(850)의 루테튬-코발트 합금 나노선 각각은 이미지(800), 이미지(810) 및 이미지(820)의 루테튬-코발트 나노선을 450℃에서 3시간 동안 어닐링한 상태이다. 어닐링 후의 전자회절 분석(SAED) 패턴을 보았을 때 미세구조 변화가 생긴 것을 관찰할 수 있다.
- [0130] 즉, 루테튬-코발트 나노선은 코발트(Co)의 함량이 1 at% 내지 48 at%인 경우, 상기 결정 구조는 비정질 유사 구조(amorphous-like structure)로 제어될 수 있다.
- [0132] 도 9a 내지 도 9d는 본 발명의 일실시예에 따른 루테튬-코발트 합금 나노선의 조성별 X선 회절 분석 및 코발트

조성에 따른 결정립 크기 변화를 설명하기 위한 도면이다.

- [0133] 보다 구체적으로, 도 9a 내지 도 9d는 조성별 직경 130 nm 루테튬-코발트 합금 나노선의 X선 회절(X-ray diffraction, XRD) 분석 결과를 예시한다.
- [0134] 도 9a의 그래프(900)는 전기 도금 후(as-deposited) 상태의 루테튬-코발트 합금 나노선을 분석한 결과를 예시하고, 도 9b의 그래프(910)는 450°C의 온도에서 3시간 동안 어닐링된 상태의 루테튬-코발트 나노선을 분석한 결과를 예시한다.
- [0135] 도 9c의 그래프(920)는 코발트의 함유량이 1 at%인 루테튬-코발트 합금 나노선의 도금 후(as-deposited) 상태와 450°C 어닐링 후 상태의 X선 회절을 확대한 결과를 예시한다.
- [0136] 그래프(920)를 참고하면, 도금 후(as-deposited) 상태의 그래프는 루테튬과 코발트의 피크(peak)가 동시에 나타나는데, 이는 루테튬과 코발트가 루테튬-코발트 합금 나노선 안에서 상이 분리(phase segregation)되어있음을 의미할 수 있다.
- [0137] 그러나, 반도체 후공정(back-end-of-line; BEOL)에서 사용하는 온도 범위인 450°C 어닐링 후의 루테튬-코발트 합금 나노선의 X선 회절 데이터를 보면, 루테튬 피크(peak)만 나타나는데 이는 코발트가 루테튬 매트릭스(matrix) 안으로 이동하여 합금(alloy)이 형성된 것을 알 수 있다.
- [0138] 즉, 어닐링을 통해 루테튬-코발트 전을 고용체(complete solid solution)가 형성되어 루테튬-코발트 합금 나노선의 전기 비저항이 감소될 수 있다.
- [0139] 도 9d의 그래프(930)는 그래프(900)과 그래프(910)을 토대로 코발트 함유량(concentration)과 관련된 조성 별 루테튬-코발트 합금 나노선의 결정립 크기(grain size)를 도시한 그래프이다.
- [0140] 그래프(930)를 참고하면, 코발트 함량이 높아짐에 따라 결정립 크기가 증가하는 경향이 나타남을 확인할 수 있다.
- [0141] 즉, 루테튬-코발트 합금 나노선은 코발트의 함량이 증가될 경우, 결정립의 크기가 증가될 수 있다.
- [0143] 도 10은 본 발명의 일실시예에 따른 루테튬계 나노선의 어닐링 전후의 전기적 특성 변화를 설명하기 위한 도면이다.
- [0144] 보다 구체적으로, 도 10은 직경 130 nm의 루테튬-코발트 합금 나노선(Ru-Co NW) 및 루테튬 나노선(RU NW)의 전기적 특성 변화를 어닐링 전 후로 비교하여 예시한다.
- [0145] 도 10를 참고하면, 그래프(1000)는 직경(diameter)에 따른 전기 비저항(resistivity)의 변화를 나타낸다.
- [0146] 그래프(1000)를 참고하면, 도금 후(as-deposited) 상태의 루테튬-코발트 합금 나노선은 전기 비저항이 32.8 내지 365.9 $\mu\Omega \cdot \text{cm}$ 값을 가지며, 450°C 어닐링 이후 전기 비저항이 27.2 내지 54.1 $\mu\Omega \cdot \text{cm}$ 값으로 크게 감소한다.
- [0147] 또한, 도금 후(as-deposited) 상태의 루테튬 나노선은 직경이 130 nm인 경우 전기 비저항이 약 22 $\mu\Omega \cdot \text{cm}$ 값을 가지며, 450°C 어닐링 이후 전기 비저항이 약 13 $\mu\Omega \cdot \text{cm}$ 값으로 감소한다.
- [0148] 따라서, 본 발명의 일실시예에 따른 루테튬계 나노선은 기존의 이중층 구조를 대체하기 위해 단일층 합금화 접근법이 적용 가능하며, 단일층 합금화 접근법은 비정질 구조 또는 결정립 스터핑(stuffing effect)를 형성함으로써 장벽 특성을 개선할 수 있으며, 비정질 구조는 결정립계를 통한 확산 경로를 제거함으로써 탁월한 확산 방지 특성을 나타낼 수 있다.
- [0149] 또한, 일 실시예에 따른 루테튬-코발트 합금 나노선의 단일층 합금 소재는 다층구조로 인해 생기는 계면 저항(interface resistance)을 감소시킴과 동시에 질화물(TaN, 비저항: 160 내지 400 $\mu\Omega \cdot \text{cm}$) 보다 낮은 전기 비저항 값을 가질 수 있다.
- [0151] 도 11은 본 발명의 일실시예에 루테튬계 나노선의 적용예를 설명하기 위한 도면이다.
- [0152] 도 11을 참조하면, 도 11의 (a)는 BEOL(back end of line) 층 및 FEOL(front end of line) 층을 포함하는 반도체 소자(1100)를 도시하고, 도 8의 (b)는 반도체 소자(1100)의 BEOL층에 구비되는 금속 배선층(metal line)(1110) 및 비아(via)(1120)를 도시하며, 도 8의 (c)는 금속층(1111), 라이너(liner)(1112), 배리어(barrier)(1113) 및 유전체층(dielectric)(1114)을 포함하는 금속 배선층(metal line)(1110)을 도시한다.

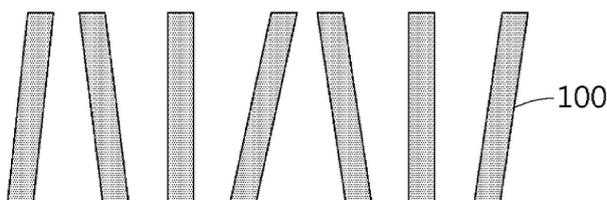
- [0153] 예를 들면, 도 8의 (b)에 도시된 디바이스들(1130)은 트랜지스터 소자일 수 있으며, 금속층(1111)은 구리 금속을 포함할 수 있다.
- [0154] 구체적으로, 본 발명의 일실시예에 따른 루테튬계 나노선은 반도체 소자(1100)의 BEOL층에 구비된 금속 배선층(1110), 비아(1120) 및 콘택(contact) 중 적어도 하나에 대하여 배리어 및 라이너 중 적어도 하나로 적용될 수 있다.
- [0155] 예를 들면, 루테튬계 나노선은 금속 배선층(1110)의 금속층(1111) 상에 형성되는 라이너(1112) 및 배리어(1113)로 적용될 수 있다.
- [0156] 본 발명의 일실시예에 따른 루테튬계 나노선은 루테튬 나노선과 루테튬-코발트 합금 나노선을 포함할 수 있다.
- [0157] 다시 말해, 일실시예에 따른 루테튬계 나노선은 기존 구리 금속배선 상에 형성되는 Ta 라이너 및 TaN 배리어를 대체할 수 있으며, 이를 통해 구리 금속배선의 급격한 저항 증가를 방지하여 배리어/라이너 이중층의 두께를 감소시킬 수 있다.
- [0158] 본 발명의 일실시예에 따른 루테튬계 나노선은 기존 구리 금속배선 상에 형성되는 Ta 라이너 및 TaN 배리어를 대체할 수 있으며, 이를 통해 구리 금속배선의 급격한 저항 증가를 방지하여 배리어/라이너 이중층의 두께를 감소시킬 수 있다.
- [0159] 즉, 본 발명의 일실시예에 따른 루테튬-코발트 합금 나노선은 반도체 소자의 BEOL(back end of line) 층에 구비된 금속 배선층(1110), 비아(1120) 및 콘택(contact) 중 적어도 하나에 배리어(barrier) 및 라이너(liner) 중 적어도 하나로 적용될 수 있다.
- [0160] 결국, 본 발명을 이용하면, 전기 도금법을 이용하여 비정질 구조와 낮은 전기 비저항을 갖는 루테튬계 나노선을 제공할 수 있다.
- [0161] 또한, 금속배선의 저유전율 유전체로의 확산을 방지하는 배리어 및 금속배선 도금을 위한 라이너로서 작용하여 단일층으로 금속 배선 공정에 사용될 수 있는 루테튬계 나노선을 제공할 수 있다.
- [0163] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0164] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

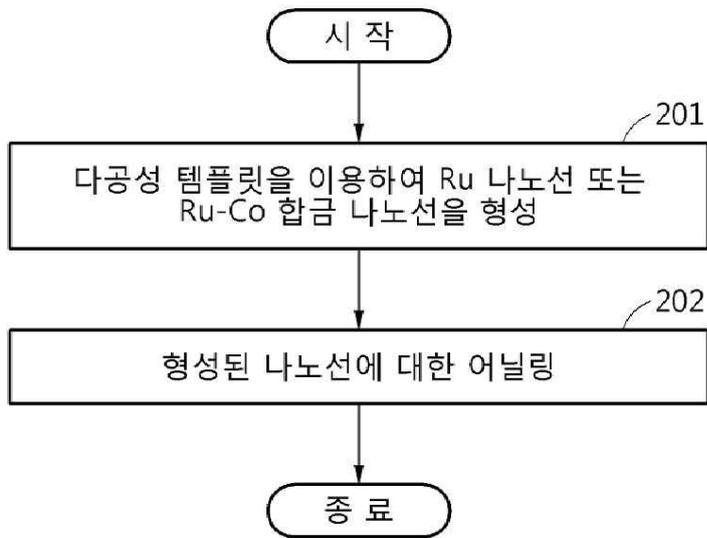
[0166] 100: 루테튬계 나노선

도면

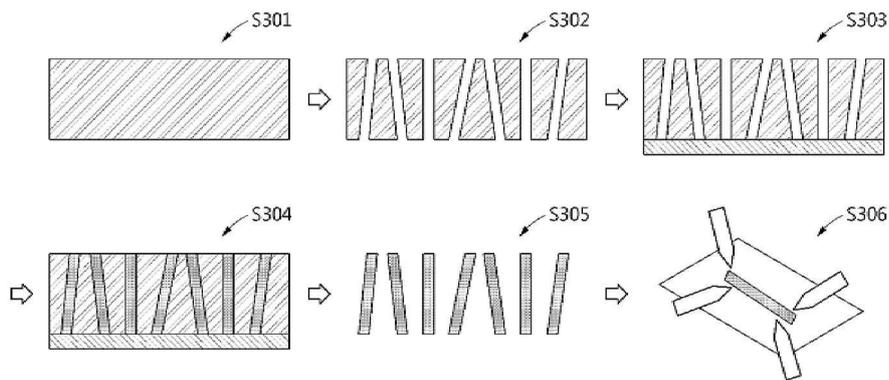
도면1



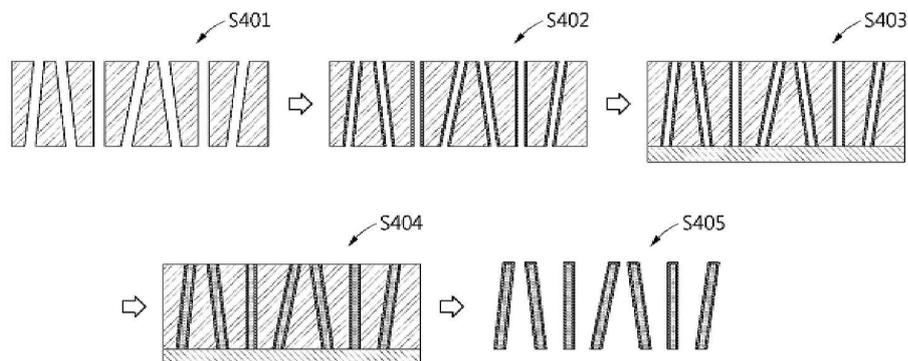
도면2



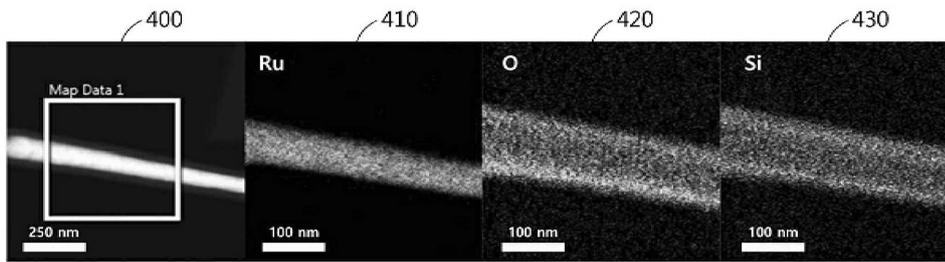
도면3



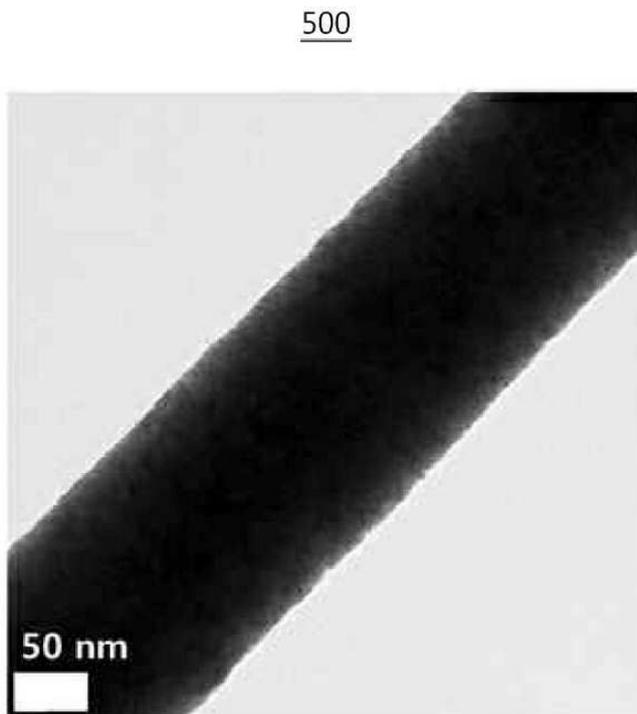
도면4a



도면4b

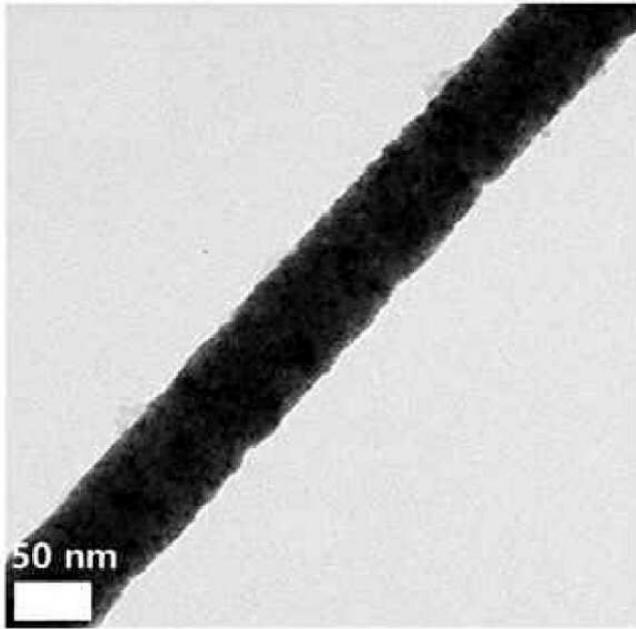


도면5a



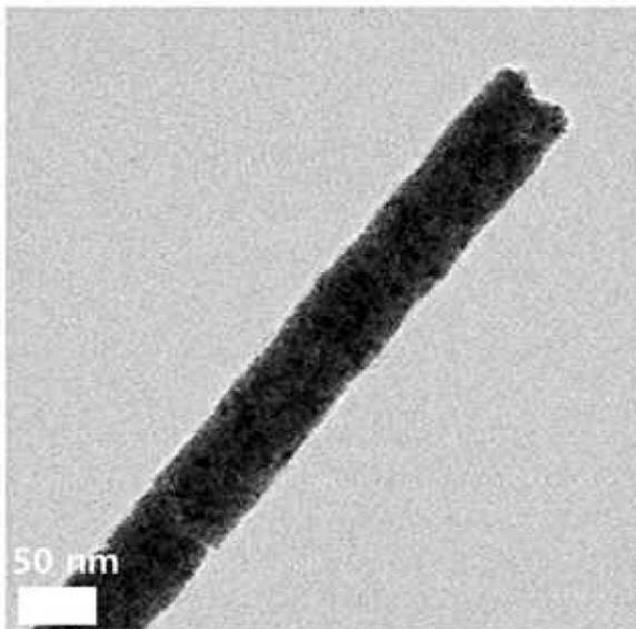
도면5b

510



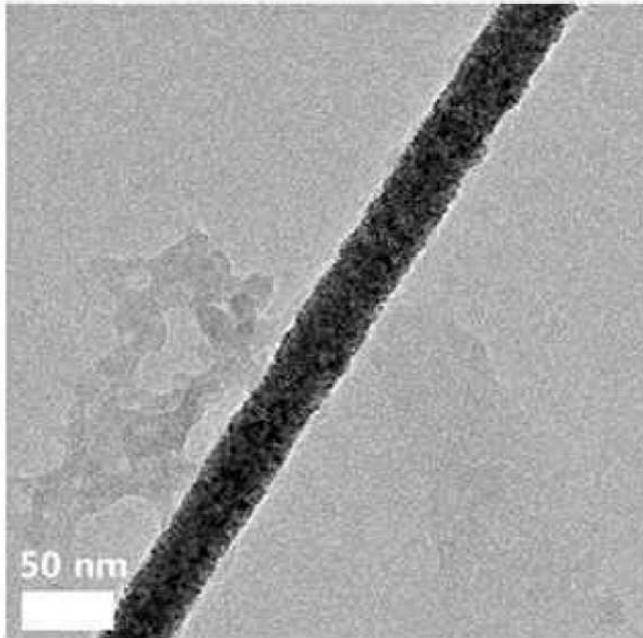
도면5c

520



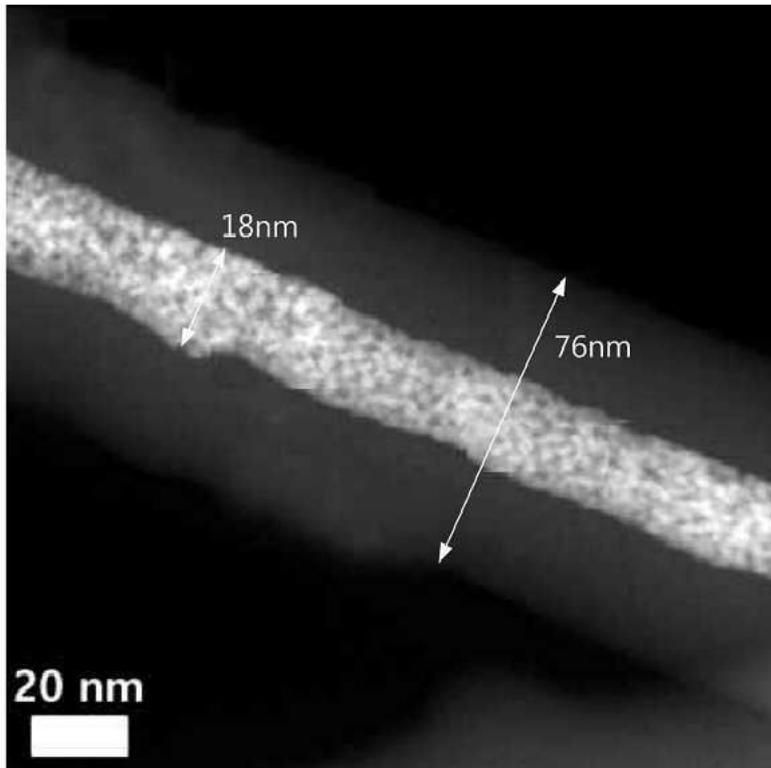
도면5d

530



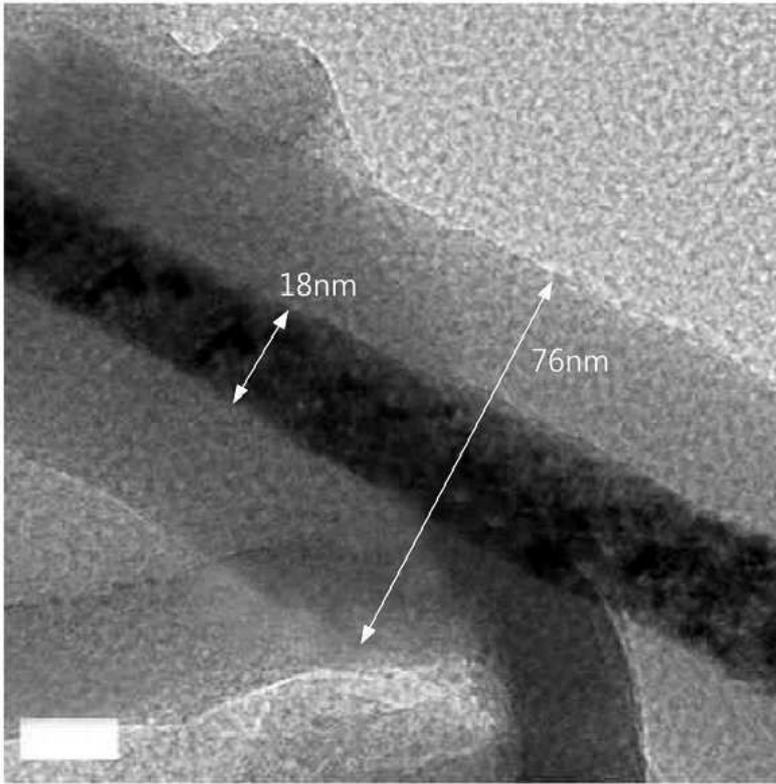
도면5e

540



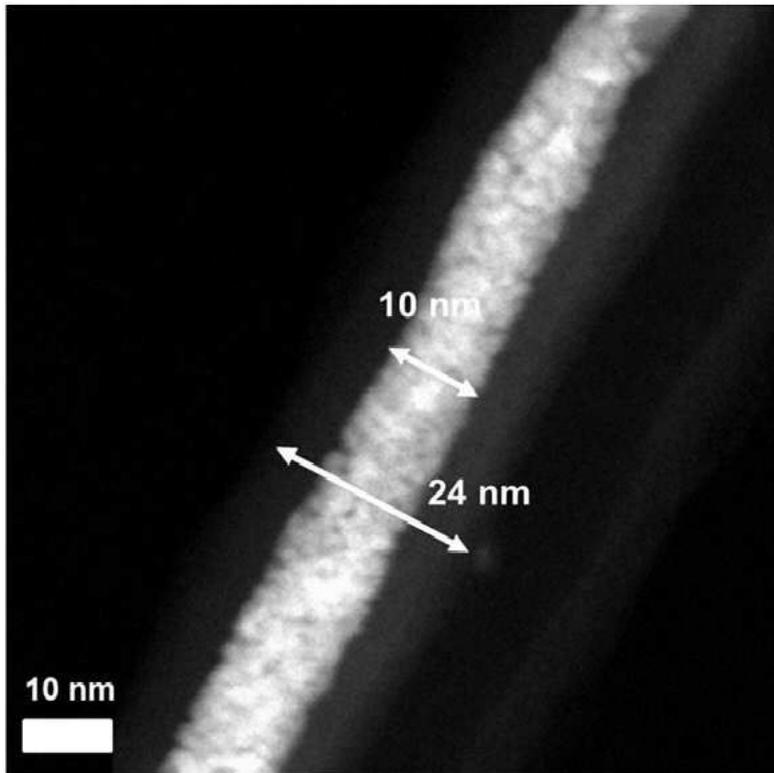
도면5f

550

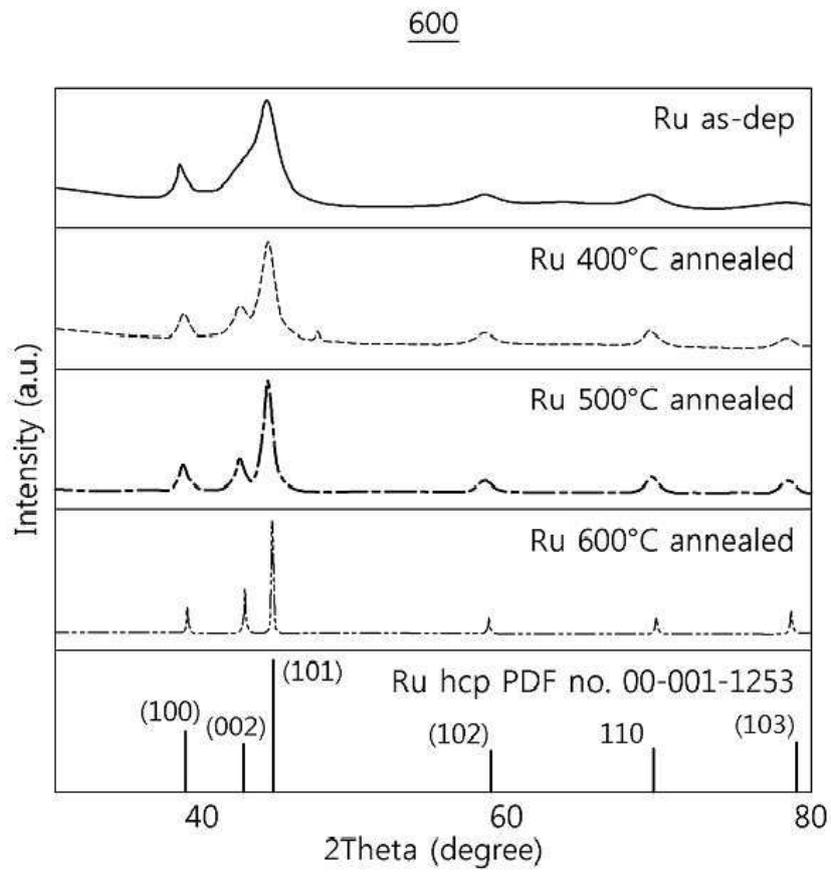


도면5g

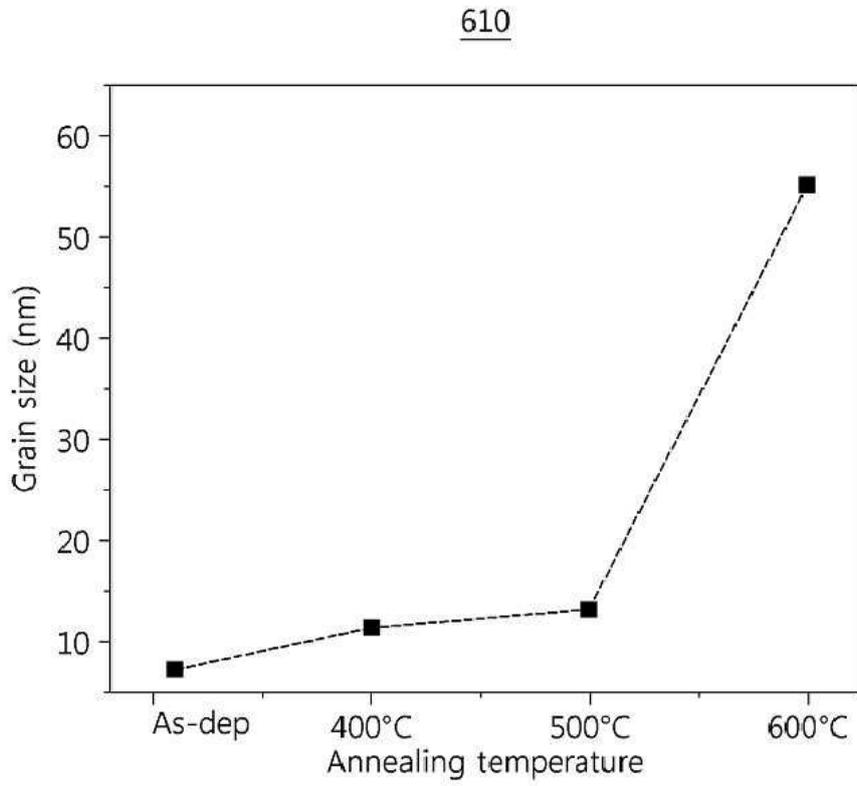
560



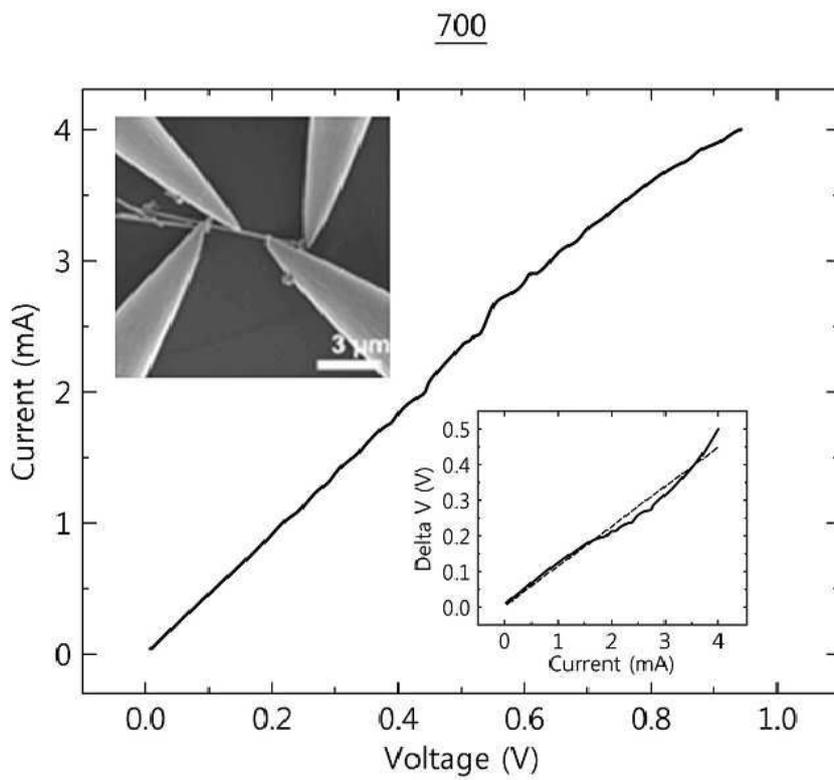
도면6a



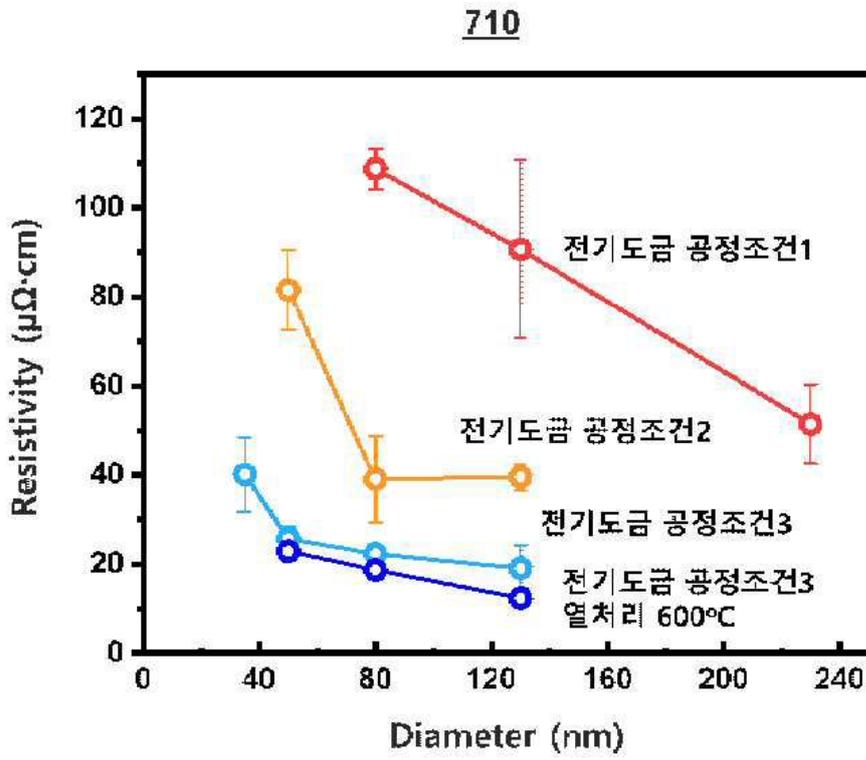
도면6b



도면7a

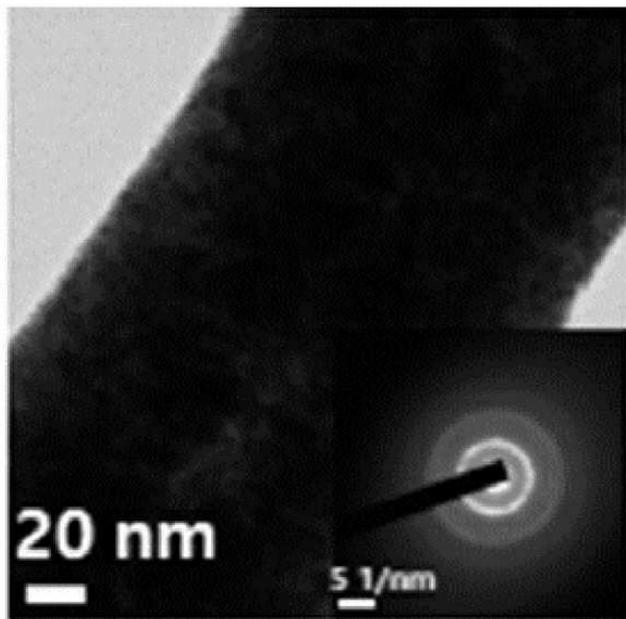


도면7b



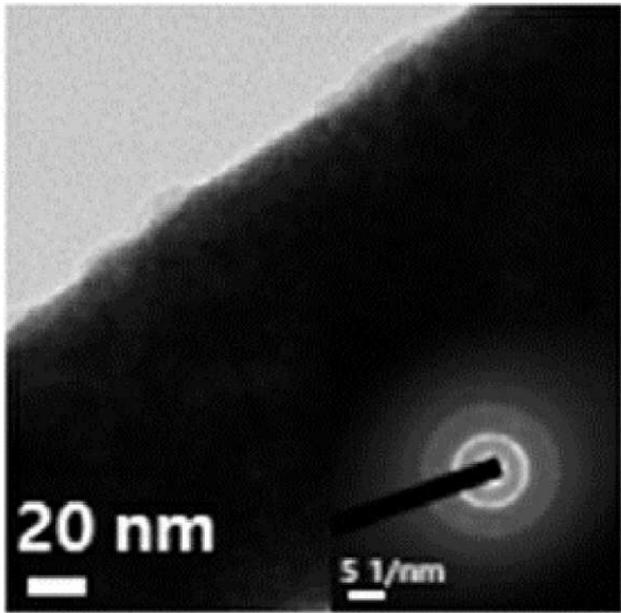
도면8a

800



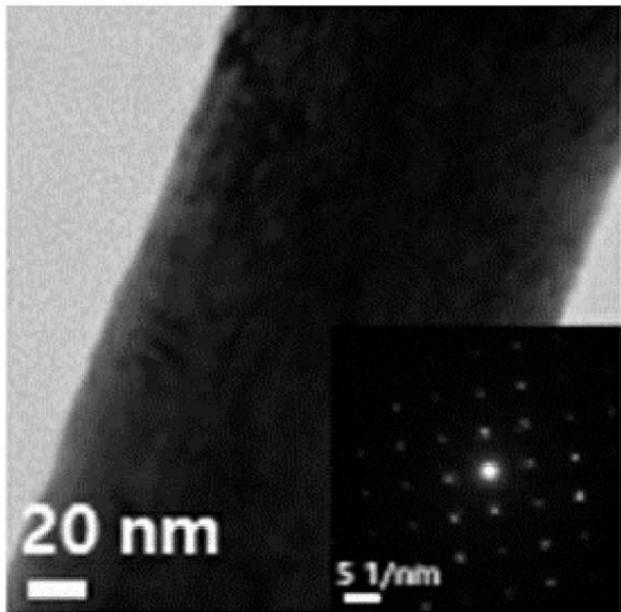
도면8b

810



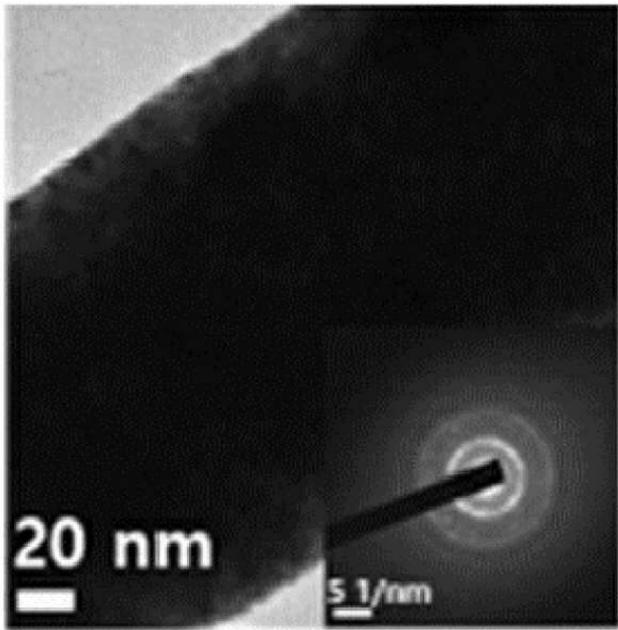
도면8c

820



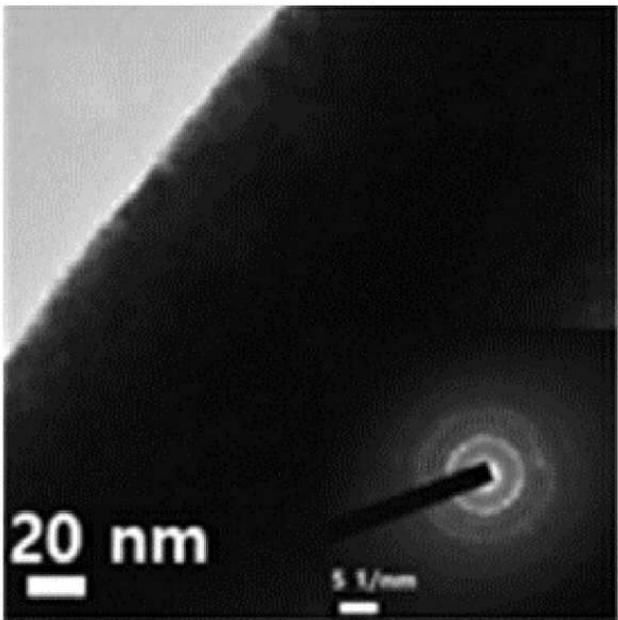
도면8d

830



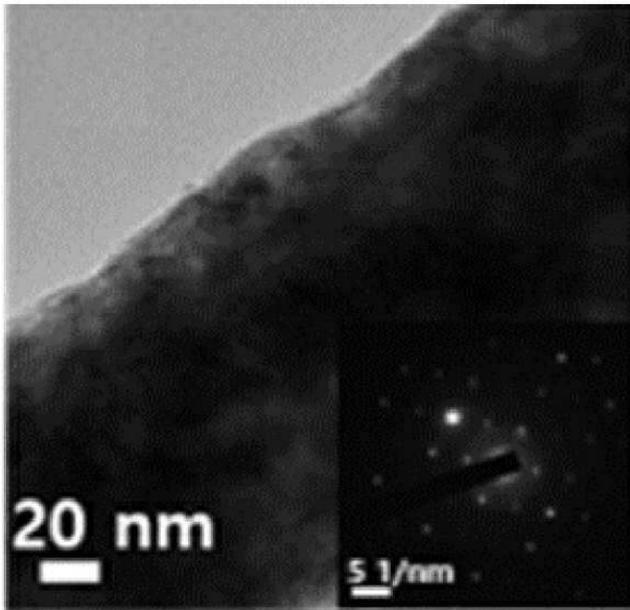
도면8e

840

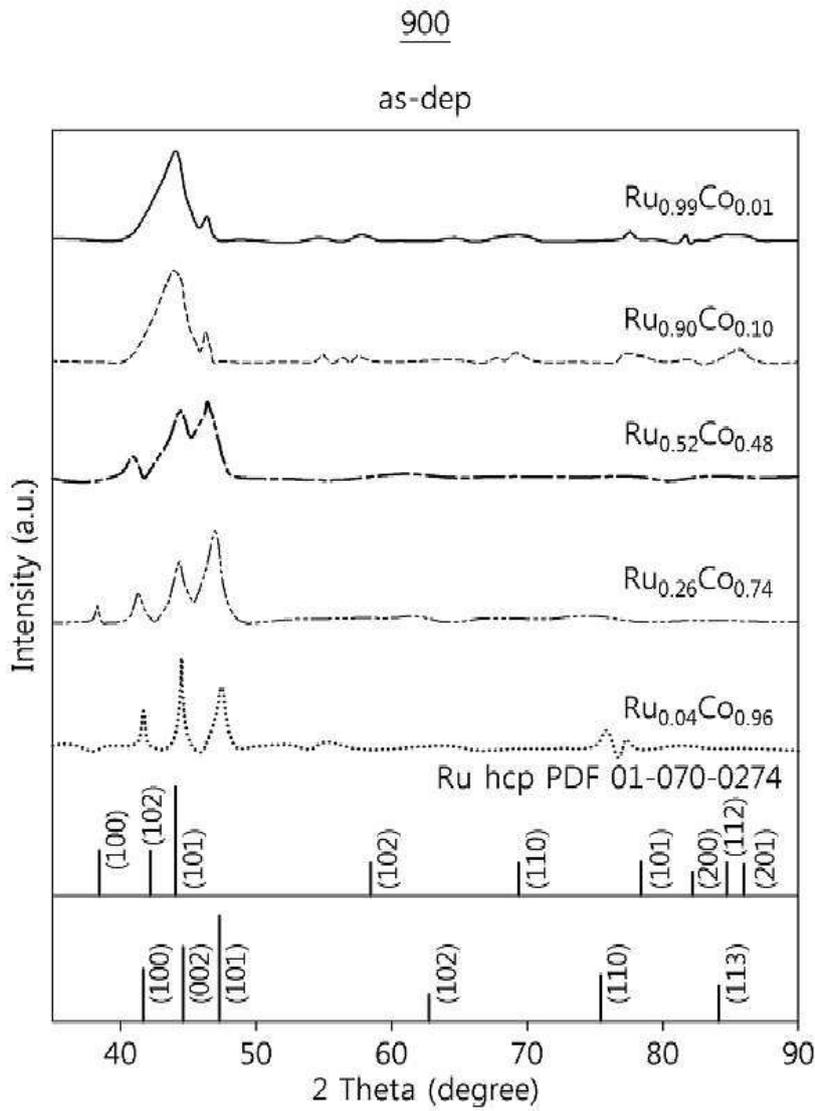


도면8f

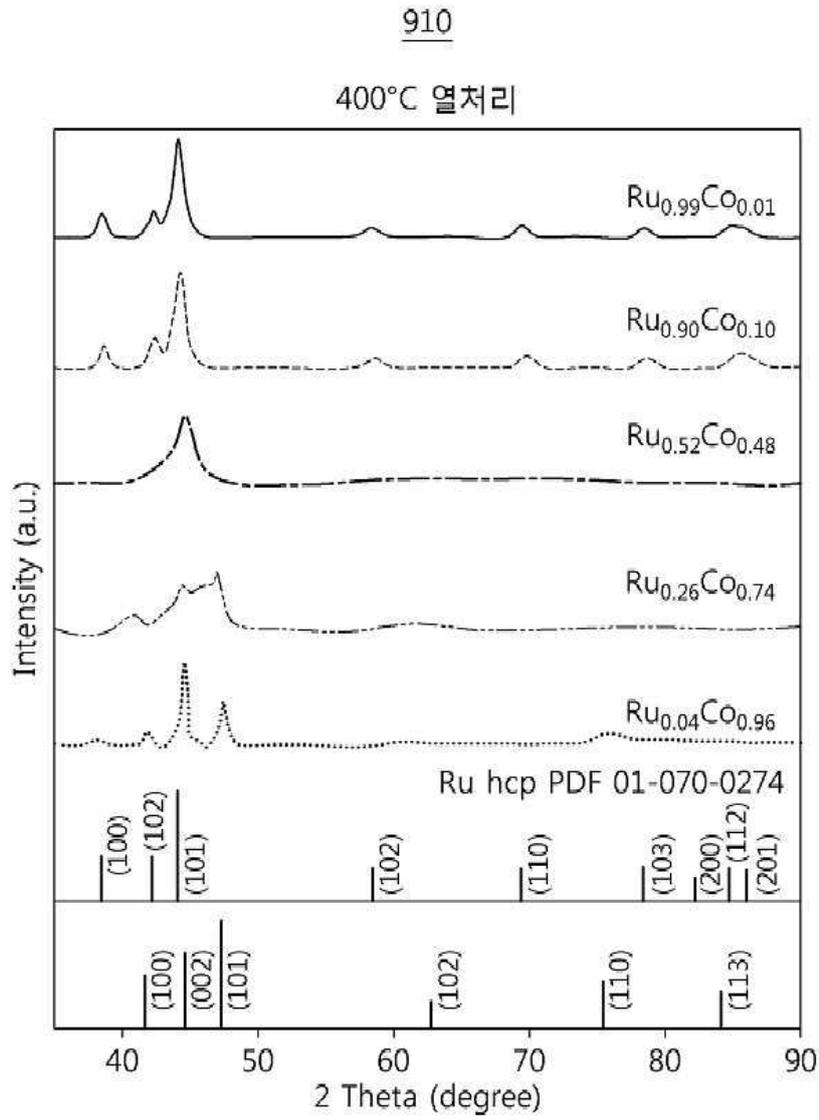
850



도면9a

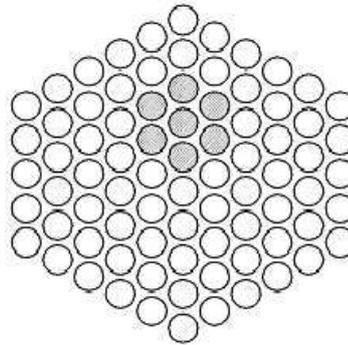
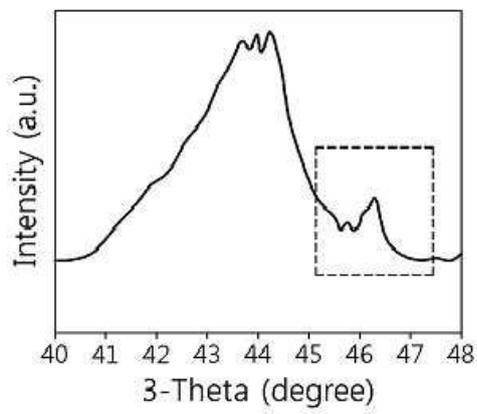


도면9b

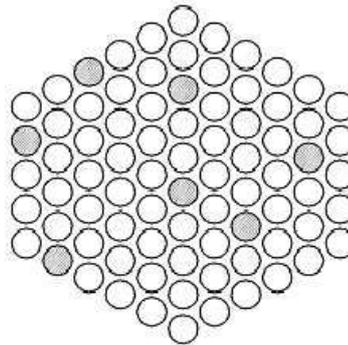
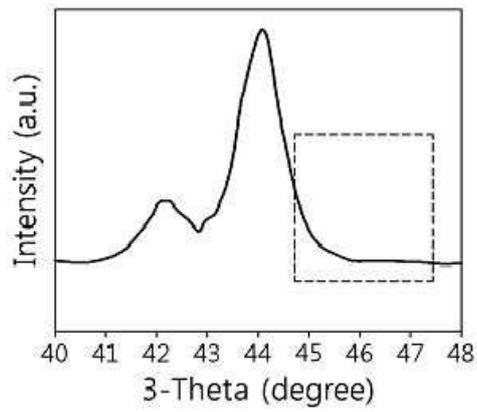


도면9c

920

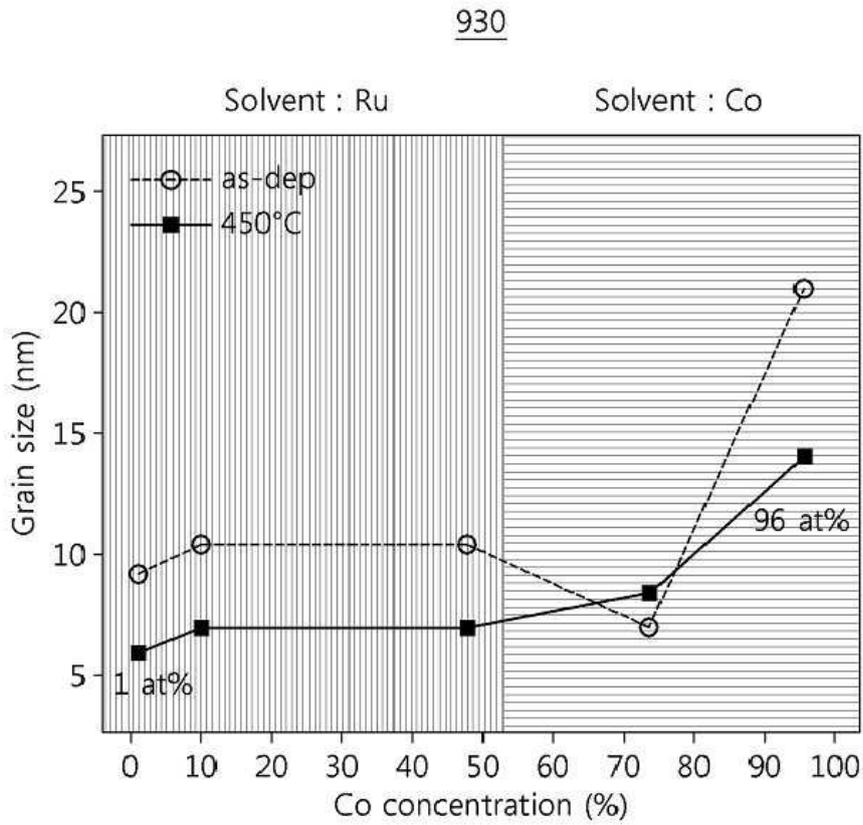


Phase segregation

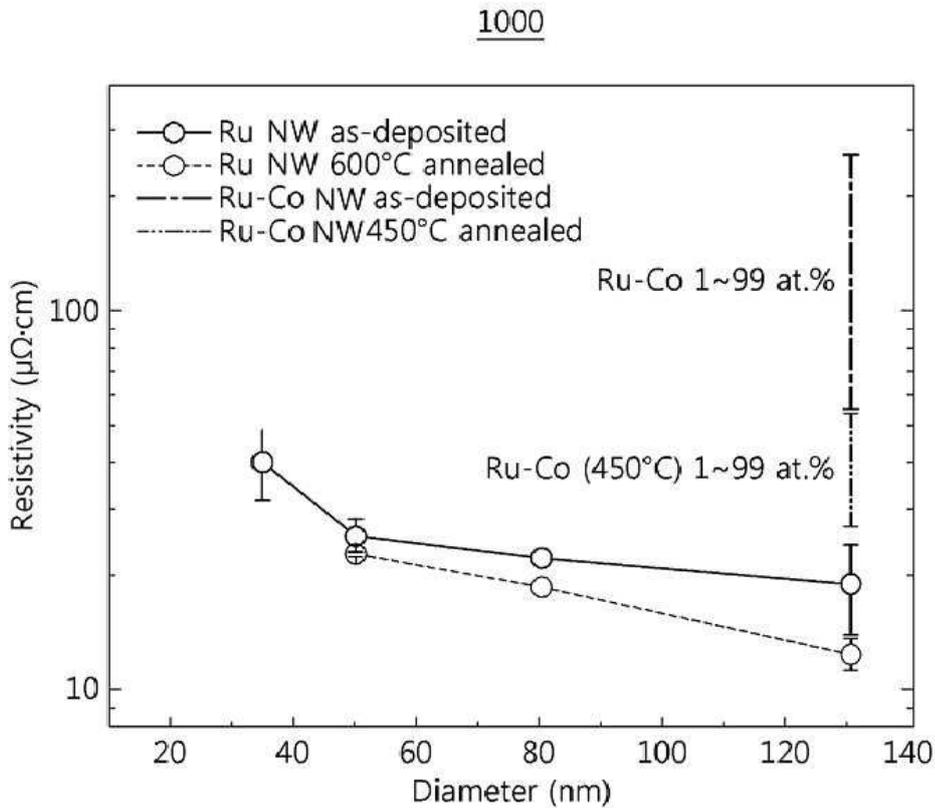


Alloying

도면9d



도면10



도면11

