

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3815717号
(P3815717)

(45) 発行日 平成18年8月30日(2006.8.30)

(24) 登録日 平成18年6月16日(2006.6.16)

(51) Int. Cl.

G11C 29/04 (2006.01)

F I

G11C 29/00 603J

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2001-192712 (P2001-192712)	(73) 特許権者	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成13年6月26日(2001.6.26)	(74) 代理人	100078282 弁理士 山本 秀策
(65) 公開番号	特開2003-7079 (P2003-7079A)	(72) 発明者	安西 伸介 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(43) 公開日	平成15年1月10日(2003.1.10)	(72) 発明者	亀井 健司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
審査請求日	平成15年1月31日(2003.1.31)	(72) 発明者	森 康通 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に設けられた複数の不揮発性メモリセルと、前記不揮発性メモリセルにおける不良メモリセルを正常な予備の不揮発性メモリセルに置換するための冗長回路を有する半導体集積回路であって、

前記冗長回路は、

それぞれが不良メモリセルのアドレス情報を記憶する記憶回路であるn個(nは2以上の整数)の第1出力回路ブロックと、

それぞれが前記第1出力回路ブロックと回路配置構成が等しくて、前記不良メモリセルのアドレス情報以外の情報を記憶するm個(mは2以上の整数)の第2出力回路ブロックと、

前記第1出力回路ブロックにそれぞれ接続されるn個の入力回路ブロックとを備え、

前記各第1出力回路ブロックと前記各第2出力回路ブロックとが交互に配置されて、相互に隣接する前記第1出力回路ブロックと前記第2出力回路ブロックとが第1ピッチp1の等間隔で配列されており、

前記各入力回路ブロックは、前記第1出力回路ブロックおよび前記第2出力回路ブロックの配列方向と並行に第2のピッチで等間隔に配列されており、

前記配列方向の第k番目(kは、1 ≤ k ≤ nの整数)に配置された前記第1出力回路ブロックと、前記配列方向の第k番目に配置された前記入力回路ブロックとが、最短配線長の第1配線によってそれぞれ接続されており、

10

20

前記各第 2 出力回路ブロックには、線幅 W の第 2 配線が接続されて、相互に隣接する前記入力回路ブロック間の間隙を通して配線されていることを特徴とする半導体集積回路。

【請求項 2】

前記各入力回路ブロックは、前記第 1 出力回路ブロックに記憶された前記アドレス情報と、外部から入力されたアドレス情報とを比較する比較回路であり、該比較回路において前記比較の結果が一致しない場合には外部から入力されたアドレスに対応する前記不揮発性メモリセルへのアクセスが行われ、前記比較の結果が一致した場合には前記予備の不揮発性メモリセルへのアクセスが行われる請求項 1 に記載の半導体集積回路。

【請求項 3】

前記第 2 のピッチが、前記第 1 のピッチの 2 倍とされている、請求項 1 または 2 に記載の半導体集積回路。

10

【請求項 4】

前記第 1 出力回路ブロックおよび前記第 2 出力回路ブロックは、前記マトリクス状に配置された前記不揮発性メモリセルの行方向または列方向に沿って配列されている請求項 1 に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、特に、不良メモリセルを正常メモリセルに置換するための冗長救済機能を有する半導体記憶装置等として用いられる半導体集積回路に関する。

20

【0002】

【従来の技術】

半導体集積回路として、形状、面積、信号端子位置等の回路配置構成（レイアウト）が同じである複数の出力回路ブロックが互いに隣接して配置されると共に、レイアウトが同じである複数の入力回路ブロックが互いに隣接して配置され、各出力回路ブロックから出力される出力信号が、その出力回路ブロックに対応する入力回路ブロックの各々に入力される構成を有するものが知られている。

【0003】

このような半導体集積回路においては、入出力回路ブロック間を接続するための配線を行う際に、隣接する出力回路ブロック同士の間隔（ピッチ）と、隣接する入力回路ブロック同士のピッチとが等しい場合には、直線形状の配線を用いて入出力回路ブロック間を最短距離により接続することができるため、無駄の無いレイアウトを行うことができる。これに対して、隣接する出力回路ブロック同士のピッチと、隣接する入力回路ブロック同士のピッチとが異なる場合には、入出力回路ブロック間を接続する各配線が交差してショートされないように配線を曲げる必要があるため、配線領域の面積が増大する。

30

【0004】

以上のような入出力回路ブロックを有する半導体集積回路の例としては、例えば不揮発性半導体メモリであるフラッシュメモリ等が挙げられる。一般に、フラッシュメモリには、メインメモリセルに不良が生じた場合に、不良となったメインメモリセル（不良メモリセル）の代りにデータの読み出し、書き込み等を行うために予備のフラッシュメモリセルが設けられており、このように予備のフラッシュメモリを設けることによって、不良品の発生率が抑制され、良品率が向上している。フラッシュメモリにおいて、不良メモリセルを予備のフラッシュメモリセルに置き換えるためには、通常、冗長回路が用いられる。この冗長回路は、不良メモリセルが存在した場合に、当該不良メモリセルのアドレス情報を記憶するための記憶回路と、不良メモリセルのアドレス情報を外部から入力されるアドレス情報と比較するための冗長救済用比較回路とによって構成されている。

40

【0005】

揮発性半導体メモリである DRAM、SRAM 等においては、不良メモリセルのアドレス情報を記憶させるために、デバイス内にポリシリコン、メタル等からなるヒューズを複数設けて、そのヒューズを電氣的に切断する方法等が用いられている。これに対して、不揮

50

発性半導体メモリであるフラッシュメモリにおいては、不揮発性記憶素子であるメモリセルをヒューズの代りに用いて、冗長救済が行われる不良メモリセルのアドレス情報およびその他のデバイス固有の情報を記憶させる方法等が用いられている。このような不揮発性半導体記憶素子であるメモリセルを用いた記憶回路は、CAM (Contents Addressable Memory) 回路と称されている。

【0006】

CAM回路は、一般に、図2に示すように、2個のフローティングゲート型トランジスタ2および3と、4個のN型トランジスタ4、5、6および7と、2個のP型トランジスタ8および9とによって構成されている。

【0007】

P型トランジスタ8、N型トランジスタ4およびフローティングゲート型トランジスタ2は、この順に直列に接続されており、P型トランジスタ8のソースに電源電圧 V_{cc} が接続され、このP型トランジスタのドレインにN型トランジスタ4を介してフローティングゲート型トランジスタ2が接続され、このフローティングゲート型トランジスタ2のソースに接地電位 V_{ss} が接続されている。同様に、P型トランジスタ9、N型トランジスタ5およびフローティングゲート型トランジスタ3は、この順に直列に接続されており、P型トランジスタ9のソースに電源電圧 V_{cc} が接続され、このP型トランジスタのドレインにN型トランジスタ5を介してフローティングゲート型トランジスタ3が接続され、このフローティングゲート型トランジスタ3のソースに接地電位 V_{ss} が接続されている各フローティングゲート型トランジスタ2および3のゲートには、各々バイアス電圧発生回路10からの出力 V_{gate} が供給され、各N型トランジスタ4および5のゲートには、各々バイアス電圧発生回路11からの出力 V_B が供給される。また、P型トランジスタ8のゲートは、P型トランジスタ9とN型トランジスタ5との接続点N4に接続され、P型トランジスタ9のゲートは、P型トランジスタ8とN型トランジスタ4との接続点N3に接続されている。さらに、各N型トランジスタ6および7のドレインには、図示しない電圧供給回路からプログラム電圧 V_{prg} が各々供給され、各N型トランジスタ6および7のゲートには、図示しない制御回路からプログラム信号 $PRG1$ 、 $PRG2$ が各々供給される。N型トランジスタ6のソースは、フローティングゲート型トランジスタ2とN型トランジスタ4の接続点N1に接続され、N型トランジスタ7のソースは、フローティングゲート型トランジスタ3とN型トランジスタ5の接続点N2に接続されている。

【0008】

このように構成されたCAM回路には、冗長救済が行われる不良メモリセルのアドレス情報等を1ビット分だけ記憶させることができ、複数のCAM回路によって不良メモリセルのアドレス情報が記憶される。CAM回路に不良メモリセルのアドレス情報が記憶されている場合には、出力端OUT1は図示しない冗長救済用アドレス比較回路に接続される。そして、不良メモリセルのアドレス情報が記憶された複数のCAM回路からの出力と、外部から入力されたアドレスとが冗長救済用アドレス比較回路によって比較され、比較結果が一致しない場合には外部から入力されたアドレスに対応するメモリセルへのアクセスが行われ、比較結果が一致した場合には予備のメモリセルへのアクセスが行われる。また、CAM回路には、デバイスコード等のデバイス固有の情報を記憶させることもでき、この場合にはCAM回路の出力端OUT1に図示しないバッファ回路等が接続される。

【0009】

このCAM回路には、メインメモリと同様のフラッシュメモリセルが2個含まれるため、CAM回路の配置場所、ピッチ等のレイアウトは、メインメモリセルのレイアウトによって大きく制約される。

【0010】

図3は、CAM回路の配置場所がメインメモリセルのレイアウトによって制約されることを説明するための図である。図3において、フラッシュメモリのメインメモリセル領域21には、メインメモリを構成するフラッシュメモリセルである多数のフローティングゲート型トランジスタ20がマトリクス状に設けられている。一方向に沿って並んで配置され

10

20

30

40

50

た複数のフローティングゲート型トランジスタ（フラッシュメモリセル）20のそれぞれのコントロールゲートは、ワードライン22または26（22は奇数番目のワードライン、26は偶数番目のワードライン）と接続されている。このワードライン22および26はワードライン電圧制御回路23に接続されている。ワードライン電圧制御回路23によって、フラッシュメモリセル20にデータを書き込むとき、フラッシュメモリセル20からデータを読み出すとき、フラッシュメモリセル20のデータを消去するとき等には、外部から入力されたアドレス情報がデコードされて対応する1本のワードラインが選択され、選択されたワードライン22または26に所定の電圧が供給される。

【0011】

図3において、CAM回路は、メインメモリ領域21に隣接してワードラインに直交する方向に沿った領域24または領域25に配置されている。CAM回路の配置場所はメインメモリセルのレイアウトによって制約されるが、このように、CAM回路とメインメモリ領域21とを隣接させることにより、ワードライン電圧制御回路23を構成するデコーダ部分をメインメモリとCAM回路とによって共有して、チップ面積の増大を抑制することができる。

10

【0012】

図4は、CAM回路のピッチがメインメモリセルのレイアウトによって制約されることを説明するための図であり、CAM回路が図3に示す領域25に配置された場合を示している。なお、ここでは図示していないが、CAM回路30と同じ構成のCAM回路が、ワードライン電圧制御回路23に沿って複数設けられているものとする。

20

【0013】

図4において、CAM回路30を構成するフローティングゲート型トランジスタ（フラッシュメモリセル）2および3のドレインに対してVprgを供給するためのスイッチとなるN型トランジスタ6および7のソースがそれぞれ接続されており、N型トランジスタ6および7のゲートがワードライン31および32にそれぞれ接続されている。このため、複数のCAM回路30の配置間隔（ピッチ）は、ワードライン31および32の間隔によって制約される。

【0014】

例えば、図4に示すように、各CAM回路30が2個のフラッシュメモリセル2および3を有しており、メインメモリ領域21の奇数番目のワードライン22と偶数番目のワードライン26とのうち、相互に隣接する一对の偶数番目のワードライン26、26のそれぞれにワードライン31および32が接続され、一方のワードライン31にCAM回路30を構成するN型トランジスタ6のゲートが接続され、他方のワードライン32にCAM回路30を構成するN型トランジスタ7のゲートが接続されている場合には、CAM回路30の横方向の長さ33は、一对の偶数番目のワードライン26、26が含まれる領域である4xを超えることができない。このように、CAM回路30のワードライン31および32のピッチはメインメモリセルのレイアウトによって制約されるため、複数のCAM回路30の配置間隔もメインメモリセルのレイアウトによって制約される。

30

【0015】

図5に、CAM回路および冗長救済用アドレス比較回路が設けられたCAM領域のレイアウト例を示す。この図5において、CAM領域35には、n個の第1CAM回路30と、m個の第2CAM回路30'と、n個の冗長救済用アドレス比較回路40（以下、比較回路40と称する）とが設けられている。n個の第1CAM回路30のそれぞれはn本の配線50それぞれによって、n個の比較回路40のそれぞれと接続され、m個の第2CAM回路30'のそれぞれはm本の配線51それぞれによって、図示しないバッファ回路等とそれぞれ接続されている。第1CAM回路30には冗長救済が行われる不良メモリセルのアドレス情報がそれぞれ記憶されており、第2CAM回路30'には、例えばデバイスコード等、不良メモリセルのアドレス情報以外のデバイス固有の情報がそれぞれ記憶されている。このように、第1CAM回路30と第2CAM回路30'とに記憶されている情報、接続先は各々異なっているが、第1CAM回路30と第2CAM回路30'とは同じよ

40

50

うにレイアウトされている。

【0016】

上記図5に示すように、隣接するCAM回路30同士のピッチ(配置間隔) p_1 と、隣接する比較回路40同士のピッチ(配置間隔) p_2 とが等しい場合には、直線形状の配線50を用いて対応するCAM回路30と比較回路40とをそれぞれ接続することができるため、無駄の無いレイアウトを行うことができる。

【0017】

図6に、CAM回路および冗長救済用アドレス比較回路が設けられたCAM領域の他のレイアウト例を示す。この図6においては、隣接するCAM回路30同士のピッチ(配置間隔) p_1 と、隣接する比較回路40同士のピッチ(配置間隔) p_2 とが異なっており、 p_1 と p_2 とが $p_2 + W = 2p_1$ の関係を有している。ここで、 W は、配線50の幅である。この場合には、直線形状の配線を用いて対応するCAM回路30と比較回路40とをそれぞれ接続することはできず、配線50を曲げて配線する必要がある。また、CAM回路30'に接続された配線51も曲げて配線する必要がある。このことは、 n と m とが等しい場合でも、 n と m とが異なる場合でも、同様である。

10

【0018】

しかしながら、このようにCAM回路30と比較回路40とを接続する配線50およびCAM回路30'とバッファ回路等を接続する配線51を曲げた場合には、配線長が長くなって配線による負荷が大きくなる。また、各配線間の間隔は、半導体集積回路の製造プロセスによって、予め定められた最小値 P 以上とする必要があるため、図6に示す配線領域62'において、 y 方向のサイズが図5に示す配線領域の y 方向のサイズ L に比べて大きくなり、無駄な面積が増える。その結果、半導体チップの面積が大きくなって、1枚の半導体ウェハ上に作製可能な半導体チップの数が減少し、半導体チップ1個当たりのコストが高くなる。

20

【0019】

このような配線領域の面積増大を防ぐためには、多層配線を用いることが考えられる。多層配線を用いて異なる配線層に配線を形成することにより、配線を重ねて配置することができるため、図6の y 方向において隣接する配線間の間隔を設ける必要がなくなる。このため、配線領域において y 方向のサイズが増大して配線領域の面積が大きくなることを防ぎ、半導体ウェハ上に作製可能な半導体チップ数を増やして半導体チップ1個当たりの製造コストを低廉化することができる。

30

【0020】

【発明が解決しようとする課題】

上述したように、多層配線を用いることによって配線領域の面積を削減することができるが、この場合には以下のような問題がある。

【0021】

隣接する各配線毎に配線層を変えることにより、半導体集積回路の製造工程において、各配線層毎に配線形成用マスクが必要となるため、半導体集積回路の製造コストが高くなる。また、配線層を増やすことにより、製造工程が増えるため、半導体集積回路の製造コストが非常に高くなり、さらに、半導体ウェハ完成までに必要な製造時間も増加する。

40

【0022】

従って、多層配線を用いることによる製造コストの増加を、半導体ウェハ上に作製可能な半導体チップ数の増加による製造コストの低廉化によって吸収することができない場合には、多層配線を用いることの効果が十分に得られない。このことは、半導体チップの面積のほとんどがメモリセル領域によって占められている半導体メモリにおいては、特に顕著に現れる問題である。

【0023】

さらに、CAM領域の面積を削減するために局所的に多層配線を用いた場合でも、半導体チップ全体の面積が増大するおそれがある。CAM領域の周囲には半導体集積回路を構成する他の回路ブロックが存在しており、それらの回路ブロック間を接続するために使用さ

50

れる配線と同じ配線層がCAM領域において使用された場合、他の回路ブロック間を接続するための配線をCAM領域を迂回させて設けるか、またはCAM領域においてさらに別の階層の配線を用いる必要があるからである。

【0024】

他の回路ブロック間を接続するための配線をCAM領域を迂回させて設けた場合には、半導体チップ全体の面積が増大し、半導体ウェハ上に作製可能な半導体チップの数が少なくなるため、半導体チップ1個当たりのコストが高くなる。また、CAM領域においてさらに別の階層の配線を用いた場合には、上述したように配線層毎に配線形成用マスクが必要となり、製造工程も増えるため、半導体集積回路の製造コストが高くなる。

【0025】

以上のような理由から、フラッシュメモリにおいては、CAM領域に含まれる配線領域の面積を、多層配線を用いることなく削減することが求められている。

【0026】

本発明は、このような従来技術の課題を解決するべくなされたものであり、複数の出力回路と複数の入力回路との間を接続するための配線領域の面積を、多層配線を用いることなく削減することができる半導体集積回路を提供することを目的とする。

【0027】

【課題を解決するための手段】

本発明の半導体集積回路は、 n 個の第1出力回路ブロックと m 個の第2出力回路ブロックとは、隣接する出力回路ブロック同士が第1ピッチで等間隔に配置され、 n 個の入力回路ブロックは、該第1出力回路ブロックおよび該第2出力回路ブロックの配置方向と並行に、隣接する入力回路ブロック同士が第2ピッチで等間隔に配置された半導体集積回路において、該第1出力回路ブロックと該第2出力回路ブロックとは、少なくとも一部が互いに隣接して交互に配置され、該第1出力回路ブロックの各々と、各第1出力回路ブロックに対応する入力回路ブロックの各々が、第1配線によって最短配線長形状に接続され、該第2出力回路ブロックに接続された第2配線が、該入力回路ブロック間の間隙を通過して配線されており、そのことにより上記目的が達成される。

【0028】

上記構成によれば、隣接する出力回路ブロック同士のピッチと、隣接する入力回路ブロック同士のピッチとが異なる場合でも、第1出力回路ブロックと第2出力回路ブロックとを互いに隣接して交互に配置させることによって、隣接する第1出力回路ブロック同士のピッチと隣接する入力回路ブロック同士のピッチとを近づけて、第1出力回路ブロックと入力回路ブロックとを、最短配線長である直線形状の第1配線によって接続することができる。これにより、配線を曲げて入出力回路ブロック間を接続する従来技術に比べて、配線長を短くして配線による負荷を小さくすることができ、また、半導体集積回路の製造プロセスによって必要とされる配線間の間隔(最小値 P)により配線領域において y 方向のサイズが大きくなることを防ぐことができる。さらに、第2出力回路ブロックとバッファ回路等の回路ブロックとを接続する第2配線を、入力回路ブロック間の間隙を通過することによって、第1出力回路ブロックと第2出力回路ブロックとが交互に配置されていない従来技術に比べて、半導体集積回路の製造プロセスによって必要とされる配線間の間隔(最小値 P)を設ける必要がなくなり、第2配線の配線領域において x 方向のサイズが大きくなることを防ぐことができる。上記構成により、配線領域の面積を小さくすることができるので、多層配線を用いなくても半導体ウェハ上に作製可能な半導体チップの数を増やすことができる。

【0029】

本発明の半導体集積回路は、前記第1出力回路ブロックと、前記第2出力回路ブロックとは、回路配置構成が等しいものであってもよい。

【0030】

本発明の半導体集積回路は、不良メモリセルを正常な予備のメモリセルに置換するための冗長救済機能を有し、前記第1出力回路ブロックおよび前記第2出力回路ブロックのうち

10

20

30

40

50

、少なくとも第1出力回路ブロックは、不良メモリセルのアドレス情報を記憶する記憶回路であり、前記入力回路ブロックは、該記憶回路に保持されたアドレス情報と、外部から入力されたアドレス情報を比較する比較回路であり、比較結果が一致しない場合には外部から入力されたアドレスに対応するメモリセルへのアクセスが行われ、比較結果が一致した場合には予備のメモリセルへのアクセスが行われるものであってもよい。

【0031】

本発明の半導体集積回路は、前記第2ピッチが、前記第1ピッチの2倍とされていてもよい。

【0032】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面に基づいて説明する。

【0033】

図1に、本実施形態の半導体集積回路におけるCAM回路および冗長救済用アドレス比較回路が設けられているCAM領域のレイアウト例を示す。この図1において、CAM領域35には、n個の第1CAM回路30と、m個の第2CAM回路30'と、n個の冗長救済用アドレス比較回路40（以下、比較回路40と称する）とが設けられている。第1CAM回路30には冗長救済が行われる不良メモリセルのアドレス情報が記憶されており、第2CAM回路30'には、例えばデバイスコード等、不良メモリセルのアドレス情報以外のデバイス固有の情報が記憶されている。

【0034】

n個のCAM回路30とm個のCAM回路30'とは、互いに隣接して交互に、隣接するもの同士がピッチ p_1 で等間隔に配置されている。また、n個の比較回路40は、CAM回路30およびCAM回路30'の配置方向と並行に、隣接する比較回路同士がピッチ $p_2 + W$ で等間隔に配置されている。ここで、Wは配線51の配線幅を示す。なお、この図1では、説明を簡単にするために、 $p_2 + W = 2p_1$ 、 $n = m$ とする。また、第1CAM回路30と第2CAM回路30'とに記憶されている情報、接続先は各々異なっているが、第1CAM回路30と第2CAM回路30'とは同じ回路構成およびレイアウト構成を有しているものとする。

【0035】

n個の第1CAM回路30のそれぞれはn本の配線50それぞれによってn個の比較回路40のそれぞれと接続され、m個の第2CAM回路30'のそれぞれはm本の配線51それぞれによって図示しないバッファ回路等とそれぞれ接続されている。比較回路40は、第1CAM回路30に記憶されている不良メモリセルのアドレス情報と、外部から入力されたアドレス情報とを比較する機能を有する。比較回路40によって第1CAM回路30に記憶されている不良メモリセルのアドレス情報と外部から入力されたアドレス情報とを比較した結果が一致しない場合には、外部から入力されたアドレスに対応するメインメモリセルのワードラインに対して、読み出し、書き込み等を行うために必要な電圧が供給される。一方、比較回路40によって第1CAM回路30に記憶されている不良メモリセルのアドレス情報と外部から入力されたアドレス情報とを比較した結果が一致した場合には、外部から入力されたアドレスに対応する予備（冗長）のメモリセルのワードラインに対して、読み出し、書き込み等を行うために必要な電圧が供給される。このように、比較回路40によって第1CAM回路30に記憶されている不良メモリセルのアドレス情報と外部から入力されたアドレス情報とを比較する処理が完了されないと、メモリセルからのデータの読み出し、書き込み等を行うことができないため、比較回路40はワードライン電圧制御回路23の近くに配置されていることが望ましい。これに対して、CAM回路30'は、不良メモリセルのアドレス情報が記憶されていないため、このCAM回路30'に接続される図示しないバッファ回路等には、比較回路40のような厳しい配置の制約はなく、バッファ回路等は比較的離れた位置に配置されていてもよい。

【0036】

本実施形態においては、図1に示すように、フラッシュメモリセルの冗長救済を行うため

10

20

30

40

50

のアドレス情報が記憶され、その出力が比較回路40に接続される第1CAM回路30と、その他のデバイス固有の情報が記憶されている第2CAM回路30'とが、互いに隣接して交互に配置されている。このように、第1CAM回路30と第2CAM回路30'とが隣接して交互に配置されることによって、隣接する第1CAM回路30同士のピッチと隣接する比較回路40同士のピッチとを近づけて、両者を直線形状の配線50によって接続させることができる。また、第2CAM回路30'とバッファ回路等とを接続する配線51を、比較回路40間の間隙を通して配線させることができ、隣接する配線間の間隔を別に設ける必要がない。

【0037】

本実施形態によるCAM領域の面積削減効果について、図6に示す従来例と比較して説明する。図1および図6から分かるように、図1において第1CAM回路30および第2CAM回路30'が互いに隣接して交互に配置されている領域60の面積と、図6において第1CAM回路30および第2CAM回路30'が別々に配置されている領域60'の面積とは、CAM回路30および30'のx方向のサイズ x_1 と、y方向のサイズ y_1 と、CAM回路30および30'の個数 n および m とによって決定されるため、両領域60および60'の面積は等しくなっている。

10

【0038】

次に、半導体製造プロセスによって決定される、隣接する配線間の間隔の最小値を P として、図6に示す領域61'内の配線51が間隔 P で配置されているものとする。図6に示す配線51および図1に示す配線51の配線幅を W とし、比較回路40のy方向のサイズを y_2 とし、隣接する比較回路40同士のピッチを p_2 とすると、図1に示す領域61の面積は $S_{61} = y_2(n p_2 + m W)$ となり、図6に示す領域61'の面積は $S_{61'} = y_2(n p_2 + m P)$ となる。ここで、 W 、 P とも正の数であり、 $P > W$ であるので、 $S_{61} < S_{61'}$ となり、図1に示す領域61の方が、図6に示す領域61'に比べて、図6において隣接する配線51間の間隔 P による面積分だけ面積が小さくなっている。

20

【0039】

次に、図6に示す配線領域62'においては、図1に示す配線領域62に比べてy方向に配線間の間隔 P が必要になるので、図1に示す領域62に示す方が図6の領域62'に比べて面積が小さくなっている。

【0040】

以上のことから、本実施形態のように第1CAM回路30と第2CAM回路30'とを互いに隣接して交互に配置させることによって、CAM領域の面積を削減することができる。

30

【0041】

なお、上記実施形態では、 n と m とが等しい場合について説明したが、 n と m とが異なる場合でも、同様の効果が得られる。 n と m とが異なる場合には、第1CAM回路30と第2CAM回路30'とを同じ個数分だけ互いに隣接させて交互に配置し、残った第1または第2CAM回路をまとめて配置することができる。

【0042】

以上のように、本実施形態によれば、第1CAM回路30および第2CAM回路30'の隣接するもの同士のピッチ(間隔) p_1 と隣接する比較回路40同士のピッチ p_2 とが異なり、 $p_2 + W = 2 p_1$ の関係であるにも関わらず、第1CAM回路30と比較回路40とを接続する配線50および第2CAM回路30'とバッファ回路等とを接続する配線51に必要とされる配線領域の面積を小さくすることができる。また、本実施形態によれば、第1CAM回路30に接続される配線50および第2CAM回路30'に接続される配線51の配線間隔(ピッチ)が p_1 となり、半導体製造プロセスによって決定される配線間隔の最小値 P よりも大きいため、配線間隔をそれ以上広げる必要がなく、同一階層の配線によって配線50と配線51とを作製することができる。

40

【0043】

なお、上記実施形態では、出力回路ブロックとしてCAM回路を用い、入力回路ブロック

50

として比較回路を用いた場合について説明を行ったが、本発明はこれに限定されるものではなく、一般的な出力回路ブロックと入力回路ブロックとが配線によって接続された半導体集積回路に広く適用することができる。

【 0 0 4 4 】

【発明の効果】

以上詳述したように、本発明によれば、隣接するCAM回路同士のピッチと、隣接する比較回路同士のピッチとが異なる場合でも、比較回路に接続される第1CAM回路とバッファ回路等に接続される第2CAM回路とを互いに隣接して交互に配置させることによって、第1CAM回路と比較回路とを直線形状の配線によって接続することができる。従って、配線を曲げて回路ブロック間を接続する従来技術に比べて、配線長を短くして配線による負荷を小さくすることができ、また、半導体集積回路のy方向のサイズが大きくなるのを防ぐことができる。また、第2CAM回路とバッファ回路等とを接続する配線を、比較回路間の間隙を通すことにより、第1CAM回路と第2CAM回路とが交互に配置されていない従来技術に比べて、半導体集積回路のx方向のサイズが大きくなるのを防ぐことができる。従って、多層配線を用いなくても、配線のために必要とされる領域の面積を削減して、製造コストの増加および製造期間の増加を防ぐことができる。

10

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路におけるCAM領域の配置例を示すレイアウト図である。

【図2】一般的なCAM回路の構成を説明するための回路図である。

20

【図3】CAM回路の配置位置を示す回路図である。

【図4】CAM回路の配置間隔がメインメモリセルの配置によって制限されることを説明するための回路図である。

【図5】従来の半導体集積回路におけるCAM領域の配置例を示すレイアウト図である。

【図6】従来の半導体集積回路におけるCAM領域の他の配置例を示すレイアウト図である。

【符号の説明】

2、3 フローティングゲート型のトランジスタ

4、5、6、7 N型トランジスタ

8、9 P型トランジスタ

30

10、11 バイアス電圧発生回路

20 フラッシュメモリ(フローティングゲート型のトランジスタ)

21 メインメモリセル領域

22、26 ワードライン

23 ワードライン電圧制御回路

24、25 CAM回路が配置される領域

30、30' CAM回路

31、32 ワードライン

33 CAM回路の横方向のサイズ

35 CAM領域

40

40 比較回路

50 CAM回路と比較回路とを接続する配線

51 CAM回路とバッファ回路等とを接続する配線

60、60' CAM回路の配置領域

61、61' 比較回路の配置領域

62、62' 配線領域

Vprg プログラム電圧

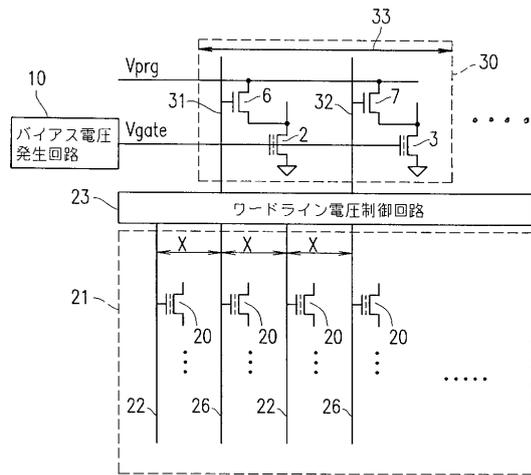
Vgate バイアス電圧

PRG1、PRG2 プログラム信号

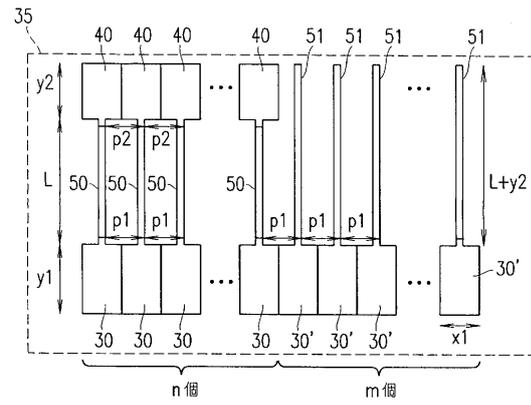
OUT1 出力

50

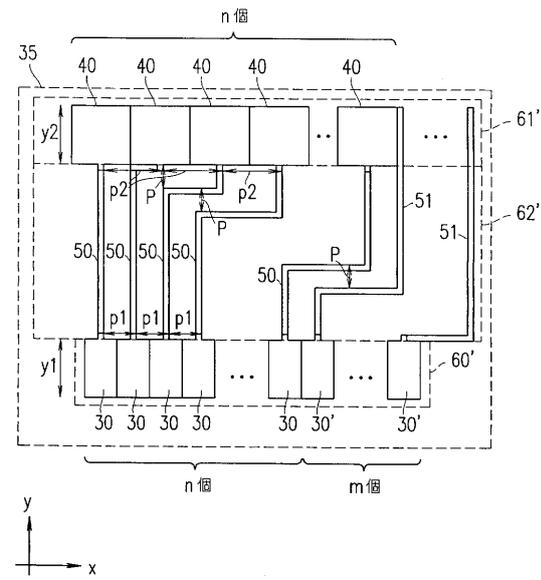
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

審査官 小松 正

(56)参考文献 特開平04 - 127556 (JP, A)
特開平11 - 353894 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 29/00
H01L 27/04