

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/4096 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월04일 10-0567065 2006년03월27일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0029605 2004년04월28일	(65) 공개번호 (43) 공개일자	10-2005-0104235 2005년11월02일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이창혁
 경기도이천시부발읍(주)하이닉스반도체

(74) 대리인 강성배

심사관 : 고재현

(54) 메모리 장치용 입력 회로

요약

본 발명은 메모리 장치용 입력 회로에 관한 것으로, 특히 데이터 버퍼를 통과한 데이터의 전달 경로를 결정하는 입력 멀티플렉서의 동작을 제어하여 데이터 처리 속도를 개선시킨 메모리 장치용 입력 회로에 관한 것이다.

본 발명은 입력 멀티플렉서와 데이터 버스 라이터의 동작을 개별적으로 제어하여 제어하여 동작 속도를 개선시키며, 입력 멀티플렉서는 데이터 버퍼로부터 출력되는 데이터를 수신하여 그 전달 경로를 결정한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래 메모리 장치의 데이터 입력 회로를 도시한다.

도 2는 도 1의 회로 동작을 설명하는 파형도이다.

도 3은 본 발명에 따른 데이터 입력 회로의 블록도이다.

도 4는 도 3의 입력 멀티플렉서의 일예이다.

도 5는 도 3, 4에 도시된 본 발명 회로의 동작을 설명하는 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리 장치용 입력 회로에 관한 것으로, 특히 데이터 버퍼를 통과한 데이터의 전달 경로를 결정하는 입력 멀티플렉서의 동작을 제어하여 데이터 처리 속도를 개선시킨 메모리 장치용 입력 회로에 관한 것이다.

도 1은 종래 메모리 장치의 데이터 입력 회로를 도시한다. 참고로, 본 명세서에서 언급되는 메모리 장치는 DDR SDRAM 과 차세대 메모리 장치인 DDR2 SDRAM 등을 의미한다.

도시된 바와같이, 종래의 데이터 입력 장치는 데이터 버퍼(101, 102)와, 입력 멀티플렉서(103)와, 데이터 버스 라이터(Data Bus writer: 105, 106)와, 블록 라이터(107, 108)와, 데이터 버스 라이터(105, 106)의 동작을 제어하는 입력 선택 신호 발생회로(104)를 구비한다.

설명의 편의상, 도 1에는 2 개의 데이터 버퍼(101, 102)만을 도시하였지만, X16 인 경우 데이터 버퍼는 16개이다. 따라서, 도시된 데이터 버퍼(101, 102)이외에 14 개의 데이터 버퍼가 더 존재함을 인식하고 있어야 한다.

각 구성 요소의 기본 동작은 다음과 같다.

제어 신호(Din clk)에 의하여 제어되는 데이터 버퍼(101, 102)는 각각 대응하는 데이터(D0, D1)를 수신하여 데이터(D0_1, D1_1)를 출력한다. 여기서, 제어 신호(Din clk)는 라이트 커맨드 후 BL/2 의 횡수만큼 발생하는 신호로, 첫번째 DQS 신호의 라이징 에지에 동기되어 생성되는 신호를 나타낸다.

입력 멀티플렉서(103)는 데이터(D0_1, D1_1)의 전달 경로를 결정하는 회로이다. 데이터의 전달 경로를 결정하여야 하는 이유는 데이터가 X16 인 메모리 장치에 X8 데이터를 사용하는 경우가 있기 때문이다.

예컨대, 메모리 장치의 데이터 핀이 X16 으로 설정되어 있는 경우, 16 비트의 데이터가 인가된다고 가정하자. 이 경우, 데이터(D0_1)는 실선 라인을 따라 데이터 버스 라이터(105)로 전달되고, 데이터(D1_1)는 실선 라인을 따라 데이터 버스 라이터(106)로 전달된다. 나머지 도시되지 않은 데이터(D2_1, ..., D15_1)도 동일하다.

그러나, 메모리 장치의 데이터 핀이 X16 으로 설정되어 있는 상태에서, 8 비트의 데이터가 인가된다고 가정하자. 이 경우, 8 개의 데이터 버퍼는 불필요하게 된다. 또한, 데이터 버퍼를 통과하더라도 입력 멀티플렉서에 의하여 어느 쪽 데이터 버스 라이터로 전달될 지 결정되어야 한다. 예컨대, 데이터 버퍼(101)를 통과한 데이터(D0_1)는 입력 멀티플렉서(103)에 의하여 2 개의 데이터 버스 라이터(105, 106)중의 하나로 전달된다. 입력 멀티플렉서(103)는 이처럼 데이터가 규정치보다 작은 비트로 인가되는 경우에 데이터 전달경로를 결정하는 기능을 갖는다.

데이터 버스 라이터(105, 106)는 입력 멀티플렉서(103)로부터 전달된 데이터를 글로벌 입력 라인(gio0, gio1)으로 전달한다. X16 동작인 경우, 데이터 버스 라이터는 입력 멀티플렉서로부터 출력되는 데이터를 그대로 글로벌 입출력 라인으로 전달한다. 반면에, X8 동작인 경우, 데이터가 입력되지 않는 데이터 버스 라이터의 출력 단자를 초기 상태 또는 프리차지 상태로 유지한다.

블록 라이터(107, 108)는 로컬 입력 라인(lio0, lio1)을 통하여 데이터를 메모리 블록으로 전달한다. 여기서, 블록은 메모리 뱅크내에서 세분화되어진 영역을 의미한다(즉, 메모리 뱅크는 복수개의 블록으로 구성된다).

입력 선택신호 발생회로(104)는 2-클락 쉬프트된 블록 컬럼 어드레스(2 clock shifted block column address)와 제어 신호(clk Din)를 수신하여 데이터 버스 라이터(105, 106)의 동작을 제어하는 신호를 출력한다. 여기서, 2-클락 쉬프트된 블록 컬럼 어드레스는 도 2에서 도시된 바와같이, 라이트 커맨드에 의하여 입력되는 컬럼 어드레스보다 2 클락 지연되어 발생하는 신호로서, 메모리 뱅크의 특정 블록을 선택하는 어드레스이다. 제어 신호(clk Din)는 라이트 커맨드 후 2 클락 지연된 후 BL/2 횡수만큼 발생하는 클락 신호이다. 즉, 도 2에서 알 수 있듯이, 제어 신호(clk Din)는 t3 시점의 클락(clk)의 라이징 에지에 동기되어 발생하는 클락신호이다.

도 2 는 도 1 의 회로 동작을 설명하는 파형도이다.

도 2에서, clk 는 메모리 장치에 인가되는 클락신호를 나타내고, 제어 신호(Din clk)는 데이터 버퍼(101, 102)를 제어하는 신호이다. 데이터(DO_2)는 입력 멀티플렉서(103)로부터 출력된 데이터를 나타낸다. 제어 신호(clk Din)는 라이트 커맨드 후 2 클락 지연된 후 발생하는 클락 신호이다. 2-클락 쉬프트된 블록 컬럼 어드레스는 라이트 커맨드 입력과 동일 크락에 동기되어 입력되는 컬럼 어드레스보다 2 클락 지연되어 발생하는 신호이다.

동작에 있어서, 입력 선택신호 발생회로(104)는 2-클락 쉬프트된 블록 컬럼 어드레스와 제어신호(clk Din)가 모두 하이 레벨인 경우에 데이터 버스 라이터(105, 106)을 인에이블시킨다.

그런데, 종래의 경우, 2-클락 쉬프트된 블록 컬럼 어드레스가 발생된 후, 일정 시간이 흐른 후에 제어 신호(clk Din)가 생성되었다. 즉, 2-클락 쉬프트된 블록 컬럼 어드레스가 발생된 후, 일정한 시간 마야진 후에, 제어 신호(clk Din)가 생성되었다. 이러한 이유로 인하여 종래의 경우, 데이터 버스 라이터의 구동시간이 상기 시간 마야진 만큼 늦어진다는 문제점이 있었다. 이는 데이터 전달 속도의 저하를 초래하였다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, 데이터 버스 라이터의 동작 시점을 빠르게 하여 데이터 처리 속도를 개선한 입력 회로를 제공한다.

또한, 본 발명은 종래의 입력선택회로 발생회로에서 수행하던 입력 선택회로의 기능을 입력 멀티플렉서에 구현한 입력 회로를 제공한다.

또한, 본 발명은 라이트 커맨드시 입력된 블록 컬럼 어드레스를 1 클락 쉬프트 시켜 사용함으로써 데이터 처리 속도를 개선한 입력 회로를 제공한다.

발명의 구성 및 작용

본 발명에 따른 메모리 장치용 입력 회로는

외부로부터 인가되는 데이터를 수신하는 2N 개의 데이터 버퍼와,

N개의 입력 멀티플렉서와,

2N개의 데이터 버스 라이터를 구비하며,

상기 2N개의 데이터 버퍼중에서 한쌍의 데이터 버퍼 각각은 상기 N개의 입력 멀티플렉서중의 하나와 각각 연결되며,

상기 N 개의 입력 멀티플렉서중에서 각 입력 멀티플렉서는 상기 2N 개의 데이터 버스 라이터중에서 한쌍의 데이터 버스 라이터 각각과 연결되며,

상기 2N개의 데이터 버퍼중 임의의 한쌍의 i, i+1 번째 데이터 버퍼(i는 홀수)와 그에 대응하는 k 번째 입력 멀티플렉서와 상기 k 입력 멀티플렉서에 대응하는 i, i+1 번째 데이터 버스 라이터에 있어서,

(a) 상기 i, i+1 번째 데이터 버퍼 각각으로부터 제 1 데이터와 제 2 데이터가 출력되는 경우, 상기 k 번째 입력 멀티플렉서는 상기 제 1 데이터를 상기 i 번째 데이터 버스 라이터로 전달하고 상기 제 2 데이터를 상기 i+1 번째 데이터 버스 라이터로 전달하고,

(b)상기 i, i+1 번째 데이터 버퍼중 하나의 데이터 버퍼에서만 제 3 데이터가 출력되는 경우, 상기 k 번째 입력 멀티플렉서는 상기 제 3 데이터를 상기 i 번째 데이터 버스 라이터와 상기 i+1 번째 데이터 버스 라이터중의 하나에 선택적으로 전달하며, 상기 k 번째 입력 멀티플렉서의 동작은 라이트 커맨드에 의하여 입력되는 컬럼 어드레스보다 1 클락 지연되어 발생하는 블록 컬럼 어드레스에 의하여 상기 제 3 데이터의 전달 경로가 결정된다.

본 발명에서, DDR SDRAM의 경우, 데이터는 DQS 신호의 라이징 및 폴링 에지에 동기되어 하나씩 인가된다. 따라서, 본 발명에서 설명된 2N 개의 버퍼는 DQS 신호의 라이징 에지에 동기된 데이터를 수신하는 버퍼일 수 있고, 또는 DQS 신호의 폴링 에지에 동기된 데이터를 수신하는 버퍼일 수 있다.

(실시예)

이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.

도 3은 본 발명에 따른 데이터 입력 회로의 블록도이다. 참고로, 이하에서는 데이터 버퍼가 16 개인 X16을 기준으로 설명한다.

본 발명에 따른 데이터 입력 장치는 데이터 버퍼(301, 302)와, 입력 멀티플렉서(303)와, 데이터 버스 라이터(305, 306)와, 블록 라이터(307, 308)를 구비한다. 설명의 편의상, 도 3에는 2 개의 데이터 버퍼(301, 302)만을 도시하였지만, X16인 경우이므로 데이터 버퍼(101, 102)이외에 14 개의 데이터 버퍼(미도시)가 더 존재함을 인식하고 있어야 한다. 이들 미도시된 데이터 버퍼들의 기본적인 구조는 도 3과 동일하다.

또한, 도 3의 데이터 버퍼(301, 302)와, 블록 라이터(307, 308)의 기본 구성은 실질적으로 도 1의 데이터 버퍼(101, 102)와, 블록 라이터(107, 108)와 동일하다.

도 3의 입력 장치의 동작은 다음과 같다.

먼저, X16 동작인 경우, 각 데이터 버퍼에 인가된 데이터는 입력 멀티플렉서의 실선 라인을 따라 데이터 버스 라이터에 인가된 후, 제어 신호(clk Din)에 의하여 블록 라이터에 인가된다. 따라서, 기본적인 데이터의 전달 경로는 도 1의 경우와 동일하다.

다음은 X8 동작을 설명한다. 이 경우, 데이터 버퍼(301)에는 데이터가 인가되고, 데이터 버퍼(302)에는 데이터가 인가되지 않는다고 가정한다.

제 1 케이스: 데이터 버퍼(301)로부터 출력된 데이터(D0_1)는 입력 멀티플렉서(303)에 의하여 a 경로를 통하여 데이터 버스 라이터(305)에 인가될 수 있다. 이 경우, 데이터가 전달되지 않는 출력단의 데이터(D1_2)는 이전 상태를 유지한다.

제 2 케이스: 데이터 버퍼(301)로부터 출력된 데이터(D0_1)는 입력 멀티플렉서(303)에 의하여 b 경로를 통하여 데이터 버스 라이터(306)에 인가될 수 있다. 이 경우, 데이터가 전달되지 않는 출력단의 데이터(D0_2)는 이전 상태를 유지한다.

데이터 버스 라이터(305, 306)는 데이터(D0_2, D1_2)를 각각 수신하며, 제어 신호(clk Din)에 의하여 동작이 제어된다. 제어 신호(clk Din)는 라이트 커맨드 후, 2 클락후의 클락신호에 동기되어 발생하는 신호이다.

도 4는 도 3의 입력 멀티플렉서의 일예이다.

도 4에서, 입력 멀티플렉서는 복수개의 스위치(SW41, SW42, SW43, SW44, SW45)와 래치(L41, L42, L43, L44)를 구비한다. 도 4에서, 제어신호(X16)은 인가되는 데이터가 16 비트인 경우에 하이 레벨을 나타내는 신호이고, 제어신호(X8)은 인가되는 데이터가 8 비트인 경우에 하이 레벨을 나타내는 신호이다. 그리고, 제어신호(Yb)는 1 클락 쉬프트된 블록 컬럼 어드레스를 나타낸다. 여기서, 1 클락 쉬프트된 블록 컬럼 어드레스(Yb)는 도 5에서 도시된 바와같이, 라이트 커맨드에 의하여 입력되는 컬럼 어드레스보다 1 클락 지연되어 발생하는 신호로서, 메모리 뱅크의 특정 블록을 선택하는 어드레스이다.

도 4의 입력 멀티플렉서는 제 1 제어신호(X16)를 수신하는 제 1 인버터(INV42)와, 제 2 제어신호(Yb)를 수신하는 제 2 인버터(INV41)와, 제 1 인버터(INV42)의 출력신호와 상기 제 2 제어신호(Yb)를 수신하는 제 1 낸드 게이트(NAND42)와, 제 1 인버터(INV42)의 출력신호와 상기 제 2 인버터(INV41)의 출력신호를 수신하는 제 2 낸드 게이트(NAND41)와, 데이터 버퍼(301)의 출력단을 제 1 래치(L41)와 연결하는 제 1 스위치(SW41)와, 상기 제 1 낸드 게이트(NAND42)의 출력신호에 의하여 제어되며 상기 제 1 래치(L41)와 제 2 래치(L42)를 연결하는 제 2 스위치(SW42)와, 제 3 제어신호(X8)에 의하여 턴온/오프가 제어되며 데이터 버퍼(301)의 출력단을 제 1 노드(N3)와 연결하는 제 3 스위치(SW43)와, 상기 제 1 제

어신호에 의하여 턴온/오프가 제어되며, 데이터 버퍼(302)의 출력단과 상기 제 1 노드를 연결하는 제 4 스위치(SW44)와, 상기 제 1 노드의 데이터를 래치하기 위한 제 3 래치(L43)와, 상기 제 2 낸드 게이트의 출력신호에 의하여 턴온오프가 제어되며 상기 제 3 래치와 제 4 래치(L44)를 연결하는 제 5 스위치(SW45)를 구비한다.

도 4에서, 제 1 스위치는 항상 턴온 상태이며, 제 2 제어신호는 블록 컬럼 어드레스이다.

X16 동작의 경우, 상기 제 1 제어신호는 하이 레벨이고, 상기 제 3 제어신호는 로우 레벨이며, 데이터 버퍼(301, 302)에 각각 데이터가 입력된다.

반면에, X8 동작의 경우, 상기 제 1 제어신호는 로우 레벨이고, 상기 제 3 제어신호는 하이 레벨이며, 데이터 버퍼(301, 302)중 하나의 데이터 버퍼에미나 데이터가 입력된다.

도 4의 회로 동작을 보다 구체적으로 설명하면 다음과 같다.

먼저, X16 이 하이 레벨인 경우를 설명한다(이 경우, X8은 로우 레벨이다). 이 경우, Yb 신호와 무관하게 낸드 게이트 (NAND42)의 출력은 하이 레벨이므로 스위치(SW42)가 턴온된다. 또한, 노드(aa)가 하이 레벨이므로 스위치(SW45)가 턴 온된다.

결과적으로, 데이터(D0_1)는 스위치(SW41)와 래치(L41)와 스위치(SW42)과 래치(L42)를 거쳐 출력단(D0_2)으로 전달 된다.

다음, X8 이 하이 레벨인 경우를 설명한다(이 경우, X16은 로우 레벨이다). 이 경우는 Yb 의 논리 레벨에 따라서 데이터의 전달 경로가 결정된다.

먼저, Yb 가 하이 레벨이 경우, 스위치(SW42)는 턴오프된다. 그리고 노드(aa)는 하이 레벨이므로 스위치(SW45)는 턴온된다. 따라서, 데이터(D0_1)는 스위치(SW43)와 래치(L43)와 스위치(SW45)와 래치(L45)를 거쳐 출력단(D1_2)으로 전달된다. 출력단(D0_2)는 이전 상태를 유지한다. 즉, 래치(L42)에 저장되어 있던 데이터를 유지한다.

다음, Yb 가 로우 레벨이 경우, 스위치(SW42)는 턴온된다. 그리고 노드(aa)는 로우 레벨이므로 스위치(SW45)는 턴오프된다. 따라서, 데이터(D0_1)는 스위치(SW41)와 래치(L41)와 스위치(SW42)와 래치(L42)를 거쳐 출력단(D0_2)으로 전달된다. 출력단(D1_2)는 이전 상태를 유지한다. 즉, 래치(L44)에 저장되어 있던 데이터를 유지한다.

도 5는 도 3, 4에 도시된 본 발명 회로의 동작을 설명하는 파형도이다.

도3, 4, 5에서 알 수 있듯이, X8의 경우, 입력 멀티플렉서에서 1 클락 쉬프트된 블록 컬럼 어드레스(Yb)를 이용하여 데이터를 전달하며, 데이터 버스 라이터는 제어 신호(clk Din)에 의하여 데이터(D0_2, D1_2)를 글로벌 입력라인(gio0, gio1)으로 전달한다.

도 1, 2에서 설명한 종래의 회로와 비교하여 보면, 종래의 경우, 2 클락 쉬프트된 블록 컬럼 어드레스가 생성된 후 제어 신호(clk Din)가 생성되기까지는 일정한 시간 마야진이 필요하였다.

그러나, 본 발명에서는 1 클락 쉬프트된 블록 컬럼 어드레스를 입력 멀티플렉서에서 구현함으로써, 데이터 버스 라이터를 제어하는 제어신호(clk Din)의 생성 시점을 종래의 경우보다 빠르게 설정할 수 있게 되었다. 즉, 1 클락 쉬프트된 블록 컬럼 어드레스부터 일정 시간후에 제어 신호(clk Din)가 생성되어야 하는 제약을 받지 않게 되었다. 이는 입력 경로 선택 기능(X8인 경우 Yb의 논리 레벨에 따른 데이터 전달 경로 결정 기능)과 제어 신호(clk Din)의 기능을 독립적으로 수행하기 때문이다.

지금까지, 본 발명은 X8과 X16인 경우에 대하여 설명하였지만, 본 발명의 기술적 사상은 X4, X8, X16, X32 등 다양한 경우까지 적용 가능할 것이다.

발명의 효과

이상에서 알 수 있는 바와같이, 본 발명은 특히 X8 옵션인 경우, 라이트 타이밍을 개선할 수 있음을 알 수 있다.

(57) 청구의 범위

청구항 1.

메모리 장치용 입력 회로에 있어서,

외부로부터 인가되는 데이터를 수신하는 2N 개의 데이터 버퍼와,

N개의 입력 멀티플렉서와,

2N개의 데이터 버스 라이터를 구비하며,

상기 2N개의 데이터 버퍼중에서 한쌍의 데이터 버퍼 각각은 상기 N개의 입력 멀티플렉서중의 하나와 각각 연결되며,

상기 N 개의 입력 멀티플렉서중에서 각 입력 멀티플렉서는 상기 2N 개의 데이터 버스 라이터중에서 한쌍의 데이터 버스 라이터 각각과 연결되며,

상기 2N개의 데이터 버퍼중 임의의 한쌍의 $i, i + 1$ 번째 데이터 버퍼(i 는 홀수)와 그에 대응하는 k 번째 입력 멀티플렉서와 상기 k 입력 멀티플렉서에 대응하는 $i, i + 1$ 번째 데이터 버스 라이터에 있어서,

(a) 상기 $i, i + 1$ 번째 데이터 버퍼 각각으로부터 제 1 데이터와 제 2 데이터가 출력되는 경우, 상기 k 번째 입력 멀티플렉서는 상기 제 1 데이터를 상기 i 번째 데이터 버스 라이터로 전달하고 상기 제 2 데이터를 상기 $i + 1$ 번째 데이터 버스 라이터로 전달하고,

(b)상기 $i, i + 1$ 번째 데이터 버퍼중 하나의 데이터 버퍼에서만 제 3 데이터가 출력되는 경우, 상기 k 번째 입력 멀티플렉서는 상기 제 3 데이터를 상기 i 번째 데이터 버스 라이터와 상기 $i + 1$ 번째 데이터 버스 라이터중의 하나에 선택적으로 전달하며, 상기 k 번째 입력 멀티플렉서의 동작은 라이트 커맨드에 의하여 입력되는 컬럼 어드레스보다 1 클락 지연되어 발생하는 블록 컬럼 어드레스에 의하여 상기 제 3 데이터의 전달 경로가 결정되는 것을 특징으로 하는 메모리 장치용 입력 회로.

청구항 2.

제 1 항에 있어서, 상기 (b)의 경우, 상기 입력 멀티플렉서의 출력단자중에서 상기 제 3 데이터가 전달되지 않는 출력단자는 이전 상태를 유지하는 것을 특징으로 하는 메모리 장치용 입력 회로.

청구항 3.

제 1 항에 있어서, 상기 데이터 버스 라이터의 동작은 라이트 커맨드 후, 2 클락후의 클락신호에 동기되어 발생하는 제어 신호에 의하여 제어되는 것을 특징으로 하는 메모리 장치용 입력 회로.

청구항 4.

제 1 항에 있어서,

상기 k 번째 입력 멀티플렉서는

제 1 제어신호(X16)를 수신하는 제 1 인버터(INV42)와,

제 2 제어신호(Yb)를 수신하는 제 2 인버터(INV41)와,

상기 제 1 인버터(INV42)의 출력신호와 상기 제 2 제어신호(Yb)를 수신하는 제 1 낸드 게이트(NAND42)와,

상기 제 1 인버터(INV42)의 출력신호와 상기 제 2 인버터(INV41)의 출력신호를 수신하는 제 2 낸드 게이트(NAND41)와,

상기 i 번째 데이터 버퍼의 출력단을 제 1 래치(L41)와 연결하는 제 1 스위치(SW41)와,

상기 제 1 낸드 게이트(NAND42)의 출력 신호에 의하여 제어되며, 상기 제 1 래치(L41)와 제 2 래치(L42)를 연결하는 제 2 스위치(SW42)와,

제 3 제어신호에 의하여 턴온/오프가 제어되며, 상기 i 번째 데이터 버퍼의 출력단을 제 1 노드(N3)와 연결하는 제 3 스위치(SW43)와,

상기 제 1 제어신호에 의하여 턴온/오프가 제어되며, 상기 i+1 번째 데이터 버퍼의 출력단과 상기 제 1 노드를 연결하는 제 4 스위치(SW44)와,

상기 제 1 노드의 데이터를 래치하기 위한 제 3 래치(L43)와,

상기 제 2 낸드 게이트의 출력신호에 의하여 턴온오프가 제어되며, 상기 제 3 래치와 제 4 래치(L44)를 연결하는 제 5 스위치(SW45)를 구비하며,

상기 제 1 스위치는 항상 턴온 상태이며,

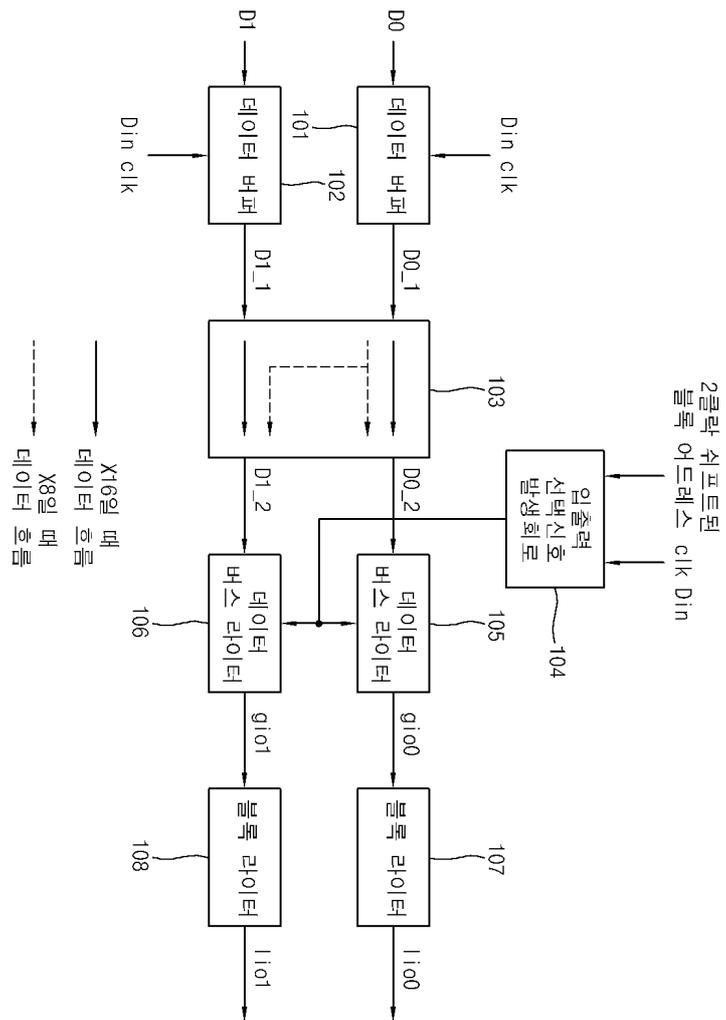
상기 제 2 제어신호는 상기 블록 컬럼 어드레스이고,

상기 i, i+1 번째 데이터 버퍼에 각각 데이터가 입력되는 경우, 상기 제 1 제어신호는 하이 레벨로 인에이블되고, 상기 제 3 제어신호는 로우 레벨로 디스에이블되고,

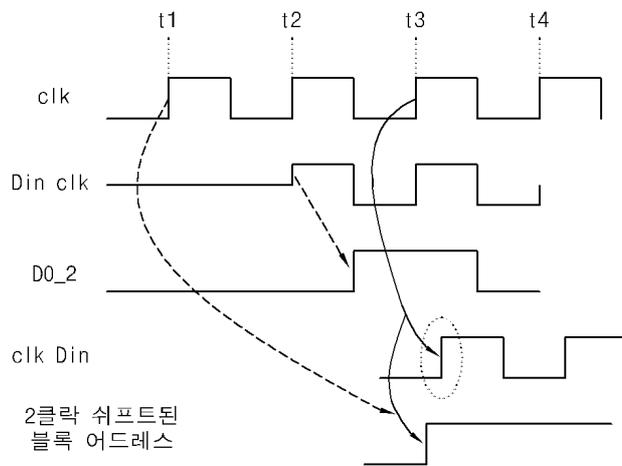
상기 i, i+1 번째 데이터 버퍼중 하나의 데이터 버퍼에만 데이터가 입력되는 경우, 상기 제 1 제어신호는 로우 레벨로 디스에이블되고, 상기 제 3 제어신호는 하이 레벨로 인에이블되고, 상기 제 2 신호의 논리 레벨에 따라서 상기 데이터 전달 경로가 결정되는 것을 특징으로 하는 메모리 장치용 입력 장치.

도면

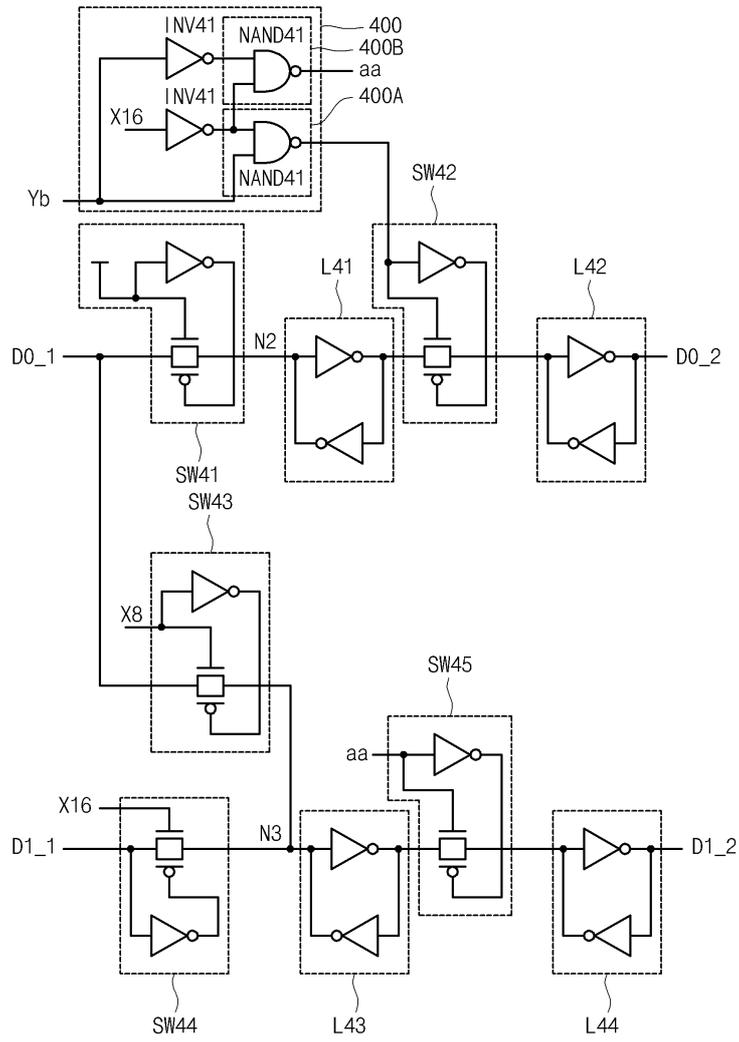
도면1



도면2



도면4



도면5

