

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年12月5日(05.12.2013)



(10) 国際公開番号
WO 2013/180297 A2

- (51) 国際特許分類:
H02M 3/155 (2006.01) H02M 7/12 (2006.01)
- (21) 国際出願番号: PCT/JP2013/065286
- (22) 国際出願日: 2013年5月31日(31.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-125428 2012年5月31日(31.05.2012) JP
- (71) 出願人: 国立大学法人長崎大学(NAGASAKI UNIVERSITY) [JP/JP]; 〒8528521 長崎県長崎市文教町1番14号 Nagasaki (JP). パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 黒川 不二雄(KUROKAWA Fujio); 〒8528521 長崎県長崎市文教町1番14号国立大学法人長崎大学内 Nagasaki (JP). 大西 雅人

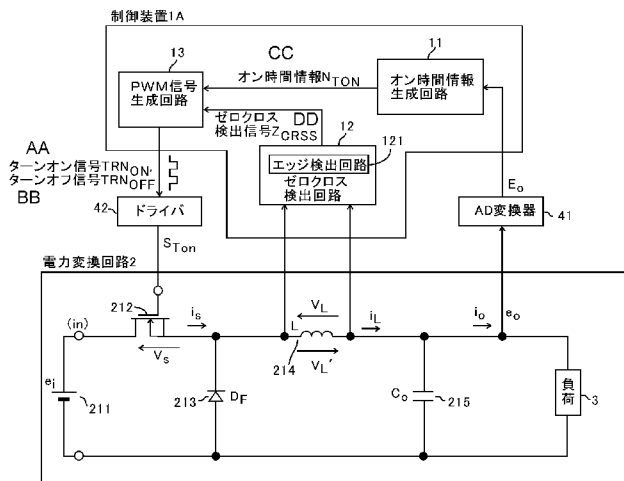
(OHNISHI Masahito); 〒5718501 大阪府門真市大字門真1006番地 パナソニック株式会社内 Osaka (JP).

- (74) 代理人: 久保田千賀志(KUBOTA Chikashi); 〒1070052 東京都港区赤坂7-5-34インペリアル赤坂フォーラム301号室 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: CONTROL DEVICE FOR POWER CONVERSION CIRCUIT

(54) 発明の名称: 電力変換回路の制御装置



- 1A Control device
- 2 Power conversion circuit
- 3 Load
- 11 On-duration information generator circuit
- 12 Zero crossing detector circuit
- 13 PWM signal generator circuit
- 41 AD converter
- 42 Driver
- 121 Edge detector circuit
- AA Turn-on signal
- BB Turn-off signal
- CC On-duration information
- DD Zero crossing detection signal

(57) Abstract: The present invention is equipped with: an on-duration information generator circuit (11) which inputs power conversion information comprising at least the output voltage value of a power conversion circuit (2), and which generates on-duration information of a switch (212); a zero crossing detector circuit (12) which inputs the terminal voltage of an inductor (214), detects when the inductor current reaches zero, and generates a zero crossing detection signal when the current has reached zero; and a PWM signal generator circuit (13) which inputs the on-duration information and the zero crossing detection signal, and generates a turn-on signal and a turn-off signal. The zero crossing detector circuit (12) has an edge detector circuit, said edge detector circuit generating a zero crossing detection signal upon detection of an edge appearing in the terminal voltage of the inductor (214). The PWM signal generator circuit (13) generates a turn-on signal when a zero crossing detection signal has been input, and generates a turn-off signal after the duration based on the on-duration information has passed. Thus, variations in the inductor current can be accurately acquired, and good critical mode control can be carried out.

(57) 要約:

[続葉有]

WO 2013/180297 A2



MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告なし；国際調査報告を受け取り
次第公開される。（規則 48.2(g)）

少なくとも電力変換回路2の出力電圧値を含む電力変換回路情報を入力してスイッチ212のオン時間情報を生成するオン時間情報生成回路11と、インダクタ214の端子電圧を入力してインダクタ電流がゼロになるときを検出し、当該電流がゼロになったときにゼロクロス検出信号を生成するゼロクロス検出回路12と、オン時間情報およびゼロクロス検出信号を入力し、ターンオン信号およびターンオフ信号を生成するPWM信号生成回路13とを備え、ゼロクロス検出回路12はエッジ検出回路を有し、当該エッジ検出回路がインダクタ214の端子電圧に現れるエッジを検出したときにゼロクロス検出信号を生成し、PWM信号生成回路13は、ゼロクロス検出信号が入力されたときにターンオン信号を生成し、オン時間情報に基づき時間経過後に前記ターンオフ信号を生成する。これにより、インダクタ電流の変化を正確に取得して良好な臨界モード制御が行われる。

明 細 書

発明の名称：電力変換回路の制御装置

技術分野

[0001] 本発明は、インダクタ電流のゼロクロス検出を行う電力変換回路（DC／DC変換回路またはAC／DC変換回路）の制御装置に関し、インダクタ電流の変化を正確に取得して良好な臨界モード制御を行うことができる電力変換回路の制御装置に関する。

背景技術

[0002] 従来、電力変換装置（DC／DCコンバータまたはAC／DCコンバータ）の制御モードには、連続モード、不連続モードおよび臨界モードがある（特許文献1等参照）。臨界モードは、連続モードと不連続モードの2つのモードの間に位置するモードである。

図19（A）は、降圧形DC／DCコンバータを示している。

図19（B）に連続モードにおける各部の波形が示され、図19（C）に不連続モードにおける各部の波形が示され、図19（D）に臨界モードにおける各部の波形が示されている。

図19（B）、図19（C）、図19（D）における V_s 、 i_s 、 S_{TON} 、 i_L および V_L は、図19（A）におけるスイッチ電圧 V_s 、スイッチ電流 i_s 、スイッチ駆動信号 S_{TON} 、インダクタ電流 i_L およびインダクタ電圧 V_L をそれぞれ示している。

通常、図19（D）に示す臨界モードでの力率は、図19（B）に示す連続モードでの力率および図19（C）に示す不連続モードでの力率に比べて高い。

[0003] 図20は、臨界モードで動作する従来の電力変換システムを示しており、電力変換回路9に制御装置8が接続されている。

図20において、電力変換回路9は降圧形DC／DCコンバータである。電力変換回路9は、入力側の直流電源911と、直流電源911に接続され

たスイッチ912（トランジスタ）と、スイッチ912に接続されたアノード接地の転流ダイオード913（ D_F ）と、スイッチ912に接続されたインダクタ914（ L ）と、インダクタ914に接続された一端接地のキャパシタ915（ C_0 ）とからなる。負荷900は、キャパシタ915の両端に接続されている。また、インダクタ914には、インダクタ電流検出用抵抗916（ r_0 ）が接続されている。インダクタ914に、二次巻き線を設け、この二次巻き線にインダクタ電流検出用抵抗を設けておくこともできる。

[0004] 電力変換回路9では、スイッチ912がオンするとインダクタ914へのエネルギーの蓄積が行われる。スイッチ912がオフするとインダクタ914に蓄積されたエネルギーが負荷900に放出される。

制御装置8は、オン時間情報生成回路81と、ゼロクロス検出回路82と、PWM信号生成回路83とを備えている。

オン時間情報生成回路81は、少なくとも電力変換回路9の出力電圧値 E_0 を含む電力変換回路情報INFを入力して（図20では出力電圧値 E_0 である）、スイッチ912のオン時間情報 N_{TON} を生成する。

[0005] 電力変換回路9の出力電圧 e_0 は、A/D変換器801によりデジタル信号（出力電圧値 E_0 ）に変換されてオン時間情報生成回路81に入力される。

オン時間情報生成回路81は、典型的にはPID制御回路であり、オン時間情報 N_{TON} （数値）を、PWM信号生成回路83にスイッチングサイクルごとに送出することができる。たとえば、オン時間情報生成回路81は、PWM信号生成回路83からオン時間情報の取得要求に応じて、PWM信号生成回路83にオン時間情報 N_{TON} を送出する。

[0006] ゼロクロス検出回路82は、インダクタ914に直列接続したインダクタ電流検出用抵抗916（ r_0 ）の端子間電圧 V_{r_0} を入力し、インダクタ914を流れる電流（インダクタ電流 i_L ）がゼロとなった時刻を検出する。そして、ゼロクロス検出回路82は、インダクタ電流 i_L がゼロになったときにゼロクロス検出信号 Z_{CRSS} を生成する。

PWM信号生成回路83は、ゼロクロス検出信号 Z_{CRSS} が入力されたときに

ターンオン信号 TRN_{ON} を出力する。

PWM信号生成回路83は、ターンオン信号 TRN_{ON} を出力した後、オン時間情報 N_{TON} に基づく時間が経過した後に、ターンオフ信号 TRN_{OFF} を生成する。

ターンオン信号 TRN_{ON} およびターンオフ信号 TRN_{OFF} は、ドライバ802に入力され、ドライバ802はスイッチ駆動信号 S_{TON} によりスイッチ912を駆動する。

先行技術文献

特許文献

[0007] 特許文献1：WO2010/023978（再表2010-023978）

発明の開示

発明が解決しようとする課題

[0008] ところが、図20に示した電力変換回路9では、インダクタ電流検出用抵抗916 (r_0) による電力損失が生じる。

そこで、インダクタ914の起電力 V_L を直接検出してインダクタ電流 i_L がゼロになる時刻を求める手法が考えられる。

インダクタの起電力 V_L とインダクタ電流 i_L との関係は、式(1)で表される。

$$V_L = - (d i_L / d t) \quad \dots (1)$$

ところが、式(1)からわかるように、 V_L から i_L を直接求めることはできない。すなわち、インダクタLの起電力 V_L を測定しただけでは、インダクタ電流 i_L の変化を正確に知ることができない。

[0009] 本発明の目的は、エネルギー蓄積・放出用のインダクタを流れる電流の変化を正確に取得し、臨界モードでの制御を行うことができる電力変換回路の制御装置を提供することである。

課題を解決するための手段

[0010] 本発明の制御装置は以下を要旨とする。

(1)

スイッチのオン・オフごとに、インダクタへのエネルギーの蓄積および前記インダクタに蓄積したエネルギーの放出を繰り返す電力変換回路の制御装置であって、

少なくとも前記電力変換回路の出力電圧値を含む電力変換回路情報を入力して前記スイッチのオン時間情報を生成するオン時間情報生成回路と、

前記インダクタの端子電圧を入力して前記インダクタを流れる電流がゼロになるときを検出し、当該電流がゼロになったときにゼロクロス検出信号を生成するゼロクロス検出回路と、

前記オン時間情報および前記ゼロクロス検出信号を入力し、ターンオン信号およびターンオフ信号を生成するPWM信号生成回路と、
を備え、

前記ゼロクロス検出回路はエッジ検出回路を有し、当該エッジ検出回路が前記インダクタの端子電圧に現れるエッジを検出したときに前記ゼロクロス検出信号を生成し、

前記PWM信号生成回路は、前記ゼロクロス検出信号が入力されたときに前記ターンオン信号を生成し、前記オン時間情報に基づく時間経過後に前記ターンオフ信号を生成する、
ことを特徴とする電力変換回路の制御装置。

[0011] 電力変換回路は、DC/DCコンバータであってもよいし、AC/DCコンバータであってもよい。

DC/DCコンバータは、降圧型、昇圧型、昇降圧型の何れであってもよい。

電力変換回路がシリアルに2段接続されることがある。この場合には、本発明の制御装置を各段にそれぞれ設けることができるし、本発明の制御装置を一方の段に設け、他の制御装置（本発明の制御装置ではない制御装置）を他方の段に設けることもできる。

電力変換回路がAC/DCコンバータであるときには、整流回路の後段に

、DC/DCコンバータが設けられる。整流回路の出力は、典型的には直流（脈流）である。DC/DCコンバータは、整流回路の直流出力（典型的には脈流）を安定した直流に変換する。

[0012] 制御装置の入力側には、A/D変換回路が接続される。このA/D変換回路は、電力変換回路の「所定信号」をアナログ・デジタル変換して電力変換回路情報として出力する。

電力変換回路の「所定信号」には、電力変換回路の出力電圧、入力電圧、出力電流または入力電流が含まれる。さらに、「所定信号」には、スイッチを流れる電流（スイッチ電流）、インダクタを流れる電流（インダクタ電流）も含まれる。

インダクタの端子電圧に現れるエッジを検出するために、インダクタ電流を用いることができる。

オン時間情報を決定するために、電力変換回路の出力電圧、入力電圧、出力電流または入力電流を用いることができるし、負荷抵抗の値を用いることもできる。

[0013] また、制御装置の出力側には、ドライバが接続される。このドライバは、ターンオン信号を入力してスイッチをオンするための駆動信号を生成し、ターンオフ信号を入力してスイッチをオフするための駆動信号を生成する。

[0014] (2)

前記エッジ検出回路が定電圧回路とフリップ・フロップ回路からなり、前記インダクタの端子電圧は前記定電圧回路を介して前記フリップ・フロップ回路のセット端子に入力されることを特徴とする(1)に記載の電力変換回路の制御装置。

[0015] (3)

前記ゼロクロス検出回路が、前記エッジ検出回路の前段に、前記インダクタの端子電圧の微分電圧信号を生成する微分回路を含み、前記エッジ検出回路は、前記微分電圧信号に基づき前記インダクタの端子電圧に現れるエッジを検出することを特徴とする(1)または(2)に記載の電力変換回路の制

御装置。

[0016] (4)

前記ゼロクロス検出回路が、入力段に差動増幅回路を備えたことを特徴とする(1)から(3)の何れかに記載の電力変換回路の制御装置。

[0017] (5)

インダクタを流れる電流がゼロとなる時間が所定時間継続するように制御することを特徴とする(1)から(4)の何れかに記載の電力変換回路の制御装置。

発明の効果

[0018] 本発明の制御装置では、エッジ検出回路がインダクタ電流の変化を正確に取得できる。したがって、制御装置は、良好な臨界モード制御を行うことができる。

また、本発明の制御装置では、エッジ検出回路の入力段に微分回路を設けることができ、この場合には、エッジを、より正確に検出できる。

さらに、本発明の制御装置では、微分回路の前段に差動増幅回路を設けることができ、この場合には微分回路のゲイン不足を、差動増幅回路によって補うことができる。

図面の簡単な説明

[0019] [図1]図1は、ゼロクロス検出回路をエッジ検出回路により構成した本発明の制御装置の第1実施形態を示す説明図である。

[図2]図2は、図1の制御装置を具体的に示す説明図である。

[図3]図3は、図1に示した制御装置および電力変換回路の各部の波形を示す図である。

[図4]図4は、ゼロクロス検出回路をエッジ検出回路により構成した本発明の制御装置の第2実施形態を示す説明図である。

[図5]図5は、図4の制御装置を具体的に示す説明図である。

[図6]図6は、ゼロクロス検出回路をエッジ検出回路により構成した本発明の制御装置の第3実施形態を示す説明図である。

[図7]図7は、第2実施形態において微分回路の回路定数（ゲイン）が大きすぎた結果、出力波形の高さがカットされた例を示す波形図である。

[図8]図8は、図6の制御装置を具体的に示す説明図である。

[図9]図9は、第2実施形態においてゼロ電流検出に遅れが生じたときのインダクタ電流、インダクタ電圧を示す波形図である。

[図10]図10は、第3実施形態においてゼロ電流検出の遅れがなくなったときのインダクタ電流およびスイッチ駆動信号を示す図である。

[図11]図11は、第3実施形態の制御装置による制御結果を示す図である。

[図12]図12は、第3実施形態の制御装置による制御結果を示す図である。

[図13]図13は、ゼロクロス検出回路の後段に遅延回路を設けた制御装置を示す図である。

[図14]図14は、本発明の電力変換回路の制御装置を昇降圧型のDC/DCコンバータに適用する場合の説明図である。

[図15]図15は、本発明の電力変換回路の制御装置を昇圧型のDC/DCコンバータに適用する場合の説明図である。

[図16]図16は、電力変換回路が降圧型のDC/DCコンバータを含むAC/DCコンバータであるときの本発明の実施形態を示す説明図である。

[図17]図17は、電力変換回路が昇降圧型のDC/DCコンバータを含むAC/DCコンバータであるときの本発明の実施形態を示す説明図である。

[図18]図18は、電力変換回路が昇圧型のDC/DCコンバータを含むAC/DCコンバータであるときの本発明の実施形態を示す説明図である。

[図19]図19（A）は降圧形DC/DCコンバータを示す図、図19（B）は連続モードにおける各部の波形を示す波形図、図19（C）は不連続モードにおける各部の波形を示す波形図、図19（D）は臨界モードにおける各部の波形を示す波形図である。

[図20]図20は、臨界モードで動作する従来の電力変換システムを示す図である。

発明を実施するための形態

[0020] 図1は本発明の電力変換回路の制御装置の第1実施形態を示す説明図である。

図1において、電力変換回路2は降圧形DC/DCコンバータであり、入力側に設けた（入力端子 i_n に接続した）直流電源211と、直流電源211に接続されたスイッチ212（トランジスタ）と、スイッチ212に接続されたアノード接地の転流ダイオード213（ D_F ）と、スイッチ212に接続されたインダクタ214と、インダクタ214に接続された一端接地のキャパシタ215とからなり、負荷3がキャパシタ215の両端に接続されている。

[0021] 電力変換回路2では、スイッチ212がオンするとインダクタ214へのエネルギーの蓄積が行われ、スイッチ212がオフするとインダクタ214に蓄積したエネルギーの負荷3への放出が行われる。

制御装置1Aは、オン時間情報生成回路11と、ゼロクロス検出回路12と、PWM信号生成回路13とを備えている。

オン時間情報生成回路11は、少なくとも電力変換回路2の出力電圧値 E_0 （電力変換回路2のアナログ出力電圧 e_0 のデジタル値）を含む電力変換回路情報INFを入力してスイッチ212のオン時間情報 N_{TON} を生成する。

[0022] 本実施形態では、電力変換回路情報INFは電力変換回路2の出力電圧値 E_0 である。本発明は、これに限定されず、たとえば、出力電圧値のデジタル値 E_0 およびインダクタ電流 i_L のデジタル値 I_L 、入力電圧 e_i のデジタル値 E_I 、出力電流 i_o のデジタル値 I_o の少なくとも1つをA/D変換器を介して入力し、これらの入力値に基づきオン時間情報 N_{TON} を生成することができる。

[0023] 電力変換回路2の出力電圧 e_0 は、A/D変換器41によりデジタル信号（出力電圧のデジタル値 E_0 ）に変換されてオン時間情報生成回路11に入力される。オン時間情報生成回路11は、PID制御回路やデジタルフィルタ（IIR, FIR）であり、オン時間情報（本実施形態では数値）は、PWM信号生成回路13にスイッチングサイクルごとに送出されることがで

きる。たとえば、オン時間情報生成回路 11 は、PWM 信号生成回路 13 からのオン時間情報の取得要求に応じて PWM 信号生成回路 13 にオン時間情報を送出する。この場合、オン時間情報生成回路 11 は、オン時間情報を送出したときに、次のスイッチングサイクルにおけるオン時間情報の生成を開始するようにできる。

[0024] ゼロクロス検出回路 12 は、インダクタ 214 の端子電圧（インダクタ電圧 V_L' ）を入力してインダクタ 214 を流れる電流（インダクタ電流 i_L ）がゼロになるタイミングを検出し、インダクタ電流 i_L がゼロになったときにゼロクロス検出信号 Z_{CRSS} を生成する。具体的は、ゼロクロス検出回路 12 はエッジ検出回路 121 を有している。エッジ検出回路 121 は、インダクタ電流 i_L がゼロになる際にインダクタ 214 の端子電圧に現れるエッジを検出し、ゼロクロス検出信号を生成する。なお、図 1 において、端子電圧（インダクタ電圧 V_L' ）は、入力側の端子を基準にしたインダクタ 214 の起電力である。 V_L' は、出力側の端子を基準にしたインダクタ 214 の起電力 V_L と大きさが同じである（ $|V_L| = |V_L'|$ ）。ただし、 V_L と V_L' とは正負の符号が逆である（ $V_L = -V_L'$ ）。

[0025] PWM 信号生成回路 13 は、オン時間情報およびゼロクロス検出信号を入力し、ターンオン信号およびターンオフ信号を生成する。

具体的には、PWM 信号生成回路 13 は、ゼロクロス検出信号 Z_{CRSS} が入力されたときにターンオン信号 TRN_{ON} を生成する。また、オン時間情報 N_{TON} に基づく時間経過後にターンオフ信号 TRN_{OFF} を生成する。

ターンオン信号 TRN_{ON} およびターンオフ信号 TRN_{OFF} は、ドライバ 42 に入力されドライバ 42 は、スイッチ駆動信号によりスイッチ 212 を駆動する。

[0026] 図 2 は、図 1 の制御装置 1A を具体的に示す回路である。

A/D 変換器 41 はアナログ出力電圧 e_0 をデジタル値（デジタル出力電圧値 E_0 ）に変換する。

オン時間情報生成回路 11 は、図 2 ではデジタル PID 制御回路であり

、デジタル出力電圧値 E_0 を電力変換回路情報 INF として入力してオン時間情報 N_{TON} を生成する。このオン時間情報 N_{TON} は PWM 信号生成回路 13 のプリセットカウンタ 131（後述する）にプリセットされる。

[0027] ゼロクロス検出回路 12 は、定電圧回路 1211 とフリップ・フロップ回路 1212 とからなる。定電圧回路 1211 とフリップ・フロップ回路 1212 がエッジ検出回路 121 を構成する。インダクタ 214 の端子電圧（インダクタ電圧 V_L' ）に現れるエッジは、定電圧回路 1211 介してフリップ・フロップ回路 1212 のセット端子 $S1$ に入力される。セット端子 $S1$ は立下りエッジが入力されると、出力端子 $Q1$ から H レベル信号が出力される。

[0028] PWM 信号生成回路 13 は、プリセットカウンタ 131 とフリップ・フロップ回路 132 とを備えている。プリセットカウンタ 131 には前述したように、オン時間情報 N_{TON} （デジタル値）がプリセットされている。プリセットカウンタ 131 の入力端子 ST には、フリップ・フロップ回路 1212 の出力端子 $Q1$ が接続されている。プリセットカウンタ 131 は、入力端子 ST に H レベルの信号（立上がりエッジ）が入力されるとカウントを開始する。そして、プリセットカウンタ 131 は、カウント値がプリセットした値（オン時間情報 N_{TON} ）に達すると、出力端子 CF からカウント終了信号（パルス）を出力する。

[0029] プリセットカウンタ 131 の出力端子は、ゼロクロス検出回路 12 のフリップ・フロップ回路 1212 のリセット端子 $R1$ に接続されている。フリップ・フロップ回路 1212 は、出力端子 CF からのカウント終了信号（パルス）の立上りエッジでリセットされる。

[0030] 一方、フリップ・フロップ回路 132 のセット端子 $S2$ に、フリップ・フロップ回路 1212 の出力端子 $Q1$ から出力信号の立上りエッジが入力されると、出力端子 $Q2$ から H レベルの信号が出力される。また、プリセットカウンタ 131 の出力端子 CF は、フリップ・フロップ回路 132 のリセット端子 $R2$ にも接続されている。フリップ・フロップ回路 132 は、プリセッ

トカウンタ 131 の出力端子 CF からのカウント終了信号（パルス）の立上りエッジでリセットされる。

[0031] これにより、フリップ・フロップ回路 132 からは、インダクタ 214 の起電力 V_L' が立ち下るとき（インダクタ電流 i_L がゼロになるとき）に立ち上がり、オン時間情報 N_{TON} にかかる時間幅のスイッチ駆動信号 S_{TON} がドライバ 42 に出力される。

[0032] 図 2 の制御装置 1A の動作を簡潔に説明する。

(1) 定電圧回路 1211 がインダクタ電圧 V_L' を取り込む。

(2) 定電圧回路 1211 の出力はフリップ・フロップ回路 1212 のセット端子 (S1) に入力される

(3) フリップ・フロップ回路 1212 は、インダクタ電圧 V_L' の立ち下がりエッジを検出すると、出力端子 Q1 から H レベル信号（立上がりエッジ）を出力する。

(4) 出力端子 Q1 からの H レベル信号はプリセットカウンタ 131 およびフリップ・フロップ回路 132 のセット端子 S2 に入力される。

(5) プリセットカウンタ 131 は出力端子 Q1 からの H レベル信号を入力するとオン時間情報 N_{TON} を取り込み、カウントを開始する。これと同時に、フリップ・フロップ回路 132 はドライバ 42 にスイッチ 212 をターンオンさせる。

(6) プリセットカウンタ 131 が計数を終了すると、出力端子 CF からのカウント終了信号（パルス）の立上りエッジ信号が、フリップ・フロップ回路 132 のリセット端子 R2 に入力される。そして、フリップ・フロップ回路 132 はドライバ 42 に立下りエッジ信号を出力し、ドライバ 42 はスイッチ 212 をターンオフさせる。

[0033] 図 3 に、図 1 に示した制御装置 1A および電力変換回路 2 の各部の波形を示す。

図 3 において、 i_L はインダクタ電流、 V_L はインダクタ電圧、 V_L' はインダクタ電圧の逆向きの電圧、 V_D は定電圧回路 1211 の端子間電圧、S1 はフ

リップ・フロップ回路1212のセット端子S1に現れる電圧、R1はリップ・フロップ回路1212のリセット端子R1に現れる電圧、Q1はリップ・フロップ回路1212の出力端子Q1に現れる電圧、S2はリップ・フロップ回路132のセット端子S2に現れる電圧、R2はリップ・フロップ回路132のリセット端子R2に現れる電圧、Q2はリップ・フロップ回路132の出力端子Q2に現れる電圧、S_{TON}はリップ・フロップ回路132の出力（ドライバ42の入力）、CLKはプリセットカウンタ131の動作クロックである。

[0034] 図4は本発明の電力変換回路の制御装置の第2実施形態を示す説明図である。本実施形態では制御装置を符号1Bで示す。

電力変換回路2は、図1の電力変換回路と同じである。

制御装置1Bのゼロクロス検出回路12は、エッジ検出回路121の前段に微分回路122を有している。微分回路122は、インダクタ214の端子電圧（インダクタ電圧 V_L' ）から微分電圧信号 V_{DIF} を生成する。エッジ検出回路121は、微分回路122が生成するインダクタ電流 i_L の微分信号（微分電圧信号 V_{DIF} ）に基づきインダクタ214の端子電圧（インダクタ電圧 V_L' ）に現れるエッジを確実に検出することができる。

[0035] 図5は、図4の制御装置1Bを具体的に示す回路である。

図5において、ゼロクロス検出回路12は、エッジ検出回路121と微分回路122とからなる。エッジ検出回路121は、図2と同様、定電圧回路1211とリップ・フロップ回路1212とからなる。インダクタ214（図4参照）の端子電圧（インダクタ電圧 V_L' ）に現れるエッジは、微分回路122により急峻な立下がり（立上がり）の信号に変換され、定電圧回路を1211を介してリップ・フロップ回路1212のセット端子S1に入力される。リップ・フロップ回路1212のセット端子S1は、立下りエッジ（微分回路122の出力）を確実に取得して、出力端子Q1からHレベル信号を出力することができる。

図5の微分回路122は、オペアンプOP1を用いた典型的な微分回路で

ある。微分回路 122 においては、入力キャパシタ C_d と入力抵抗 R_{d1} の直列回路がオペアンプ OP1 の入力端子に接続され、フィードバック抵抗 R_{d2} はオペアンプ OP1 の入出力端子間に接続されている。

[0036] 図 5 の制御装置 1B の動作を簡潔に説明する。

(1) インダクタ電圧 V_L' のエッジは、微分回路 122 により急激に変化する。定電圧回路 1211 が、急激に変化したインダクタ電圧 V_L' のエッジを取り込む。

(2) 定電圧回路 1211 の出力はフリップ・フロップ回路 1212 のセット端子 (S1) に入力される。

(3) フリップ・フロップ回路 1212 は、インダクタ電圧 V_L' の立ち下がりエッジを検出すると、出力端子 Q1 から H レベル信号 (立上がりエッジ) を出力する。

(4) 出力端子 Q1 からの H レベル信号はプリセットカウンタ 131 およびフリップ・フロップ回路 132 のセット端子 S2 に入力される。

(5) プリセットカウンタ 131 は出力端子 Q1 からの H レベル信号を入力するとオン時間情報 N_{TON} を取り込み、カウントを開始する。これ同時に、フリップ・フロップ回路 132 は、ドライバ 42 に立上がりエッジ (スイッチ駆動信号 S_{TON} の立上がりエッジ) を出力する。ドライバ 42 は、スイッチ駆動信号 S_{TON} の立上がりエッジを入力するとスイッチ 212 をターンオンさせる。

(6) プリセットカウンタ 131 は計数を終了すると、出力端子 CF からカウント終了信号 (パルス) の立上りエッジ信号を出力する。この立上りエッジ信号は、フリップ・フロップ回路 132 のリセット端子 R2 に入力される。フリップ・フロップ回路 132 は、リセット端子 R2 に立上りエッジ信号が入力されると、ドライバ 42 に立下りエッジ信号 (スイッチ駆動信号 S_{TON} の立下りエッジ) を出力する。ドライバ 42 は、スイッチ駆動信号 S_{TON} の立下りエッジ信号を入力するとスイッチ 212 をターンオフさせる。

[0037] 図 6 は本発明の電力変換回路の制御装置の第 3 実施形態を示す説明図である。本実施形態では制御装置を符号 1C で示す。

電力変換回路 2 は、図 1 の電力変換回路と同じである。

第 2 実施形態の制御装置 1 B では、微分回路 1 2 2 によりインダクタ電圧 V_L' のエッジを急激に変化させ、これを検出しているため、基本的には、インダクタ電流 i_L の変化を正確に取得することができる。ところが、微分回路 1 2 2 の回路定数（ゲイン）が大きすぎると図 7 に示すように、本来の微分出力波形の高さがカットされてしまい（図 7 の破線参照）、結果としてゼロ電流検出に遅れが生じる（「ゼロ電流検出」については後述する）。

[0038] 本実施形態では、以下に述べる差動増幅回路 1 2 3 により、微分回路 1 2 2 のゲイン不足を補うことができる。

制御装置 1 C のゼロクロス検出回路 1 2 は、エッジ検出回路 1 2 1 と微分回路 1 2 2 と差動増幅回路 1 2 3 からなる。エッジ検出回路 1 2 1 と微分回路 1 2 2 の構成は第 2 実施形態で説明したと同様であり、差動増幅回路 1 2 3 が微分回路 1 2 2 の前段に設けられている。

差動増幅回路 1 2 3 はインダクタ 2 1 4 の端子電圧（インダクタ電圧 V_L' ）を増幅し、微分回路 1 2 2 は差動増幅回路 1 2 3 の出力から微分電圧信号 V_{DIFF} を生成する。エッジ検出回路 1 2 1 は、微分回路 1 2 2 が生成するインダクタ電流 i_L の微分信号（ゲイン不足が補われた微分電圧信号 V_{DIFF} ）に基づきインダクタ 2 1 4 の端子電圧（インダクタ電圧 V_L' ）に現れるエッジをより確実に検出することができる。

[0039] 図 8 は、図 6 の制御装置 1 C を具体的に示す回路である。

図 8 において、ゼロクロス検出回路 1 2 は、エッジ検出回路 1 2 1 と微分回路 1 2 2 と差動増幅回路 1 2 3 とからなる。図 2 と同様、エッジ検出回路 1 2 1 は定電圧回路 1 2 1 1 とフリップ・フロップ回路 1 2 1 2 とからなり、微分回路 1 2 2 は第 2 実施形態と同様、オペアンプ OP 1 と入力キャパシタ C_d と入力抵抗 $R_d 1$ とフィードバック抵抗 $R_d 2$ からなる。

[0040] インダクタ 2 1 4 の端子電圧（インダクタ電圧 V_L' ）に現れるエッジは、差動増幅回路 1 2 3 により増幅された後、微分回路 1 2 2 により急峻な立下がり（立上がり）の信号に変換され、定電圧回路 1 2 1 1 を介してフリップ

・フリップ回路1212のセット端子S1に入力される。セット端子S1は、立下りエッジを確実に取得して、出力端子Q1からHレベル信号が出力することができる。

図8の差動増幅回路123は、オペアンプOP2を用いた典型的な回路であり、入力抵抗Ra1がオペアンプOP2の入力端子に接続され、接地抵抗(Ra2とRa3の並列回路からなる)がオペアンプの接地端子に接続され、フィードバック抵抗Ra4が入出力端子間に接続されている。なお、ここでは、Ra1とRa2の抵抗値は等しく、Ra3とRa4の抵抗値は等しくしてある。

[0041] 図8の制御装置1Cの動作を簡潔に説明する。

(1) インダクタ電圧 V_L' を差動増幅回路123により増幅するとともに、微分回路122を用いて、インダクタ電圧 V_L' のエッジを急激に変化させて、定電圧回路1211がこれを取り込む。

(2) 定電圧回路1211の出力はフリップ・フリップ回路1212のセット端子(S1)に入力される。

(3) フリップ・フリップ回路1212は、インダクタ電圧 V_L' の立ち下がリエッジを検出すると、出力端子Q1からHレベル信号(立上がりエッジ)を出力する。

(4) 出力端子Q1からのHレベル信号はプリセットカウンタ131およびフリップ・フリップ回路132のセット端子S2に入力される。

(5) プリセットカウンタ131は出力端子Q1からのHレベル信号を入力するとオン時間情報 N_{TON} を取り込み、カウントを開始すると同時に、フリップ・フリップ回路132はドライバ42にスイッチ212をターンオンさせる。

(6) プリセットカウンタ131が計数を終了すると、出力端子CFからのカウント終了信号(パルス)の立上リエッジ信号が、フリップ・フリップ回路132のリセット端子R2に入力され、フリップ・フリップ回路132はドライバ42にスイッチ212をターンオフさせる。

[0042] 前述した第2実施形態の制御装置1Bにおいて、ときとして、微分回路122によるゲイン不足が生じゼロ電流検出が遅れる場合がある。この場合のインダクタ電流 i_L 、インダクタ電圧 V_L 、ゲイン不足を補う処理をしたインダクタ電圧 V_{L2} 、ダイオードZDの端子電圧 V_D およびスイッチ駆動信号 S_{TON} を図9に示す。ゼロ電流検出の遅れにより、臨界モードでの制御を不可能にする(図9の時刻 t_m および図19(C)の「不連続モード」参照)。

第3実施形態では、差動増幅回路123により、ゲイン不足に起因するゼロ電流検出の遅れを解消でき、臨界モードが実現できる。

ゼロ電流検出の遅れが解消されたときの、インダクタ電流 i_L 、インダクタ電圧 V_L 、ゲイン不足の補償後のインダクタ電圧 V_{L2} 、ダイオードZDの端子電圧 V_D およびスイッチ駆動信号 S_{TON} を図10に示す。(図10の時刻 t_m および図19(D)の「臨界モード」参照)。

[0043] 第3実施形態の制御装置1Cによる制御の結果を以下に示す。

図11および図12は、電力変換回路2の入力電圧のデジタル値 E_1 が20[V]であり、出力電圧値 e_0 が5[V]である場合に、負荷3が10[Ω]から5[Ω]にステップ変化したときの応答を示している。

図11は、インダクタ電流 i_L 、出力電圧 e_0 、スイッチ駆動信号 S_{TON} を示しており、図12は、図11の一部領域(太線の領域)を切り出して示す説明図である。

第3実施形態では、差動増幅回路により微分回路のゲイン不足を補うことができるので、エッジをさらに正確に検出できる。

図11および図12からわかるように、大きな負荷変動が生じても、出力電圧 e_0 はわずかに変動するのみで、しかも速やかに定常値に戻される。

[0044] 図10に示したような完全な「臨界モード」(i_L 参照:電流勾配がゼロとなる期間が、ほとんどないことに注意されたい)ではなく、図9に示した「不連続モード」に近いモード(電流勾配がゼロの期間が短い時間存在するモード)での制御が好適な場合もあろう。このモードも、実質上、本発明の臨界モードである。

この場合には、第1実施形態～第3実施形態の何れかの制御装置により、積極的に電流勾配がゼロの期間を生成することができる。

すなわち、本発明ではインダクタ電流 i_L がゼロとなる時間（たとえば、 10^{-5} sec のオーダー）が微小時間継続するように制御することができる。

具体的には、ゼロクロス検出回路が検出するゼロクロス検出信号 Z_{CRSS} の出力タイミングを、増幅器の増幅度や微分回路の定数を変更することにより調整することができる。

また、スイッチ 212 のターンオンのタイミングを、図 13 に示すように、制御装置 1C（図 6 参照）のゼロクロス検出回路 12 の後段に設けた遅延回路 14（たとえば、PWM 信号のターンオフ信号を生成するときと同様、プリセットカウンタとフリップ・フロップとから構成してもよい）により積極的に遅らせるようにもできる。

[0045] 図 14 は本発明の電力変換回路の制御装置を昇降圧型の DC/DC コンバータに適用する説明図である。図 14 では昇降圧型の DC/DC コンバータ（電力変換回路 51）の制御装置を符号 1D で示す。

図 15 は本発明の電力変換回路の制御装置を昇圧型の DC/DC コンバータに適用する説明図である。図 15 では昇圧型の DC/DC コンバータ（電力変換回路 52）の制御装置を符号 1E で示す。

図 14 の制御装置 1D および図 15 の制御装置 1E の作用は、第 1～第 3 実施形態における作用と概略同じである。

図 14 の制御装置 1D および図 15 の制御装置 1E でも、ゼロクロス検出回路 12 のエッジ検出回路 121 がインダクタ電流 i_L の変化を正確に取得できる。したがって、制御装置は、良好な臨界モード制御を行うことができる。

図 14 の制御装置 1D および図 15 の制御装置 1E でも、エッジ検出回路 121 の入力段に微分回路を設けることができ、さらに、この微分回路の前段に差動増幅回路を設けることができる。

[0046] 図 16 は本発明の電力変換回路の制御装置を AC/DC コンバータに適用

する実施形態を説明するための図である。

図16ではAC/DCコンバータ（電力変換回路61）は、制御装置1Fにより制御される。

図16の電力変換回路61は、交流電力を入力する整流回路RCDと、整流回路RCDの整流出力を入力するDC/DC変換回路200とから構成されている。

[0047] 整流回路RCDは、本実施形態では全波整流回路と出力側キャパシタとからなり、単相交流入力を全波整流して脈流に変換している。

DC/DC変換回路200の構成は、図1の電力変換回路2（降圧形DC/DCコンバータ）から直流電源211を除去したものと同一である。

制御装置1Fの構成は、図1の制御装置1Aと同じである。DC/DC変換回路200の入力は脈流であるが、制御装置1Fは、インダクタ電流 i_L の変化を正確に検出して、良好な臨界モード制御を行うことができる。

図示はしないが、図16の電力変換回路61において、制御装置1Fに代えて、エッジ検出回路121の前段に微分回路122を備えた図4に示した制御装置1Bと同様の制御装置を使用することもできる。また、制御装置1Fに代えて、エッジ検出回路121の前段に微分回路122と差動増幅回路123とを備えた図6に示した制御装置1Cと同様の制御装置を使用することもできる。

[0048] 図17は本発明の電力変換回路の制御装置をAC/DCコンバータに適用する他の実施形態を説明するための図である。

図17ではAC/DCコンバータ（電力変換回路62）は、制御装置1Gにより制御される。

図17の電力変換回路62は、交流電力を入力する整流回路RCDと、整流回路RCDの整流出力を入力するDC/DC変換回路510とから構成されている。

[0049] 整流回路RCDの構成は、図16において説明した整流回路RCDの構成と同じである。

DC/DC変換回路510の構成は、図14の電力変換回路51（昇降圧形DC/DCコンバータ）から直流電源5111を除去したものと同一である。

制御装置1Gの構成は、図1の制御装置1Aと同じであり、制御装置1Gは、インダクタ電流 i_L の変化を正確に検出して、良好な臨界モード制御を行うことができる。

図示はしないが、図17の電力変換回路62において、制御装置1Gに代えて、エッジ検出回路121の前段に微分回路122を備えた図4に示した制御装置1Bと同様の制御装置を使用することもできる。また、制御装置1Gに代えて、エッジ検出回路121の前段に微分回路122と差動増幅回路123とを備えた図6に示した制御装置1Cと同様の制御装置を使用することもできる。

[0050] 図18は本発明の電力変換回路の制御装置をAC/DCコンバータに適用する他の実施形態を説明するための図である。

図18ではAC/DCコンバータ（電力変換回路63）は、制御装置1Hにより制御される。

図18の電力変換回路63は、交流電力を入力する整流回路RCDと、整流回路RCDの整流出力を入力するDC/DC変換回路520とから構成されている。

[0051] 整流回路RCDの構成は、図16において説明した整流回路RCDの構成と同じである。

DC/DC変換回路520の構成は、図15の電力変換回路52（昇圧形DC/DCコンバータ）から直流電源5211を除去したものと同一である。

制御装置1Hの構成は、図1の制御装置1Aと同じであり、制御装置1Hは、インダクタ電流 i_L の変化を正確に検出して、良好な臨界モード制御を行うことができる。

図示はしないが、図17の電力変換回路62において、制御装置1Hに代

えて、エッジ検出回路 1 2 1 の前段に微分回路 1 2 2 を備えた図 4 に示した制御装置 1 B と同様の制御装置を使用することもできる。また、制御装置 1 H に代えて、エッジ検出回路 1 2 1 の前段に微分回路 1 2 2 と差動増幅回路 1 2 3 とを備えた図 6 に示した制御装置 1 C と同様の制御装置を使用することもできる。

[0052] なお、図示はしないが、電力変換回路 6 1, 6 2, 6 3 (AC/DCコンバータ) の出力端子 OUT は、図 1 の降圧型の DC/DC コンバータ (電力変換回路 2) の入力端子 i n、図 1 4 の昇降圧型の DC/DC コンバータ (電力変換回路 5 1) の入力端子 i n、または図 1 5 の昇圧型の DC/DC コンバータ (電力変換回路 5 2) の入力端子 i n に接続することができる。

同様に、図示はしないが、電力変換回路 5 1, 5 2 (DC/DC コンバータ) の出力端子 OUT は、図 1 の降圧型の DC/DC コンバータ (電力変換回路 2) の入力端子 i n、図 1 4 の昇降圧型の DC/DC コンバータ (電力変換回路 5 1) の入力端子 i n、または図 1 5 の昇圧型の DC/DC コンバータ (電力変換回路 5 2) の入力端子 i n に接続することができる。

符号の説明

[0053] 1 A, 1 B, 1 C, 1 D, 1 E, 1 F, 1 G, 1 H, 8 制御装置
 2, 6, 9, 5 1, 5 2, 6 1, 6 2, 6 3 電力変換回路
 3, 9 0 0 負荷
 1 1, 8 1 オン時間情報生成回路
 1 2, 8 2 ゼロクロス検出回路
 1 3, 8 3 PWM 信号生成回路
 1 4 遅延回路
 2 1, 2 1 4, 9 1 4 インダクタ
 3 1, 4 1, 8 0 1 A/D 変換器
 3 2, 4 2, 8 0 2 ドライバ
 1 2 1 エッジ検出回路
 1 2 2 微分回路

- 1 2 3 差動増幅回路
- 1 3 1 プリセットカウンタ
- 1 3 2, 1 2 1 2 フリップ・フロップ回路
- 2 0 0 DC/DC変換回路
- 2 1 1, 9 1 1, 5 1 1 1, 5 2 1 1 直流電源
- 2 1 2, 9 1 2 スイッチ
- 2 1 3, 9 1 3 転流ダイオード
- 2 1 5, 9 1 5 キャパシタ
- 5 1 0, 5 2 0 DC/DC変換回路
- 9 1 6 インダクタ電流検出用抵抗
- 1 2 1 1 定電圧回路
- C F 出力端子
- O P 1, O P 2 オペアンプ
- Q 1, Q 2 フリップ・フロップ回路の出力端子
- R 1, R 2 フリップ・フロップ回路のリセット端子
- R C D 整流回路
- R_{a1} , R_{d1} 差動増幅回路の入力抵抗
- R_{a4} , R_{d2} 差動増幅回路のフィードバック抵抗
- Z D ダイオード

請求の範囲

[請求項1]

スイッチのオン・オフごとに、インダクタへのエネルギーの蓄積および前記インダクタに蓄積したエネルギーの負荷への放出を繰り返す電力変換回路の制御装置であって、

少なくとも前記電力変換回路の出力電圧値を含む電力変換回路情報を入力して前記スイッチのオン時間情報を生成するオン時間情報生成回路と、

前記インダクタの端子電圧を入力して前記インダクタを流れる電流がゼロになるときを検出し、当該電流がゼロになったときにゼロクロス検出信号を生成するゼロクロス検出回路と、

前記オン時間情報および前記ゼロクロス検出信号を入力し、ターンオン信号およびターンオフ信号を生成するPWM信号生成回路と、を備え、

前記ゼロクロス検出回路はエッジ検出回路を有し、当該エッジ検出回路が前記インダクタの端子電圧に現れるエッジを検出したときに前記ゼロクロス検出信号を生成し、

前記PWM信号生成回路は、前記ゼロクロス検出信号が入力されたときに前記ターンオン信号を生成し、前記オン時間情報に基づく時間経過後に前記ターンオフ信号を生成する、ことを特徴とする電力変換回路の制御装置。

[請求項2]

前記エッジ検出回路が定電圧回路とフリップ・フロップ回路からなり、前記インダクタの端子電圧は前記定電圧回路を介して前記フリップ・フロップ回路のセット端子に入力されることを特徴とする請求項1に記載の電力変換回路の制御装置。

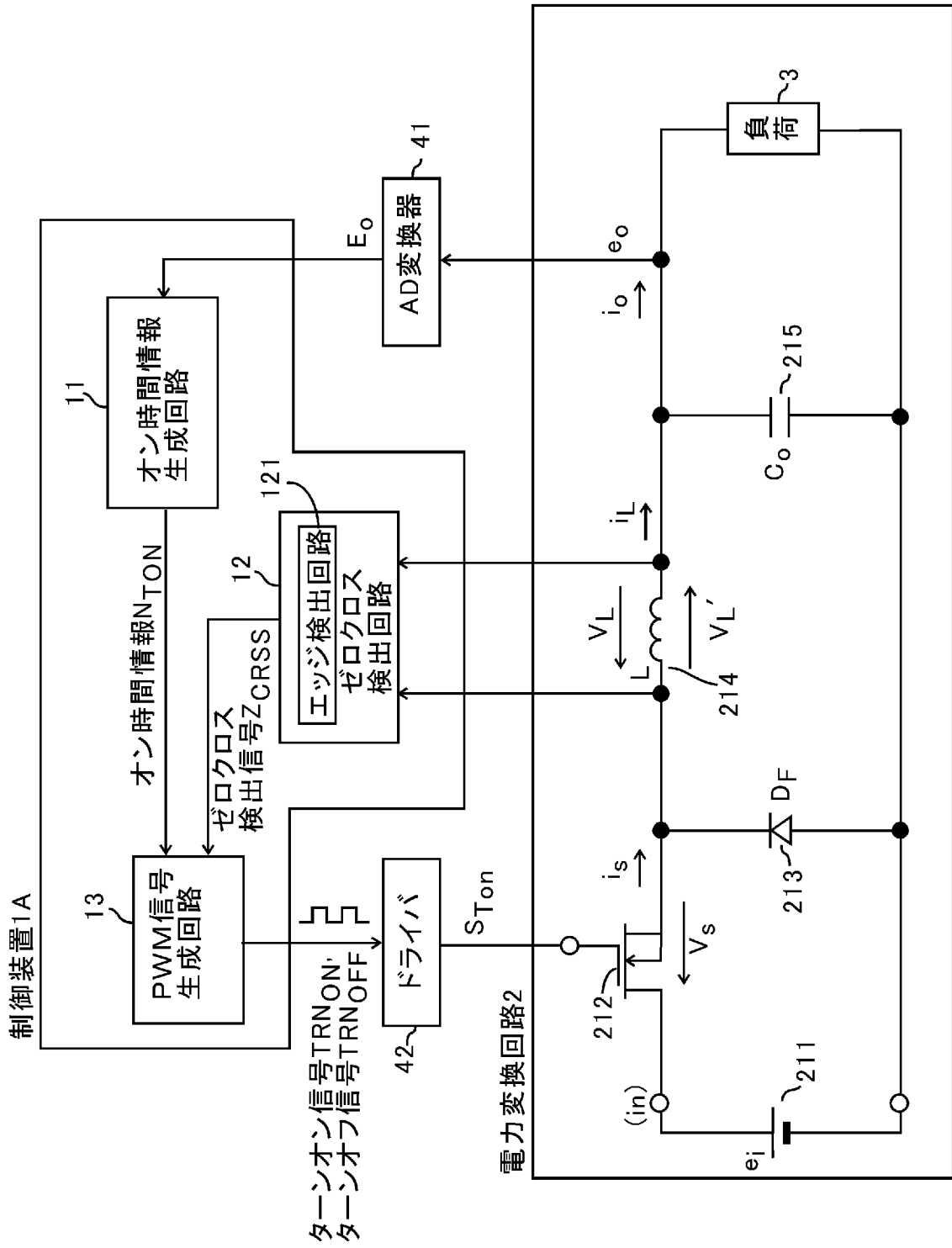
[請求項3]

前記ゼロクロス検出回路が、前記エッジ検出回路の前段に、前記インダクタの端子電圧の微分電圧信号を生成する微分回路を含み、前記エッジ検出回路は、前記微分電圧信号に基づき前記インダクタの端子電圧に現れるエッジを検出することを特徴とする請求項1または請求

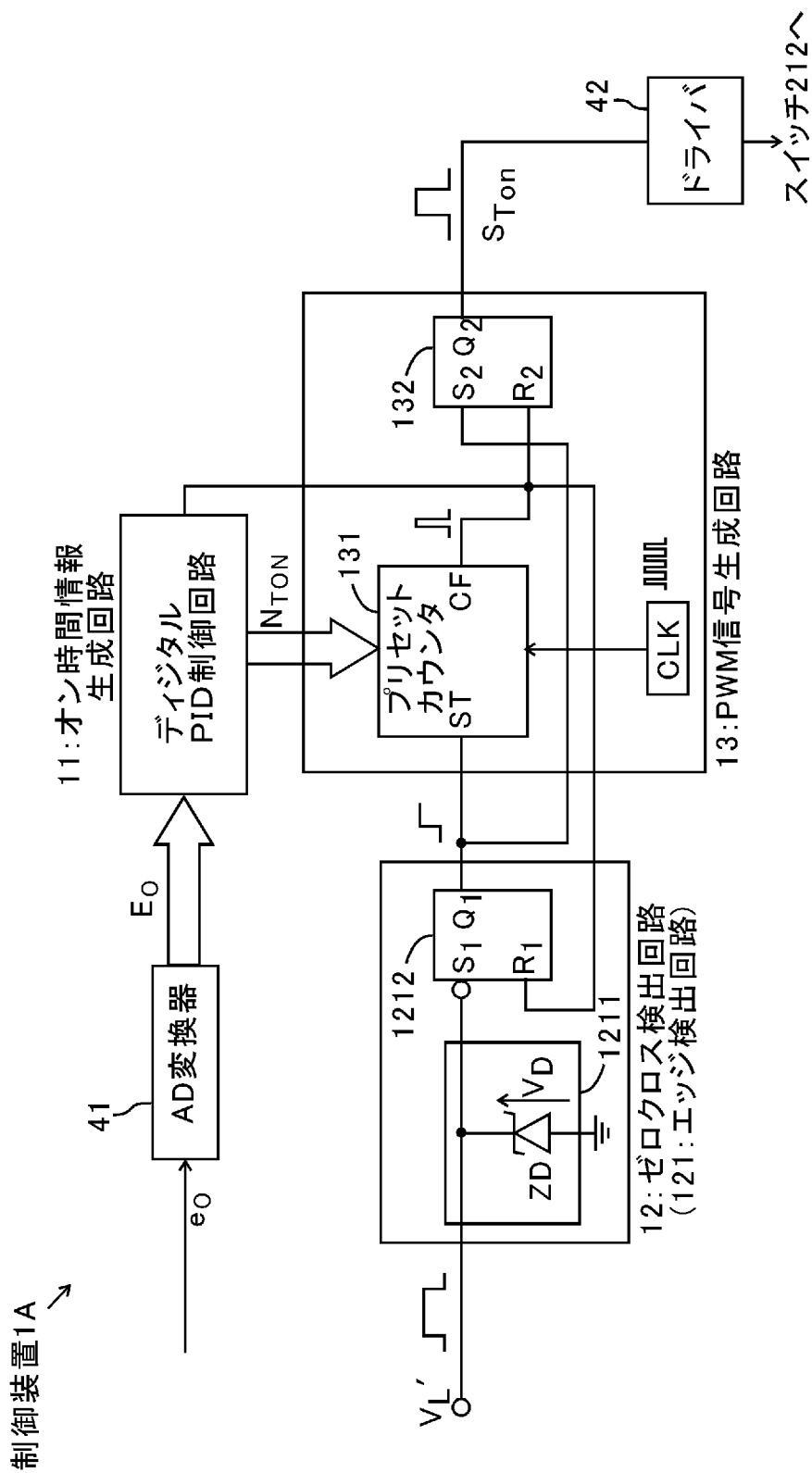
項 2 に記載の電力変換回路の制御装置。

- [請求項4] 前記ゼロクロス検出回路が、入力段に差動増幅回路を備えたことを特徴とする請求項 1 から 3 の何れかに記載の電力変換回路の制御装置。
- [請求項5] インダクタを流れる電流がゼロとなる時間が所定時間継続するように制御することを特徴とする請求項 1 から 4 の何れかに記載の電力変換回路の制御装置。

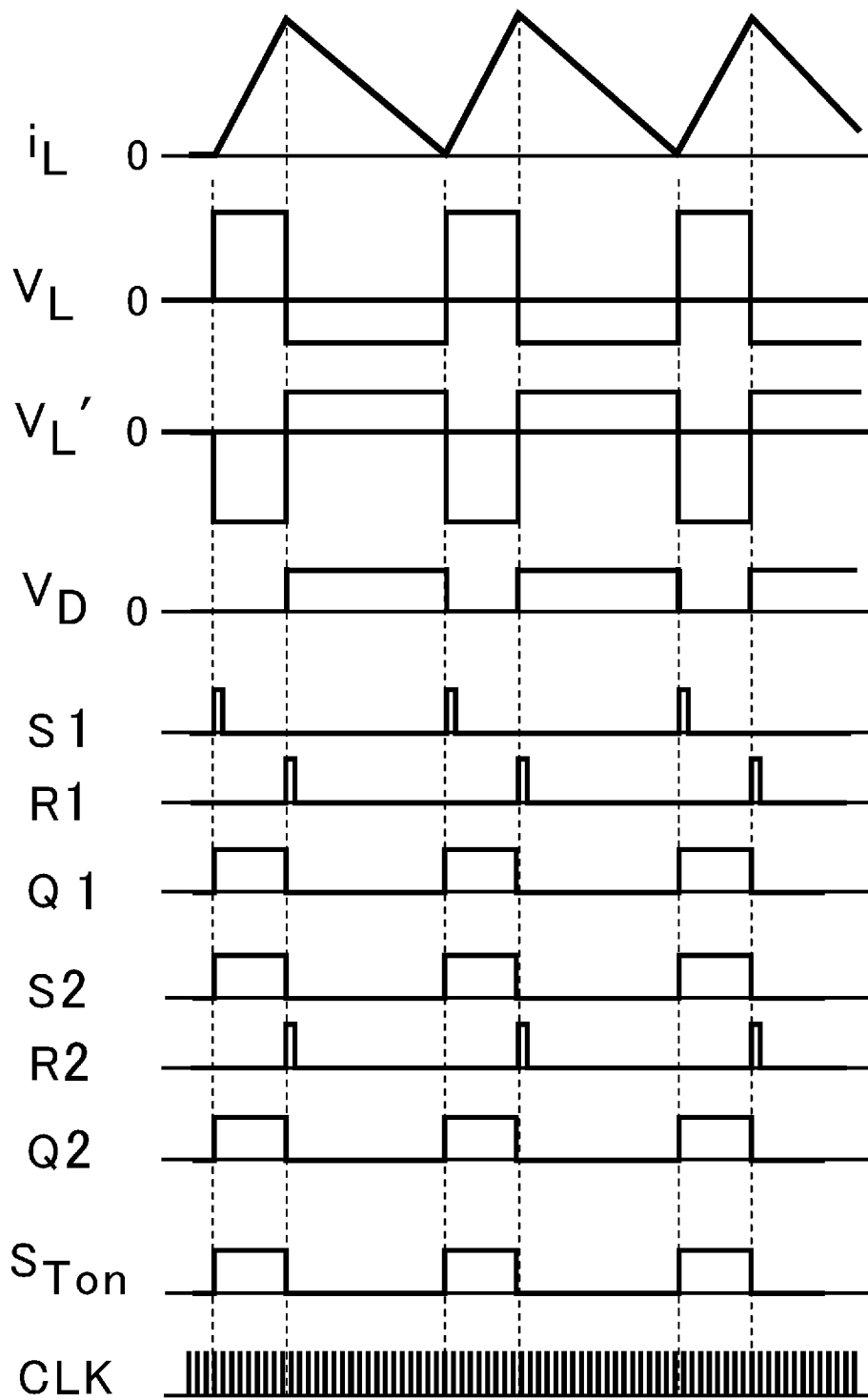
[図1]



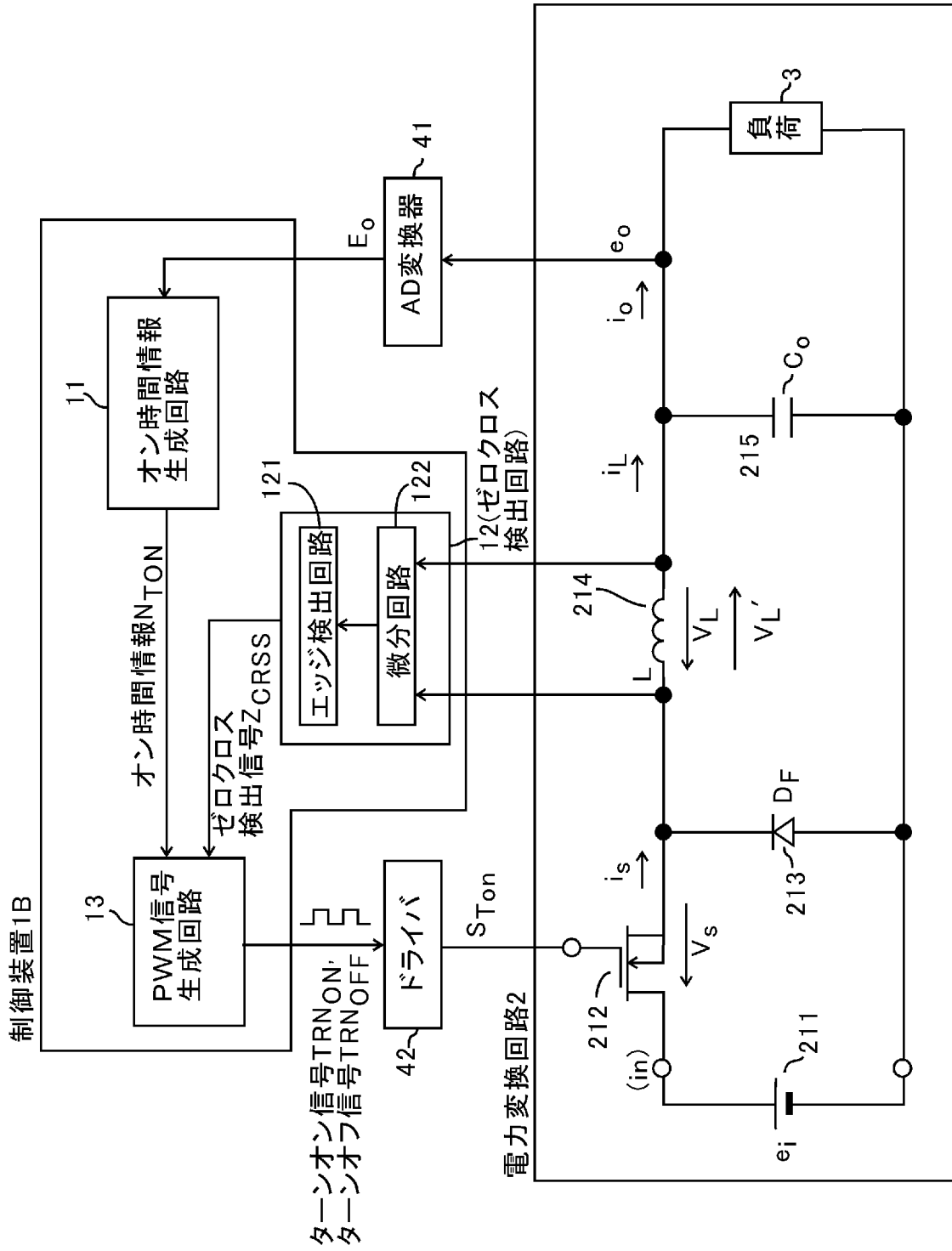
[図2]



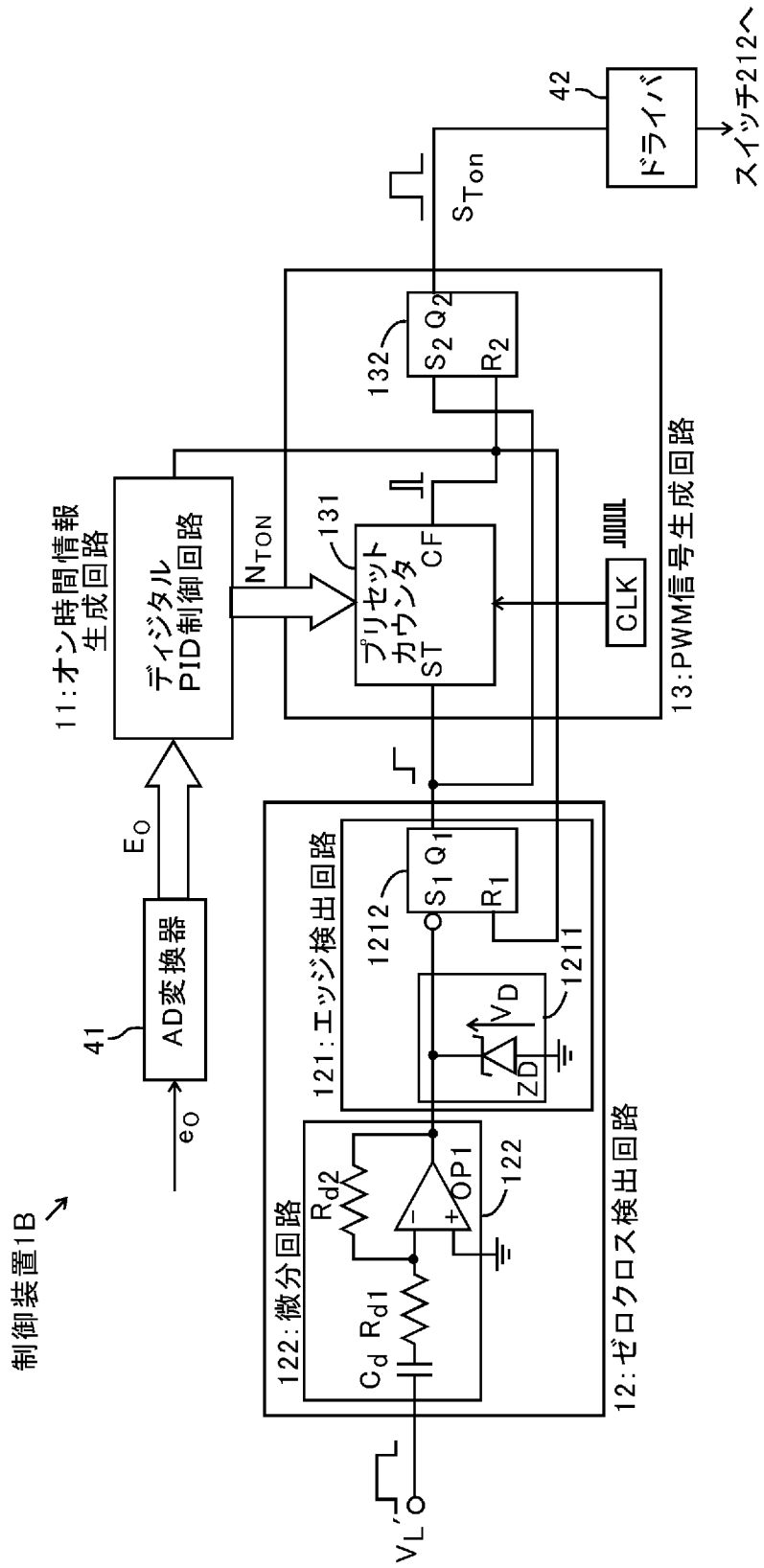
[図3]



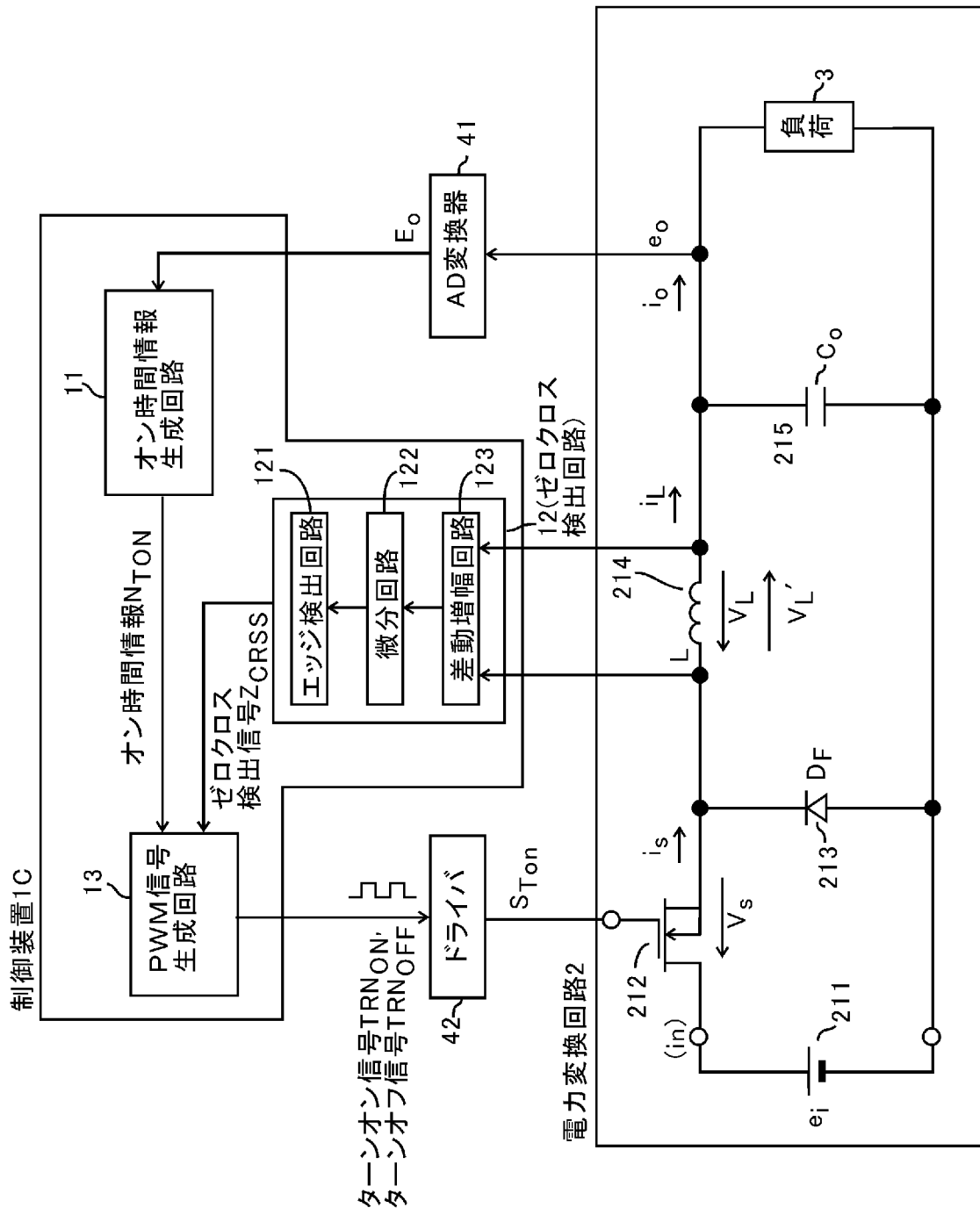
[図4]



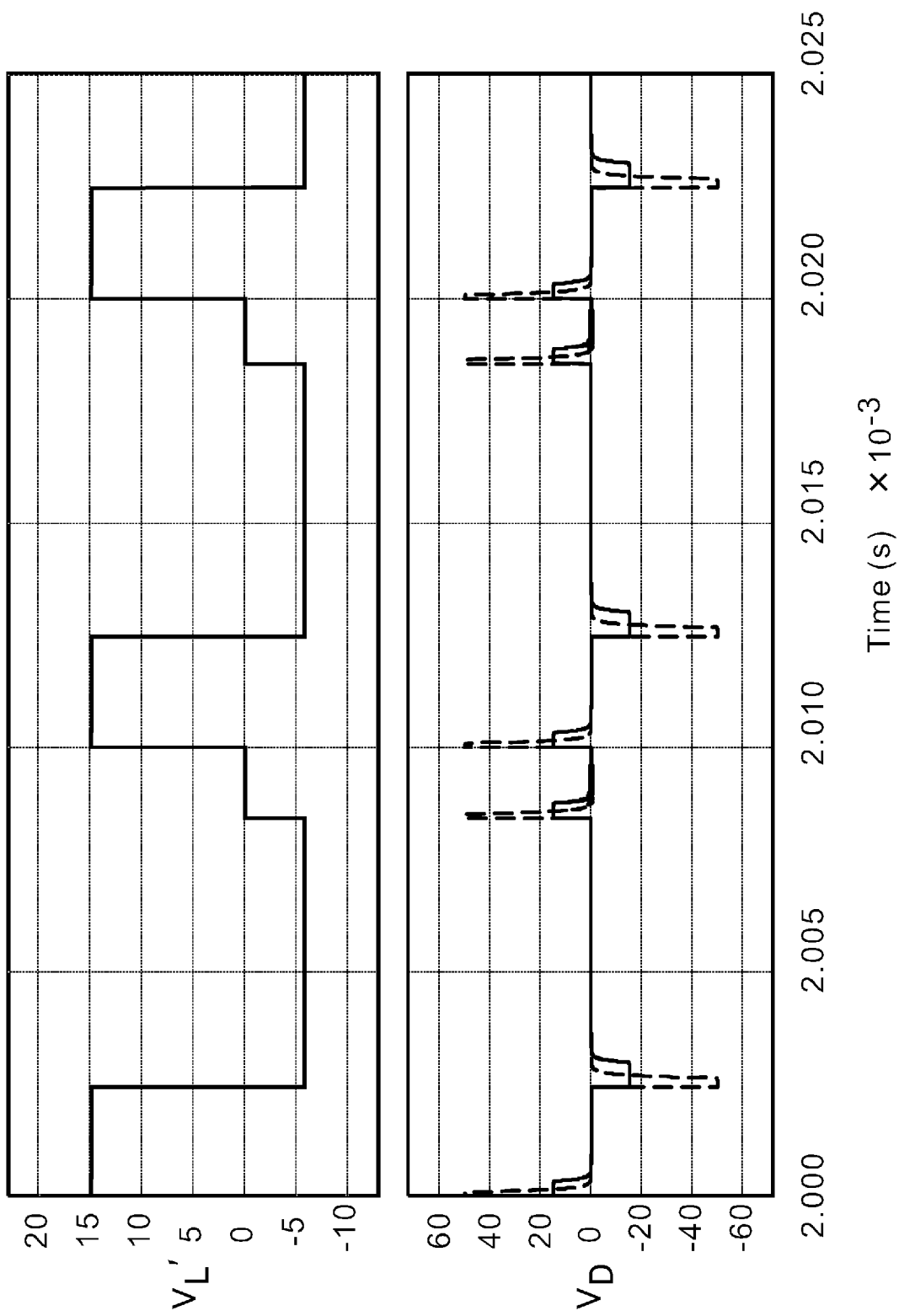
[図5]



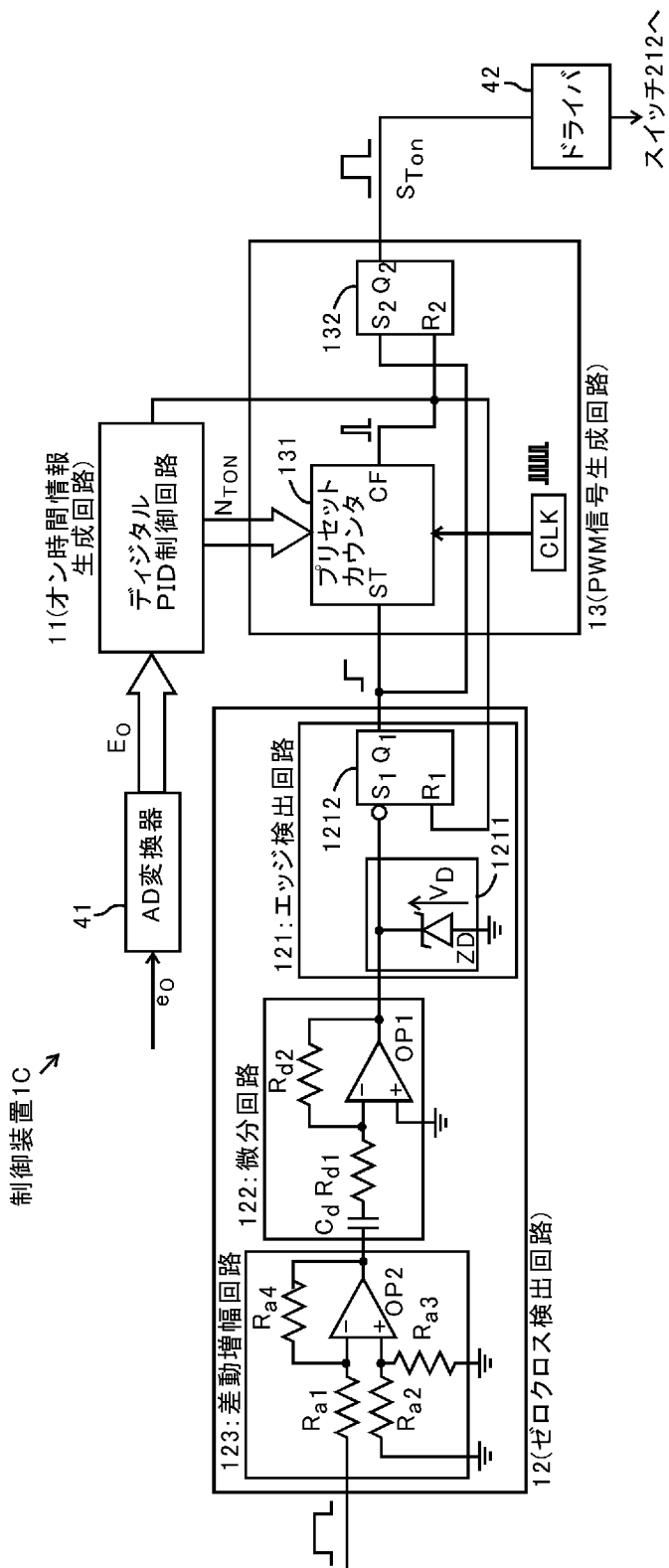
[図6]



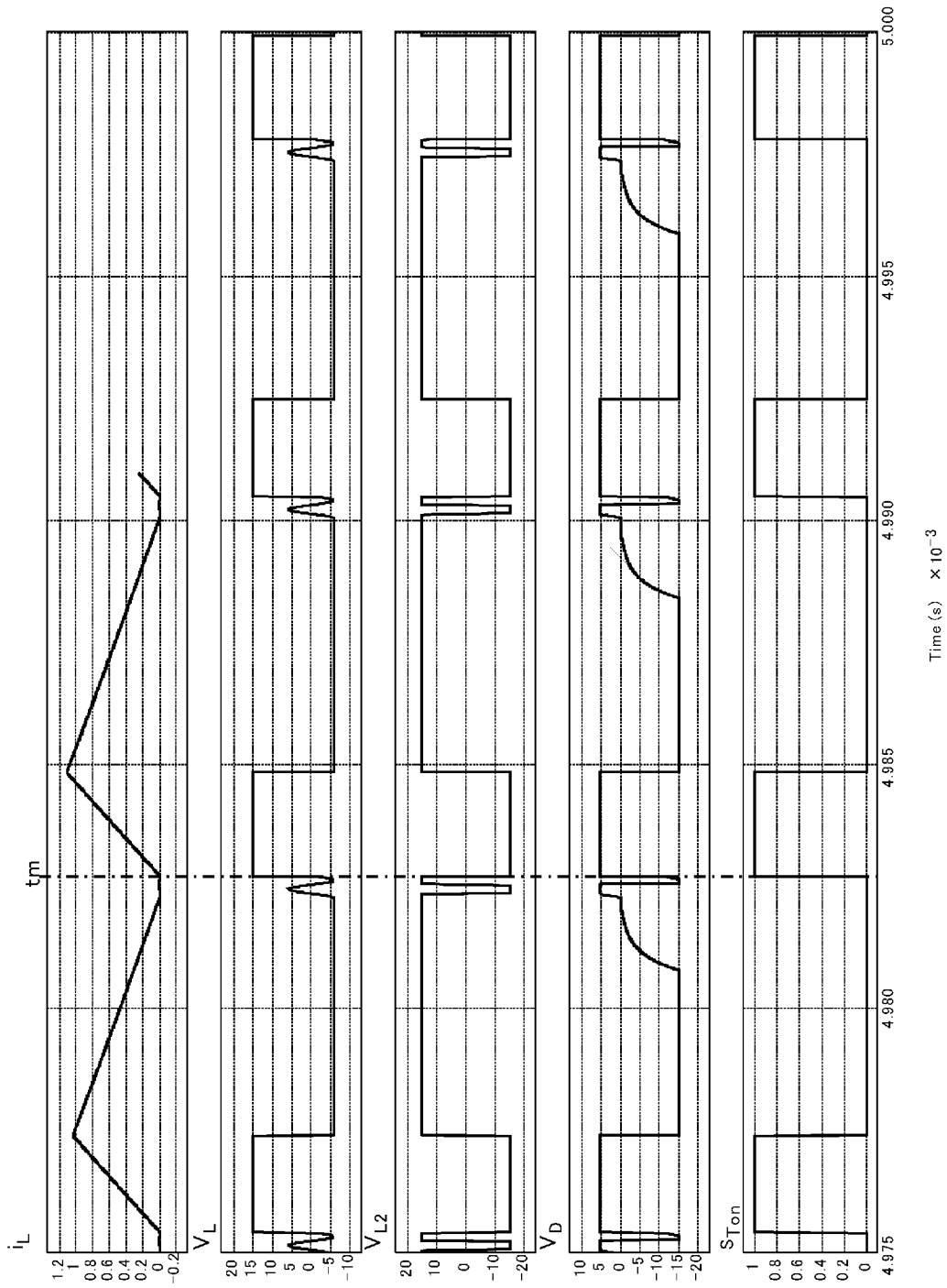
[図7]



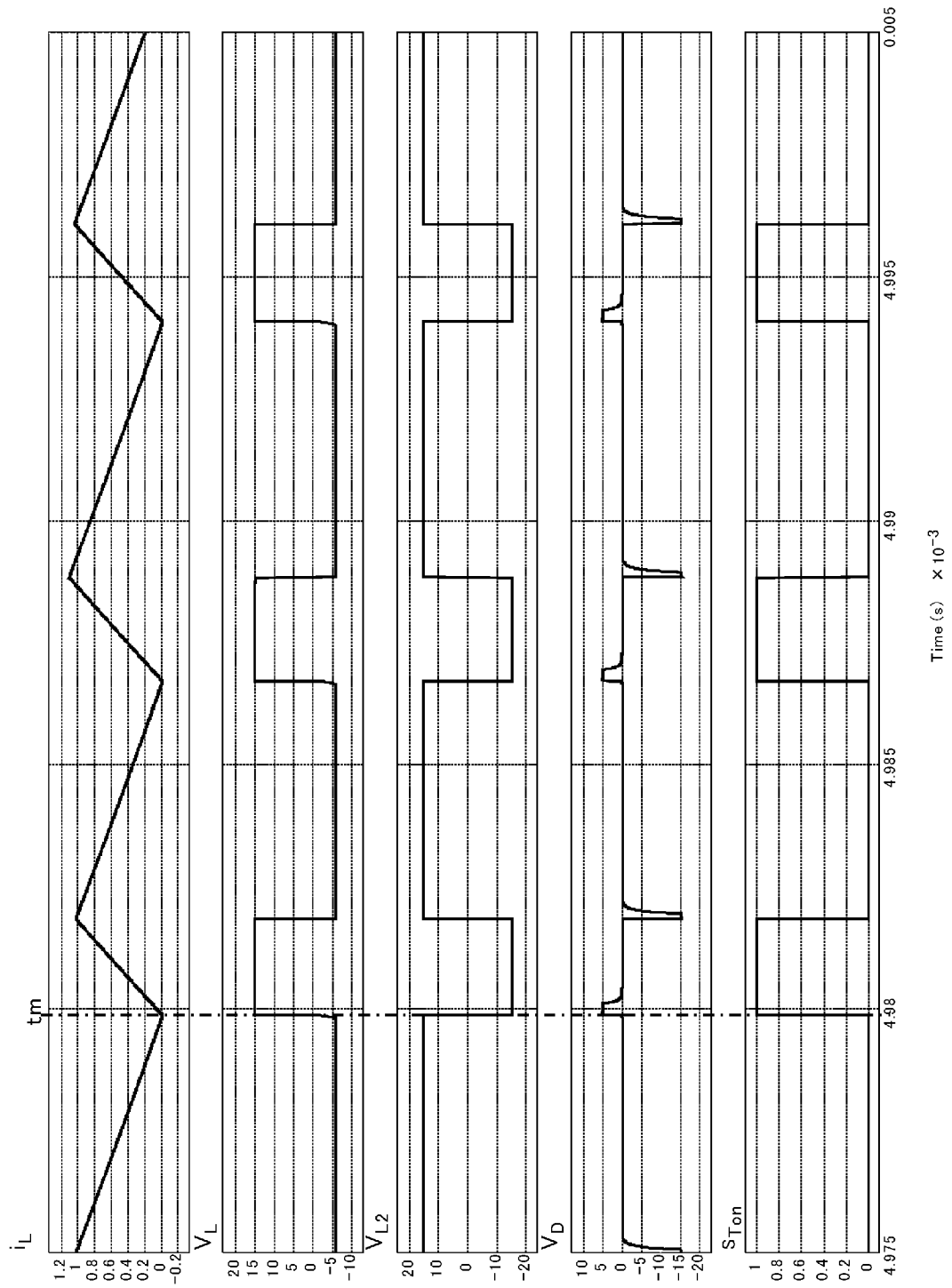
[図8]



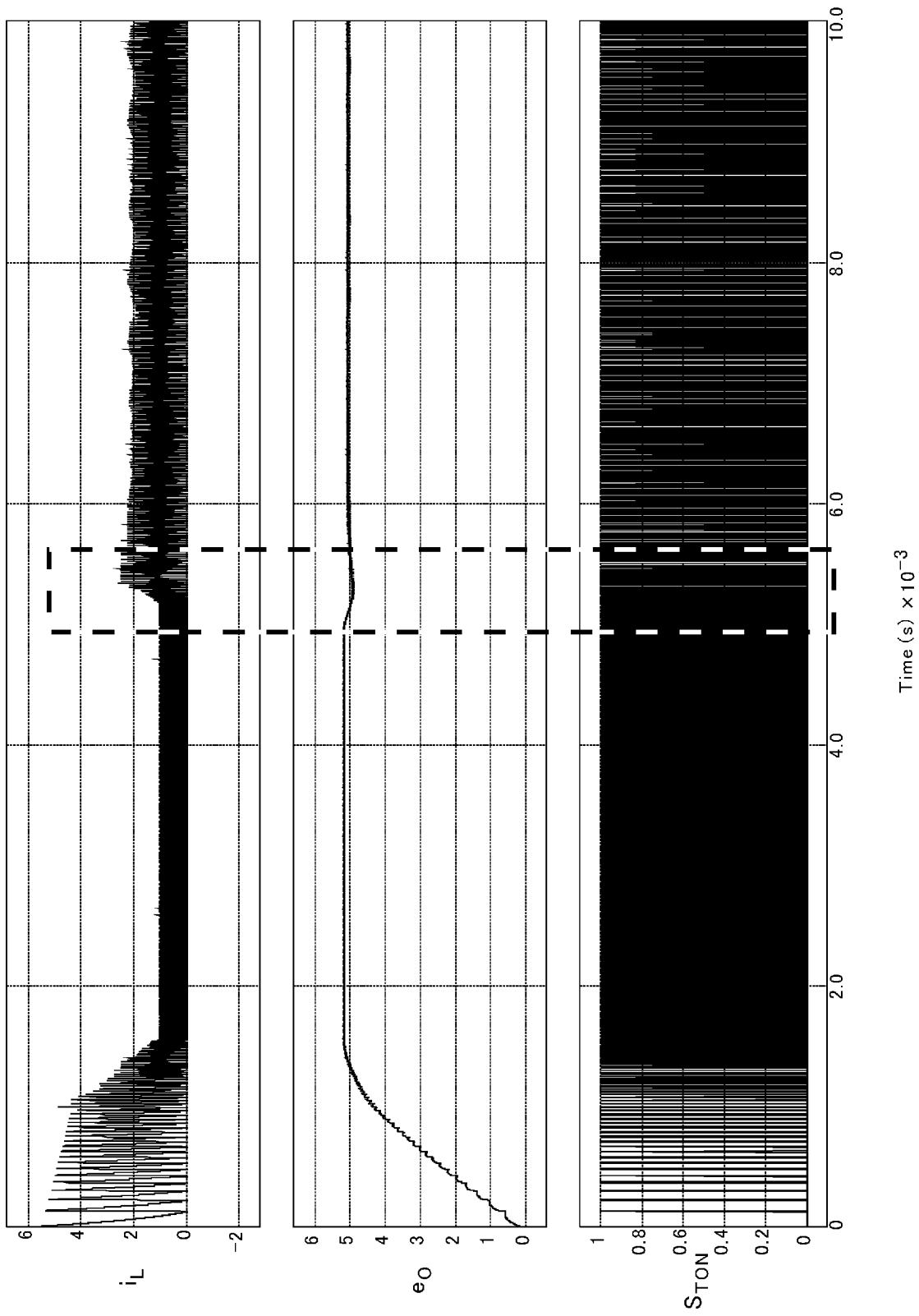
[図9]



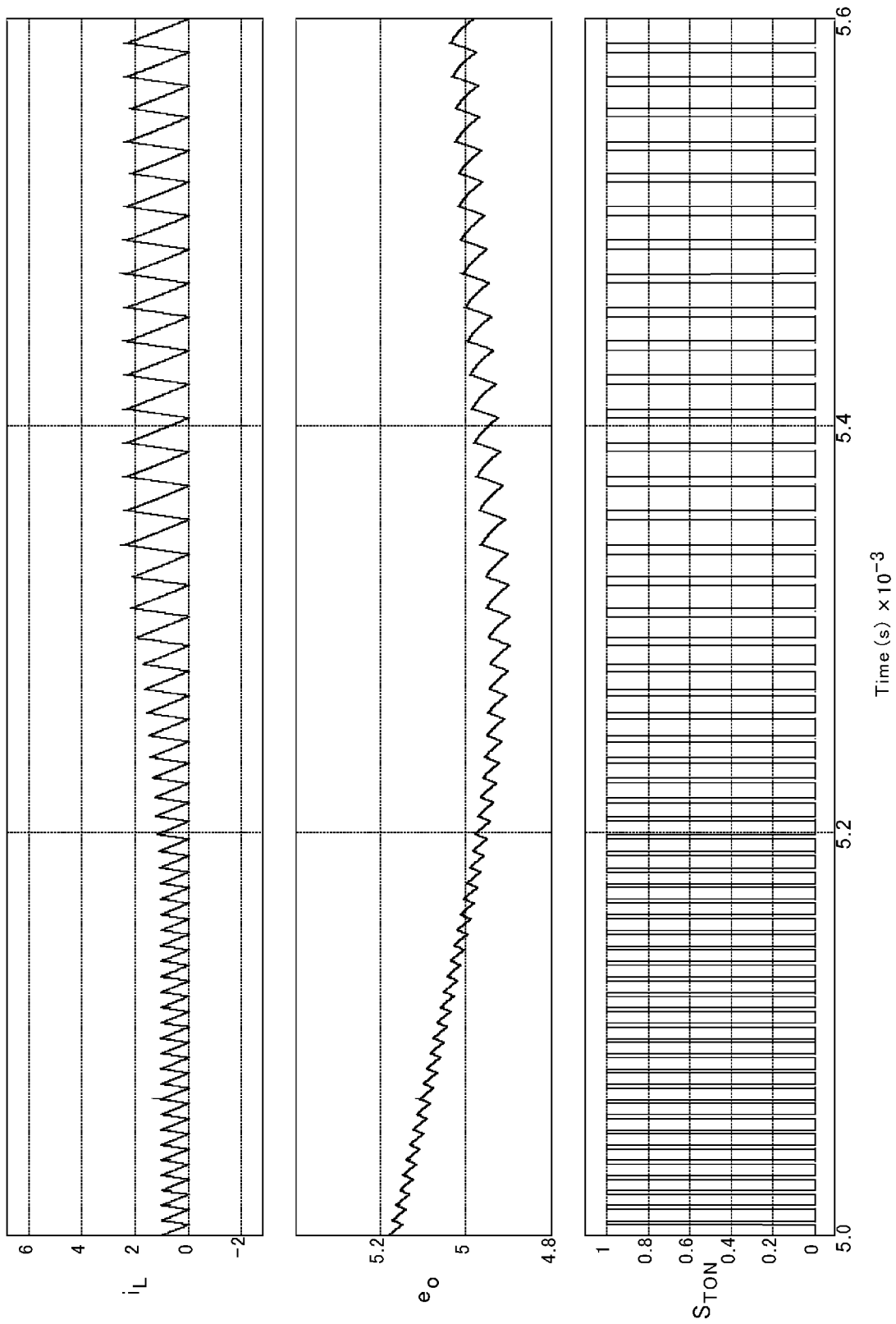
[図10]



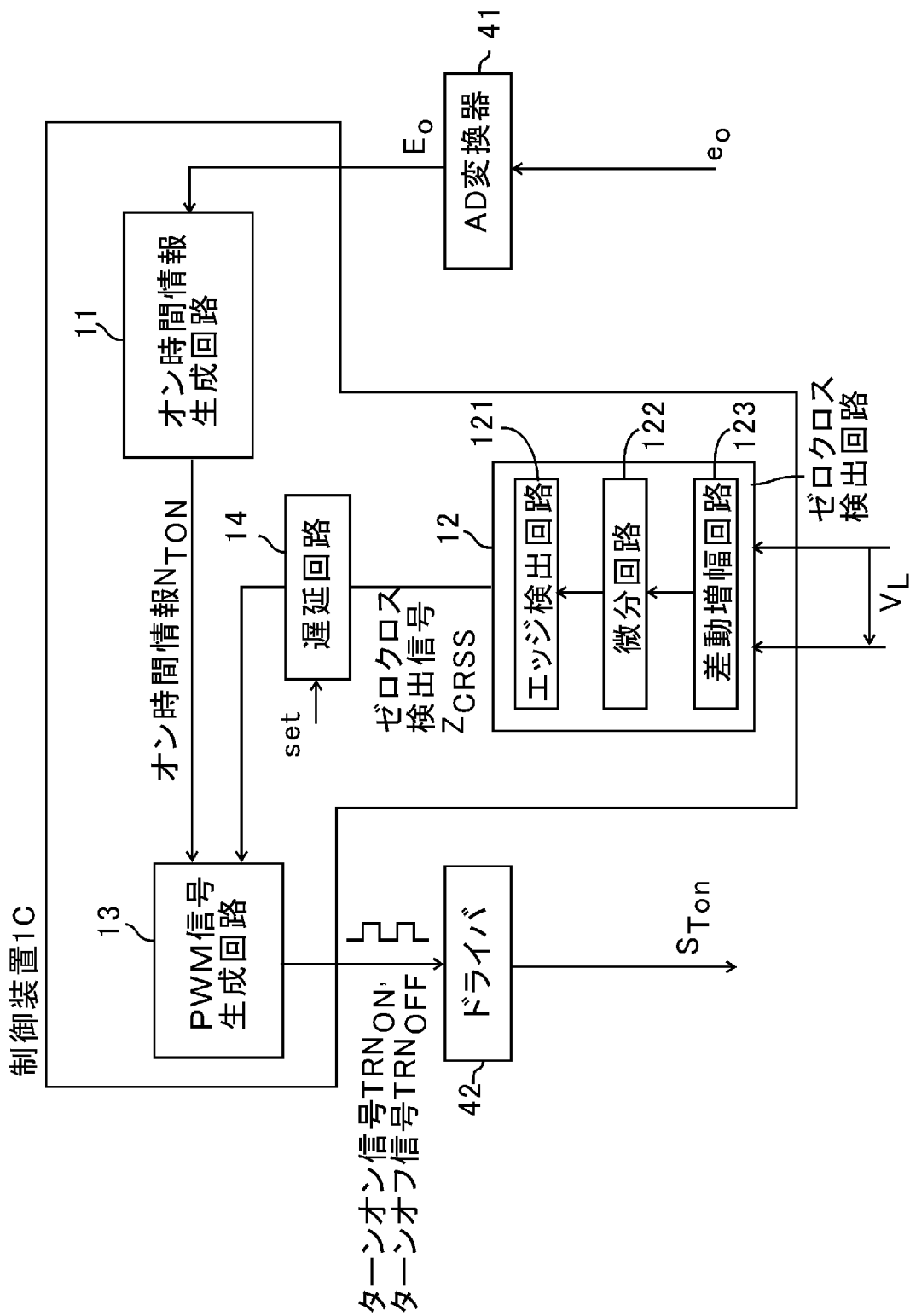
[図11]



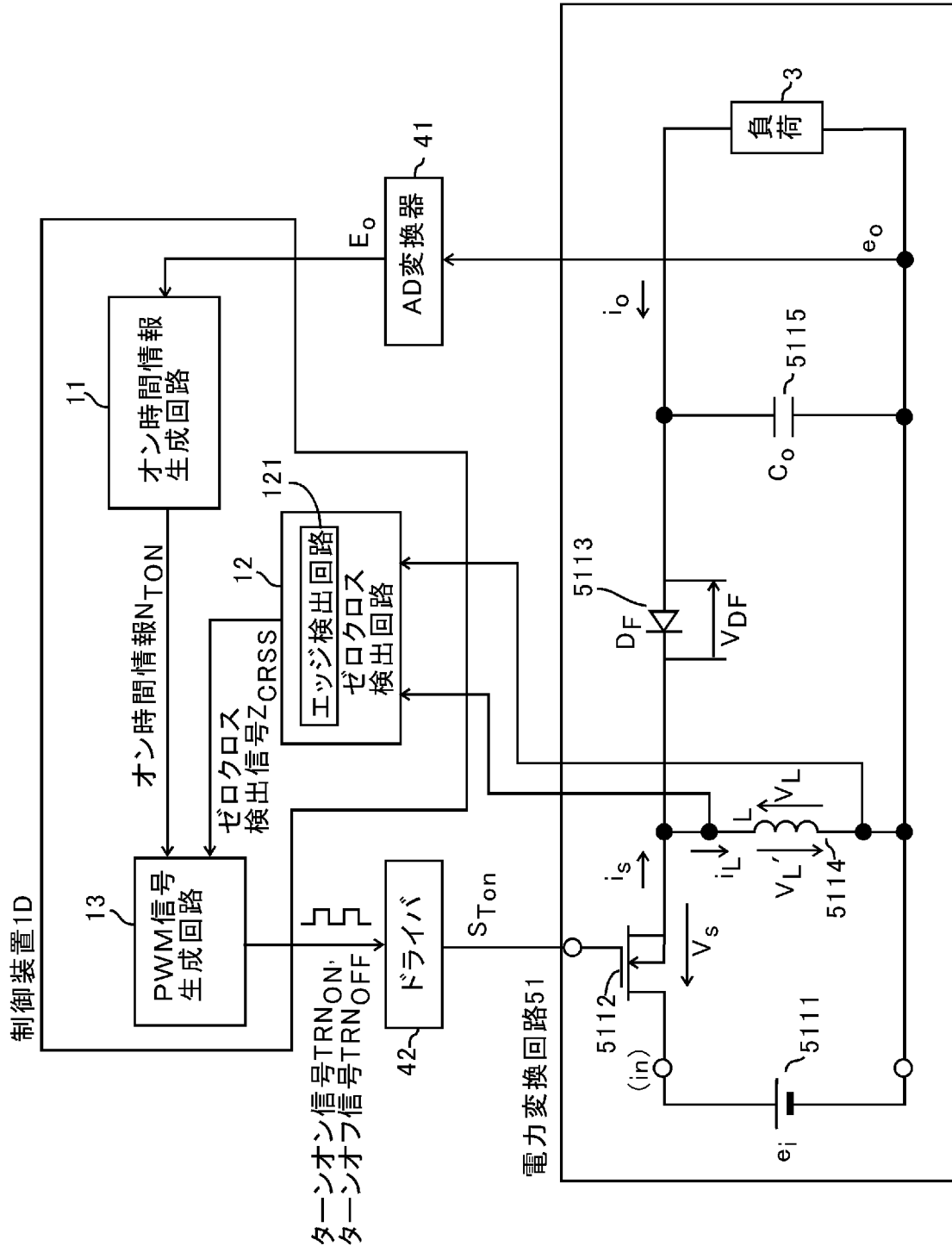
[図12]



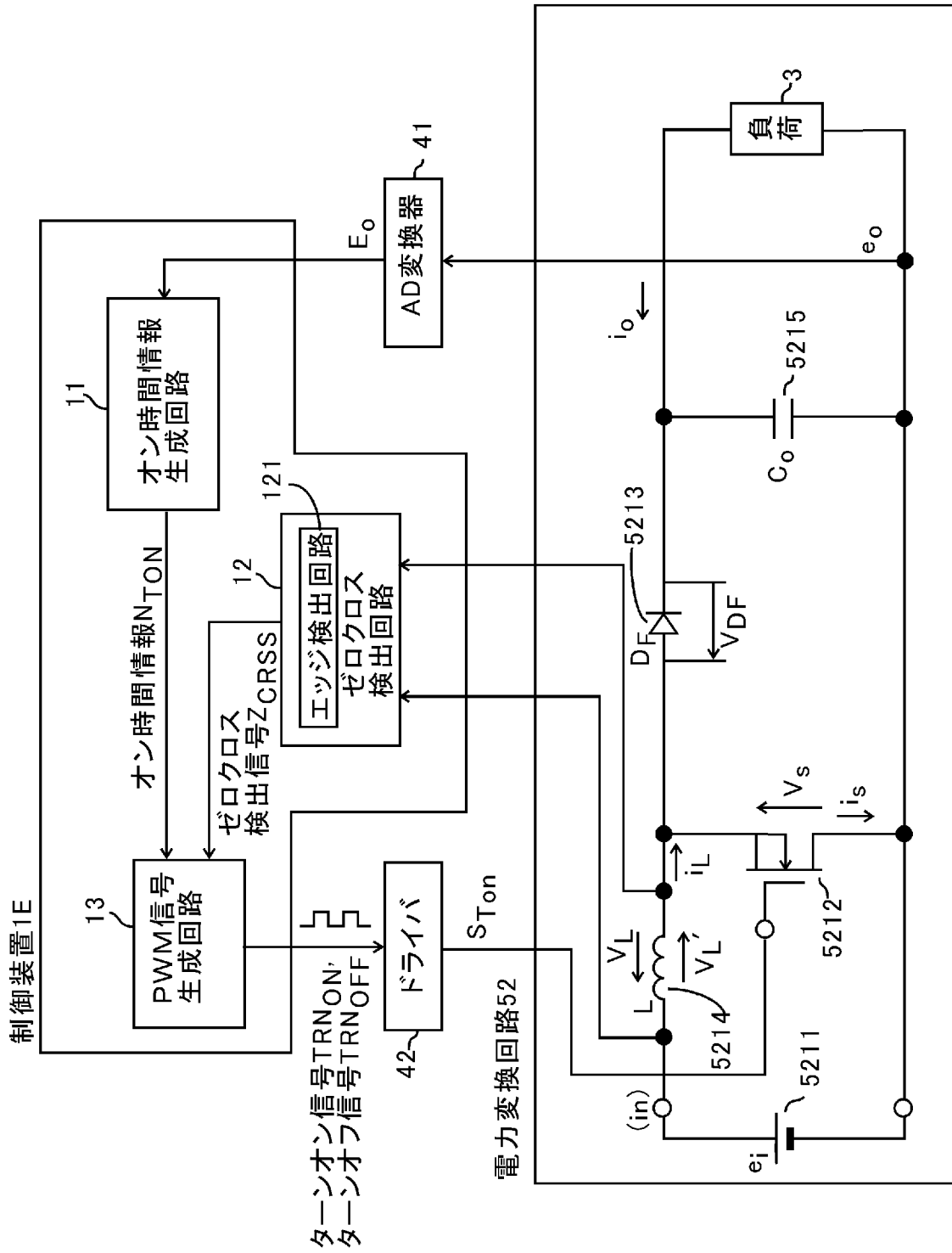
[図13]



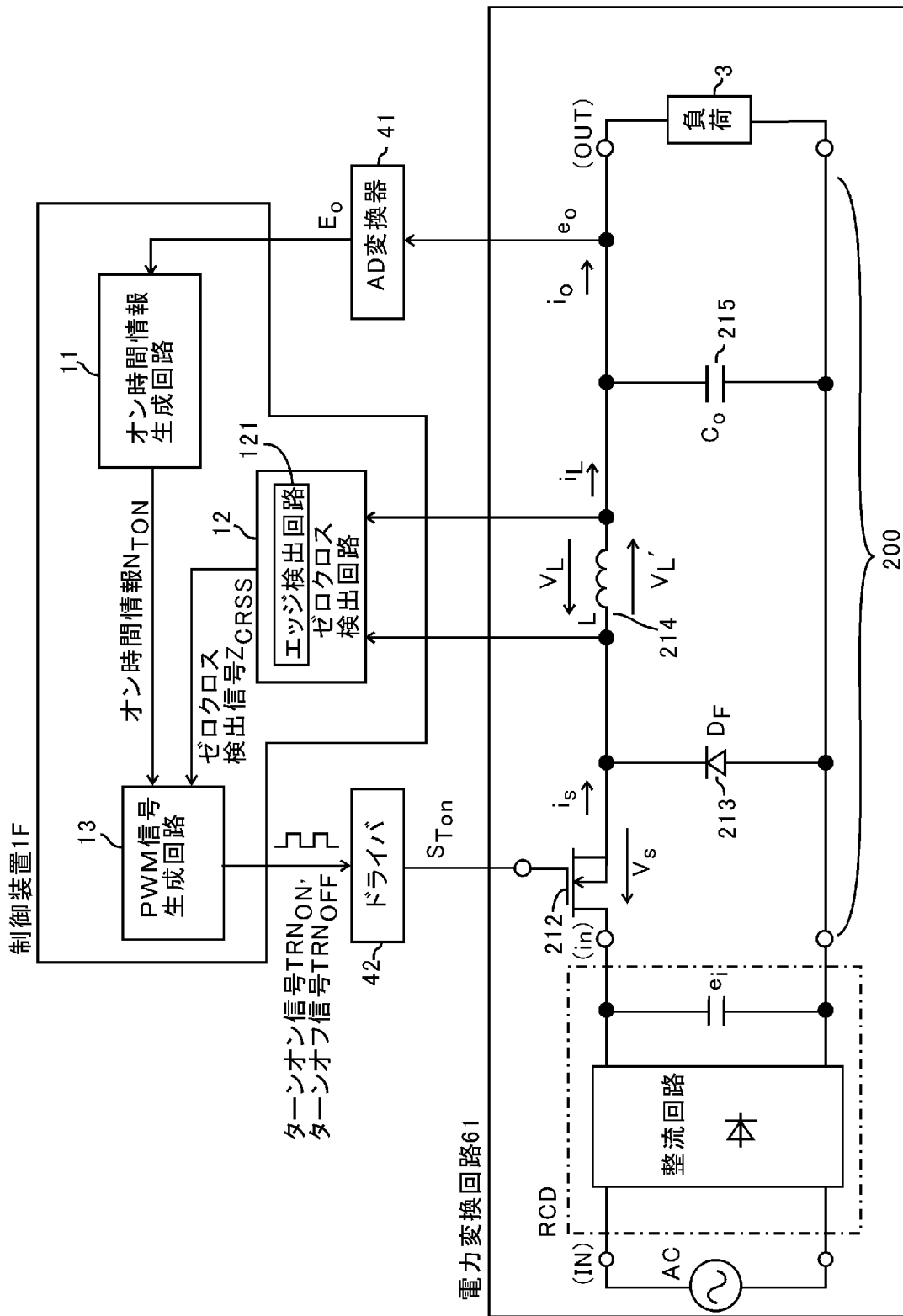
[図14]



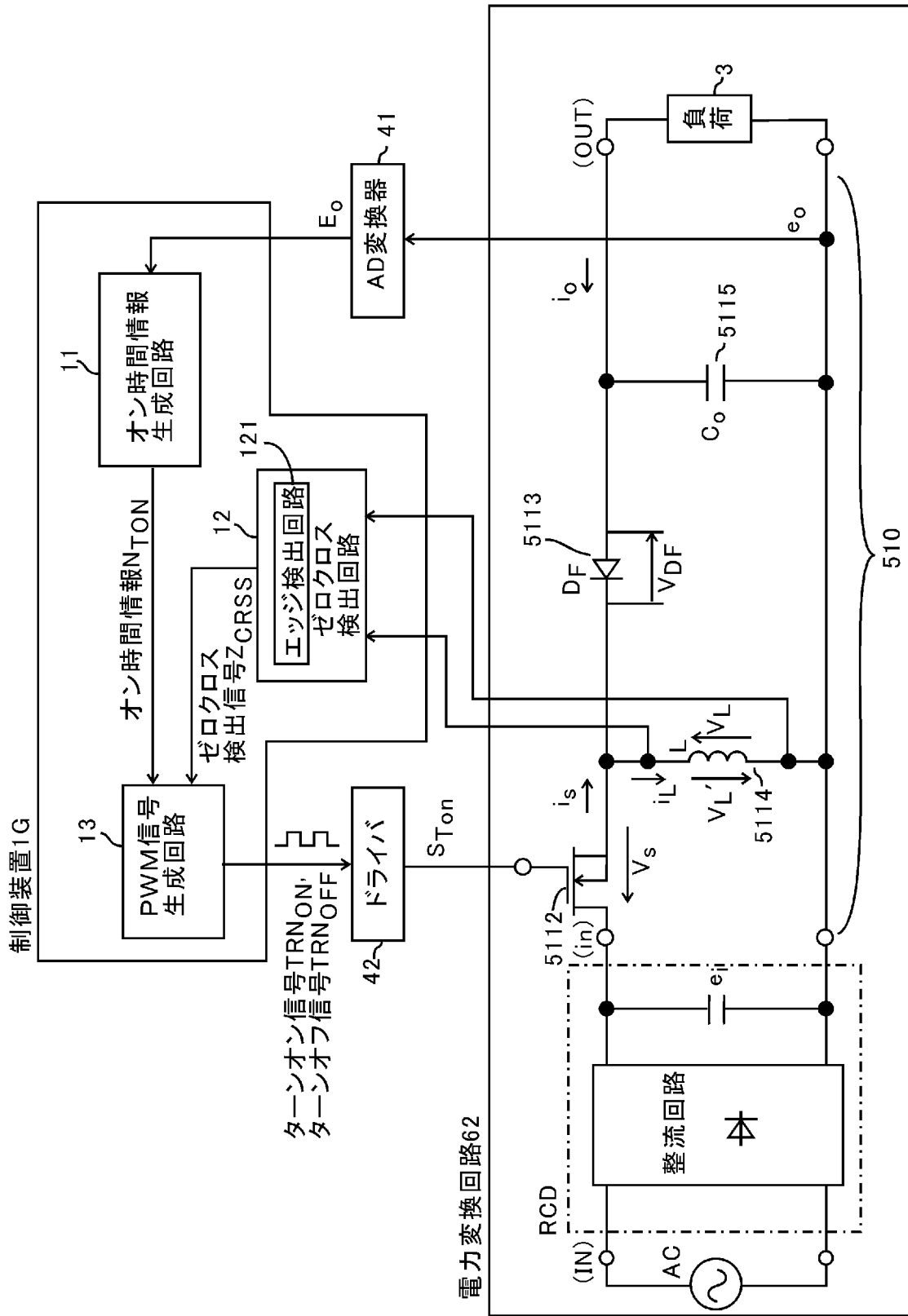
[図15]



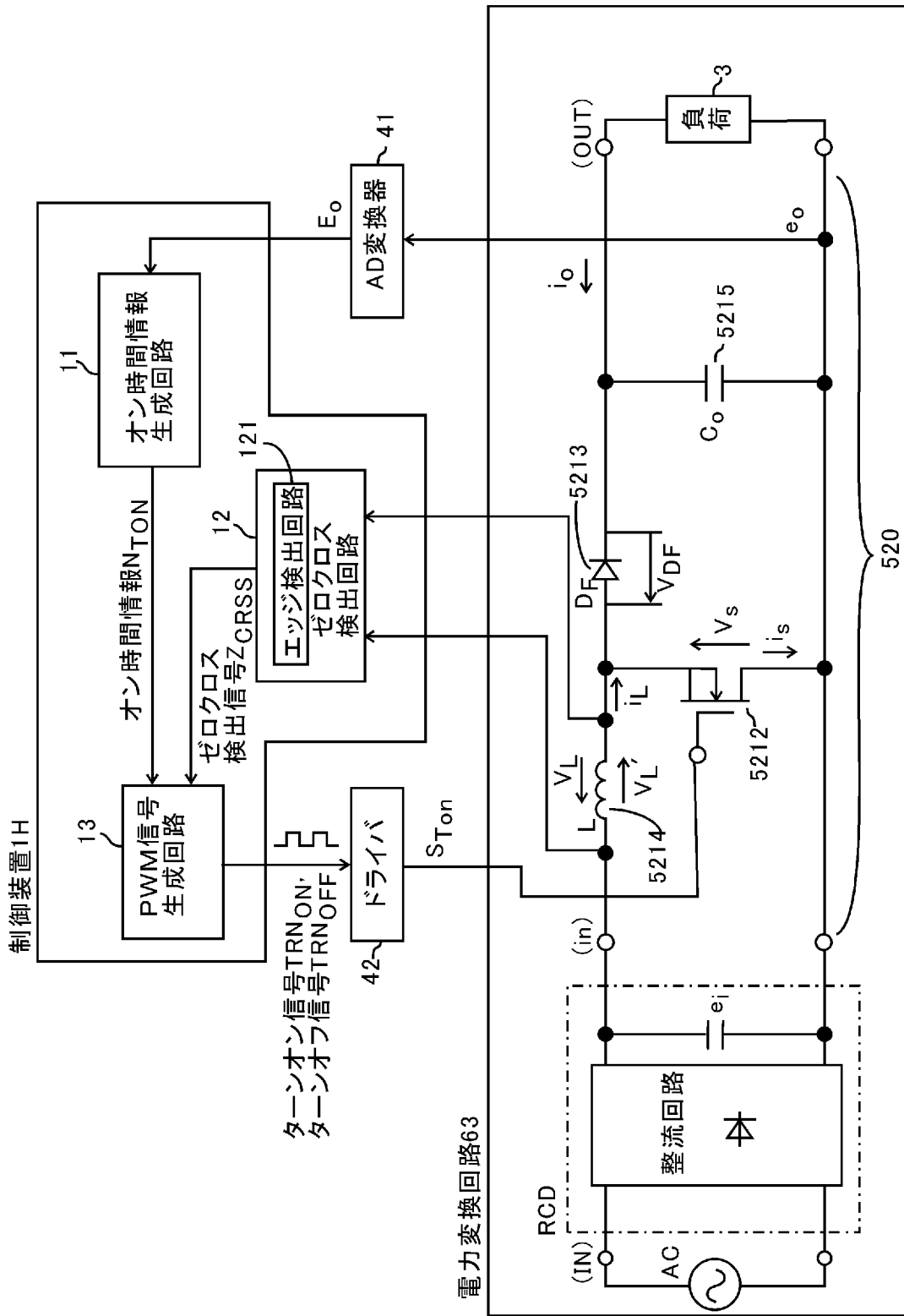
[図16]



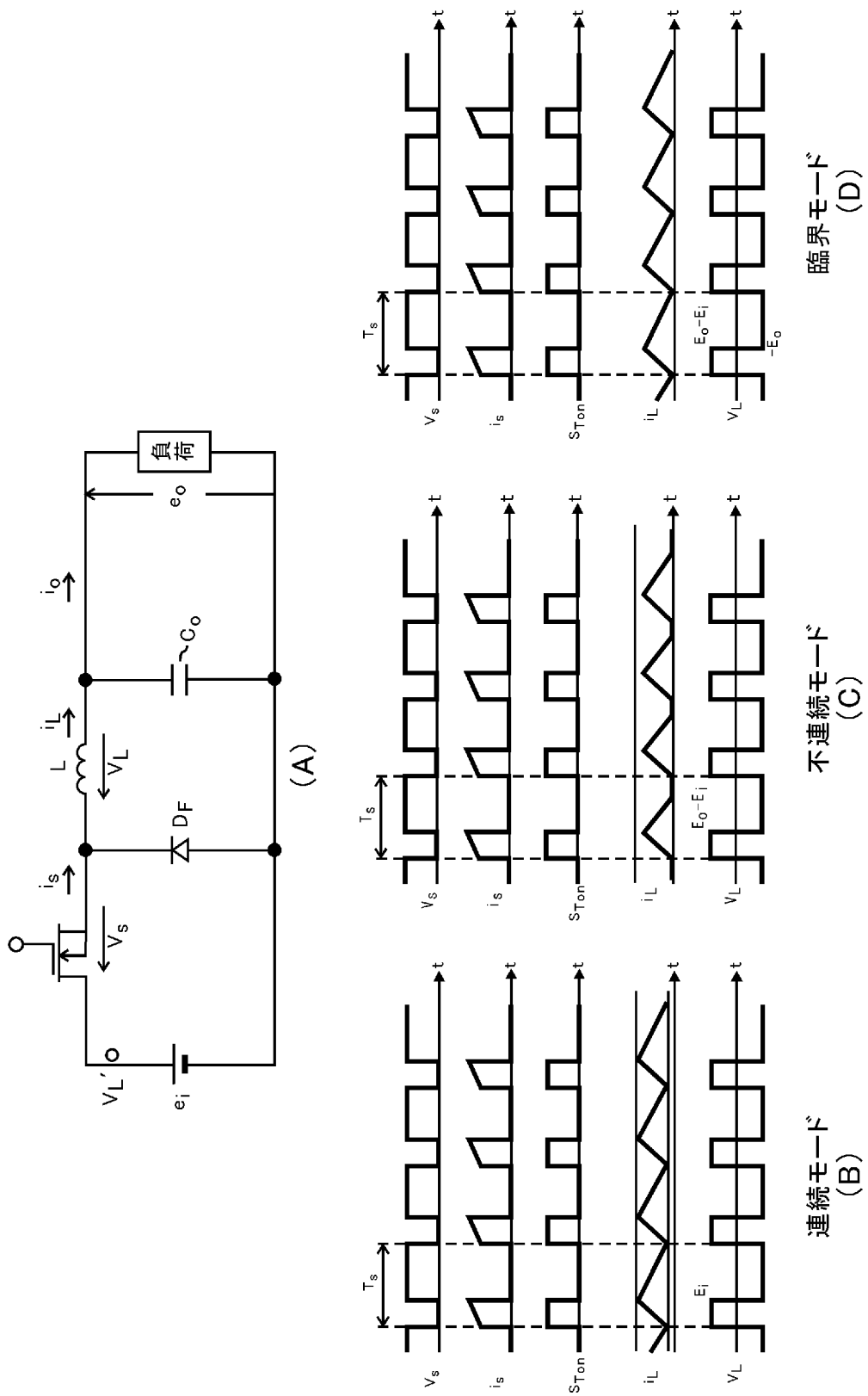
[図17]



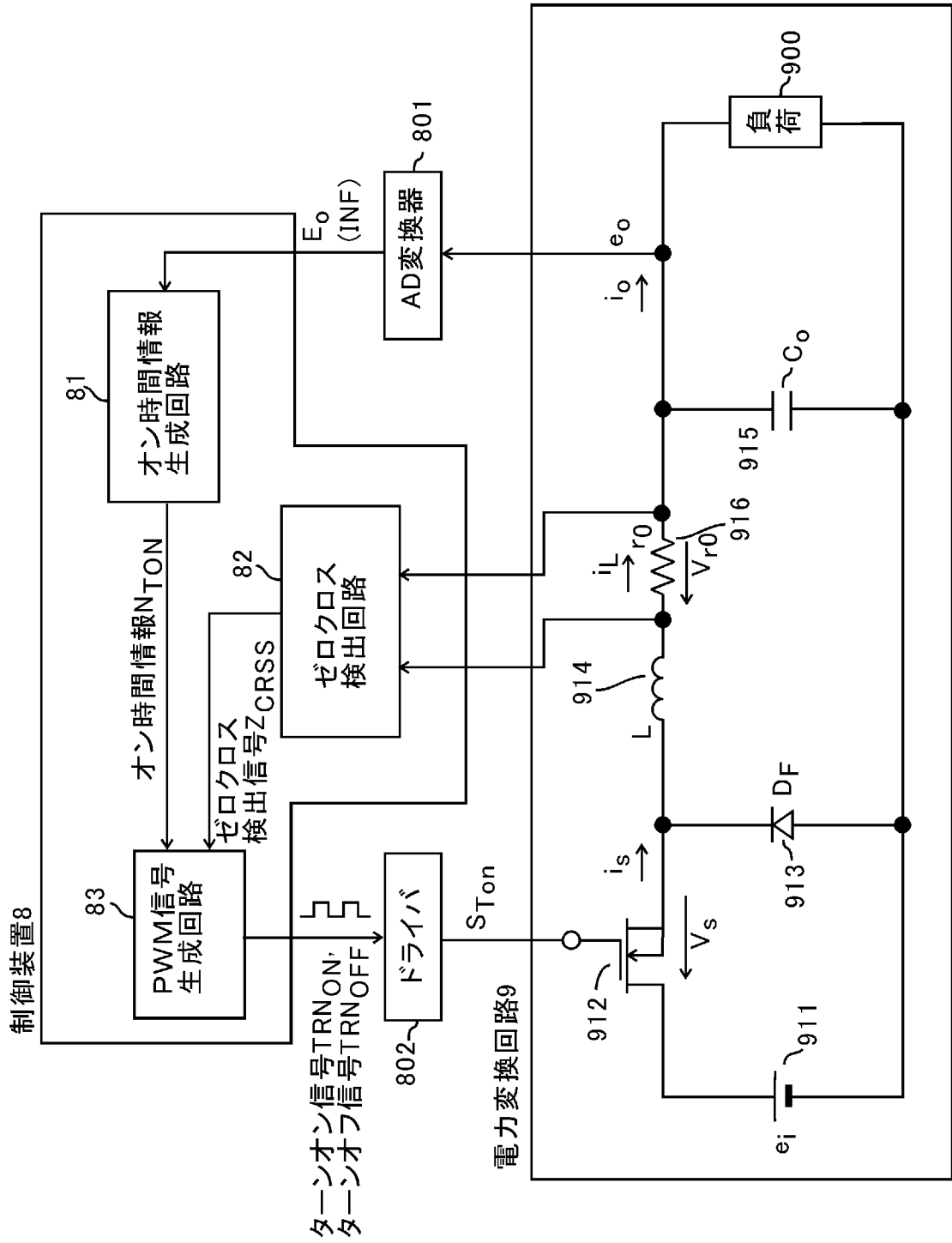
[図18]



[図19]



[図20]



ターンオン信号TRN ON,
ターンオフ信号TRN OFF

802~ ドライバ

STon

電力変換回路9

制御装置8

83

PWM信号
生成回路

オン時間情報TON

ゼロクロス
検出信号ZCRSS

82

ゼロクロス
検出回路

Eo (INF)

AD変換器~ 801

81

オン時間情報
生成回路

912

is

Vs

ei

911

DF

913

914

L

is

Vs

ei

DF

913

916

r0

is

Vs

ei

DF

913

915

Co

is

Vs

ei

DF

913

916

r0

is

Vs

ei

DF

913

916

r0

is

Vs

ei

DF

913

916

r0

is

Vs

ei

DF

913

916

r0

is

Vs

ei

DF

913

916

r0

is

Vs

ei

DF

913