



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년03월15일

(11) 등록번호 10-1603246

(24) 등록일자 2016년03월08일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0135447

(22) 출원일자 2009년12월31일

심사청구일자 2014년12월11일

(65) 공개번호 10-2011-0078596

(43) 공개일자 2011년07월07일

(56) 선행기술조사문헌

KR1020080052107 A\*

KR1020080104860 A\*

KR1020090101828 A\*

KR1020090105558 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

허재석

경기 용인시 처인구 중부대로 1144, 104동 1601호  
(삼가동, 진우아파트)

서지연

경기 파주시 월롱면 엘지로 245, LG기숙사 105동  
217호 (파주LCD산업단지)

(74) 대리인

박영복

전체 청구항 수 : 총 7 항

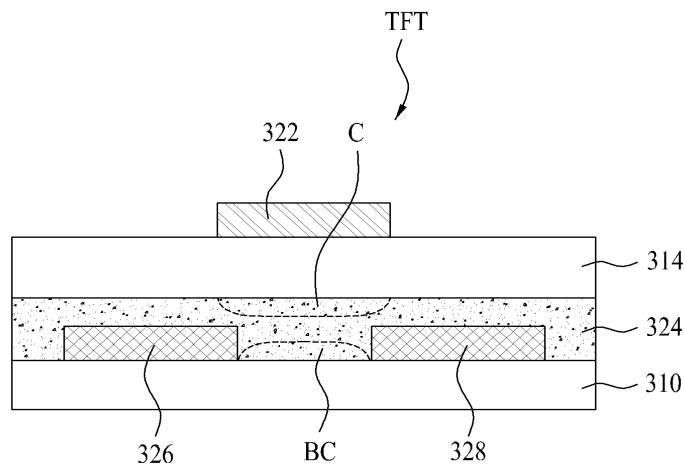
심사관 : 최혜미

(54) 발명의 명칭 박막 트랜지스터

(57) 요약

본 발명은 채널 영역의 전도성을 증가시키고 백 채널 영역의 누설 전류를 억제할 수 있는 박막 트랜지스터에 관한 것으로, 본 발명에 따른 박막 트랜지스터는 소자 기판 상에 형성된 게이트 전극과, 상기 기판 상에 이격되어 형성된 소스 전극 및 드레인 전극과, 상기 게이트 전극과 상기 소스 전극 및 상기 드레인 전극을 절연시키는 게이트 절연막 및 상기 게이트 절연막에 의해 상기 게이트 전극과 절연되고 채널 영역 및 백 채널 영역을 포함하며  $(In_2O_3)_x(Ga_2O_3)_y(ZnO)_z$  ( $0 \leq x \leq 5$ ,  $0 \leq y \leq 5$ ,  $0 \leq z \leq 5$ )로 이루어진 반도체층을 포함하고, 상기 반도체층의 상기 채널 영역에서는 X 또는 Z가 Y보다 크고, 상기 반도체층의 상기 백 채널 영역에서는 Y가 X 및 Z보다 큰 것을 특징으로 한다.

대표도 - 도1c



**명세서**

**청구범위**

**청구항 1**

소자 기판 상에 형성된 게이트 전극;

상기 기판 상에 이격되어 형성된 소스 전극 및 드레인 전극;

상기 게이트 전극과 상기 소스 전극 및 상기 드레인 전극을 절연시키는 게이트 절연막; 및

상기 게이트 절연막에 의해 상기 게이트 전극과 절연되고 채널 영역 및 백 채널 영역을 포함하며  $(\text{In}_2\text{O}_3)_x(\text{Ga}_2\text{O}_3)_y(\text{ZnO})_z$  ( $0 \leq x \leq 5$ ,  $0 \leq y \leq 5$ ,  $0 \leq z \leq 5$ )로 이루어진 반도체층을 포함하고,

상기 반도체층의 상기 채널 영역에서는  $x$  및  $z$ 가  $y$ 보다 크고  $x$ 가  $z$ 보다 같거나 크며,

상기 반도체층의 상기 백 채널 영역에서는  $y$ 가  $x$  및  $z$ 보다 큰 박막 트랜지스터.

**청구항 2**

제 1 항에 있어서, 상기 게이트 전극은 하부 게이트 구조로 상기 반도체층의 하부에 상기 채널 영역이 형성되고,

상기 반도체층의 상부에 상기 백 채널 영역이 형성되는 박막 트랜지스터.

**청구항 3**

제 1 항에 있어서, 상기 게이트 전극은 상부 게이트 구조로 상기 반도체층의 하부에 상기 백 채널 영역이 형성되고,

상기 반도체층의 상부에 상기 채널 영역이 형성되는 박막 트랜지스터.

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

제 1 항에 있어서, 상기 게이트 전극은 상기 소자 기판에 형성되고,

상기 게이트 절연막은 상기 게이트 전극이 형성된 상기 소자 기판 상에 형성되고,

상기 소스 전극 및 상기 드레인 전극은 상기 게이트 전극과 일부 중첩되도록 상기 게이트 절연막 상에 형성되고,

상기 반도체층은 상기 소스 전극 및 상기 드레인 전극을 덮도록 상기 게이트 절연막 상에 형성되는 박막 트랜지스터.

**청구항 7**

제 1 항에 있어서, 상기 게이트 전극은 상기 소자 기판에 형성되고,

상기 게이트 절연막은 상기 게이트 전극이 형성된 상기 소자 기판 상에 형성되고,

상기 반도체층은 상기 게이트 전극과 중첩되도록 상기 게이트 절연막 상에 형성되고,

상기 소스 전극 및 상기 드레인 전극은 이격되어 상기 게이트 전극과 일부 중첩되도록 상기 반도체층 상에 형성되는 박막 트랜지스터.

**청구항 8**

제 1 항에 있어서, 상기 소스 전극 및 상기 드레인 전극은 이격되어 상기 소자 기판에 형성되고,  
 상기 반도체층은 상기 소스 전극 및 상기 드레인 전극을 덮도록 상기 소자 기판 상에 형성되고,  
 상기 게이트 절연막은 상기 반도체층이 형성된 상기 소자 기판 상에 형성되고,  
 상기 게이트 전극은 상기 소스 전극 및 상기 드레인 전극과 일부 중첩되도록 상기 게이트 절연막 상에 형성되는 박막 트랜지스터.

**청구항 9**

제 1 항에 있어서, 상기 반도체층은 상기 소자 기판에 형성되고,  
 상기 소스 전극 및 상기 드레인 전극은 상기 반도체층 상에 이격되어 형성되고,  
 상기 게이트 절연막은 상기 소스 전극 및 상기 드레인 전극이 형성된 상기 반도체층 상에 형성되고,  
 상기 게이트 전극은 상기 소스 전극 및 상기 드레인 전극과 일부 중첩되도록 상기 게이트 절연막 상에 형성되는 박막 트랜지스터.

**발명의 설명**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 박막 트랜지스터에 관한 것으로, 특히 채널 영역의 전도성을 증가시키고 백 채널 영역의 누설 전류를 억제할 수 있는 박막 트랜지스터에 관한 것이다.

**배경 기술**

[0002] 근래 정보화 사회의 발전과 더불어, 표시 장치에 대한 다양한 형태의 요구가 증대되면서, LCD(Liquid Crystalline Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), FED(Field Emission Display), VFD(Vacuum Fluorescent Display)등 평판 표시 장치에 대한 연구가 활발히 진행되고 있다.

[0003] 표시 장치를 구성하는 각 화소의 스위칭 소자로서, 주로 절연 표면을 갖는 기판 위에 형성된 반도체층에 채널 영역이 형성되는 박막 트랜지스터(TFT)가 널리 응용되고 있다.

[0004] 일반적으로, 표시 장치에 사용되는 박막 트랜지스터의 전류-전압 특성은 반도체층과 게이트 절연막의 특성, 게이트 절연막과 반도체층 사이의 계면 특성, 반도체층과 소오스-드레인 전극 사이의 오믹(ohmic) 특성, 전계효과 전자 이동도 등에 의해 영향을 받는다.

[0005] 박막 트랜지스터는 게이트 전극에 문턱 전압 이상의 전압이 인가되면 필드 이펙트(field effect)에 의해 반도체층에 이동 가능한 전하(mobile carrier)인 자유 전자가 유도되고, 소오스-드레인 전극 사이의 바이어스 전압에 의해 자유 전자가 이동되어 전류가 흐르는 온 상태가 된다.

[0006] 박막 트랜지스터의 반도체층으로는 대개 비정질 실리콘(amorphous silicon)이나 폴리 실리콘(poly-silicon)과 같은 반도체 물질로 형성되는데, 반도체층이 비정질 실리콘으로 형성되면 이동도(mobility)가 낮아 고속으로 동작되는 구동 회로의 구현이 어려우며, 폴리 실리콘으로 형성되면 이동도는 높지만 문턱전압이 불균일하여 별도의 보상 회로가 부가되어야 하는 문제점이 있다.

[0007] 또한, 저온 폴리 실리콘(low temperature poly-silicon; LTPS)을 이용한 종래의 박막 트랜지스터 제조 방법은 레이저 열처리 등과 같은 고가의 공정이 포함되고 특성 제어가 어렵기 때문에 대면적의 기판에 적용이 어려운 문제점이 있다. 이러한 문제점을 해결하기 위해 최근에는 산화물을 반도체층으로 이용하는 연구가 진행되고 있다.

[0008] 산화물 반도체층은 실리콘 반도체층에 비하여 이동도(mobility) 및 온/오프 전류비((Ion/Ioff ratio)가 뛰어난 특성을 보인다. 그런데, 산화물로 반도체층 전역에 형성할 경우 반도체층의 채널 영역의 전도성을 증가시키면 백 채널(BACK CHANNEL)의 전도성도 동시에 증가하는 등 전류가 흐르는 온(On) 상태와 전류가 흐르지 않는 오프

(Off) 상태가 연동한다.

- [0009] 즉 반도체층의 채널 영역과 백 채널 영역이 모두 동일한 조성물로 분포되어 있어 채널 영역에서의 전도성을 증가시키면 오프 상태에서 백 채널 영역에서 발생하는 누설 통로로 인한 누설 전류가 증가한다. 반면, 백 채널 영역에서의 누설 전류를 방지하기 위하여 전도성을 감소시키면 채널 영역에서의 전도성이 감소되어 박막 트랜지스터의 특성을 저하시킨다.
- [0010] 이렇듯, 반도체층 전 영역의 구성 성분이 동일하여 채널 영역과 백 채널 영역이 트레이드 오프(trade off)관계가 되므로 산화물 반도체층으로 형성된 박막 트랜지스터의 동작 특성을 향상시키기에 한계가 있다.

**발명의 내용**

**해결 하고자하는 과제**

- [0011] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 채널 영역의 전도성을 증가시키고 백 채널 영역의 누설 전류를 억제할 수 있는 박막 트랜지스터를 제공하는데 목적이 있다.

**과제 해결수단**

- [0012] 본 발명에 따른 박막 트랜지스터는 소자 기판 상에 형성된 게이트 전극과, 상기 기판 상에 이격되어 형성된 소스 전극 및 드레인 전극과, 상기 게이트 전극과 상기 소스 전극 및 상기 드레인 전극을 절연시키는 게이트 절연막 및 상기 게이트 절연막에 의해 상기 게이트 전극과 절연되고 채널 영역 및 백 채널 영역을 포함하며  $(In_xO_3)_x(Ga_yO_3)_y(ZnO)_z$  ( $0 \leq x \leq 5$ ,  $0 \leq y \leq 5$ ,  $0 \leq z \leq 5$ )로 이루어진 반도체층을 포함하고, 상기 반도체층의 상기 채널 영역에서는 X 또는 Z가 Y보다 크고, 상기 반도체층의 상기 백 채널 영역에서는 Y가 X 및 Z보다 큰 것을 특징으로 한다.
- [0013] 상기 게이트 전극은 하부 게이트 구조로 상기 반도체층의 하부에 상기 채널 영역이 형성되고, 상기 반도체층의 상부에 상기 백 채널 영역이 형성된다.
- [0014] 상기 게이트 전극은 상부 게이트 구조로 상기 반도체층의 하부에 상기 백 채널 영역이 형성되고, 상기 반도체층의 상부에 상기 채널 영역이 형성된다.
- [0015] 상기 반도체층의 상기 채널 영역에서 상기 X는 상기 Z보다 크다.
- [0016] 상기 반도체층의 상기 채널 영역에서 상기 X는 상기 Z와 같다.
- [0017] 상기 게이트 전극은 상기 소자 기판에 형성되고, 상기 게이트 절연막은 상기 게이트 전극이 형성된 상기 소자 기판 상에 형성되고, 상기 소스 전극 및 상기 드레인 전극은 상기 게이트 전극과 일부 중첩되도록 상기 게이트 절연막 상에 형성되고, 상기 반도체층은 상기 소스 전극 및 상기 드레인 전극을 덮도록 상기 게이트 절연막 상에 형성된다.
- [0018] 또는, 상기 게이트 전극은 상기 소자 기판에 형성되고, 상기 게이트 절연막은 상기 게이트 전극이 형성된 상기 소자 기판 상에 형성되고, 상기 반도체층은 상기 게이트 전극과 중첩되도록 상기 게이트 절연막 상에 형성되고, 상기 소스 전극 및 상기 드레인 전극은 이격되어 상기 게이트 전극과 일부 중첩되도록 상기 반도체층 상에 형성된다.
- [0019] 또는, 상기 소스 전극 및 상기 드레인 전극은 이격되어 상기 소자 기판에 형성되고, 상기 반도체층은 상기 소스 전극 및 상기 드레인 전극을 덮도록 상기 소자 기판 상에 형성되고, 상기 게이트 절연막은 상기 반도체층이 형성된 상기 소자 기판 상에 형성되고, 상기 게이트 전극은 상기 소스 전극 및 상기 드레인 전극과 일부 중첩되도록 상기 게이트 절연막 상에 형성된다.
- [0020] 또는, 상기 반도체층은 상기 소자 기판에 형성되고, 상기 소스 전극 및 상기 드레인 전극은 상기 반도체층 상에 이격되어 형성되고, 상기 게이트 절연막은 상기 소스 전극 및 상기 드레인 전극이 형성된 상기 반도체층 상에 형성되고, 상기 게이트 전극은 상기 소스 전극 및 상기 드레인 전극과 일부 중첩되도록 상기 게이트 절연막 상에 형성된다.

**효과**

- [0021] 본 발명은 박막 트랜지스터의 온 전류 및 이동도를 증가시키고 동시에 오프 전류의 발생을 방지할 수 있어 박막

트랜지스터의 동작 특성을 향상시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0022] 본 발명에 따른 박막 트랜지스터(TFT)는 게이트 전극과, 게이트 절연막과, 산화물 반도체층과, 이격되어 형성된 소스 전극 및 드레인 전극을 포함한다. 산화물 반도체층은 채널 영역 및 백 채널 영역으로 정의된다.
- [0023] 반도체층으로는 ZnO, Ga<sub>2</sub>O<sub>3</sub>, In<sub>2</sub>O<sub>3</sub> 또는 이들의 혼합물이 적용될 수 있다. 이때, 반도체층의 채널 영역이 하부에 형성되는 경우 반도체층의 하부는 채널 영역의 전도성을 증가시키는 Zn 또는 In(mol%)이 Ga(mol%)보다 더 함유되도록 형성되고, 백 채널 영역이 형성되는 반도체층의 상부는 백 채널 영역의 전도성을 감소시키는 Ga(mol%)가 Zn, In(mol%)보다 더 함유되도록 형성된다.
- [0024] 또는, 반도체층의 채널 영역이 상부에 형성되는 경우 반도체층의 상부는 채널 영역의 전도성을 증가시키는 Zn 또는 In(mol%)이 Ga(mol%)보다 더 함유되도록 형성되고, 백 채널 영역이 형성되는 반도체층의 하부는 백 채널 영역의 전도성을 감소시키는 Ga(mol%)가 Zn, In(mol%)보다 더 함유되도록 형성된다.
- [0025] 이하, 첨부된 도면을 통해 본 발명에 따른 박막 트랜지스터의 실시예들을 구체적으로 살펴보면 다음과 같다. 도 1a 및 도 1b는 하부 게이트 구조의 박막 트랜지스터의 실시양태를 도시하며, 도 1c 및 도 1d는 상부 게이트 구조의 박막 트랜지스터의 실시양태를 도시한 것이다.
- [0026] 도 1a를 참조하면, 본 발명의 제 1 실시예에 따른 하부 게이트 구조의 박막 트랜지스터(TFT)는 소자 기판(110) 상에 형성된 게이트 전극(122)과, 게이트 전극(122) 상에 형성된 게이트 절연막(114)과, 게이트 절연막(114) 상에 이격되어 형성된 소스 전극(126) 및 드레인 전극(128) 및 소스 전극(126)과 드레인 전극(128)을 덮는 반도체층(124)을 포함한다.
- [0027] 게이트 전극(122)은 금속 물질로 소자 기판(110) 상에 섬 형상으로 형성된다. 게이트 전극(122)을 형성하는 금속 물질은 적층 구조로 적용될 수 있다.
- [0028] 게이트 절연막(114)은 게이트 전극(122)이 형성된 소자 기판(110) 전면에 질화 실리콘층, 산화 실리콘층 또는 질화산화 실리콘층을 사용하여 형성된다. 게이트 절연막(114)은 소자 기판(110)과 게이트 절연막(114)의 밀착력을 높이고 소자 기판(110)으로부터의 불순물이 반도체층(124)으로 확산되는 것을 방지하고 게이트 전극(122)의 산화를 방지한다.
- [0029] 소스 전극(126) 및 드레인 전극(128)은 금속 물질로 게이트 절연막(114) 상에 이격되어 형성된다. 이때, 소스 전극(126)의 일단 및 드레인 전극(128)의 일단은 게이트 전극(122)과 중첩되도록 형성된다. 소스 전극(126) 및 드레인 전극(128)을 형성하는 금속 물질은 적층 구조로 적용될 수 있다.
- [0030] 반도체층(124)은 산화물로 소스 전극(126) 및 드레인 전극(128)을 덮도록 게이트 절연막(114) 상에 형성된다. 이때, 반도체층(124)은 이격된 소스 전극(126) 및 드레인 전극(128) 사이의 채널 영역(C)이 형성되는 하부 및 백 채널 영역(BC)이 형성되는 상부로 정의될 수 있다.
- [0031] 반도체층(124)을 구성하는 산화물로는 (Ga<sub>2</sub>O<sub>3</sub>)<sub>x</sub>(In<sub>2</sub>O<sub>3</sub>)<sub>1-x</sub>, (In<sub>2</sub>O<sub>3</sub>)<sub>x</sub>(ZnO)<sub>1-x</sub>, (ZnO)<sub>x</sub>(Ga<sub>2</sub>O<sub>3</sub>)<sub>1-x</sub> 또는 (In<sub>2</sub>O<sub>3</sub>)<sub>x</sub>(Ga<sub>2</sub>O<sub>3</sub>)<sub>y</sub>(ZnO)<sub>z</sub>가 적용될 수 있다. 여기서 0 ≤ x ≤ 5, 0 ≤ y ≤ 5, 0 ≤ z ≤ 5이다.
- [0032] 도 1b를 참조하면, 본 발명의 제 2 실시예에 따른 하부 게이트 구조의 박막 트랜지스터(TFT)는 소자 기판(210) 상에 형성된 게이트 전극(222)과, 게이트 전극(222) 상에 형성된 게이트 절연막(214)과, 게이트 절연막(214) 상에 게이트 전극(222)과 중첩되도록 형성된 반도체층(224) 및 반도체층(224) 상에 이격되어 형성된 소스 전극(226) 및 드레인 전극(228)을 포함한다.
- [0033] 게이트 전극(222)은 금속 물질로 소자 기판(210) 상에 섬 형상으로 형성된다. 게이트 전극(222)을 형성하는 금속 물질은 적층 구조로 적용될 수 있다. 게이트 절연막(214)은 게이트 전극(222)이 형성된 소자 기판(210) 전면에 질화 실리콘층, 산화 실리콘층 또는 질화산화 실리콘층을 사용하여 형성된다.
- [0034] 반도체층(224)은 산화물로 게이트 전극(222)과 중첩되도록 게이트 절연막(214) 상에 형성된다. 이때, 반도체층(224)은 게이트 전극(222)과 중첩되는 채널 영역(C)이 형성되는 하부 및 이격된 소스 전극(226) 및 드레인 전극(228) 사이의 백 채널 영역(BC)이 형성되는 상부로 정의될 수 있다.
- [0035] 반도체층(224)을 구성하는 산화물로는 (Ga<sub>2</sub>O<sub>3</sub>)<sub>x</sub>(In<sub>2</sub>O<sub>3</sub>)<sub>1-x</sub>, (In<sub>2</sub>O<sub>3</sub>)<sub>x</sub>(ZnO)<sub>1-x</sub>, (ZnO)<sub>x</sub>(Ga<sub>2</sub>O<sub>3</sub>)<sub>1-x</sub> 또는

$(\text{In}_2\text{O}_3)_x(\text{Ga}_2\text{O}_3)_y(\text{ZnO})_z$ 가 적용될 수 있다. 여기서  $0 \leq x \leq 5$ ,  $0 \leq y \leq 5$ ,  $0 \leq z \leq 5$ 이다.

- [0036] 소스 전극(226) 및 드레인 전극(228)은 금속 물질로 반도체층(224) 상에 이격되어 형성된다. 이때, 소스 전극(226)의 일단 및 드레인 전극(228)의 일단은 게이트 전극(222)과 중첩되도록 형성된다. 소스 전극(226) 및 드레인 전극(228)을 형성하는 금속 물질은 적층 구조로 적용될 수 있다.
- [0037] 도 1c를 참조하면, 본 발명의 제 3 실시예에 따른 상부 게이트 구조의 박막 트랜지스터(TFT)는 소자 기판(310) 상에 이격되어 형성된 소스 전극(326) 및 드레인 전극(328)과, 소스 전극(326) 및 드레인 전극(328)과 중첩되도록 소자 기판(310) 상에 형성된 반도체층(324)과, 소자 기판(310) 전면에 형성된 게이트 절연막(314) 및 소스 전극(326) 및 드레인 전극(328)과 일부 중첩되도록 게이트 절연막(314) 상에 형성된 게이트 전극(322)을 포함한다.
- [0038] 소스 전극(326) 및 드레인 전극(328)은 금속 물질로 소자 기판(310) 상에 이격되어 형성된다. 이때, 소스 전극(326)의 일단 및 드레인 전극(328)의 일단은 게이트 전극(322)과 중첩되도록 형성된다. 소스 전극(326) 및 드레인 전극(328)을 형성하는 금속 물질은 적층 구조로 적용될 수 있다.
- [0039] 반도체층(324)은 산화물로 소스 전극(326) 및 드레인 전극(328)과 중첩되도록 소자 기판(310) 상에 형성된다. 이때, 반도체층(324)은 이격된 소스 전극(326) 및 드레인 전극(328) 사이의 백 채널 영역(BC)이 형성되는 하부 및 게이트 절연막(314)과 접촉되는 채널 영역(C)이 형성되는 상부로 정의될 수 있다.
- [0040] 반도체층(324)을 구성하는 산화물로는  $(\text{Ga}_2\text{O}_3)_x(\text{In}_2\text{O}_3)_{1-x}$ ,  $(\text{In}_2\text{O}_3)_x(\text{ZnO})_{1-x}$ ,  $(\text{ZnO})_x(\text{Ga}_2\text{O}_3)_{1-x}$  또는  $(\text{In}_2\text{O}_3)_x(\text{Ga}_2\text{O}_3)_y(\text{ZnO})_z$ 가 적용될 수 있다. 여기서  $0 \leq x \leq 5$ ,  $0 \leq y \leq 5$ ,  $0 \leq z \leq 5$ 이다.
- [0041] 게이트 절연막(314)은 소스 전극(326) 및 드레인 전극(328)이 형성된 소자 기판(310) 전면에 질화 실리콘층, 산화 실리콘층 또는 질화산화 실리콘층을 사용하여 형성된다. 게이트 전극(322)은 금속 물질로 소스 전극(326) 및 드레인 전극(328)과 일부 중첩되도록 반도체층(324) 상에 섬 형상으로 형성된다. 게이트 전극(322)을 형성하는 금속 물질은 적층 구조로 적용될 수 있다.
- [0042] 도 1d를 참조하면, 본 발명의 제 4 실시예에 따른 상부 게이트 구조의 박막 트랜지스터(TFT)는 소자 기판(410)에 형성된 반도체층(424)과, 반도체층(424) 상에 이격되어 형성된 소스 전극(426) 및 드레인 전극(428)과, 소스 전극(426) 및 드레인 전극(428)이 형성된 반도체층(424) 상에 형성된 게이트 절연막(414) 및 소스 전극(426) 및 드레인 전극(428)과 일부 중첩되도록 게이트 절연막(414) 상에 형성된 게이트 전극(422)을 포함한다.
- [0043] 반도체층(424)은 산화물로 소자 기판(410) 상에 형성된다. 이때, 반도체층(424)은 백 채널 영역(BC)이 형성되는 하부 및 이격된 소스 전극(426) 및 드레인 전극(428) 사이의 게이트 절연막(414)과 접촉되는 채널 영역(C)이 형성되는 상부로 정의될 수 있다.
- [0044] 반도체층(324)을 구성하는 산화물로는  $(\text{Ga}_2\text{O}_3)_x(\text{In}_2\text{O}_3)_{1-x}$ ,  $(\text{In}_2\text{O}_3)_x(\text{ZnO})_{1-x}$ ,  $(\text{ZnO})_x(\text{Ga}_2\text{O}_3)_{1-x}$  또는  $(\text{In}_2\text{O}_3)_x(\text{Ga}_2\text{O}_3)_y(\text{ZnO})_z$ 가 적용될 수 있다. 여기서  $0 \leq x \leq 5$ ,  $0 \leq y \leq 5$ ,  $0 \leq z \leq 5$ 이다.
- [0045] 소스 전극(426) 및 드레인 전극(428)은 금속 물질로 게이트 절연막(414) 상에 이격되어 형성된다. 이때, 소스 전극(426)의 일단 및 드레인 전극(428)의 일단은 게이트 전극(422)과 중첩되도록 형성된다. 소스 전극(426) 및 드레인 전극(428)을 형성하는 금속 물질은 적층 구조로 적용될 수 있다.
- [0046] 게이트 절연막(414)은 소자 기판(410) 전면에 질화 실리콘층, 산화 실리콘층 또는 질화산화 실리콘층을 사용하여 형성된다. 게이트 전극(422)은 금속 물질로 소스 전극(426) 및 드레인 전극(428)과 일부 중첩되도록 반도체층(424) 상에 섬 형상으로 형성된다. 게이트 전극(422)을 형성하는 금속 물질은 적층 구조로 적용될 수 있다.
- [0047] 도 2를 참조하면, In 및 Zn가 증가할수록 이동도 및 캐리어 농도가 증가하고, Ga이 증가할수록 이동도 및 캐리어 농도가 감소함을 알 수 있다. 따라서, 본 발명의 제 1 및 제 2 실시예에 따른 하부 게이트 구조의 박막 트랜지스터에서, 반도체층(124, 224)의 하부는 채널 영역(C)을 중심으로 A영역의 성분이 더 함유되도록 하고, 반도체층(124, 224)의 상부는 백 채널 영역(C)을 중심으로 B영역의 성분이 더 함유되도록 한다.
- [0048] 즉 본 발명의 제 1 및 제 2 실시예에 따른 하부 게이트 구조의 박막 트랜지스터에서, 반도체층(124)의 하부는 채널 영역(C)을 중심으로 AZnO 또는  $\text{In}_2\text{O}_3$ (mol%)가  $\text{Ga}_2\text{O}_3$ (mol%)보다 더 함유되도록 형성되고, 상부는 백 채널 영역(C)을 중심으로  $\text{Ga}_2\text{O}_3$ (mol%)가 ZnO 또는  $\text{In}_2\text{O}_3$ (mol%)보다 더 함유되도록 형성된다.

- [0049] 구체적으로, 반도체층(124, 224)을  $(\text{In}_2\text{O}_3)_x(\text{ZnO})_{1-x}$ 로 구성하는 경우 채널 영역(C)을 중심으로 반도체층(124, 224)의 하부는  $\text{In}_2\text{O}_3(\text{mol}\%)$ 가  $\text{ZnO}(\text{mol}\%)$ 와 같거나 더 함유된다.
- [0050] 또는, 반도체층(124, 224)을  $(\text{Ga}_2\text{O}_3)_x(\text{In}_2\text{O}_3)_{1-x}$ 로 구성하는 경우 채널 영역(C)을 중심으로 반도체층(124, 224)의 하부는  $\text{In}_2\text{O}_3(\text{mol}\%)$ 가  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 보다 더 함유되고, 백 채널 영역(BC)을 중심으로 반도체층(124, 224)의 상부는  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 가  $\text{In}_2\text{O}_3(\text{mol}\%)$ 보다 더 함유된다.
- [0051] 또는, 반도체층(124, 224)을  $(\text{ZnO})_x(\text{Ga}_2\text{O}_3)_{1-x}$ 로 구성하는 경우 채널 영역(C)을 중심으로 반도체층(124, 224)의 하부는  $\text{ZnO}(\text{mol}\%)$ 가  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 보다 더 함유되고, 백 채널 영역(BC)을 중심으로 반도체층(124, 224)의 상부는  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 가  $\text{ZnO}(\text{mol}\%)$ 보다 더 함유된다.
- [0052] 또는, 반도체층(124, 224)을  $(\text{In}_2\text{O}_3)_x(\text{ZnO})_y(\text{Ga}_2\text{O}_3)_z$ 로 구성하는 경우 채널 영역(C)을 중심으로 반도체층(124, 224)의 하부는  $\text{In}_2\text{O}_3(\text{mol}\%)$  또는  $\text{ZnO}(\text{mol}\%)$ 가  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 보다 더 함유되고, 백 채널 영역(BC)을 중심으로 반도체층(124, 224)의 상부는  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 가  $\text{In}_2\text{O}_3(\text{mol}\%)$  또는  $\text{ZnO}(\text{mol}\%)$ 보다 더 함유된다.
- [0053] 상술한 반도체층(124, 224)을 구성하는 산화물에서  $0 \leq x \leq 5$ ,  $0 \leq y \leq 5$ ,  $0 \leq z \leq 5$ 이다.
- [0054] 본 발명의 제 3 및 제 4 실시예 따른 상부 게이트 구조의 박막 트랜지스터에서, 반도체층(324, 424)의 채널 영역(C)은 A영역의 성분이 더 함유되도록 하고, 백 채널 영역(C)은 B영역의 성분이 더 함유되도록 한다. 즉 반도체층(324, 424)의 채널 영역(C)을 중심으로 반도체층(324, 424)의 상부는  $\text{ZnO}$  또는  $\text{In}_2\text{O}_3(\text{mol}\%)$ 가  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 보다 더 함유되도록 형성되고, 백 채널 영역(BC)을 중심으로 반도체층(324, 424)의 하부는  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 가  $\text{ZnO}$  또는  $\text{In}_2\text{O}_3(\text{mol}\%)$ 보다 더 함유되도록 형성된다.
- [0055] 구체적으로, 반도체층(324, 424)을  $(\text{In}_2\text{O}_3)_x(\text{ZnO})_{1-x}$ 로 구성하는 경우 채널 영역(C)을 중심으로 반도체층(324, 424)의 상부는  $\text{In}_2\text{O}_3(\text{mol}\%)$ 가  $\text{ZnO}(\text{mol}\%)$ 와 같거나 더 함유된다.
- [0056] 또는, 반도체층(324, 424)을  $(\text{Ga}_2\text{O}_3)_x(\text{In}_2\text{O}_3)_{1-x}$ 로 구성하는 경우 채널 영역(C)을 중심으로 반도체층(324, 424)의 상부는  $\text{In}_2\text{O}_3(\text{mol}\%)$ 가  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 보다 더 함유되고, 백 채널 영역(BC)을 중심으로 반도체층(324, 424)의 하부는  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 가  $\text{In}_2\text{O}_3(\text{mol}\%)$ 보다 더 함유된다.
- [0057] 또는, 반도체층(324, 424)을  $(\text{ZnO})_x(\text{Ga}_2\text{O}_3)_{1-x}$ 로 구성하는 경우 채널 영역(C)을 중심으로 반도체층(324, 424)의 상부는  $\text{ZnO}(\text{mol}\%)$ 가  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 보다 더 함유되고, 백 채널 영역(BC)을 중심으로 반도체층(324, 424)의 하부는  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 가  $\text{ZnO}(\text{mol}\%)$ 보다 더 함유된다.
- [0058] 또는, 반도체층(324, 424)을  $(\text{In}_2\text{O}_3)_x(\text{ZnO})_y(\text{Ga}_2\text{O}_3)_z$ 로 구성하는 경우 채널 영역(C)을 중심으로 반도체층(324, 424)의 상부는  $\text{In}_2\text{O}_3(\text{mol}\%)$  또는  $\text{ZnO}(\text{mol}\%)$ 가  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 보다 더 함유되고, 백 채널 영역(BC)을 중심으로 반도체층(324, 424)의 하부는  $\text{Ga}_2\text{O}_3(\text{mol}\%)$ 가  $\text{In}_2\text{O}_3(\text{mol}\%)$  또는  $\text{ZnO}(\text{mol}\%)$ 보다 더 함유된다.
- [0059] 상술한 반도체층(324, 424)을 구성하는 산화물에서  $0 \leq x \leq 5$ ,  $0 \leq y \leq 5$ ,  $0 \leq z \leq 5$ 이다.
- [0060] 이와 같이, 본 발명은 하부 게이트 구조의 박막 트랜지스터(TFT)의 경우 채널 영역(C)을 중심으로 반도체층의 하부에는 이동도 및 캐리어 농도를 증가시키기 위한  $\text{Zn}$  또는  $\text{In}$ 가  $\text{Ga}$ 보다 더 함유되도록 하고, 백 채널 영역(BC)을 중심으로 반도체층의 상부에는  $\text{In}$ 나  $\text{Zn}$ 에 비해 산소와의 결합력이 강한  $\text{Ga}$ 이 더 함유되도록 한다.
- [0061] 또한, 본 발명은 상부 게이트 구조의 박막 트랜지스터(TFT)의 경우 채널 영역(BC)을 중심으로 반도체층의 상부에는 이동도 및 캐리어 농도를 증가시키기 위한  $\text{Zn}$  또는  $\text{In}$ 가  $\text{Ga}$ 보다 더 함유되도록 하고, 백 채널 영역(BC)을 중심으로 반도체층의 하부에는 이동도 및 캐리어 농도를 감소시키는  $\text{Ga}$ 가  $\text{Zn}$  또는  $\text{In}$ 보다 더 함유되도록 한다.
- [0062] 따라서, 본 발명은 상부 게이트 구조의 박막 트랜지스터 및 하부 게이트 구조의 박막 트랜지스터에서 채널 영역(C)에서의 전도성을 증가시키면 오프 상태에서 백 채널 영역(BC)에서 하여 산소 유실에 의한 캐리어 생성이 억제될 수 있도록 하여 누설 통로로 인한 누설 전류를 감소시켜 박막 트랜지스터(TFT)의 특성을 향상시킬 수

있다.

- [0063] 한편, 반도체층(124, 224, 324, 424)의 채널 영역(C) 및 백 채널 영역(BC)은 도면에 도시된 점선에 한정되는 것은 아니고 더 넓게 형성될 수 있다.
- [0064] 도 3을 참조하면, 본 발명의 제 1 실시예에 따른 박막 트랜지스터 구조(Device C)에서 채널 영역이 형성되는 반도체층의 하부는  $(\text{In}_2\text{O}_3)_4(\text{ZnO})_4(\text{Ga}_2\text{O}_3)_1$ 으로 이루어지고, 백 채널 영역이 형성되는 반도체층의 상부는  $(\text{In}_2\text{O}_3)_{1.7}(\text{ZnO})_{3.3}(\text{Ga}_2\text{O}_3)_5$ 로 이루어졌을 때, 반도체층의 전 영역이  $(\text{In}_2\text{O}_3)_4(\text{ZnO})_4(\text{Ga}_2\text{O}_3)_1$ 로 이루어진 Device A보다 오프 커런트가 낮음을 알 수 있고, 반도체층의 전 영역이  $(\text{In}_2\text{O}_3)_{1.7}(\text{ZnO})_{3.3}(\text{Ga}_2\text{O}_3)_5$ 로 이루어진 Device B보다 온 커런트가 높음을 알 수 있다.
- [0065] 따라서, 본 발명은 박막 트랜지스터의 온 전류 및 이동도를 높이고 누설 전류를 억제할 수 있어 박막 트랜지스터의 동작 특성을 향상시킬 수 있다.
- [0066] 본 발명에 따른 박막 트랜지스터의 게이트 구조는 상술된 실시예에 한정되는 것이 아니고 단일 게이트 또는 이중 게이트일 수 있다. 본 발명에 따른 박막 트랜지스터는 집적 회로 및 집적 회로를 포함하는 구조, 예컨대 디스플레이 패널(예, LCD, PDP, ELD, FED, VFD, OLED 등 평판 표시 패널)에 사용될 수 있다.
- [0067] 이상에서 설명한 기술들은 현재 바람직한 실시예를 나타내는 것이고, 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것은 아니다. 실시예의 변경 및 다른 용도는 당업자들에게는 알 수 있을 것이며, 상기 변경 및 다른 용도는 본 발명의 취지 내에 포함되거나 또는 첨부된 청구범위의 범위에 의해 정의된다.

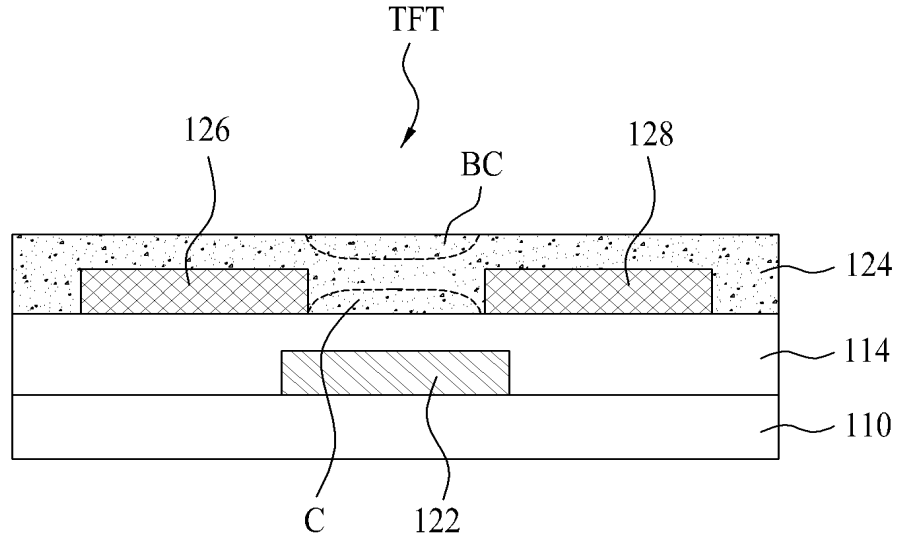
**도면의 간단한 설명**

- [0068] 도 1a 및 도 1b는 본 발명의 제 1 및 제 2 실시예에 따른 하부 게이트 구조의 박막 트랜지스터를 나타내는 단면도들이다.
- [0069] 도 1c 및 도 1d는 본 발명의 제 3 및 제 4 실시예에 따른 상부 게이트 구조의 박막 트랜지스터를 나타내는 단면도들이다.
- [0070] 도 2는  $\text{In}_2\text{O}_3$ - $\text{ZnO}$ - $\text{Ga}_2\text{O}_3$ 의 3 성분계에서 홀(hall) 효과에 의한 이동도 및 캐리어 농도를 맵핑한 그래프이다.
- [0071] 도 3은 종래 기술과 본 발명에 따른 효과를 비교 설명하기 위한 그래프이다.
- [0072] <<도면의 주요부분에 대한 부호의 설명>>
- [0073] 110, 210, 310, 410: 소자 기판                      114, 214, 314, 414: 게이트 절연막
- [0074] 122, 222, 322, 422: 게이트 전극 124, 224, 324, 424: 반도체층
- [0075] 126, 226, 326, 426: 소스 전극                      128, 228, 328, 428: 드레인 전극

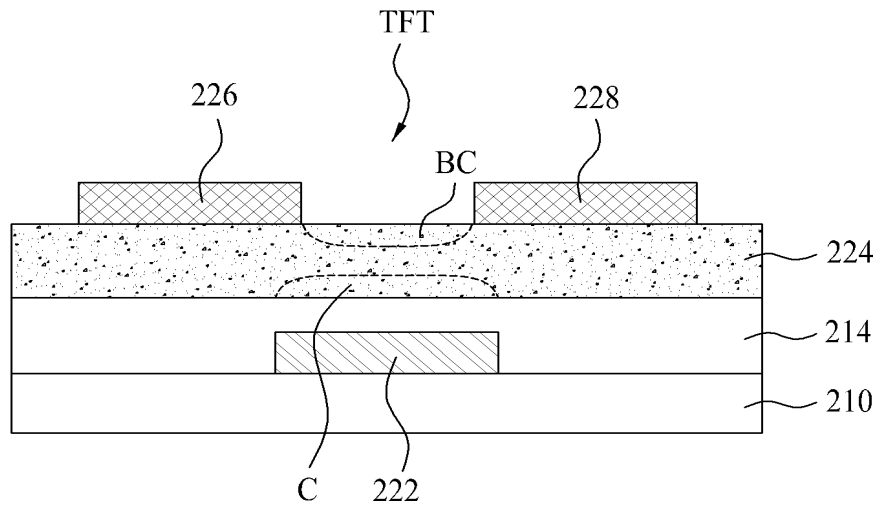


도면

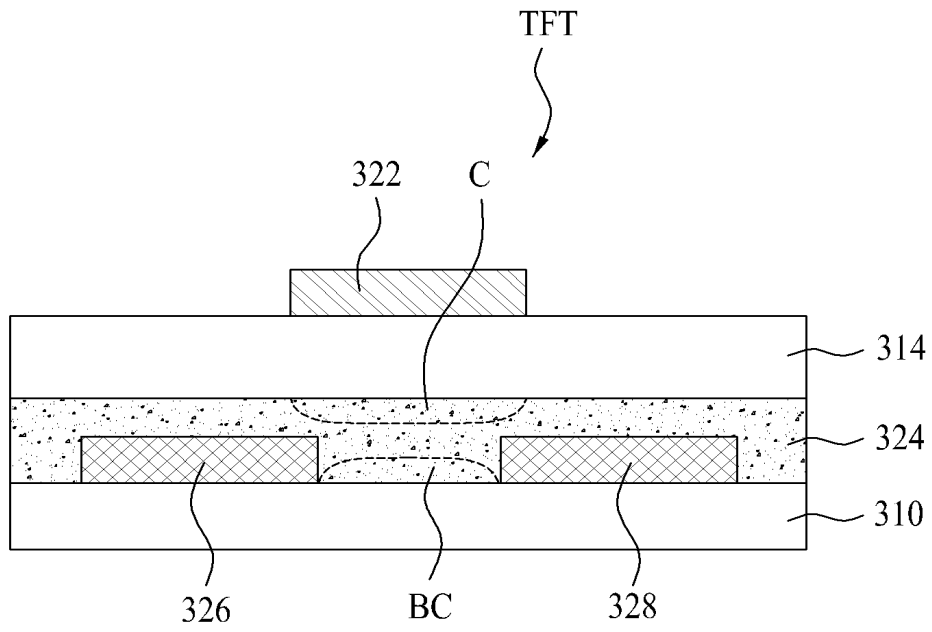
도면1a



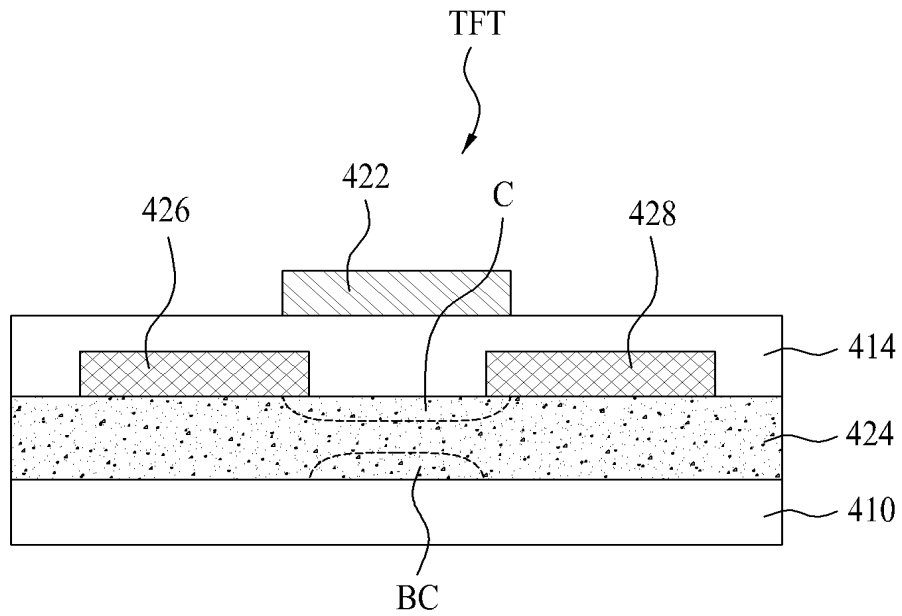
도면1b



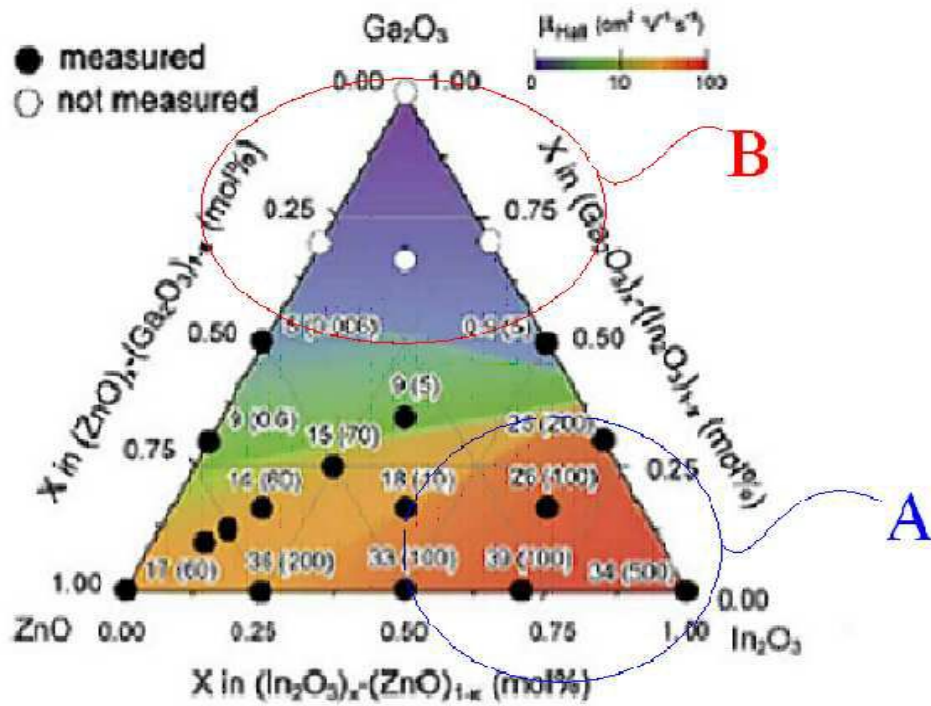
도면1c



도면1d



도면2



도면3

