



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201248822 A1

(43)公開日：中華民國 101 (2012) 年 12 月 01 日

(21)申請案號：101114498

(22)申請日：中華民國 101 (2012) 年 04 月 24 日

(51)Int. Cl. : *H01L23/544 (2006.01)*

H01L21/66 (2006.01)

H01L23/50 (2006.01)

(30)優先權：2011/05/26 美國

13/117,126

(71)申請人：南亞科技股份有限公司 (中華民國) NANYA TECHNOLOGY CORP. (TW)

桃園縣龜山鄉華亞科技園區復興三路 669 號

(72)發明人：郭錦德 KUO, CHIN TE (TW)；陳逸男 CHEN, YI NAN (TW)；劉獻文 LIU, HSIEN WEN (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：20 項 圖式數：5 共 24 頁

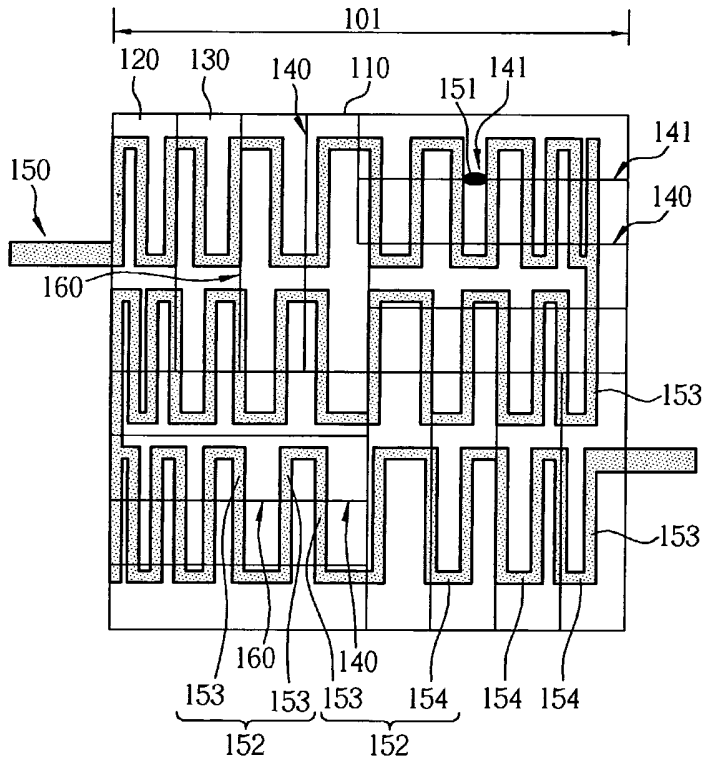
(54)名稱

測試佈局結構

TEST LAYOUT STRUCTURE

(57)摘要

一種測試佈局結構，具有第一高度、與第一矩形之第一氧化物區域位於基材上，具有與第一高度實質上不同之第二高度與第二矩形的第二氧化物區域，亦位於基材上並毗鄰第一氧化物區域。多個的邊界區域位於第一氧化物區域和第二氧化區之間。測試佈局圖案同時位於第一氧化物區域和第二氧化區上，並具有多組個別部份的導電材料，其包括多個第一部分與多個第二部分。多個第一部分沿著第一方向延伸，多個第二部分則沿著與第一方向垂直的第二個方向延伸。測試區域則位於兩相鄰又相互平行的個別部份之間。



- 101 : 切割道區域
- 110 : 基材
- 120 : 第一氧化物區域
- 130 : 第二氧化物區域
- 140 : 邊界區域
- 141 : 陡峭落差
- 150 : 測試佈局圖案
- 151 : 導電材料
- 152 : 個別部份
- 153 : 第一部份
- 154 : 第二部份
- 155 : 第一方向
- 156 : 第二方向
- 160 : 淺溝槽隔離



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201248822 A1

(43)公開日：中華民國 101 (2012) 年 12 月 01 日

(21)申請案號：101114498

(22)申請日：中華民國 101 (2012) 年 04 月 24 日

(51)Int. Cl. : **H01L23/544 (2006.01)**

H01L21/66 (2006.01)

H01L23/50 (2006.01)

(30)優先權：2011/05/26 美國

13/117,126

(71)申請人：南亞科技股份有限公司 (中華民國) NANYA TECHNOLOGY CORP. (TW)

桃園縣龜山鄉華亞科技園區復興三路 669 號

(72)發明人：郭錦德 KUO, CHIN TE (TW)；陳逸男 CHEN, YI NAN (TW)；劉獻文 LIU, HSIEN WEN (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：20 項 圖式數：5 共 24 頁

(54)名稱

測試佈局結構

TEST LAYOUT STRUCTURE

(57)摘要

一種測試佈局結構，具有第一高度、與第一矩形之第一氧化物區域位於基材上，具有與第一高度實質上不同之第二高度與第二矩形的第二氧化物區域，亦位於基材上並毗鄰第一氧化物區域。多個的邊界區域位於第一氧化物區域和第二氧化區之間。測試佈局圖案同時位於第一氧化物區域和第二氧化區上，並具有多組個別部份的導電材料，其包括多個第一部分與多個第二部分。多個第一部分沿著第一方向延伸，多個第二部分則沿著與第一方向垂直的第二個方向延伸。測試區域則位於兩相鄰又相互平行的個別部份之間。

六、發明說明：

【發明所屬之技術領域】

本發明大致上關於一種測試的佈局結構。特別是，本發明關於一種具有至少兩種高度不同的氧化物層，而用來代表其他區域所對應的部分，與檢測任何可能的橋接漏電的問題區。

【先前技術】

半導體裝置通常採用多晶矽作為導電材料，來形成如閘極結構的元件。由於多晶矽需要形成一些特定的圖案，所以通常採用蝕刻步驟來圖案化多晶矽層。

傳統上，多晶矽層往往會形成在具有高度不同的兩個氧化層的基材上。第 1-2 圖繪示傳統上蝕刻具有兩個高度不同的氧化層的基材。例如，如第 1 圖所繪示，多晶矽層 20 形成在具有薄氧化膜 30、淺溝渠隔離層 40 與厚氧化層 50 的基材 10 上。

正如第 2 圖所示，分別位於薄氧化層 10 與厚氧化層 50 上的多晶矽層 20，被部分移除，以形成位於淺溝渠隔離層 40 上的多晶線 (poly line) 21。位於薄氧化層 30 與厚氧化層 50 上的多晶矽層 20 是經由乾蝕法來移除，以形成所需的多晶線 21。蝕刻終點通常是由氧化物的信號來判定。例如，它是數秒鐘的蝕刻時間所決定的盲目蝕刻終點。

由於在薄氧化層 30 與淺溝渠隔離層 40 的邊界之間存在一個陡峭的落差 60，需要完全去除位於薄氧化層 30 上多晶矽層 20 所需的時間一定會大於去除位於厚的氧化層 50 上的多晶矽層 20 所需的時間。

由於這個陡峭的差距 60，幾乎是不可能確定位在薄氧化層 30 上多晶矽層 20 的蝕刻終點。此外，幾乎總是會有一些剩下的多晶矽 22 殘留在陡峭的差距 60 上。這些殘留的剩下多晶矽 22 即是所謂橋接漏電問題的癥結所在。另一方面，在晶圓（圖未示）上任何兩個相鄰的薄氧化層 30 和淺溝渠隔離層 40 之間還可能有許多種不同的陡峭落差 60，反而還使得所謂橋接漏電的問題更加複雜，更難被發現和解決。

因此，仍然需要一種新穎的技術方案，來解決殘留在晶圓（圖未示）上任何兩個相鄰的薄氧化層和厚氧化層之間，陡峭差距附近的剩餘多晶矽的問題。

【發明內容】

有鑑於上述情況，本發明於是提出了一種測試佈局結構，來模擬跨越兩個相鄰的薄氧化層和厚氧化層（淺溝渠隔離層）之間陡峭落差的多晶線。此等測試的佈局結構，是一種與產品相近的圖案，並且能夠代表多晶線在蝕刻後，跨越各種陡峭落差的多種情況、代表在其他區域中的對應部分，例如主動區域、並能夠檢測任何可能的橋接漏電（bridge leak）問題。本測試的佈局結構也可應用於監測蝕刻過程中，

而獲得更好的蝕刻終點。

本發明於是提出了一種測試佈局結構，包括基材，具有第一高度之第一氧化物區域，具有第二高度之第二氧化物區域，多個的邊界區域，與測試佈局圖案。第一氧化物區域位於基材上，並具有第一矩形的形狀。第二氧化物區域亦位於基材上 毗鄰第一氧化物區域，並具有第二矩形的形狀。第一高度實質上與第二高度不同。多個的邊界區域位於第一氧化物區域和第二氧化區域之間。測試佈局圖案同時位於第一氧化物區域和第二氧化區域此二者上，並包含具有多組個別部份的導電材料。多組個別部份包括多個第一部分與多個第二部分。多個第一部分沿著第一方向延伸，多個第二部分沿著與第一方向垂直的第二個方向延伸。而測試區域則位於兩相鄰又相互平行的個別部份之間。

在本發明一實施例中，第一氧化物區域是一高電壓區域。

在本發明另一實施例中，第二氧化物區域是一低電壓區域。

在本發明另一實施例中，第一高度實質上大於第二高度。

在本發明另一實施例中，導電材料包括多晶矽。

在本發明另一實施例中，測試區域與兩相鄰的個別部份平行或是垂直。

在本發明另一實施例中，個別部份為第一部分或是第

二部分。

在本發明另一實施例中，個別部份其中之一者覆蓋邊界區域其中之一者。

在本發明另一實施例中，個別部份其中之一者位於第一氧化物區域上。

在本發明另一實施例中，個別部份其中之一者位於第二氧化物區域上。

在本發明另一實施例中，邊界區域其中之一形成測試區域。

在本發明另一實施例中，導電材料位於測試區域中。

在本發明另一實施例中，測試區域中沒有導電材料。

在本發明另一實施例中，多個第一部分和多個第二部分，一起沿著第一方向與第二個方向的其中一者延伸。

【實施方式】

本發明提供一種在晶圓驗收測試 (wafer acceptance test) 中使用的測試佈局結構。本發明的測試佈局結構，可以模擬穿越各種陡峭落差 (abrupt gap) 的多晶矽線。本發明的測試佈局結構可以代表在其他區域，例如主動區域中，多晶矽線在蝕刻過程後，跨越各種陡峭落差的狀況，亦可以用來檢測任何可能的橋接漏電問題。請參考第 3-5 圖，其繪示本發明的測試佈局結構。正如第 3 圖所示，本發明的佈局測試結構 100 包括基材 110，具有第一高度的第一氧化物區

域 120，具有第二高度的第二氧化物區域 130，多個邊界區域 140，與測試佈局圖案 150。基材 110 通常為包括半導體材料，例如 Si，的晶圓。基材 110 上可能有多種區域，例如主動區域（圖未示），或是切割道區域 101。本發明的測試佈局結構 100 通常是位於切割道區域 101 中。

第一氧化物區域 120 位於基材 110 上，並有第一矩形的形狀。例如，第一氧化物區域 120 可能的尺寸為 1 微米 (μm)。第二氧化物區域的 130 也位於基材 110 上，並鄰近一些的第一氧化物區域 120。第二氧化物區域 130 也具有第二矩形的形狀，尺寸可能是 1.2 微米。第一矩形的形狀有可能會，也可能不會類似於第二氧化物區域 130 的形狀。

本發明的一個特點是，第二高度實質上是不同於第一高度的。在一個例子中，第一高度是實質上大於第二高度的。在另一個例子中，第二高度是實質上大於第一高度的。當第一高度是實質上大於第二高度時，第一氧化物區域 120 可作為高電壓區域，而第二氧化物區域 130 則因為較薄的厚度，可作為一個低電壓區域。

多個邊界區域 140 位於基材 110 上。每個邊界區域 140 都位於任何兩個相鄰的第一氧化物區域 120 和第二氧化物區域 130 之間。如果有淺溝渠隔離層（圖未示）的話，邊界區域 140 會位於兩個相鄰的低氧化物區域和淺溝渠隔離層（未顯示）之間。換句話說，如第 4 圖所繪示，邊界區域 140 總會包括一個橫跨相鄰的第一氧化區域 120 和第二氧化物區域

130 之間的，或相鄰的低氧化物區域 130 和淺溝槽隔離 160 之間，的陡峭落差（the catching difference）141，這意味著陡峭落差 141 從一個氧化物區域橫跨到另一個高度不同的氧化物區域。

測試佈局圖案 150 也位於基材 110 上，又直接接觸第一氧化物區域 120 和第二氧化物區域 130。正如第 4 圖所示，測試佈局圖案 150 是由形成在第一氧化物區域 120 和第二氧化物區域 130 上的一整片的導電材料 151，使用終點信號控制（end point signal）的乾蝕刻方法圖案化導電材料 151 所構成的。導電材料 151 通常包含多晶矽。

測試佈局圖案 150 由包括多組個別部份 152 的導電材料 151 所組成。其中一組個別部份 152 可能是位於第一氧化物區域 120 或是第二氧化物區域 130 上。尤其是，其中一個的個別部份 152 可能覆蓋邊界區域 140 其中之一者。

每一個的個別部份 152，可能是一個第一部份 153 或是一個第二部份 154。換句話說，多組個別部份 152 包括沿著第一方向 155 延伸的多個第一部份 153，和多個沿著第二方向 156 延伸的多個第二部分 154。第一方向 155 係實質上與第二方向 156 垂直。

再來，測試區域 160 是位於兩相鄰又相互平行的個別部份 152 之間。測試區域 160 又是與這些相鄰的個別部份 152 垂直。例如，個別部份 152 都是第一部分 153。或是，個別部份 152 都是第二個部分 154。

本發明的另一個特點是，邊界區域 140 的其中一者形成了測試區域 160。由於多組個別部份 152 是由形成在第一氧化物區域 120 和第二氧化物區域 130 上的一整片導電材料 151，使用乾蝕刻的方法圖案化導電材料 151 所建構而成的，邊界區域 140 以及測試區域 160 都必定是被導電材料 151 所覆蓋，而且是藉由移除多餘的導電材料 151 所形成的。

如前所述，乾蝕刻方法通常是使用終點信號來控制的，來普遍性的代表一種“理想化”導電材料 151 的蝕刻終點控制，如第 4 圖所示。由於任何兩個相鄰的第一個氧化物區域 120 和第二氧化物區域 130 之間都存在著各式各樣不同類型的陡峭落差 141，陡峭落差 141 附近、導電材料 151 蝕刻過程的終點判定（determination of the end point of the etching procedure）幾乎是不可能普遍性地精確的，所以很有可能造成在陡峭落差 141 附近殘存一些剩餘的導電材料 151。

正如第 5 圖所示，當陡峭落差 141 附近累積了足夠的殘存導電材料 151 時，累積的導電材料 151 就會作為個別部份 152 短路橋樑的導電路徑。短路一旦形成，原始的測試佈局圖案 150 就不再能夠視為是電流的實際路徑。原始的測試佈局圖案 150 終究是會失敗的，短路也導致了包含此等測試佈局圖案，亦即測試佈局圖案 150 所相對應的其他部位，的半導體設備的故障。

在本發明的一個實施例中，測試區域 160 沒有剩下的

導電材料 151，如第 3 圖所示。當出現這種情況時，原始的測試佈局圖案 150 就必定會有最長的導電路徑，並顯示出最高的可能電阻。在本發明的另一個實施例中，測試區域 160 可能包括位於陡峭落差 141 附近，沒有被完全移除的導電材料 151，如第 5 圖所示。當有成為短路橋樑而未完全移除的導電材料 151 時，沿著整個測試佈局圖案 150 行進的總電阻就一定會比較低。

就如前所例示者，沿著整個測試佈局圖案 150 行進的總電阻，正好可以用來代表測試佈局圖案 150 的形成，或是過量的導電材料 151 的移除是否準確。總之，測試佈局結構 100 可以代表其他區域中所相對應的部分，例如在主動區域中（圖未示），並偵測在測試佈局圖案中任何可能的橋接漏電問題。

在本發明的一個實施例中，多個第一部分 153 和多個第二部分 154 可能會一起沿著第一方向 155 或是第二方向 156 延伸，而形成波浪形，如第 3 圖或第 5 圖所示。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1-2 圖繪示傳統上蝕刻具有兩個高度不同的氧化層

的基材。

第 3-5 圖繪示本發明的測試佈局結構。

【主要元件符號說明】

- 10 基材
- 20 多晶矽層
- 21 多晶線
- 30 薄氧化膜
- 40 淺溝渠隔離層
- 50 厚氧化層
- 60 陡峭落差
- 22 剩下的多晶矽
- 100 佈局測試結構
- 101 切割道區域
- 110 基材
- 120 第一氧化物區域
- 130 第二氧化物區域
- 140 邊界區域
- 141 陡峭落差
- 150 測試佈局圖案
- 151 導電材料
- 152 個別部份
- 153 第一部份

201248822

- 154 第二部份
- 155 第一方向
- 156 第二方向
- 160 淺溝槽隔離

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(01114498) H01L 23/544 (2006.01)
 ※申請日：101. 4. 24 ※IPC 分類：H01L 21/66 (2006.01)
 一、發明名稱：(中文/英文) H01L 23/50 (2006.01)

測試佈局結構/TEST LAYOUT STRUCTURE

二、中文發明摘要：

一種測試佈局結構，具有第一高度、與第一矩形之第一氧化物區域位於基材上，具有與第一高度實質上不同之第二高度與第二矩形的第二氧化物區域，亦位於基材上並毗鄰第一氧化物區域。多個的邊界區域位於第一氧化物區域和第二氧化區之間。測試佈局圖案同時位於第一氧化物區域和第二氧化區上，並具有多組個別部份的導電材料，其包括多個第一部分與多個第二部分。多個第一部分沿著第一方向延伸，多個第二部分則沿著與第一方向垂直的第二個方向延伸。測試區域則位於兩相鄰又相互平行的個別部份之間。

三、英文發明摘要：

A test layout structure includes a substrate, a first oxide region of a first height, a second oxide region of a second height, a plurality of border regions, and a test layout pattern. The first oxide region is disposed on the substrate. The second oxide region is also disposed on the substrate and adjacent to the first oxide region. The first height is substantially different from the second height. A plurality of border regions are disposed between the first oxide region and the second oxide region. The test layout pattern includes a plurality of individual

201248822

sections. A test region is disposed between two of the adjacent individual sections which are parallel to each other.

七、申請專利範圍：

1. 一種測試的佈局結構，包括：

一基材；

位於該基材上之至少一第一氧化物區域，具有第一高度、與一第一矩形的形狀；

位於該基材上之至少一第二氧化物區域，毗鄰該至少一第一氧化物區域，具有第二高度、與一第二矩形的形狀，其中該至少一第一氧化物區域和該至少一第二氧化區之間有多個的邊界區域，並且該第一高度與該第二高度實質上不同；以及

一測試佈局圖案，包括具有複數個別部份的一導電材料，該複數個別部份包括複數個沿一第一方向之第一部分，和複數個沿著與該第一方向垂直延伸的一第二個方向的第二部分，其中一測試區域位於兩相鄰又相互平行的該個別部份之間。

2. 如請求項 1 的測試佈局結構，其中該第一氧化物區域是一高電壓區域。

3. 如請求項 1 的測試佈局結構，其中該第二氧化物區域是一低電壓區域。

4. 如請求項 1 的測試佈局結構，其中該第一高度實質上大於該第二高度。

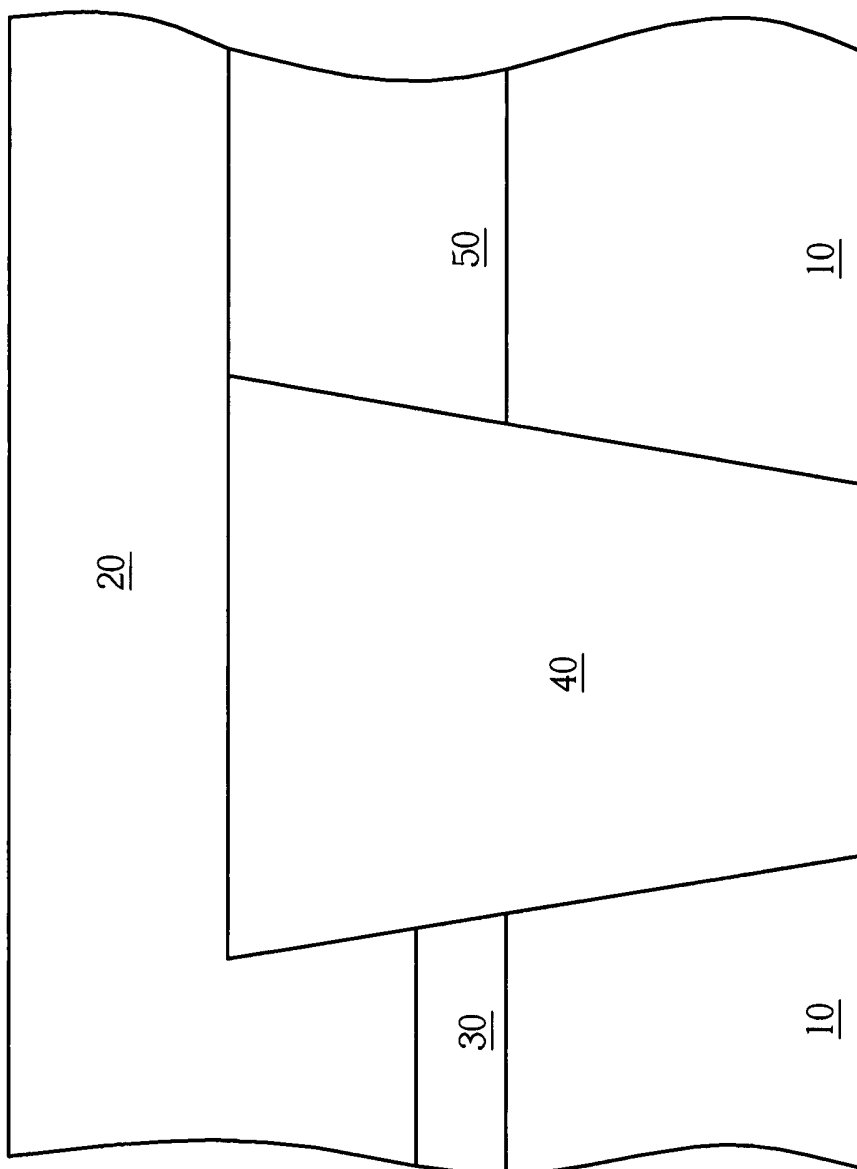
5. 如請求項 1 的測試佈局結構，其中該導電材料包括多晶矽。
6. 如請求項 1 的測試佈局結構，其中該測試區域與兩相鄰的該個別部份平行。
7. 如請求項 6 的測試佈局結構，其中該個別部份為該第一部分。
8. 如請求項 6 的測試佈局結構，其中該個別部份為該第二部分。
9. 如請求項 1 的測試佈局結構，其中該測試區域與兩相鄰的該個別部份垂直。
10. 如請求項 9 的測試佈局結構，其中該個別部份為該第一部分。
11. 如請求項 9 的測試佈局結構，其中該個別部份為該第二部分。
12. 如請求項 1 的測試佈局結構，其中該個別部份其中之一者覆蓋該邊界區域其中之一者。
13. 如請求項 1 的測試佈局結構，其中該個別部份其中之一者位於該至少一第一氧化物區域上。
14. 如請求項 1 的測試佈局結構，其中該個別部份其中之一者位於該至少一第二氧化物區域上。

15. 如請求項 1 的測試佈局結構，進一步包括：
 複數個該第一氧化物區域。
16. 如請求項 1 的測試佈局結構，進一步包括：
 複數個該第二氧化物區域。
17. 如請求項 1 的測試佈局結構，其中該邊界區域其中之一者形成該測試區域。
18. 如請求項 1 的測試佈局結構，其中該測試區域包括該導電材料。
19. 如請求項 1 的測試佈局結構，其中該測試區域沒有該導電材料。
20. 如請求項 1 的測試佈局結構，其中複數個該第一部分和複數個該第二部分，一起沿著該第一方向與該第二個方向其中的一者延伸。

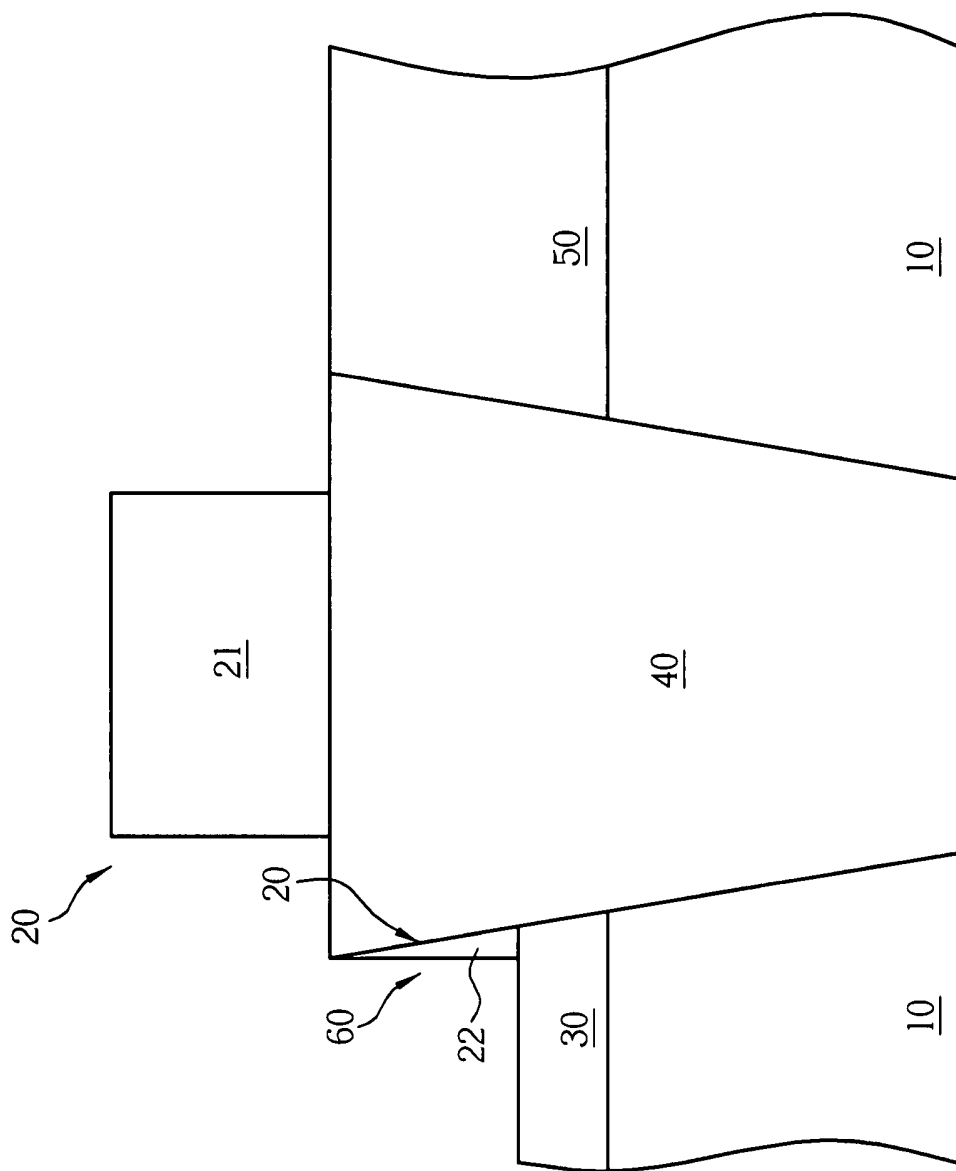
八、圖式：

15. 如請求項 1 的測試佈局結構，進一步包括：
 複數個該第一氧化物區域。
16. 如請求項 1 的測試佈局結構，進一步包括：
 複數個該第二氧化物區域。
17. 如請求項 1 的測試佈局結構，其中該邊界區域其中之一者形成該測試區域。
18. 如請求項 1 的測試佈局結構，其中該測試區域包括該導電材料。
19. 如請求項 1 的測試佈局結構，其中該測試區域沒有該導電材料。
20. 如請求項 1 的測試佈局結構，其中複數個該第一部分和複數個該第二部分，一起沿著該第一方向與該第二個方向其中的一者延伸。

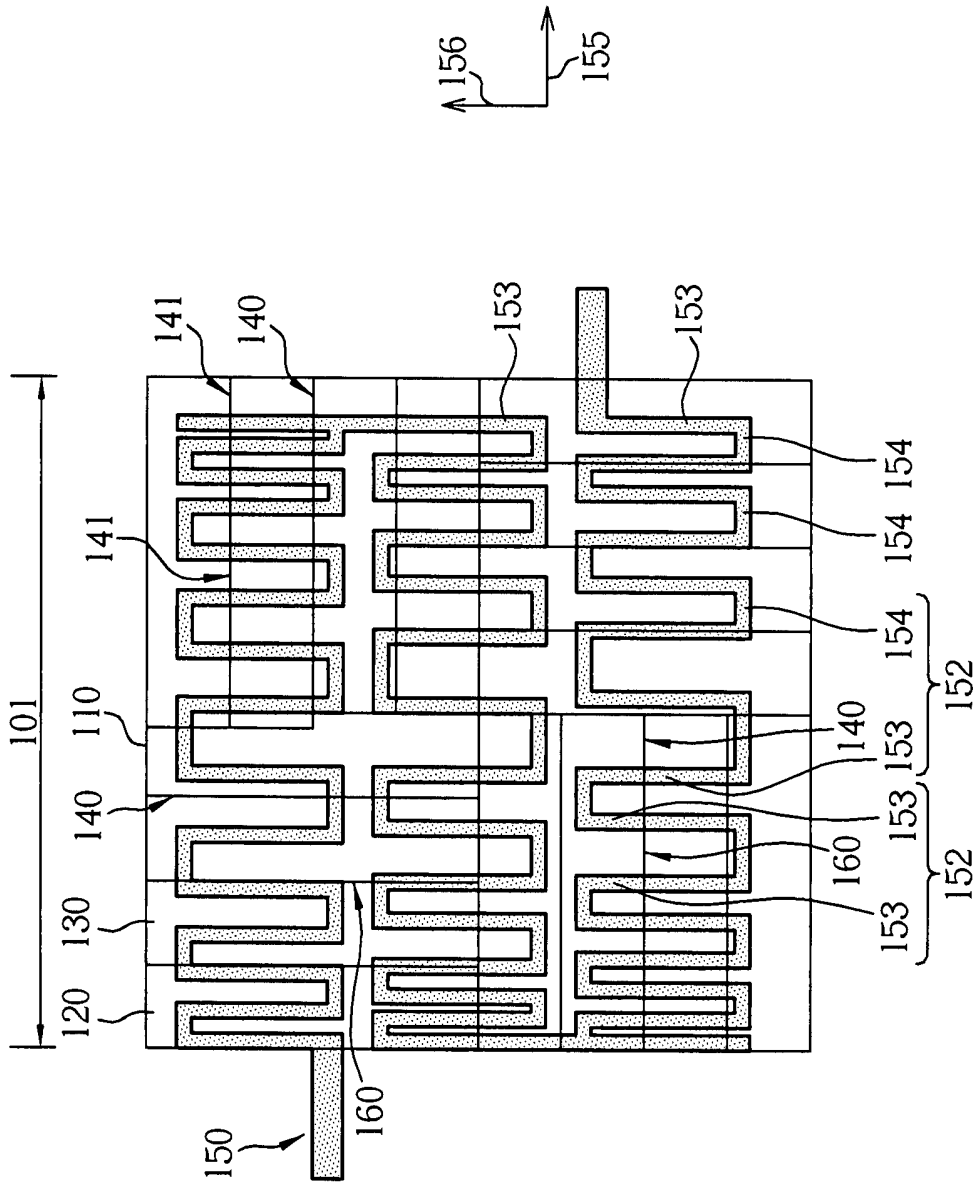
八、圖式：



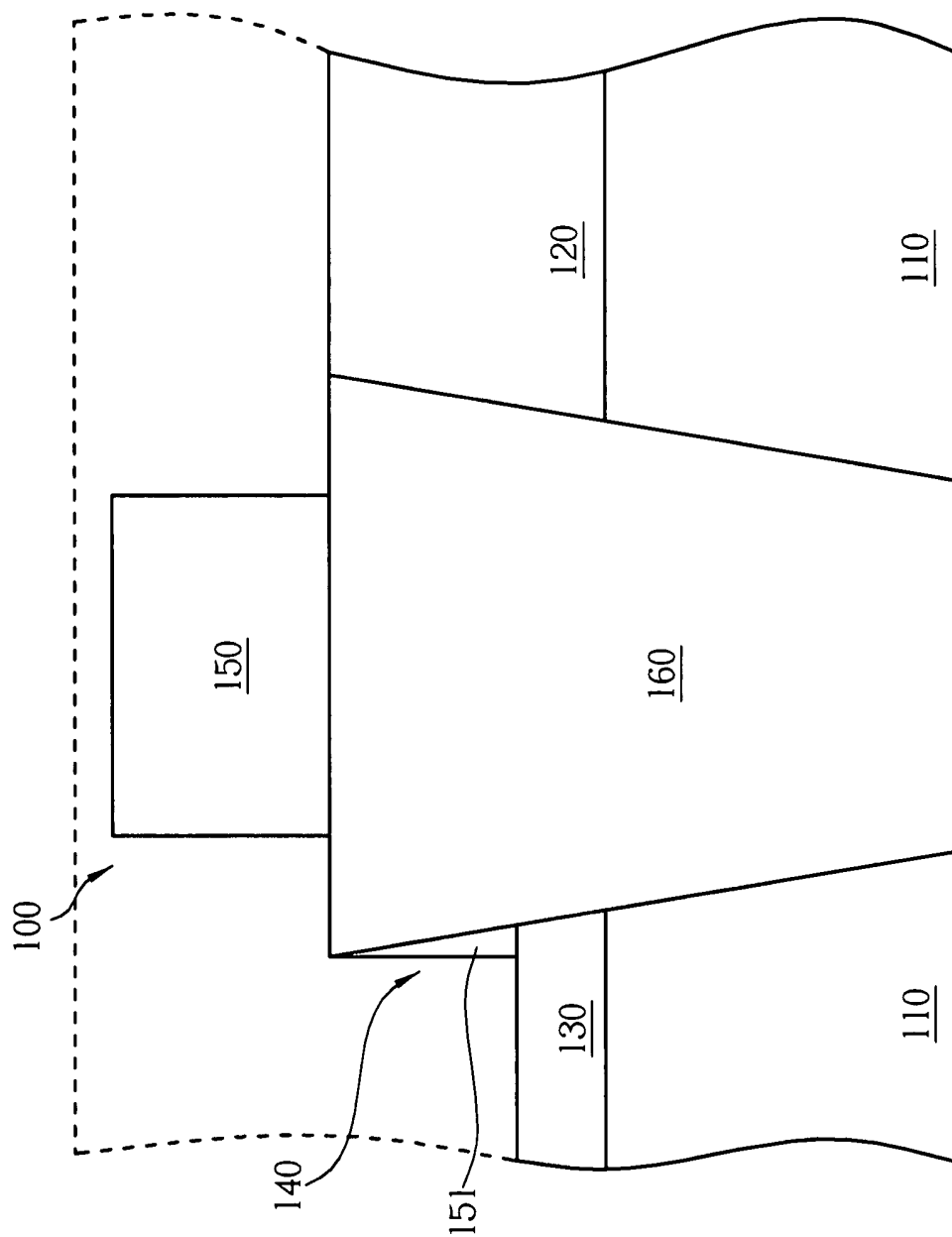
第1圖



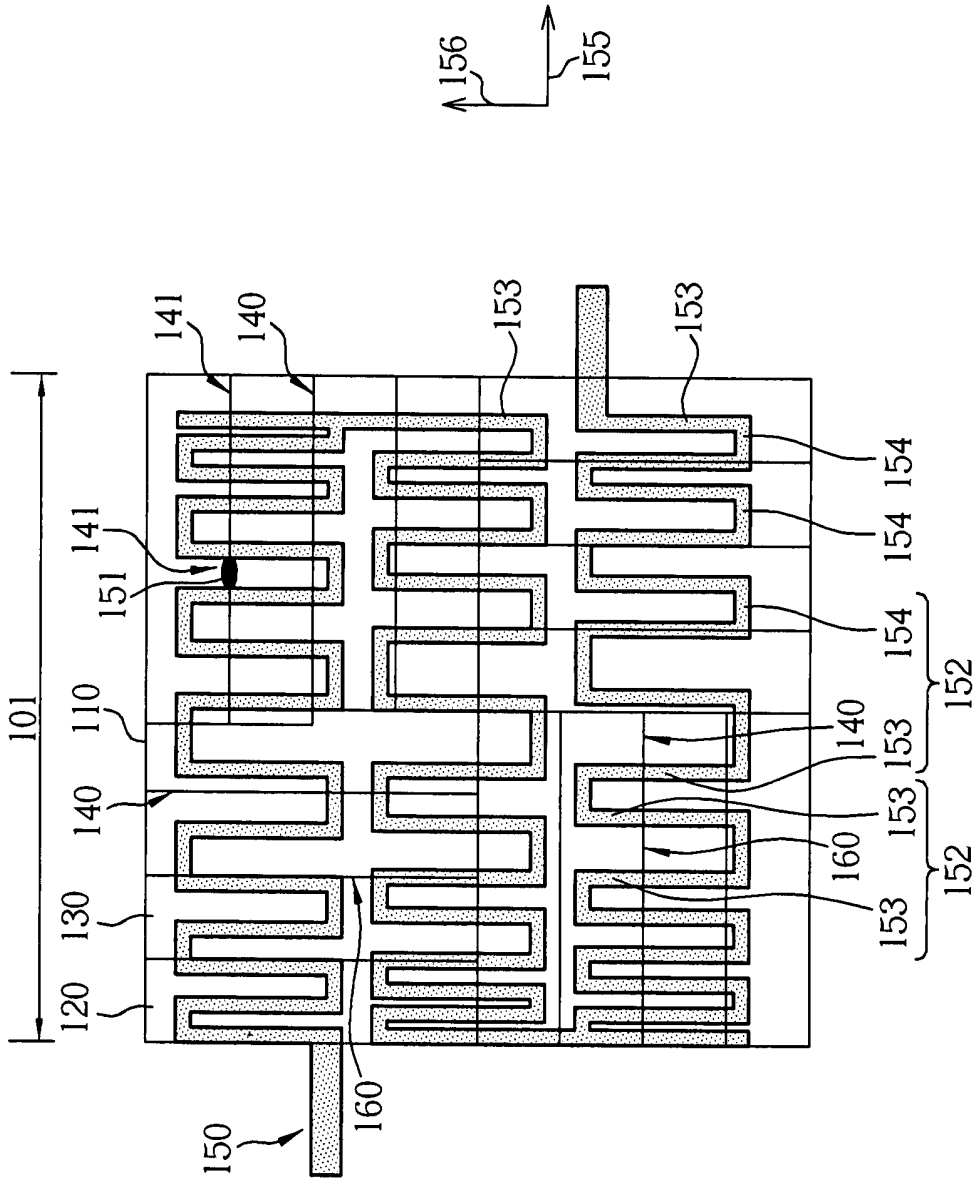
第2圖



第3圖



第4圖



第5圖

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

101 切割道區域

110 基材

120 第一氧化物區域

130 第二氧化物區域

140 邊界區域

141 陡峭落差

150 測試佈局圖案

151 導電材料

152 個別部份

153 第一部份

154 第二部份

155 第一方向

156 第二方向

160 淺溝槽隔離

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無