



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I720345 B

(45) 公告日：中華民國 110 (2021) 年 03 月 01 日

(21) 申請案號：107133255

(22) 申請日：中華民國 107 (2018) 年 09 月 20 日

(51) Int. Cl. : **G06F13/40 (2006.01)****G06F13/36 (2006.01)****G06F13/16 (2006.01)**

(71) 申請人：威盛電子股份有限公司 (中華民國) VIA TECHNOLOGIES, INC. (TW)

新北市新店區中正路 533 號 8 樓

(72) 發明人：江文彬 CHIANG, WEN-PIN (TW)

(74) 代理人：葉璟宗；卓俊傑

(56) 參考文獻：

TW 201705011A

WO 2018/119778A1

審查人員：許人偉

申請專利範圍項數：11 項 圖式數：4 共 26 頁

(54) 名稱

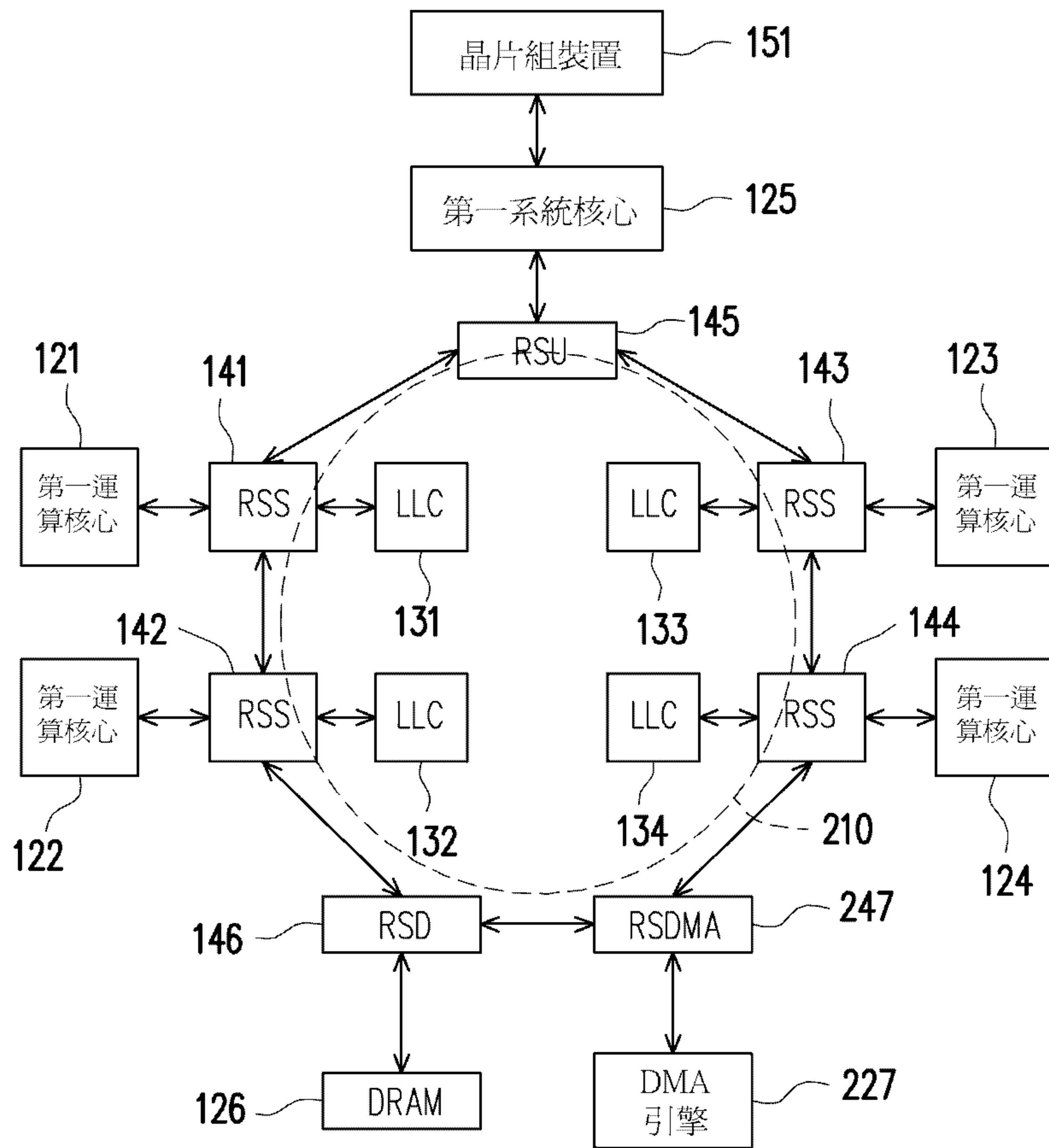
多核心系統的內連線結構

(57) 摘要

一種多核心系統的內連線結構。內連線結構包括多個第一運算核心、第一環狀匯流排、直接記憶體存取引擎以及直接記憶體存取環狀控制器。第一運算核心連接至第一環狀匯流排。直接記憶體存取環狀控制器將直接記憶體存取引擎連接至第一環狀匯流排。第一運算核心透過第一環狀匯流排以與直接記憶體存取引擎通訊，並使直接記憶體存取引擎進行記憶體操作。

An interconnect structure of a multi-core system is provided. The interconnect structure includes a plurality of first computing cores, a first ring bus, a direct memory access (DMA) engine, and a DMA ring controller. The first computing cores are coupled to the first ring bus. The DMA ring controller connects the DMA engine to the first ring bus. The first computing cores communicates with the DMA engine through the first ring bus and causes the DMA engine to perform a memory operation.

指定代表圖：



【圖2】

符號簡單說明：

- 121~124:第一運算核心
- 125:第一系統核心
- 126:第一動態隨機存取記憶體(DRAM)
- 131~134:第一末級快取記憶體
- 141~144:環站點片狀模組(RSS)/第一運算核心環形控制器
- 145:環站點非核心模組(RSU)/第一系統核心環狀控制器
- 146:環站點動態隨機存取記憶體模組(RSD)/第一動態隨機存取記憶體環狀控制器
- 151:晶片組裝置
- 200:多核心系統的內連線結構
- 210:第一環狀匯流排
- 227:直接記憶體存取(DMA)引擎
- 247:環站點直接記憶體存取模組(RSDMA)/直接記憶體存取環狀控制器



I720345

【發明摘要】**【中文發明名稱】** 多核心系統的內連線結構**【英文發明名稱】** INTERCONNECTION STRUCTURE OF MULTI-CORE SYSTEM

【中文】一種多核心系統的內連線結構。內連線結構包括多個第一運算核心、第一環狀匯流排、直接記憶體存取引擎以及直接記憶體存取環狀控制器。第一運算核心連接至第一環狀匯流排。直接記憶體存取環狀控制器將直接記憶體存取引擎連接至第一環狀匯流排。第一運算核心透過第一環狀匯流排以與直接記憶體存取引擎通訊，並使直接記憶體存取引擎進行記憶體操作。

【英文】 An interconnect structure of a multi-core system is provided. The interconnect structure includes a plurality of first computing cores, a first ring bus, a direct memory access (DMA) engine, and a DMA ring controller. The first computing cores are coupled to the first ring bus. The DMA ring controller connects the DMA engine to the first ring bus. The first computing cores communicates with the DMA engine through the first ring bus and causes the DMA engine to perform a memory operation.

【指定代表圖】 圖2。**【代表圖之符號簡單說明】**

121~124：第一運算核心

125：第一系統核心

126：第一動態隨機存取記憶體（DRAM）

131~134：第一末級快取記憶體

141~144：環站點片狀模組（RSS）/第一運算核心環形控制器

145：環站點非核心模組（RSU）/第一系統核心環狀控制器

146：環站點動態隨機存取記憶體模組（RSD）/第一動態隨機存取
記憶體環狀控制器

151：晶片組裝置

200：多核心系統的內連線結構

210：第一環狀匯流排

227：直接記憶體存取（DMA）引擎

247：環站點直接記憶體存取模組（RSDMA）/直接記憶體存取環
狀控制器

【特徵化學式】

無

【發明說明書】

【中文發明名稱】多核心系統的內連線結構

【英文發明名稱】INTERCONNECTION STRUCTURE OF MULTI-CORE SYSTEM

【技術領域】

【0001】本發明是有關於一種多核心系統 (multi-core system)，且特別是有關於一種具備直接記憶體存取引擎的多核心系統的內連線結構。

【先前技術】

【0002】目前的中央處理器 (CPU) 的結構通常是以多個運算核心為主。為了將這些運算核心以高速傳輸的方式來交流資訊，許多類型的晶片內匯流排 (in-chip bus) 經研發以將這些運算核心相互串接通訊。環狀匯流排 (ring bus) 是 CPU 架構中常用的晶片內匯流排其中之一，其利用分別連接到對應元件的多種環站點 (ring stop) 讓這些運算核心相互傳遞數據。

【0003】另一方面，直接記憶體存取 (DMA) 技術主要用來進行資料的搬移，從而減輕中央處理器的負擔。直接記憶體存取控制器可在沒有 CPU 幫助的情況下依照 CPU 先前的指示來存取/搬移儲存設備中的資料，並在資料的存取/搬移完成後通知 CPU。因此，直接記憶體存取技術在當前電子系統的運算結構中十分重要。

【0004】 目前，晶片內匯流排技術跟直接記憶體存取技術沒有相互整合的情形。因此，如何利用晶片內匯流排技術跟直接記憶體存取技術以使中央處理器結構能夠更為順暢地、高速地運行，便是可供研究的方向。

【發明內容】

【0005】 本發明提供一種多核心系統的內連線結構，可在採用環狀匯流排作為晶片內匯流排的中央處理器結構的情況下提升直接記憶體存取（DMA）的工作效率，且加快 DMA 引擎與各個運算核心之間的通訊速度。

【0006】 本發明的多核心系統的內連線結構包括多個第一運算核心、第一環狀匯流排、直接記憶體存取引擎以及直接記憶體存取環狀控制器。第一運算核心連接至第一環狀匯流排。直接記憶體存取環狀控制器將直接記憶體存取引擎連接至第一環狀匯流排。第一運算核心透過第一環狀匯流排以與直接記憶體存取引擎通訊，並使直接記憶體存取引擎進行記憶體操作。

【0007】 基於上述，本發明實施例的多核心系統的內連線結構將直接記憶體存取引擎設置在環狀匯流排中，並額外設置用來讓直接記憶體存取引擎對環狀匯流排中的數據包進行存取的直接記憶體存取環狀控制器。如此一來，各個運算核心能迅速地利用環狀匯流排中的直接記憶體存取引擎，從而直接地對直接記憶體存取引擎下達記憶體操作的相關指令。並且，此直接記憶體存取引擎與同

樣設置在環狀匯流排中的動態隨機存取記憶體之間的通訊將更為順暢。換句話說，記憶體操作的直接記憶體存取週期(DMA cycle)將可更為快速地處理。

【0008】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0009】

圖 1 是一種多核心系統的內連線結構的示意圖。

圖 2 是依照本發明第一實施例的一種多核心系統的內連線結構的示意圖。

圖 3 是依照本發明第二實施例的一種多核心系統的內連線結構的示意圖。

圖 4 是依照本發明第三實施例的一種多核心系統的內連線結構的示意圖。

【實施方式】

【0010】 圖 1 是一種多核心系統的內連線結構 100 的示意圖。多核心系統的內連線結構 100 可以是電子系統/多核心系統的中央處理器(CPU)的內部結構。內連線結構 100 使用環狀匯流排 110 作為其之主要結構。圖 1 中的內連線結構 100 包括許多的環站點(ring stop)以及與這些環站點相互連接的多個元件。

【0011】 本實施例的環站點（ring stop）亦可稱為是環狀控制器（ring controller）。圖 1 中與環站點/環狀控制器相連的元件為第一運算核心 121~124、第一系統核心（又稱為，非核心（uncore））125 及第一動態隨機存取記憶體（Dynamic Random Access Memory；DRAM）126。第一運算核心 121~124 中包含的處理組件都會涉及到處理器指令的執行，例如，第一運算核心 121~124 可包括算術邏輯單元（ALU）、浮點運算單元（FPU）、一級快取（L1 cache）、二級快取（L1 cache）...等。這些元件主要利用這些環站點 141~146 相互通信。環站點 141~146 的功用在於將與環站點 141~146 相連的元件能夠與環狀匯流排 110 中其他環站點上的其他元件相互通訊。圖 1 中具備多種類型的環站點，例如是連接到第一運算核心 121~124 與對應的第一末級快取（Last Level Cache；LLC）記憶體 131~134 的環站點片狀模組（Ring-stop-slice module；RSS）141~144、連接到第一系統核心 125 的環站點非核心模組（Ring-stop-uncore module；RSU）145 以及連接到第一動態隨機存取記憶體 126 的環站點動態隨機存取記憶體模組（Ring-stop-dram module；RSD）146 皆屬於環站點的一種。

【0012】 當特定元件想要將數據包放到環狀匯流排 110 時，此特定元件會將這數據包傳送到對應的環站點。此環站點會在環狀匯流排 110 中進行仲裁，並將數據包發送到優選行進方向上的相鄰環站點上。例如，當第一運算核心 121 想要將數據包傳送給第一 DRAM 126 時，便將此數據包傳送給環站點 RSS 141，且環站點

RSS 141 透過環狀匯流排 110 的仲裁機制以將此數據包放入環狀匯流排 110 中，並選擇此數據包的行進方向為朝向環站點 RSD 146 前進。當環站點 RSD 146 收到其他環站點傳送來的數據包時，會先行檢查數據包的標頭信息（如，DstID）是否與自身環站點對應的元件相匹配。若匹配，環站點 RSD 146 便會將數據包從環狀匯流排 110 中取出並傳送給第一 DRAM 126 以進行後續處理。相對地，若不匹配，環站點 RSD 146 則在數據包原本的行進方向上將數據包繼續傳遞給下一個環站點。

【0013】 第一系統核心 125 也會作為連接到電子系統中的多個晶片組（chipset）裝置 151 的流量代理器（traffic agent）。第一系統核心 125 用以讓環站點非核心模組 145 與晶片組裝置 151 通訊。從另一角度來說，電子系統除了中央處理器以外還包括許多的晶片組裝置 151，例如快速通道互聯（Intel QuickPath Interconnect；QPI）控制器、Thunderbolt 控制器、PCI-E 控制器、SPI 控制器、繪圖處理單元（GPU）、額外的 DRAM 及 DMA 控制器 152...等。也就是說，DMA 控制器 152 也屬於晶片組裝置 151 的其中之一。當晶片組裝置 151 與 DMA 控制器 152 希望將數據傳送到中央處理器時，便會通過第一系統核心 125 並且透過上游週期（upstream cycle）（或稱為，P2C）的方式進行仲裁以獲得對環狀匯流排 110 進行存取的頻寬，才能將數據包透過環站點 RSU 145 進入環狀匯流排 110。

【0014】 基於圖 1 內連線結構 100 的情況下，第一運算核心

121~124 若希望利用 DMA 引擎 152 進行記憶體操作的話，必須通過環站點 RSU 145 及第一系統核心 125 才能下達相應指令。DMA 引擎 152 在處理第一運算核心 121~124 所交付的記憶體操作時，仍然需要通過第一系統核心 125 才能對第一 DRAM 126 進行相應的記憶體操作。在記憶體操作完成後，DMA 引擎 152 還是需要通過第一系統核心 125 才能透過中斷方式通知相應的第一運算核心 121~124，以完成整個記憶體操作的直接記憶體存取週期（DMA cycle）。換句話說，DMA 引擎 152 將至少因為以下兩點：（1）需要與其他晶片組裝置 151 競爭通往環狀匯流排 110 的頻寬；以及（2）無法與第一運算核心 121~124 建立快速的資訊交換路徑，而使 DMA 引擎 152 進行記憶操作的效率無法提升。因此，圖 1 的內連線結構 100 將會嚴重影響到 DMA 引擎 152 在進行記憶體操作的效能。

【0015】 因此，本發明實施例在多核心系統的內連線結構中將 DMA 引擎從環狀匯流排外面直接內嵌到環狀匯流排當中以作為利用環狀匯流排相互連接的元件其中之一，並額外設置用來讓 DMA 引擎對環狀匯流排中的數據包進行存取的直接記憶體存取環狀控制器。如此一來，位在環狀匯流排當中的各個運算核心皆能迅速地利用環狀匯流排而直接地對直接記憶體存取引擎下達記憶體操作的相關指令，以共享 DMA 引擎。DMA 引擎的效能也因而提升。DMA 引擎便不需要跟其他晶片組裝置競爭通往環狀匯流排的頻寬。因此，內嵌在環狀匯流排中的 DMA 控制器的效能將會優

於位於晶片組裝置層級中、需要利用系統核心進行仲裁以轉發數據的 DMA 控制器的效能。

【0016】 圖 2 是依照本發明第一實施例的一種多核心系統的內連線結構 200 的示意圖。圖 2 中的內連線結構 200 主要包括多個第一運算核心 121~124、第一環狀匯流排 210、直接記憶體存取(DMA)引擎 227 以及直接記憶體存取環狀控制器 247。本實施例以 4 個第一運算核心 121~124 作為舉例，應用本實施例者可依其需求增加運算核心的數量，甚至可以將多個環狀匯流排相互連接(後續實施例中可說明)以連接更多數量的運算核心。每個第一運算核心 121~124 連接至第一環狀匯流排 210。直接記憶體存取環狀控制器 247 在本實施例中亦可稱為是環站點 DMA 模組 RSDMA 247。專用於 DMA 引擎 227 的直接記憶體存取環狀控制器 247 將如同其他環站點一般，可直接地掌控來自其他環站點的請求並回應此請求。也就是說，環站點 RSDMA 247 可將 DMA 引擎 227 的記憶體操作當作在第一環狀匯流排 210 上的數據包並發送給其他環站點，並可從第一環狀匯流排 210 中獲得其他元件傳送過來的數據包。

【0017】 圖 2 中的內連線結構 200 還包括第一 DRAM 126、第一 DRAM 環狀控制器 146 (亦可稱為是環站點 DRAM 模組 (RSD) 146)、多個第一運算核心環形控制器 141~144 (亦可稱為是環站點片狀模組 (RSS) 141~144)、多個第一末級快取 (LLC) 記憶體 131~134、第一系統核心 (亦可稱為是非核心) 125 以及第一系統核心環狀控制器 145(亦可稱為是環站點非核心模組(RSU) 145)。

本實施例的第一 DRAM 126 與第一 DRAM 環狀控制器 146 設置於內連線結構 200 的第一環狀匯流排 210 中。第一 DRAM 環狀控制器 146 用以將第一 DRAM 126 連接至第一環狀匯流排 210。

【0018】 圖 2 中的晶片組裝置 151 亦可稱為是第一晶片組裝置。應用本實施例者除了可在第一環狀匯流排 210 中設置一個或多個第一 DRAM 126 以外，還可依其需求另外在第一環狀匯流排 210 中增設其他的 DRAM。換句話說，本實施例是以單個第一 DRAM 126 作為舉例，應用本實施例者可依其需求調整第一 DRAM 126 以及與其對應的第一 DRAM 環狀控制器 146 的數量。於部分實施例中，也可將 DRAM 設置在晶片組裝置 151 所在的位置。DMA 引擎 227 可依據第一運算核心 121~124 的指令以對上述這些 DRAM 進行記憶體操作。

【0019】 另一方面，為方便讓 DMA 引擎 227 進行記憶體操作，本實施例的環站點 RSDMA 247 可設置於最接近環站點 RSD 146 的位置，但不以此為限。藉此，便可讓 DMA 引擎 227 發送給第一 DRAM 126 的數據包能較迅速地被第一 DRAM 126 獲知，且 DMA 引擎 227 可從第一 DRAM 126 處迅速地得知記憶體操作的處理結果。

【0020】 本實施例的第一運算核心環形控制器（環站點 RSS）141~144 分別對應至每個第一運算核心 121~124。環站點 RSS 141~144 將對應的第一運算核心 121~124 連接至第一環狀匯流排 210。每個第一末級快取記憶體 131~134 亦連接至對應的環站點

RSS 141~144，以供第一運算核心 121~124 作為資料存取之用。

【0021】 本實施例的第一系統核心環狀控制器（環站點 RSU）145 用以將第一系統核心 125 連接至第一環狀匯流排 210。第一系統核心 125 連接至多核心系統中的一個或多個晶片組裝置 151，以讓這些一個或多個晶片組裝置 151 能與第一運算核心 121~124 相互通訊。本實施例的晶片組裝置 151 可不包括 DMA 引擎。換句話說，本實施例的 DMA 引擎 227 不透過第一系統核心 125 以及第一系統核心環狀控制器 145 便可利用第一環狀匯流排 210 與第一運算核心 121~124 連接。第一系統核心 125 的功能除了連接一個或多個晶片組裝置 151 以外，還可連接到三級快取（L3 Cache），且可具備用於快取一致性監測的偵聽管線（snooping pipeline）功能。

【0022】 特別說明的是，圖 2 中的 DMA 引擎 227 直接設置於內連線結構 200 的第一環狀匯流排 210 中，換句話說，DMA 引擎 227 利用直接記憶體存取環狀控制器 247 連接到第一環狀匯流排 210。第一運算核心 121~124 便可透過第一環狀匯流排 210 以與 DMA 引擎 227 通訊，並使 DMA 引擎 227 對第一 DRAM 126 和/或其他記憶體進行記憶體操作。所謂的『記憶體操作』可以是對第一 DRAM 126 或其他 DRAM 進行讀取、寫入、複製、比對... 等操作模式。

【0023】 在此舉例以說明第一運算核心 121~124 其中之一（如，第一運算核心 121）如何利用 DMA 引擎 227 以對第一 DRAM 126 進行記憶體操作。當第一運算核心 121 需要利用 DMA 引擎 227 進

行記憶體操作時，第一運算核心 121 需要先行準備必備資源以讓 DMA 引擎 227 能續行工作。例如，第一運算核心 121 需要準備 PCI 配置空間（configuration space）、內存映射輸入輸出（Memory-mapped I/O；MMIO）資源、中斷路徑（可連接到晶片組以用於中斷/MSI（Modified-Shared-Invalid）協議的產生）... 等信息以提供給 DMA 引擎 227，作為初始化階段。

【0024】 在初始化之後，第一運算核心 121 產生 DMA 請求以作為數據包，並透過環站點 RSS 141 將此數據包放入環狀匯流排 210 中。然後，此數據包將會以所選擇的行進方向從第一運算核心 121 的環站點 RSS 141 並依序經由環站點 RSS 142、環站點 RSD 146 以及環站點 RSDMA 247 以交付到 DMA 引擎 227。在收到作為 DMA 請求的數據包後，DMA 引擎 227 將記憶體操作的信息作為數據包，且環站點 RSDMA 247 將對應此記憶體操作的數據包傳遞給環站點 RSD 146。環站點 RSD 146 及第一 DRAM 126 基於數據包當中所對應的記憶體操作（如，讀取/寫入/複製/比對... 等操作）而將數據處理結果經由環站點 RSDMA 247 傳送給 DMA 引擎 227。在收到數據處理結果後，DMA 引擎 227 透過中斷方式，將此數據處理結果(數據包)，依序經由環站點 RSDMA 247、環站點 RSD 146 以及環站點 RSS 142 以將此數據包提供給第一運算核心 121，以向第一運算核心 121 告知記憶體操作的完成結果。藉此，便可完成一次記憶體操作的直接記憶體存取週期。

【0025】 於符合本發明的其他實施例中，也可在環狀匯流排 210 中

設置多個 DMA 引擎 227 與環站點 RSDMA 247，以讓第一運算核心 121~124 共享這些 DMA 引擎 227。做為另一個優點，DMA 引擎 227 中包含緩衝器(buffer)以記錄在完成記憶體操作後的數據。緩衝器也可由第一系統核心 125 利用快取一致性監測的偵聽 (snooping) 功能所檢測。藉此，如果數據被緩衝在 DMA 引擎 227 中時，將會減少對快取一致性的延遲。

【0026】 本實施例中，多核心系統亦可包含多個環狀匯流排，且本發明實施例中位於不同環狀匯流排的所有運算核心可共享同一個 DMA 引擎。圖 3 是依照本發明第二實施例的一種多核心系統的內連線結構 300 的示意圖。第二實施例中的多核心系統的內連線結構 300 包括第一環狀匯流排 210 以及第二環狀匯流排 310。第一環狀匯流排 210 上的多個環站點及相關元件皆與上述實施例中圖 2 的各元件相同。內連線結構 300 除了第一環狀匯流排 210 上的多個環站點及相關元件以外，還增加了第二環狀匯流排 310 上的多個環站點及相關元件。詳細來說，內連線結構 300 還包括第二環狀匯流排 310、多個第二運算核心 321~324、與多個第二運算核心 321~324 相對應的環站點 RSS 331~334 以及多個第二末級快取記憶體 (LLC) 331~334、第二系統核心環狀控制器 (環站點 RSU) 345 將第二系統核心 325 連接至第二環狀匯流排 310。第二系統核心 325 可用以讓第二系統核心環狀控制器 345 與至少一個晶片組裝置 351 通訊。晶片組裝置 351 亦可稱為是第二晶片組裝置。每個第二末級快取記憶體 331~334 連接至相對應的第二運算核心環

形控制器（環站點 RSS）331~334。第二系統核心環狀控制器 RSU 345 與第一系統核心環狀控制器 RSU 145 相互通訊。如此一來，第一運算核心 121~124 和/或第二運算核心 321~324 皆可透過第二環狀匯流排 310 及第一環狀匯流排 210 以與 DMA 引擎 227 通訊，並使 DMA 引擎 227 進行記憶體操作。

【0027】 本實施例將第一環狀匯流排 210 上的第一環站點（亦即，RSS 141~144、RSU 145、RSD 146 及 RSDMA 247）及相應元件（亦即，第一運算核心 121~124、第一系統核心 125、第一 DRAM 126 及 DAM 引擎 227）稱為是第一系統 SYS1，且將第二環狀匯流排 310 上的第二環站點（亦即，RSS 341~344、RSU 345、RSD 346 及 RSDMA 347）及相應元件（亦即，第二運算核心 321~324 及第二系統核心 325）稱為是第二系統 SYS2。於本實施例中，第一系統 SYS1 可以是由一顆系統晶片構成，而第二系統 SYS2 則是由另一顆系統晶片構成。這兩個系統晶片可透過第二系統核心環狀控制器 RSU 345 與第一系統核心環狀控制器 RSU 145 經由 QPI 匯流排和/或 PCIe 匯流排相互通訊。於符合本發明的其他實施例中，第一系統 SYS1 與第二系統 SYS2 則可由同一顆系統晶片構成。應用本實施例者可依其需求來決定是否將第一系統 SYS1 與第二系統 SYS2 架構在同一個系統晶片中。

【0028】 特別說明的是，第二系統 SYS2 中的第二環狀匯流排 310 上並未內嵌 DMA 引擎，或是，與第二系統 SYS2 相連接的 DMA 引擎必須通過第二系統核心 325 才能與第二環狀匯流排 310 中的

元件相互通訊。如此一來，由於第一環狀匯流排 210 與第二環狀匯流排 310 相互連線，第二運算核心 321~324 便可利用第一環狀匯流排 210 中的 DAM 引擎 227 進行記憶體操作，而不需使用第二系統 SYS2 相連接的 DMA 引擎。

【0029】 在此舉例以說明第二運算核心 321~324 其中之一（如，第二運算核心 321）如何利用 DMA 引擎 227 以對第一 DRAM 126 進行記憶體操作。第二運算核心 321 利用作為 DMA 請求的相關信息產生 DMA 請求以作為數據包，並透過第二環站點 RSS 341 將此數據包放入環狀匯流排 310 中。此數據包將會以所選擇的行進方向從第二運算核心 321 的第二環站點 RSS 341 並依序經由第二環站點 RSU 345、第一環站點 RSU 145、第一環站點 RSS 141、第一環站點 RSS 142、第一環站點 RSD 146 以及第一環站點 RSDMA 247 以交付到 DMA 引擎 227，如圖 3 中的箭頭 391 所示。在收到作為 DMA 請求的數據包後，DMA 引擎 227 將記憶體操作的信息作為數據包，且第一環站點 RSDMA 247 將對應記憶體操作的數據包傳遞給第一環站點 RSD 146。環站點 RSD 146 及第一 DRAM 126 基於數據包當中所對應的 DRAM 操作而將數據處理結果經由第一環站點 RSDMA 247 傳送給 DMA 引擎 227。DMA 引擎 227 與第一 DRAM 126 之間的記憶體操作如箭頭 392 所示。在收到數據處理結果後，DMA 引擎 227 便透過中斷方式，將此數據處理結果(數據包)，依序經由第一環站點 RSDMA 247、第一環站點 RSD 146、第一環站點 RSS 142、第一環站點 RSS 141、第一環站點 RSU 145、

第二環站點 RSU 345、以及第二環站點 RSS 341（亦即，箭頭 391 的反方向）以將此數據包提供給第二運算核心 321。

【0030】 圖 4 是依照本發明第三實施例的一種多核心系統的內連線結構 400 的示意圖。圖 3 與圖 4 之間的差異在於，圖 4 的第二環狀匯流排 310 除了原有的環站點及相應的元件以外還增加第二動態隨機存取記憶體（DRAM）426 以及第二動態隨機存取記憶體環狀控制器（環站點 RSD）446。環站點 RSD 446 用以將第二動態隨機存取記憶體 426 連接至第二環狀匯流排 310。如此一來，基於第一環狀匯流排 210 與第二環狀匯流排 310 相互連接，位於第一環狀匯流排 210 中的 RSD 引擎 227 便可對第二動態隨機存取記憶體 426 進行記憶體操作。

【0031】 綜上所述，本發明實施例的本發明實施例的多核心系統的內連線結構將直接記憶體存取引擎設置在環狀匯流排中，並額外設置用來讓直接記憶體存取引擎對環狀匯流排中的數據包進行存取的直接記憶體存取環狀控制器。換言之，直接記憶體存取引擎不需透過所述第一系統核心、第一系統核心環狀控制器，而與所述第一運算核心連接。此外，直接記憶體存取引擎也不需透過第一系統核心、第一系統核心環狀控制器、第二系統核心、第二系統核心環狀控制器，而與第一運算核心或第二運算核心連接。

【0032】 如此一來，各個運算核心能迅速地利用環狀匯流排中的直接記憶體存取引擎，從而直接地對直接記憶體存取引擎下達記憶體操作的相關指令。並且，此直接記憶體存取引擎與同樣設置在

環狀匯流排中的動態隨機存取記憶體之間的通訊將更為順暢。換句話說，記憶體操作的直接記憶體存取週期將可更為快速地處理。

【0033】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0034】

100、200、300、400：多核心系統的內連線結構

110：環狀匯流排

121~124：第一運算核心

125：第一系統核心

126：第一動態隨機存取記憶體（DRAM）

131~134：第一末級快取記憶體

141~144：環站點片狀模組（RSS）/第一運算核心環形控制器

145：環站點非核心模組（RSU）/第一系統核心環狀控制器

146：環站點動態隨機存取記憶體模組（RSD）/第一動態隨機存取記憶體環狀控制器

151、351：晶片組裝置

152：直接記憶體存取（DMA）引擎

210：第一環狀匯流排

227：直接記憶體存取（DMA）引擎

247：環站點直接記憶體存取模組（RSDMA）/直接記憶體存取環狀控制器

310：第二環狀匯流排

321~324：第二運算核心

325：第二系統核心

331~334：第二末級快取記憶體

341~344：環站點片狀模組（RSS）/第二運算核心環形控制器

345：環站點非核心模組（RSU）/第二系統核心環狀控制器

391、392：箭頭

426：第二動態隨機存取記憶體（DRAM）

446：環站點動態隨機存取記憶體模組（RSD）/第二動態隨機存取記憶體環狀控制器

【發明申請專利範圍】

【第1項】一種多核心系統的內連線結構，包括：

多個第一運算核心；

第一環狀匯流排，其中所述第一運算核心連接至所述第一環狀匯流排；

第一系統核心(uncore)；

第一系統核心環狀控制器，用以將所述第一系統核心(uncore)連接至所述第一環狀匯流排；

第一動態隨機存取記憶體；

第一動態隨機存取記憶體環狀控制器，用以將所述第一動態隨機存取記憶體連接至所述第一環狀匯流排；

直接記憶體存取引擎；以及

直接記憶體存取環狀控制器，用以將所述直接記憶體存取引擎連接至所述第一環狀匯流排，

其中所述直接記憶體存取引擎不透過所述第一系統核心(uncore)以及所述第一系統核心環狀控制器，而與所述多個第一運算核心連接，

其中所述直接記憶體存取環狀控制器與所述第一動態隨機存取記憶體環狀控制器皆位於所述第一環狀匯流排，且所述直接記憶體存取環狀控制器不同於所述第一動態隨機存取記憶體環狀控制器，

其中所述多個第一運算核心透過所述第一環狀匯流排以與所

述直接記憶體存取引擎通訊，並使所述直接記憶體存取引擎對所述第一動態隨機存取記憶體進行記憶體操作。

【第2項】如申請專利範圍第1項所述的多核心系統的內連線結構，還包括：

多個第一運算核心環形控制器，其中每個第一運算核心環形控制器對應至每個第一運算核心，每個第一運算核心環形控制器將對應的所述第一運算核心連接至所述第一環狀匯流排。

【第3項】如申請專利範圍第2項所述的多核心系統的內連線結構，還包括：

多個第一末級快取記憶體，其中每個第一末級快取記憶體連接至每個第一運算核心環形控制器。

【第4項】如申請專利範圍第1項所述的多核心系統的內連線結構，其中所述第一系統核心用以與第一晶片組裝置通訊。

【第5項】如申請專利範圍第1項所述的多核心系統的內連線結構，還包括：

多個第二運算核心；

第二環狀匯流排，其中所述多個第二運算核心連接至所述第二環狀匯流排；

第二系統核心；以及

第二系統核心環狀控制器，用以將所述第二系統核心連接至所述第二環狀匯流排，

其中所述第二系統核心環狀控制器與所述第一系統核心環狀

控制器相互通訊，且所述多個第二運算核心透過所述第一環狀匯流排以及所述第二環狀匯流排以與所述直接記憶體存取引擎通訊，並使所述直接記憶體存取引擎進行所述記憶體操作。

【第6項】如申請專利範圍第5項所述的多核心系統的內連線結構，其中所述第二系統核心用以與至少一第二晶片組裝置通訊。

【第7項】如申請專利範圍第5項所述的多核心系統的內連線結構，其中所述直接記憶體存取引擎不透過所述第一系統核心與所述第二系統核心，而與所述多個第一運算核心或所述多個第二運算核心連接。

【第8項】如申請專利範圍第5項所述的多核心系統的內連線結構，還包括：

第二動態隨機存取記憶體；以及

第二動態隨機存取記憶體環狀控制器，用以將所述第二動態隨機存取記憶體連接至所述第二環狀匯流排，

其中所述直接記憶體存取引擎對所述第二動態隨機存取記憶體進行所述記憶體操作。

【第9項】如申請專利範圍第5項所述的多核心系統的內連線結構，還包括：

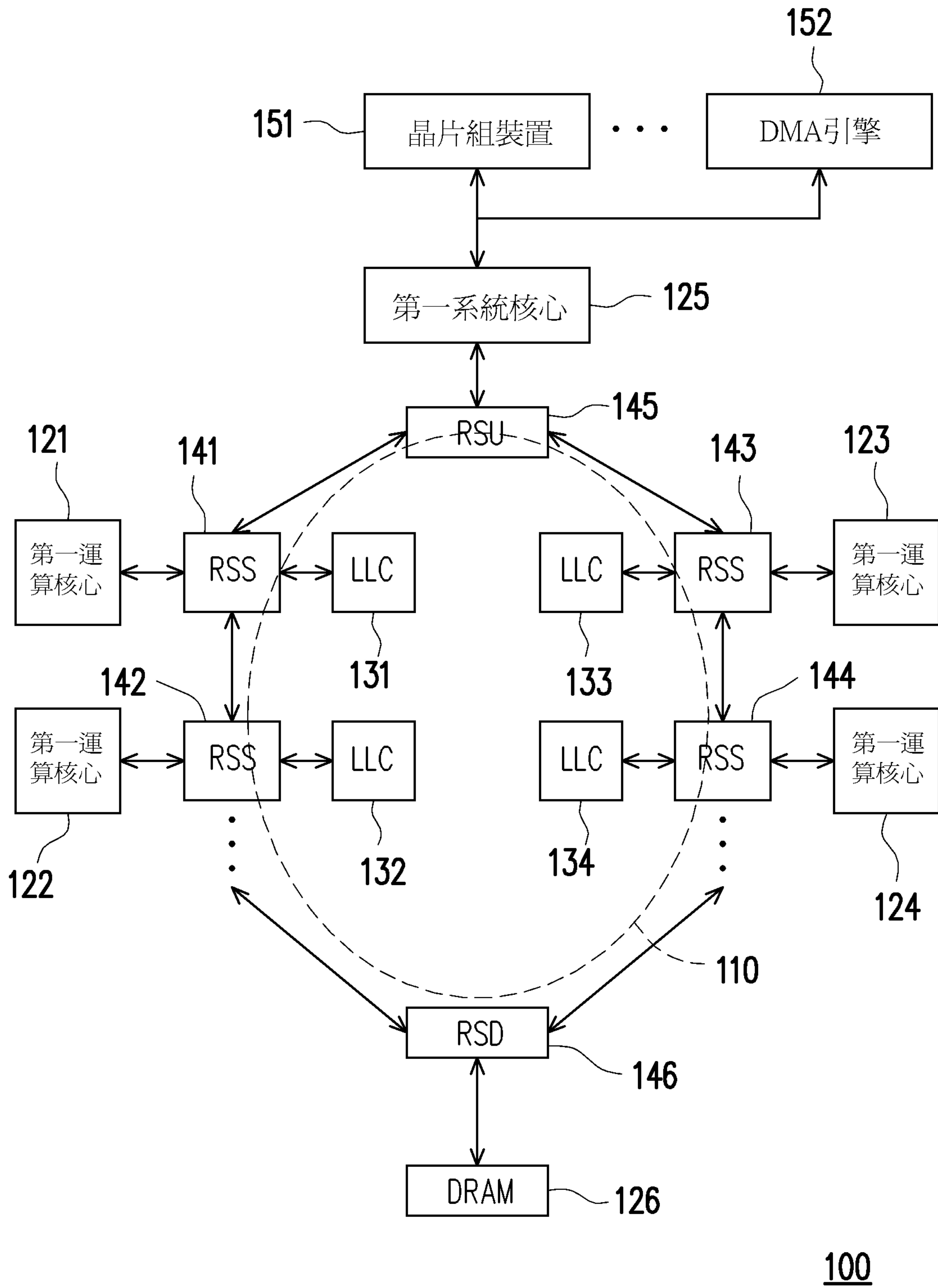
多個第二運算核心環形控制器，其中每個第二運算核心環形控制器對應至每個第二運算核心，每個第二運算核心環形控制器將對應的所述第二運算核心連接至所述第二環狀匯流排。

【第10項】 如申請專利範圍第9項所述的多核心系統的內連線結構，還包括：

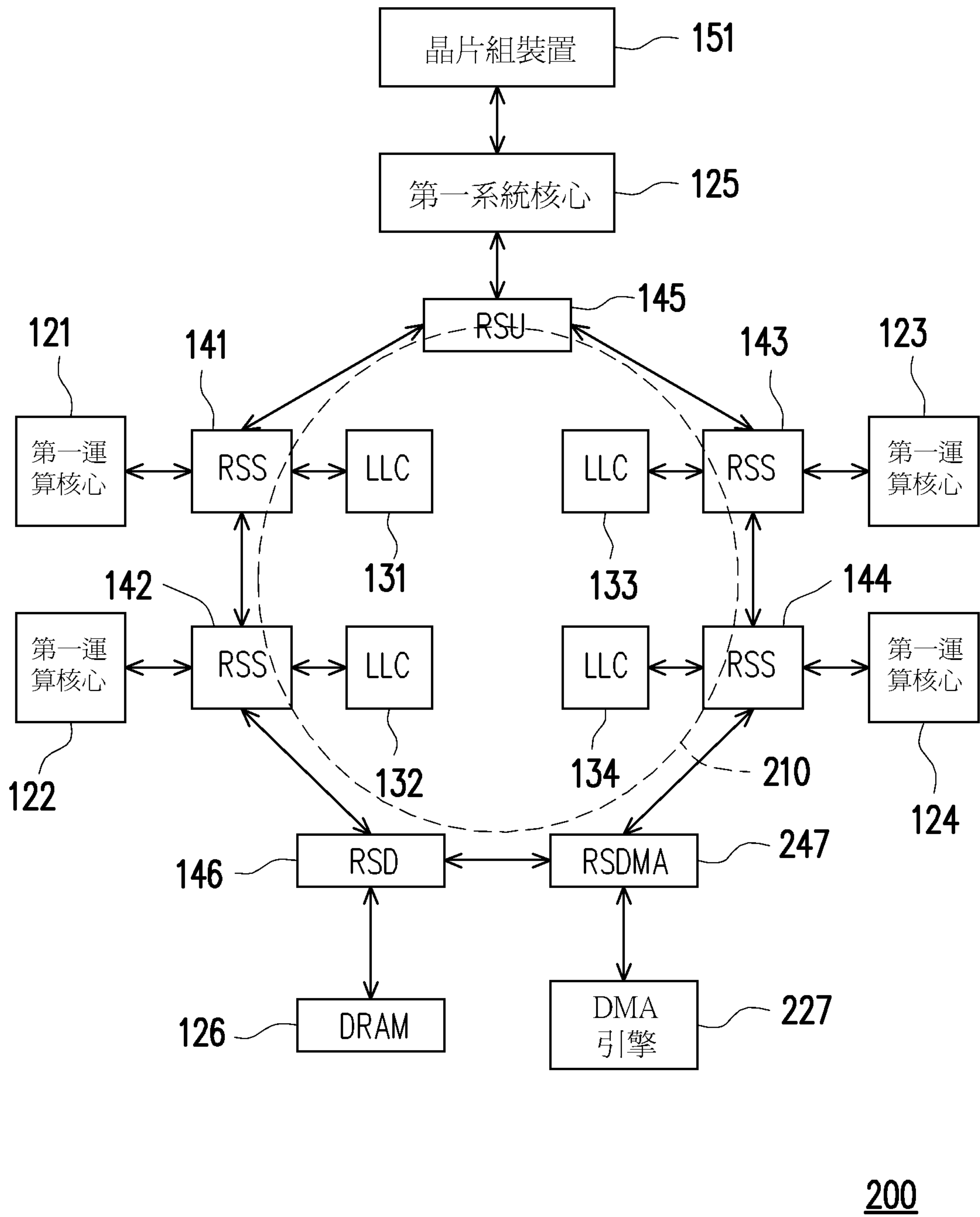
多個第二末級快取記憶體，其中每個第二末級快取記憶體連接至每個第二運算核心環形控制器。

【第11項】 如申請專利範圍第5項所述的多核心系統的內連線結構，其中所述多個第一運算核心、所述第一環狀匯流排、所述直接記憶體存取引擎、所述直接記憶體存取環狀控制器、所述第一系統核心、所述第一系統核心環狀控制器以及第一動態隨機存取記憶體設置於第一晶片中，且所述多個第二運算核心、所述第二環狀匯流排、所述第二系統核心以及所述第二系統核心環狀控制器設置於第二晶片中。

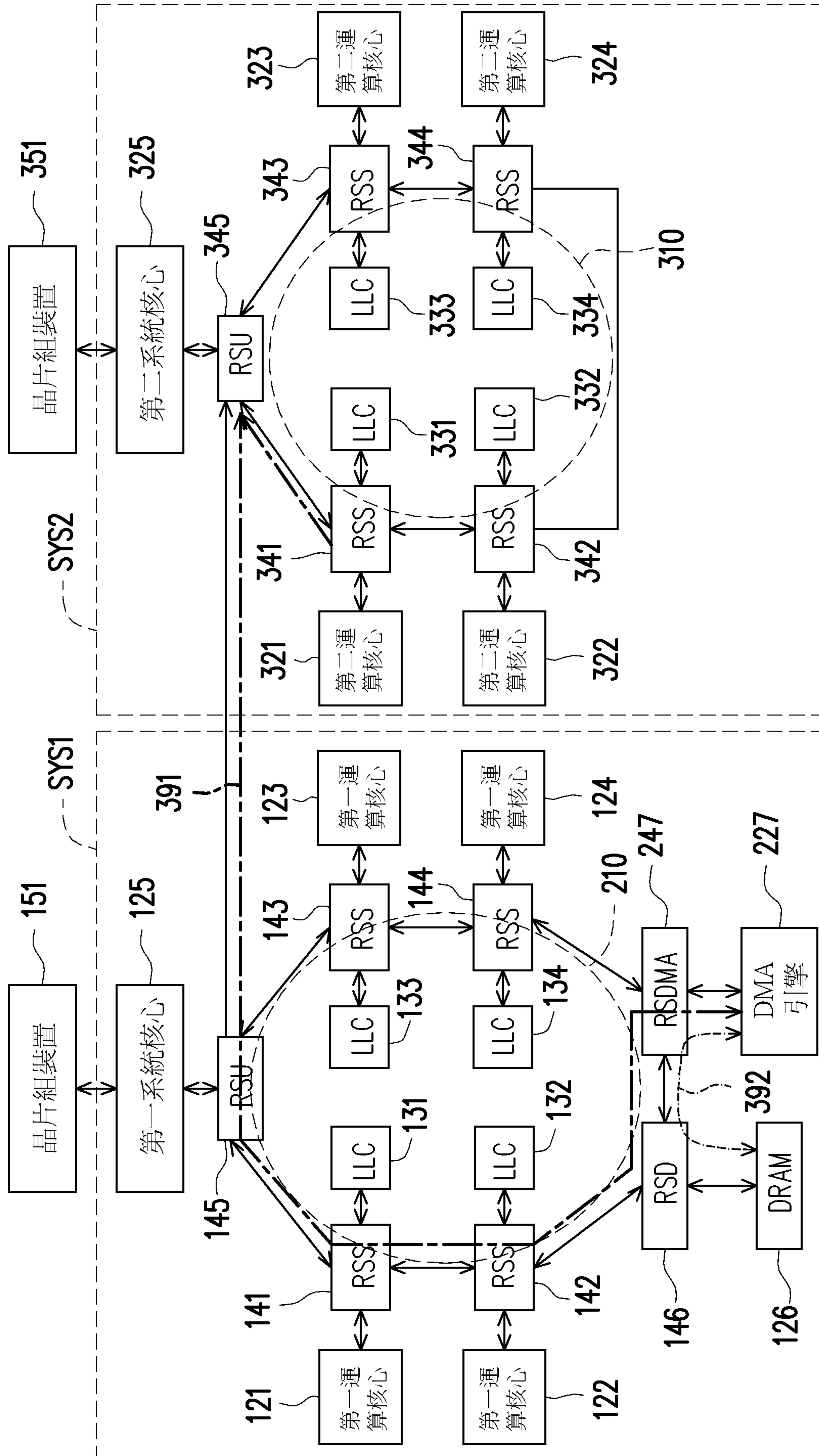
【發明圖式】



【圖1】

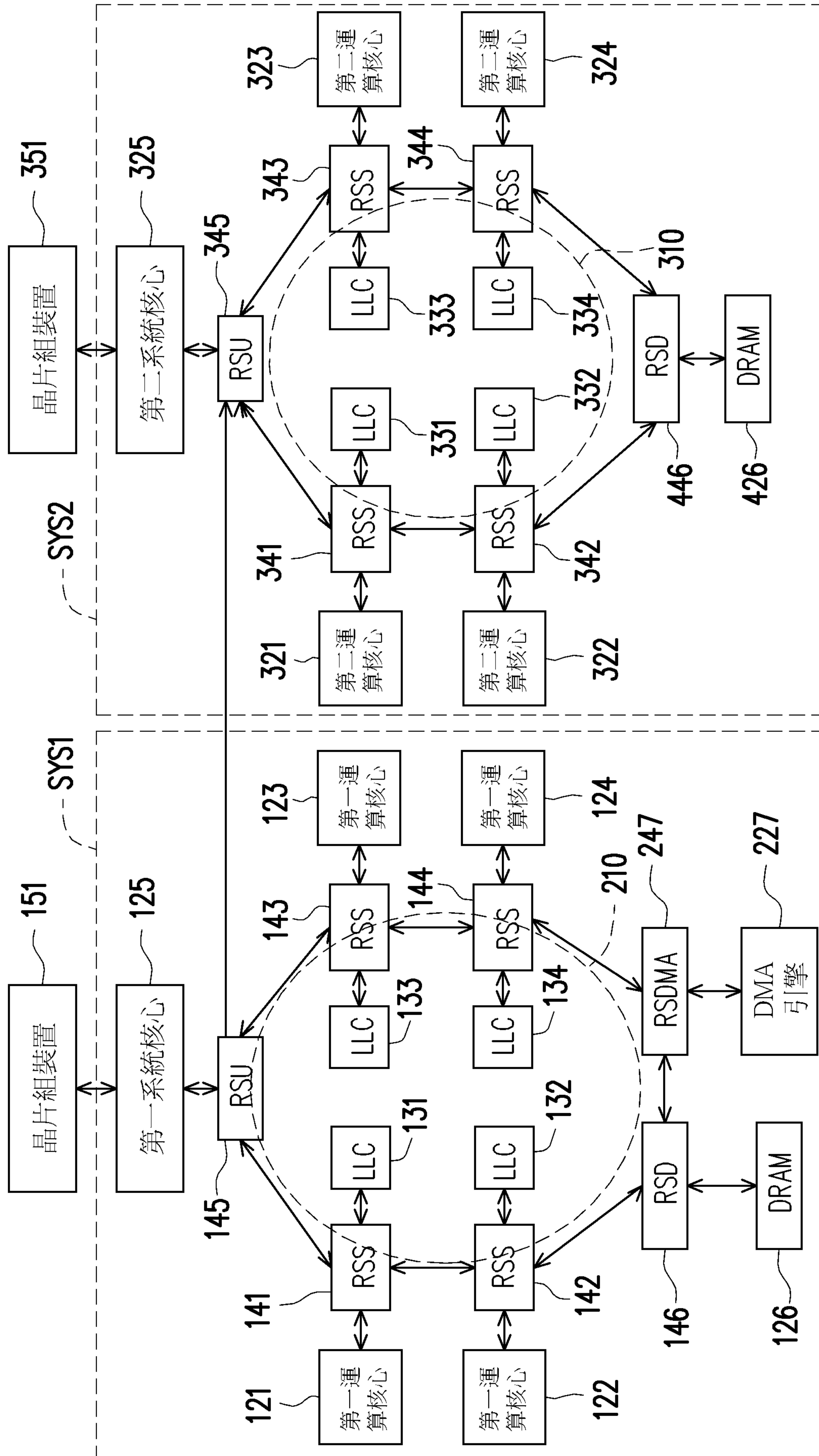


【圖2】



300

【圖3】



400

【圖4】