

[12] 发明专利申请公开说明书

[21] 申请号 98800948.X

[43]公开日 1999年10月6日

[11]公开号 CN 1231100A

[22]申请日 98.7.10 [21]申请号 98800948.X

[30]优先权

[32]97.7.11 [33]JP [31]186144/97

[86]国际申请 PCT/JP98/03116 98.7.10

[87]国际公布 WO99/03283 日 99.1.21

[85]进入国家阶段日期 99.3.8

[71]申请人 索尼公司

地址 日本东京都

[72]发明人 近藤哲二郎

[74]专利代理机构 柳沈知识产权律师事务所

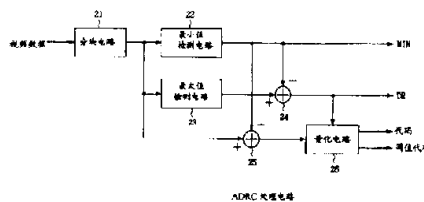
代理人 吕晓章

权利要求书 1 页 说明书 25 页 附图页数 17 页

[54]发明名称 图像编码器、图像解码器、和图像处理器及其方法

[57]摘要

在 ADRC 处理中,将一幅图像分成块,检测每个块的像素值的最大值 MAX 和最小值 MIN,并且用方程 $DR = MAX - MIN$ 来确定每个块的局部动态范围。从每个块的像素值中减去最小值 MIN,并将剩余值分成 $DR/2^K$ 份,以获得 ADRC 处理结果。所得到的结果用作各种编辑处理的对象,该编辑处理可与当对原始图像不进行 ADRC 处理而直接编辑时的编辑处理基本相同。由于 ADRC 处理结果的数据量少,与原始图像的编辑相比,能够减少编辑负荷。从而有效地执行图像处理。



ISSN 1008-4274



权 利 要 求 书

1.一种用于对图像编码的视频编码器，包括鉴于其它处理而执行为编码所述图像所必需的一个或更多处理的处理装置。

5 2.如权利要求1所述的视频编码器，其中，所述图像由可由用于拾取对象并且输出其视频信号的摄像机装置输出的最大数个像素组成，。

3.如权利要求1所述的视频编码器，其中，编码所述图像所必需的多个处理之一是所述图像的编辑处理、减少其信息量的压缩处理、或改善传输中的数据可靠性的通道编码处理。

10 4.如权利要求1所述的视频编码器，其中，所述处理装置产生用于形成所述图像并且在空间方向或时间方向上像素减少的压缩图像。

5.一种用于对图像编码的方法，包括鉴于其它处理而执行为编码所述图像所必需的一个或更多处理的步骤。

15 6.一种用于将发送数据解码成图像的视频解码器，包括产生装置，用于通过将所述发送数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备分辨率的解码图像。

7.一种用于将发送数据解码成图像的方法，包括通过将所述发送数据线性耦合到规定系数，产生相应于用于输出图像的输出设备分辨率的解码图像的步骤。

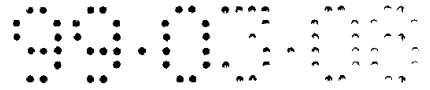
20 8.一种用于处理图像的视频处理器，包括：
处理装置，用于鉴于其它处理而执行为编码所述图像所必需的一个或更多处理；及

产生装置，用于通过将由所述处理装置的处理结果而获得的数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备分辨率的解码图
25 像。

9.一种用于处理图像的方法，包括以下步骤：

鉴于其它处理而执行为编码所述图像所必需的一个或更多处理；及

通过将如此得到的数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备分辨率的解码图像。



说明书

图像编码器、图像解码器、 和图像处理器及其方法

5

技术领域

本发明涉及一种视频编码器、视频解码器、视频处理器及其方法，特别涉及能够有效地对图像编码、并进一步以适当的形式给监视器获得解码图像来显示该图像的这些方法和装置。

10

背景技术

图16示出了从发送端向接收端发送图像的视频发送系统的一结构示例。

在发送端，例如，用高分辨率摄像机201使一目标成像，并且输出由横向与纵向上 1920×1035 像素构成、以16:9的宽高比的高分辨率图像(以下，更好地称其为HD图像)。从摄像机201每秒正常输出约30帧的HD图像。但是在此，HD图像经隔行扫描。因此，从摄像机201每秒输出约60场的HD图像。

在发送端，例如，用标准或低分辨率摄像机202使一目标成像，并且输出4:3宽高比的标准或低分辨率图像(以下，更好地称其为SD图像)。例如如果摄像机202是国家电视制式委员会(NTSC)制式或逐行倒相(PAL)制式，则一帧分别由 720×480 像素或 720×576 像素形成，及每秒帧数(场数)分别是30(60)或25(50)。

在发送端，用顺序成像器203扫描一目标，并且相继输出扫描图像(以下，更好地称其为顺序图像)。并且在发送端，在计算机204中产生由例如 640×480 像素形成的图像，并且作为计算机图形(CG)输出。

形成将由摄像机201和202输出的图像的像素横向与纵向比约为1:1.1。形成将由计算机204输出的图像的像素横向与纵向比是1:1。

如上所述，从摄像机201和202、顺序成像器203和计算机204将输出在宽高比、像素数、其扫描方法、横向与纵向像素比等方面不同的图像。

30 这些图像输入到编辑器205。在编辑器205中，分别编辑来自摄像机201和202、顺序成像器203和计算机204的图像。所有编辑图像被转换成例如



由 1920×1080 像素形成的顺序图像，并且输出到源编码器206。在源编码器206中，例如按照运动图像专家组(MPEG)标准对从编辑器205输出的图像编码(MPEG编码)，如此得到的编码数据输入给通道编码器207。

5 已经计划采用由先级电视(ATV)将像素数、其扫描方法等方面不同的所有图像转换成 1920×1080 像素的顺序图像。

在通道编码器207中，执行通道编码，以改善传输中编码数据的可靠性。即，在通道编码器207中，例如将纠错码加到编码数据中，进行纠错处理，并且还要经规定的调制等。由在通道编码器207中处理得到的发送数据经过传输线211传送。

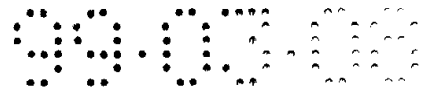
10 在接收端，接收如上所述从发送端发送的发送数据。该发送数据提供给通道解码器208，以进行通道解码。具体地讲，例如执行规定的解调，并且还利用ECC等进行纠错。

作为在通道解码器208中的处理结果得到的编码数据提供给源解码器209。在源解码器209中，例如通过按照MPEG标准解码(MPEG解码)数据来
15 扩展编码数据，这样得到的图像数据提供给处理器210。

在处理器210中，处理来自源解码器209的图像数据，以与输出设备格式匹配，以便输出该图像数据。即，在当图像数据显示在用于显示HD图像的HD显示设备221中时，由源解码器209输出的图像数据在处理器210中被处理成为例如由 1920×1035 像素组成、宽高比16:9的隔行扫描HD图像。在
20 当图像数据显示在用于显示SD图像的SD显示设备222中时，由源解码器209输出的图像数据在处理器210中被处理成为例如NTSC制式(由 720×480 像素组成)或PAL制式(由 720×576 像素组成)的SD图像。在当由打印机223打印出图像数据时，由源解码器209输出的图像数据在处理器210中被转换成横向与纵向像素比对应于打印机223的图像。另一方面，在当图像数据显示在计算机显示器224上时，由源解码器209输出的图像数据在处理器210中被处理成为例如由 640×480 像素组成的图像。
25

在HD显示设备221、SD显示设备222、打印机223和计算机显示器224中显示或打印来自处理器210的图像。

顺便在此提一下，在发送端由编辑器205的编辑处理、由源编码器206
30 的压缩处理、和由通道编码器207的通道编码处理已经差不多分别和独立地进行。



例如，压缩的数据有比压缩处理之前的数据更少的信息量。这样，如果设定编辑压缩数据，则能够减少在编辑器205上的负荷。然而，如果如上所述在源编码器206中对该图像进行MPEG编码，则按其结果得到的位流变得难以编辑，除非是以图像组(GOP)为单位，并且对位流的编辑限制到所说的仅连接GOP的剪切(cut)编辑。由于在源编码器206中执行与编辑器205的编辑处理无关的压缩处理，就不能以帧为单位编辑压缩数据，及难以对其产生各种影响。

另外，例如，鉴于由通道编码器207加入ECC，在源编码器206中不进行压缩处理。因此，例如，如果将ECC加进由压缩处理得到的编码数据中，有时在加入ECC之后破坏了整个数据的压缩性。

如上所述，由于鉴于其它处理没有进行为图像编码所必要的处理，诸如编辑处理、压缩处理、和通道编码处理等，因此难以执行有效的处理。

本发明的公开

考虑到上述各方面提出了本发明，本发明能够执行有效的处理。

按照权利要求1的视频编码器的特征在于，包括鉴于其它处理而执行为编码图像所必需的一个或更多处理的处理装置。

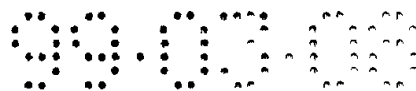
按照权利要求5的编码图像的方法的特征在于，鉴于其它处理而执行为编码图像所必需的多个处理中的一个或更多处理。

按照权利要求6的视频编码器的特征在于，包括一产生装置，该产生装置用于通过将发送数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备的分辨率的解码图像。

按照权利要求7的解码图像的方法的特征在于，通过将发送数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备分辨率的解码图像。

按照权利要求8的视频处理器的特征在于包括：处理装置，用于鉴于其它处理而执行为编码图像所必需的多个处理中的一个或更多处理；及产生装置，用于通过将作为处理装置的处理结果获得的数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备的分辨率的解码图像。

按照权利要求9的处理图像的方法的特征在于，鉴于其它处理而执行为编码图像所必需的多个处理中的一个或更多处理，及通过将如此得到的数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备的分辨率的解码图像。



在按照权利要求1的视频编码器中，处理装置鉴于其它处理而执行为编码图像所必需的多个处理中的一个或更多处理。

在按照权利要求5的编码图像的方法中，鉴于其它处理而执行为编码图像所必需的多个处理中的一个或更多处理。

5 在按照权利要求6的视频解码器中，产生装置通过将发送数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备的分辨率的解码图像。

在按照权利要求7的解码图像的方法，通过将发送数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备的分辨率的解码图像。

10 在按照权利要求8的视频处理器中，处理装置鉴于其它处理而执行为编码图像所必需的多个处理中的一个或更多处理，并且产生装置通过将作为处理装置的处理结果获得的数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备的分辨率的解码图像。

15 在按照权利要求9的处理图像方法中，鉴于其它处理而执行为编码图像所必需的多个处理中的一个或更多处理，及通过将如此得到的数据线性耦合到规定系数，来产生相应于用于输出图像的输出设备的分辨率的解码图像。

附图的简单描述

图1是应用本发明的视频发送系统实施例的框图；

图2A和图2B是解释ADRC处理的示意图；

图3是ADRC处理电路的结构示例框图；

20 图4是同步块形成电路的结构示例框图；

图5是同步块格式示意图；

图6A到图6C是解释分层(hierarchical)编码的示意图；

图7是分层编码电路的结构示例框图；

图8是ISDB发送器的结构示例框图；

25 图9是ADRC解码电路的结构示例框图；

图10是ADRC解码电路的另一结构示例框图；

图11是ISDB接收器的结构示例框图；

图12是分辨率生成电路的结构示例框图；

图13是分类块和预测值计算块的示意图；

30 图14A和图14B是解释分类处理的示意图；

图15是图12的预测电路134的结构示例框图；及



图16是从发送端向接收端发送图像的视频发送系统的结构示例框图。

实现本发明的最佳方式

下面将参照附图详细描述本发明的实施例。

图1示出应用本发明的视频发送系统的实施例的结构示例。

5 在发送端，输出能由增强分辨率摄像机1和低分辨率摄像机2等输出的最大数个像素组成的图像。具体地讲，例如从摄像机1输出由 1920×960 像素组成、宽高比是16:9、及帧速率约为30帧/每秒的顺序HD图像。及例如从摄像机2输出由 640×480 像素组成、宽高比4:3、及帧速率约为30帧/每秒的顺序SD图像，或输出由 720×480 像素组成、宽高比4:3、帧速率约为15帧/每秒
10 的顺序SD图像。

在接收端，例如，顺序成像器3扫描一目标，并且输出例如其像素的纵向数目为480的整数倍的顺序图像。计算机4产生和输出例如由 640×480 像素组成、横向与纵向比为1:1的图像作为计算机图形(CG)。

15 由摄像机1和2、顺序成像器3和计算机4输出的这些图像提供给集成编码系统6(处理装置)。

除此之外，例如，从网络5比如互联网等提供其纵向像素数目是480的整数倍的顺序图像给集成编码系统6。从网络5类似地提供每个像素的横向与纵向比为1:1的图像给计算机4。

20 在此，使摄像机1和2能够输出由可由它们输出的最大数目像素组成的图像，因为如果对这种图像处理，则与一幅图像中有较少数目像素如隔行制式的图像处理相比，一般能够得到高图像质量的解码图像。

25 另外，要提供给集成编码系统6的图像的所有纵向像素数目是规定值，例如这里为480的整数倍。并且它们的帧速率也是规定值，为15的整数倍。这是因为当通过对形成HD图像的像素在空间方向上或时间方向上减薄(thinning out)而产生SD图像时，或当通过对形成SD图像的像素在空间方向上或时间方向上内插而产生HD图像时，能够减少将要产生的SD图像或HD图像的图像质量的劣化。

30 要输出到摄像机1的HD图像的纵向像素数目设定为960个像素，这是因为当纵向像素数目是480的整数倍时，“960”最接近于现有HD图像的纵向像素数目“1035”(图16)，这样，当进行交叉时，能够降低图像质量的劣化。



要输出到摄像机2的SD图像的纵向像素数目设定为480个像素，这是因为480的整数值最接近于目前NTSC或PAL等制式采用的像素的数目。

如果要输出到摄像机2的宽高比为4:3的SD图像的横向像素数目设定为640，则像素的横向与纵向比变成1:1($= 4 \times 480 : 3 \times 640$)。结果，容易与由计算机4输出的图像或从网络5提供的图像匹配。

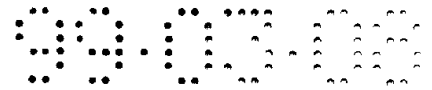
如果要输出到摄像机2的宽高比为4:3的SD图像的横向像素数目设定为720，则像素的横向与纵向比就变成8:9($= 4 \times 480 : 3 \times 720$)。它等于形成要由摄像机1输出的HD图像的水平与垂直像素比($8:9 = 16 \times 960 : 9 \times 1920$)。因此，在此情况下，如果要由摄像机2输出的SD图像的像素的水平与垂直数目加倍，并且像素的纵向数目设定为960个像素，即等于由摄像机1输出的HD图像像素的纵向数目，则能够保持准圆度(即，能够避免图像在水平方向或垂直方向被拉长)。

在集成编码系统6中，鉴于其它处理而对所提供的图像(数字视频信号)执行为编码所必需的一个或多个处理，诸如编辑处理、压缩处理、通道编码处理等。在此，例如，编辑处理不仅包括其中执行剪切编辑或产生影响的准视频编辑处理，而且还包括增加实现综合业务数字广播(ISDB：是数字化和发送各种信息的交互式广播)的信息和附带增加的其它值的信息，并且链接某图像到其它图像等。

通过在集成编码系统6中的处理获得的发送数据经传输线13发送到接收端。作为传输线13，除了例如卫星线路、地面波、CATV网络、公共网络、互联网等通信线路外，还包括磁记录/再现的处理，及记录介质例如磁盘、光盘、磁带、磁光盘和其它记录介质。

在接收端接收经传输线13发送的发送数据，并且提供给自适应解码系统7(产生装置)。自适应解码系统7连接到用于输出图像的输出设备，例如用于显示HD图像的高分辨率显示单元9、用于显示SD图像的标准或低分辨率显示单元10、用于打印出图像的打印机11、及连接到计算机的计算机显示器12(但是通过像素宽高比转换器8连接打印机11)。自适应解码系统7通过线性地将发送数据耦合到规定系数，来产生对应于显示单元9和10、打印机11和计算机显示器12的各种分辨率的解码图像，并且将这些图像输出到显示单元9和10、打印机11和计算机显示器12。

在显示单元9和10、和计算机显示器12中显示来自自适应解码系统7的



解码图像，及在打印机11中打印出来自自适应解码系统7的解码图像。

5 应注意的是，在显示单元9和10、和计算机显示器12中每个像素的横向与纵向比(此后，优选地称作像素宽高比)和形成解码图像的像素的宽高比之间的差别，由在显示单元9和10、及计算机显示器12中的每个的水平扫描消除。

另一方面，在打印机11中，由于像素的宽高比之差不能由这种水平扫描消除，则在前一级中设置像素的宽高比转换器8。解码图像的像素宽高比被转换成适于打印机11的值。

然后，将要描述集成编码系统6中的处理。

10 例如在集成编码系统6中，鉴于编辑处理而执行压缩处理。

例如在集成编码系统6中，执行自适应动态范围编码(ADRC)的压缩处理。

在此，将简单描述ADRC处理。

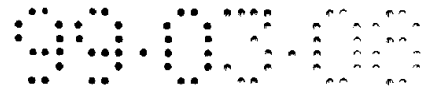
15 为简化描述，如果考虑一行上由四个像素组成的块，在ADRC处理中，如图2A所示地检测这些像素值的最大值MAX和最小值MIN。DR = MAX - MIN设定为该块的局部动态范围，形成该块的像素的像素值被重新量化成K位。

20 具体地讲，从块的每个像素值中减去最小值MIN。该相减值被分成 $DR/2^K$ 份。像素值转换成对应于所得到的分割值的码(ADRC码)。更具体地讲，例如如果假定 $K=2$ ，则确定分割值属于将动态范围DR 4($=2^2$)份而得到的范围中的范围，如图2B所示。如果分割值属于例如最低级、从低起的第二级、从低起的第三级或最高级的范围，则被编码成两位，例如00B、01B、10B、或11B(B表示二进制数)。

25 在重新量化时，比指定给该像素的位数小的值用作位数K。因此，每个像素被压缩成这样少的位数(但是，除此之外，对该块以外的每个块产生最小值MIN和动态范围DR)。

30 应注意的是，通过将ADRC代码00B、01B、10B、或11B转换成为比如通过动态范围DR分成4份而得到的最低级范围的中心值 L_{00} 、从低起第二级范围的中心值 L_{01} 、从低起第三级范围的中心值 L_{10} 、或最高级范围的中心值 L_{11} ，并且将最小值MIN加到该值上，来进行解码。

图3示出执行ADRC处理的ADRC处理电路的结构示例。



视频数据提供给分块电路21，并且按规定大小分成多个块。即，分块电路21将视频数据分成各块，例如横向4个像素与纵向4个像素的块，将这些块提供给最小值检测电路22、最大值检测电路23和计算单元25。

5 在最小值检测电路22中，从形成来自分块电路21的块的16(4×4)个像素中检测最小值MIN。该最小值MIN作为由ADRC处理得到的信号之一输出，并且提供给计算单元24和计算单元25。

同时，在最大值检测电路23中，从形成来自分块电路21的块的16个像素中检测最大值MAX，并且提供给计算单元24。

10 在计算单元24中，从最大值MAX中减去最小值MIN，以得到块的动态范围DR。该动态范围DR作为由ADRC处理得到的信号之一输出，并且提供给量化电路26。

在计算电路25中，从形成块的16个像素的每一个中减去该块的最小值，并且将相减值提供给量化电路26。在量化电路26中，来自计算单元25的相减值，按对应于来自计算电路24的动态范围DR的量化步长进行量化。即
15 例如在量化电路26中，计算单元25的输出分成 $DR/2^K$ 份，已经略去小数部分
的值作为ADRC代码(像素的重新量化结果)

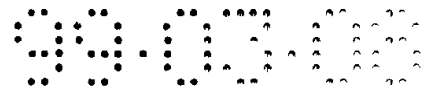
在此实施例中，例如对应于每个块的动态范围DR的大小来确定在重新量化中的位数K，并且ADRC代码是可变长的。

20 例如，假定现在设定T1、T2、T3、T4四个阈值，它们的大小关系是
 $0 < T1 < T2 < T3 < T4$ ，而且又给原始图像的像素指定8位(这样， $T4$ 小于 2^8)。

在此情况下，在量化电路26中，确定动态范围DR是否是在大于0及小于T1、大于T1及小于T2、大于T2及小于T3、大于T3及小于T4、大于T4及其
25 小于 2^8 的范围之一中。并且如果动态范围DR是在这些范围中的一个中，例如将0到4位分别指定为重新量化中的位数K。因此，在此情况下，ADRC代
码变成最小0位，最大4位。

当ADRC代码是可变长时，ADRC代码的位数K是解码所必需的。因此，量化电路26输出表示动态范围DR是在上述范围的哪个范围内的阈值代码。该阈值代码与最小值MIN、动态范围DR、和ADRC代码一起作为ADRC处理结果而输出。

30 应注意的是，例如最小值MIN、动态范围DR和阈值代码被设定为可变长的。



在上述情况中，ADRC代码设定为可变长的，然而，假定不考虑块的动态范围DR而将重新量化中的位数K设定为一固定值，则ADRC代码可被设定为定长。

由上述ADRC处理得到的ADRC代码小于指定给原始像素的位数。另一方面，由ADRC处理得到的最小值MIN、动态范围DR、和ADRC代码能以块为单位使用，这样，例如能够以帧为单位编辑ADRC处理的图像。

从以上看出，通过进行作为压缩处理的ADRC处理，及设定ADRC处理的结果作为各种编辑处理的对象，能够执行与将ADRC处理之前的原始图像设定为处理对象的情况差不多相同的编辑处理，同时，与将ADRC处理之前的原始图像设定为对象的情况相比，能够减少处理量。

这样，可以说，考虑到编辑处理而执行作为压缩处理的ADRC处理，并且能够有效地执行编辑处理。

例如由本申请人先前提交的、已经在未审查专利公开特开平Hei3(1991)-53778中公开了ADRC的细节等。

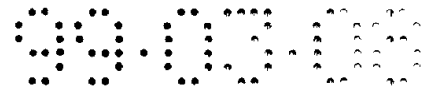
由于ADRC以块为单位执行编码，ADRC可称为块编码。然而，除了ADRC之外，块编码还包括获得平均值、形成块的像素的标准偏差、及表示每个像素和该平均值之间大小关系的1位标志等的编码。这种块编码可由集成编码系统6用作压缩处理。

在上述情况中，在ADRC处理结果中包括最小值MIN和动态范围DR。另外，ADRC结果中还可包括块的最小值MIN和最大值MAX，或块的动态范围DR和最大值MAX。

除此之外，在上述情况下，一个块由横向与纵向 4×4 像素组成。然而，块可由形成多个时域上连续的帧的像素组成。

另外，作为发送由ADRC处理得到的每个块的最小值MIN、动态范围DR、阈值代码和ADRC代码的方法，例如有一种方法，其中随着同步模式构成放置规定数量的ADRC结果数据的块(以下，更好地称之为同步块)，用于以此种同步块为单位匹配和执行发送。

当以一个同步块为单位执行发送时，最小值MIN、动态范围DR和阈值代码是如上所说的定长。因此，如果这些数据放置在同步块中的固定位置，则即使由于故障不能得到某一个同步块，仍不影响放置在其它同步块中的最小值MIN、动态范围DR、和阈值代码。



然而，由于ADRC代码是可变长的，在例如因为ADRC不能包含在一个同步块中而将ADRC代码分开放置在多个同步块中时，一个同步块的失效某些时候影响其它同步块。具体地讲，如果在多个同步块中第一同步块失效，就不知道放置在第二同步块顶部的ADRC代码是对应于块中哪个位置的像素，还有，不知道作为ADRC代码放置的该位是形成放置在第一同步块的末端后面的(一部分)ADRC代码的位还是ADRC代码的第一位。结果，甚至不能取出放置在第二同步块之后的同步块中的ADRC代码。如同上述，某一同步块出错扩大到其它同步块。

另外，即使某块的ADRC代码已经丢失，如果已经知道最小值MIN，能再现其中所有像素的最小值MIN作为像素值的块。然而，由于此块有相同的像素值，实际缺少变化，原始图像的再现性低。

为实现进一步的高再现性，可考虑将ADRC代码分成例如最高有效位(MSB)和其它位(以下，更好地称其为剩余位)，并且与最小值MIN、动态范围DR、阈值代码类似，也将MSB放在同步块中的固定位置。在此情况下，即使已经丢失剩余位，根据动态范围DR通过逆量化MSB得到由二进制组成的块。这样，与所有ADRC代码丢失的情况相比，能够得到较高再现性的图像。

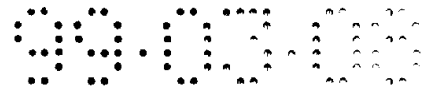
图4示出了执行同步块处理以形成上述同步块的同步块形成电路的结构示例。

从ADRC处理电路输出的最小值MIN、动态范围DR、和阈值代码(图3)提供给多路复用器32，并且ADRC代码提供给分离器31。在分离器31中，ADRC代码被分成MSB 和剩余位，并且将二者提供给多路复用器32。

除了上述数据以外，同步模式提供给多路复用器32。多路复用器32对所提供的数据执行时分复用，并且形成和输出如图5所示的同步块。

即，如图5所示，定长的同步模式放置在该同步块的顶部，并且接着放置具有定长的附加数据。在此，附加数据仅由定长数据例如阈值代码等组成。接着附加数据，放置规定数目字节的剩余位，即，在附加数据之后，在从开头起到第 $N_1 - 1$ 字节上放置剩余位。

例如在从顶部起到第 N_1 字节之后，以DR、MSB、MIN、MSB、DR，…，的顺序放置动态范围DR、MSB、和最小值MIN。在所放置的规定数目的动态范围DR、MSB、和最小值MIN之后，再放置剩余位。然后，在



从顶部起的第 N_2 字节之后，再次以前述的顺序放置规定数目的动态范围DR、MSB、和最小值MIN。此后，重复类似放置，直到该同步块的末端。

5 由于如同上述从确定的位置、如从同步块的开头的第 N_1 字节、 N_2 字节、…，放置动态范围DR、MSB、和最小值MIN，并且这些数据是定长的，因此它们放置在同步块中的固定位置。

在上述同步块处理中，即使在ADRC代码(剩余位)中产生差错，也能得到相对接近于原始图像的解码图像。另外，即使无位剩余，也能得到高再现率的解码图像。于是，极端一点说，例如增加一用于对剩余位纠错的ECC是不必要的。在此情况下，能够减少相对于通道编码处理的负荷。鉴于此，可以说，鉴于通道编码处理而执行同步块处理。

25 应注意的是，同步块处理的细节已经在由本申请人等先前提交的未审查专利公开特开平2(1990)-162980中公开。

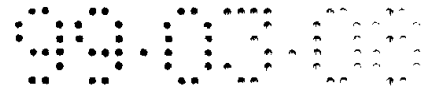
在集成编码系统6中也能执行例如作为压缩处理的分层编码处理，以代替ADRC处理。

15 例如在分层编码中，高分辨率图像数据设定为最低层或第一层的图像数据，并且产生像素数目少于第一层像素数目的第二层(压缩图像)的图像数据，及产生像素数目少于第二层像素数目的第三层的图像数据。相类似，产生图像数据直到最上层。每层的图像数据显示在具有对应于该层的分辨率(像素数目)的显示器上。这样，在用户方，通过从分层编码的图像数据中选择对应于其显示器分辨率的图像数据，能够看到相同内容的图像。

另外，在具有某一分辨率的图像数据被设定为最低层(第一层)的图像数据、及依次形成上层的图像数据、并且照此将它们存储或发送时，与仅存储最低层的图像数据的情况相比较，上层的图像数据需要更多的存储容量或发送容量。

25 鉴于此，在此，采用一种不需增加存储容量等的分层编码，作为在集成编码系统6中的压缩处理。

例如，现在将低层的四个像素、 2×2 (水平与垂直)个像素的平均值设定为上层的像素(像素值)，并且执行三层的分层编码。在此情况下，考虑 8×8 像素作为最低层的图像，如图6所示，计算在第二层的左上方处的四个像素h00、h01、h02、h03的平均值m0，并且设定为第二层的左上方的一个像素。同样，计算在最低层图像的右上方的四个像素h10、h11、h12、h13的平



均值 m_1 ，计算在左下方的四个像素 h_{20} 、 h_{21} 、 h_{22} 、 h_{23} 的平均值 m_2 ，及计算作在右下方的四个像素 h_{30} 、 h_{31} 、 h_{32} 、 h_{33} 的平均值 m_3 ，并且分别设定为第二层的右上，左下，右下的一个像素。进而，计算第二层的 2×2 像素、即四个像素 m_0 、 m_1 、 m_2 、 m_3 的平均值 (q) ，并且设定为第三层的图像像素，在此即最上层的图像像素。

如果所有上述像素 h_{00} 到 h_{03} 、 h_{10} 到 h_{13} 、 h_{20} 到 h_{23} 、 h_{30} 到 h_{33} 、 m_0 到 m_3 和 (q) 照原样存储，上述的像素 m_0 到 m_3 及 (q) 需要更多的存储容量等。

然后，如图6B所示，将第三层的像素 (q) 放置在例如第二层的像素 m_0 到 m_3 中右下方像素 m_3 的位置处。这样，第二层由像素 m_0 到 m_2 和 (q) 组成。

如图6C所示，第二层的像素 m_0 放置在例如已用来得到 m_0 的第一层的像素 h_{00} 到 h_{03} 中右下位置像素 h_{03} 的位置处。同样，放置第二层余下的像素 m_1 、 m_2 和 (q) ，以代替第一层的像素 h_{13} 、 h_{23} 、 h_{33} 。应注意的是，像素 (q) 没有直接从像素 h_{30} 到 h_{33} 得到，但是，因为它已经放置在第二层中代替直接从它们得到的 m_3 ，因此，在像素 h_{33} 的位置处放置像素 (q) ，而不是放置像素 m_3 。

通过如上的执行，如图6C所示，像素的总数变成 4×4 的16个像素。这与示于图6A的仅在最低层像素的情形一样。因此，在这种情况下，能够避免存储容量的增加等。

在此种连接中，像素 m_3 改变为像素 (q) 、及像素 h_{03} 、 h_{13} 、 h_{23} 和 h_{33} 分别改变为像素 m_0 到 m_3 的解码能够按如下执行。

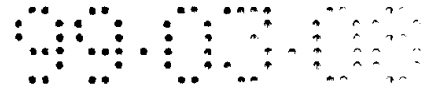
由于 (q) 是 m_0 到 m_3 的平均值，满足方程 $q = (m_0 + m_1 + m_2 + m_3) / 4$ 。这样，通过方程 $m_3 = 4 \times q - (m_0 + m_1 + m_2)$ 能够得到 m_3 。

由于 m_0 是 h_{00} 到 h_{03} 的平均值，满足方程 $m_0 = (h_{00} + h_{01} + h_{02} + h_{03}) / 4$ ，这样，由方程 $h_{03} = 4 \times m_0 - (h_{00} + h_{01} + h_{02})$ 可得到 h_{03} 。用同样方式，可得到 h_{13} 、 h_{23} 和 h_{33} 。

图7是执行上述分层编码处理的分层编码电路的结构示例。在此分层编码电路中，例如执行三层的前述分层编码。

第一层(最低层)图像数据(在此，是如前述的顺序数据)提供给平均值计算电路41和像素抽取电路43。

在平均值计算电路41中，对于第一层图像，例如计算如上所述的 2×2 像素共4个像素的平均值，并且产生第二层图像。该第二层图像提供给平均



值计算电路42和像素抽取电路44。

在平均值计算电路42中，对于第二层图像，例如计算 2×2 像素共4个像素的平均值，并产生第三层图像。该第三层图像提供给像素插入电路45。

在像素抽取电路43中，从第一层图像中抽取对应于图6中描述的像素
5 h03、h13、h23的像素，并且剩余的像素提供给像素插入电路45。在像素抽取电路44中，对应于图6中描述的像素m3的像素被抽取，并且将剩余的像素提供给像素插入电路45。

在像素插入电路45中，来自像素抽取电路44的第二层图像的像素(例如
10 像素m0到m3)插入到对应于来自像素抽取电路43的第一层图像的像素h03、h13、h23的位置，并且来自平均值计算电路42的第三层图像的像素(例如像素(q))插入到对应于第一层图像的像素h33的位置。用上述方式，形成图6C描述的图像数据，并且作为分层编码的结果输出。

如果按照常态分层编码，由于上层的图像数据而需要更多的存储容量
15 或发送容量，可是，按照图6和图7中描述的分层编码(以下，更好地称其为改进分层编码)，作为结果而获得的数据量与最低层的图像的相同。由于这个原因，可将改进的分层编码认作是信息压缩处理。

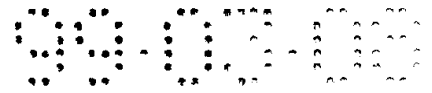
当执行分层编码时，例如通过利用上层的图像执行内插等，能够获得
20 低层的图像(然而，如此得到的图像与低层图像不同，除了图像质量变坏的图像)。因此，甚至在最坏的情况下，假如能够恢复最上层的图像，也能够得到所有层次的图像，这样，仅对最上层的图像执行用于纠错的ECC的加入就足够了，并且，不必要对所有层的图像都执行ECC的加入。在此情况下，能够减少通道编码的负荷。鉴于此，可以说考虑到通道编码而执行分层编码处理。

应注意的是，在上述情况中，通过减少空间方向的像素数目而产生上
25 层图像，然而，例如可通过减少时间方向上的像素数目而产生上层图像。

然后，将描述在集成编码系统6中的编辑处理之一、用于实现ISDB的信息的加入。

图8示出是集成编码系统6的一部分的、实现ISDB的ISDB发送器的结构
示例。

30 例如，SD图像和伴随其的音频被输入到编码部分51，并且它们在此经如前述的ADRC处理的压缩处理。该得到的信号输出到多路复用部分57。还



有，编码部分51将表示压缩处理的时序的同步信号输出到时间代码产生部分52。时间代码产生部分52产生时间代码等作为附加信息加到与来自编码部分51的同步信号同步的编码部分51的输出上，并且将其输出到多路复用部分57。

5 并且在编码部分53或时间代码产生部分54中，除了处理的对象不是SD而是HD之外，分别执行与编码部分51或时间代码产生部分52的处理相类似的处理。通过在编码部分51中的压缩处理得到的编码数据、及通过时间代码产生部分54输出的时间代码均提供给多路复用部分57。

10 例如，计算机程序、执行程序所需的数据、传真数据、及用于实现多媒体的数据比如局部信息输入到编码部分55。在此压缩这些数据，并且作为编码数据输出到多路复用部分57。还有，编码部分55输出表示压缩处理的时序的同步信号到附加信息产生部分56。附加信息产生部分56与来自编码部分55的同步信号同步，产生表示在编码部分55中压缩的数据类型的附加信息，并且将该信息输出到多路复用部分57。

15 在此，要输入到编码部分55的局部信息是针对每个区域的信息，它包括例如天气预报、地图、关于机构的信息(例如，服务内容和餐馆营业时间)、及每个地区的广告。对于这些局部信息，附加信息产生部分56产生代表对应于每个局部信息的地区的地区代码作为增加信息。

20 在多路复用部分57中，多路复用并且输出编码部分51、时间代码产生部分52、编码部分53、时间代码产生部分54、编码部分55和附加信息产生部分56的输出。

25 然后，图9示出在按集成编码系统6中的压缩处理执行ADRC处理时自适应解码系统7(图1)的结构示例。即，图9示出当解码ADRC处理的结果时，执行ADRC解码处理的、作为自适应解码系统7的一部分的ADRC解码电路结构示例。

30 其中放置了ADRC处理结果的位流作为经传输线13(图1)发送的发送数据输入到多路分解器101，从该发送数据中分离最小值MIN、动态范围DR和ADRC代码。应注意的是，在多路分解器101中，通过从该发送数据中分离阈值代码及基于该阈值代码识别指定给ADRC代码的位的数目(K以上)，来执行ADRC代码的分离。

最小值MIN提供给运算单元103，动态范围DR和ADRC代码分别提供给



逆量化电路102。在逆量化电路102中，按照相应于动态范围DR的量化步长来逆量化ADRC代码，如此得到的逆量化值提供给运算单元103。在运算单元103中，来自逆量化电路102的逆量化值加到最小值MIN上。这样，对像素解码。

5 如果运算单元103获得一个块的像素，则将此提供给帧形成电路104。帧形成电路104相继存储已经以块为单位提供的像素，在每次存储时输出它们。

在如上所述ADRC已经分离成MSB和剩余位的情况下，多路分解器101通过将MSB和剩余位组合，也执行用于存储原始ADRC代码的处理。还有，
10 在ADRC已经分离成MSB和剩余位的情况下，如果在剩余位中已经出现差错，则多路分解器101输出MSB到逆向量化电路102中，作为ADRC代码。

顺便提一下，在ADRC解码中，即使剩余位是有差错的，如果存在MSB、最小值MIN和动态范围DR，则能够如上所述地得到在某种程度上具有较好再现性的解码图像(类似于原始图像)。然而，如果最小值MIN或动态
15 范围DR是有差错的，则难以对该块进行解码。

图10示出即使最小值MIN或动态范围DR出错时，也能够用相对好的精度解码块的ADRC解码电路的结构示例。应注意的是，在图10中，给相应于图9的部分加相同的参考标号，并且以下将略去对其的描述。即，除新设置的选择器105和106、存储器107和存储电路108之外，该ADRC电路基本上类
20 似于图9的结构。

由多路分解器101输出的动态范围DR和由恢复电路108输出的动态范围预测值DR'提供给选择器105。多路分解器101输出的最小值MIN和由恢复电路108输出的最小值预测值MIN'提供给选择器106。在此，多路分解器101检测是否在包含于发送数据中的最小值MIN和动态范围DR中发生差错，如果
25 发生差错，则将差错信号输出到选择器105和106。

当没接收到差错信号时，即，在最小值MIN和动态范围DR中无差错发生时，选择器105选择由复用器101输出的动态范围DR，并且将其输出到逆量化电路102。同样，对于选择器106，当没接收到差错信号时，则选择由复用器101输出的最小值MIN，并且将其输出到运算单元103。

30 因此，在此情况下，执行类似于图9的情况的ADRC解码处理。

另一方面，由运算单元103输出的像素的解码值不仅提供到帧形成电路



104, 而且提供到存储器107。在存储器107中, 来自运算单元103的像素的解码值存储在每个相应地址上。

5 然后, 在恢复电路108中, 从存储器107中读出与形成一个块的像素数目相同数目的(即, 上述实施例中的16个)、当前ADRC解码处理对象块周围像素的解码值。此外, 恢复电路108检测这16个像素的最小值和动态范围(最大值和最小值之差), 并且将其每一个分别作为当前ADRC解码对象块的最小值的预测值MIN' 和动态范围的预测值DR', 输出到选择器106和105。

10 如果选择器105和106从多路分解器101中接收到差错信号, 即, 在最小值MIN或动态范围DR中产生差错, 则选择器105和106从恢复电路108中选择动态范围的预测值DR' 或最小值的预测值MIN', 并且分别将它们输出到逆量化电路102或运算单元103。

于是在此情况下, 在逆量化电路102中, 利用动态范围的预测值DR' 执行逆量化, 并且, 在运算单元103中, 利用最小值的预测值MIN' 解码像素。

15 标记出某一个块后, 在形成标记块的像素和在标记块周围的像素之间通常存在着密切关系。因此, 根据具有这种相关性的像素, 能够用相当的精度预测该标记块的动态范围和最小值。结果, 利用该预测值能够得到解码图像, 此解码图像与利用真正最小值MIN和动态范围DR所得到的解码图像基本上相近。

20 例如, 在由本申请人先前提交的未审查专利公开特开平S63(1988)-257390中已经公开了上述ADRC解码处理的细节。

25 当执行ADRC处理时, 即使在最小值MIN和动态范围DR中发生差错, 也能如上所述得到某种程度的解码图像。此外, 通过执行除了ADRC处理之外的同步块处理, 能够如上所述处理在剩余位中的差错。另外, 还有在执行分层编码的情况下, 至少如上所述地执行对最上层图像的纠错处理就足够了, 并且不需要全部执行对所有层的图像的处理。

30 由于这个原因, ADRC处理、同步块处理、和分层编码处理可以说是强抗差错能力的准鲁棒(quasi robust)处理。现在如果假定具有抗差错能力的这种鲁棒处理为鲁棒编码, 在集成编码系统6中执行的处理可以说是这种鲁棒编码和编辑处理等集成在一起的集成编码处理。

在鲁棒编码中, 例如在ADRC处理中, 通过执行而减少了信息量, 及改



善了抗差错能力。因此，可以说，在ADRC处理中，通过有机组合而执行图像压缩处理和纠错处理。

然后，图11示出了实现ISDB的自适应解码系统7一部分的ISDB接收器的结构示例。

5 经传输线13发送的发送数据输入到信号分离部分111，在此，例如从发送数据提取由对视频(SD图像或HD图像)编码得到的编码数据和其伴音。产生在信号分离部分111中的编码数据分别输出到解码部分112。

在解码部分112中，对来自信号分离部分111的编码数据解码。即，例如对编码视频数据执行ADRC解码等。在解码部分112中通过解码处理得到10 的视频和其伴音经选择器113输出。该图像提供到显示设备9或10或计算机显示器12并且显示，或经像素宽高比转换器8提供到打印机11，并且打印。另一方面，音频提供到扬声器(未示出)并且输出。

在信号分离部分111中，提取局部信息及作为对应于局部信息的附加信息的区域代码，并且提供到解码部分114中。在解码部分114中，局部信息对15 应于区域代码而被解码。

即，由于不限定接收的局部信息是用户所希望的区域上的信息，因此，在解码部分114中仅解码伴随区域码输入的局部信息，该区域码对应于先前输入的区域。

例如可通过操作控制部分123来输入一区域。该输入区域信息经“或”20 门122提供到解码部分114。

此外，利用全球定位系统(GPS)系统(“系统”是指多个设备逻辑集成，并且不指具有单独结构的每个设备是否包含在同一个封装内)也能够进行区域输入。即，由天线118接收来自GPS卫星的射频波，接收信号提供到GPS接收部分119。GPS接收部分119根据来自天线118的接收信号来计算已经安25 装图11的ISDB接收器的位置，并且将得到的位置信息(例如其经度和纬度等)提供到区域鉴别部分120。区域鉴别部分120根据来自GPS接收部分119的位置信息来鉴别区域，并且输出指定给该区域的代码给存储器121用于存储。存储在存储器121中的代码经“或”门122提供到解码部分114。在解码部分114中，仅解码与和该代码一致的区域码相伴随输入的局部信息。

30 在解码部分114中解码的局部信息提供到存储器115中并且在其中存储。这样，在存储器115中，仅有例如用户居住区域的局部信息。



当观看存储在存储器115中的局部信息时，用户操作控制部分123。对应于控制部分123的操作而从存储器115中读出局部信息，并且提供到选择器116。在选择器116中，选择来自存储器115的局部信息的一个或全部，并且经选择器113输出。这样，在显示设备9上类似于上述的图像显示该局部信息或打印出。

应注意的是，甚至同一区域的局部信息、用户所必需的信息及非必需的信息混合在一起。在选择器116中，仅对应于控制部分123的操作而选择用户需要的局部信息。

在选择器113中，选择并且输出解码部分112的输出或选择器116的输出。

此外，在图8的ISDB接收器中，时间代码作为视频和伴随其的音频的附加信息而被多路复用，然而，除此之外，例如，作为视频和伴随其的音频的附加信息，用于识别由视频和音频构成的节目的识别码可以多路复用。在此情况下，通过先前输入的所需节目的识别码，能够选择对应于该识别码的节目。仅当已经发送所需节目时，用户才能够选择和输出该节目。

应注意的是，例如在本申请人先前提交的未审查专利公开H7(1995)-207158和H7(1995)-243453中已经公开了上述ISDB发送机和ISDB接收器的细节。

然后，如果解码图像的分辨率低于显示设备9和10、打印机11和计算机显示器12中将输出解码图像的输出设备的分辨率，那么自适应解码系统7通过将低分辨率的解码图像线性耦合到规定的系数来执行分辨率生成处理，以产生对应于输出设备分辨率的解码图像。

应注意的是，例如在解码图像的像素数目小于输出设备的像素数目情况下，可采用这样的方法，该方法通过借助于内插滤波器等执行内插，将解码图像的像素数目与输出设备的像素数目匹配。然而，由于这种简单的内插不能表示未包括在原始解码图像中的高频分量，因此它不能改善分辨率。相反，在分辨率生成处理中，这种高频分量可以表示为如后所描述的。

另外，在解码图像的像素数目大于输出设备的像素数目时，通过变薄或重新排列几个像素的平均值等，如同分层编码的情况一样，解码图像的像素数目减少到与输出设备的像素数目一致。

图12示出执行分辨率生成处理的、作为自适应解码系统7一部分的分辨



率生成电路的结构示例。

并且，在此，类似于分层编码的情况，高分辨率的图像(像素数目大)定义为低层图像，及低分辨率的图像(像素数目小)定义为上层图像。

5 例如，在图13中，如果用点表示的部分假定为形成低层图像的像素(以下，更好地称其为低像素)，由圆圈表示的部分假定为形成上层图像的像素(以下，更好地称为上像素)，分辨率生成电路将由圆圈表示的像素构成的上层图像转换为由点表示的像素构成的低层图像。

即，上层图像提供到分类分块电路131，及提供到用于预测值计算的分块电路133。

10 分类分块电路131形成分类块，该分类块包括提供到上层图像的规定标记像素。更具体地讲，分类分块电路131形成分类块，其每个块例如由 5×5 (横向 \times 纵向)上像素构成，并且在其中心有标记的像素，用实线包围示出。如图13所示。

15 以下，形成分类块的 5×5 上像素(图13中圆圈示出的部分)优选地表示如下：在该分类块中位于从左起第 i 处和从顶起的第 j 处的上像素表示为 B_{ij} 。因此，在图13的实施例中，形成具有上像素 B_{33} 作为标记像素的分类块。从形成分类块的上像素产生(预测)的低像素(图13中由点表示的部分)最好由 A_{ij} 表示，类似于上像素。

20 如果形成分类块，那么分类分块电路131将其输出到分类电路132。分类电路132按照其特征将分类块分类成规定类别，并且，将如此得到的类别信息提供到预测电路134。

25 此外，还从用于预测值计算的分块电路133提供预测值计算块到预测电路134。在用于预测值计算的分块电路133中，例如，形成以标记像素 B_{33} 为中心(由虚线包围示出)的预测值计算块的 3×3 像素，并且将其提供到预测电路134。

在此，用于形成预测值计算块和分类块的方法不仅局限于上述的方法。应注意的，预测值计算块的形式基本是随意的，然而，分类块最好包括预测值计算块的特征。

30 如果预测电路134接收到预测值计算块和标记像素的类别信息，则通过将如后所述的对应于接收类别信息的预测系数线性耦合到形成预测值计算块的上像素的像素值，来执行自适应处理，以得到低像素的像素值的预测值。



更具体地讲，例如，预测电路134从对应于该类别的预测系数和形成预测值计算块的上像素 B_{22} 、 B_{23} 、 B_{24} 、 B_{32} 、 B_{33} 、 B_{34} 、 B_{42} 、 B_{43} 和 B_{44} 中，得到以标记像素 B_{33} 为中心的 3×3 像素的区域中的低像素的预测值 A_{43} 、 A_{44} 、 A_{45} 、 A_{53} 、 A_{54} 、 A_{55} 、 A_{63} 、 A_{64} 和 A_{65} 。

5 此后，在预测电路134中，设定除像素 B_{33} 以外的所有上像素作为标记像素，来相继执行类似的处理。结果，得到形成低层图像的所有低像素的预测值。

10 在此，从分辨率设定电路135将分辨率信号提供到预测电路134。例如，分辨率设定电路135与从自适应解码系统7将图像向其输出的输出设备(图1的实施例，为显示设备9和10、打印机11和计算机显示器12之一)通信，并且识别其分辨率，将表示识别出分辨率的分辨率信号提供到预测电路134。

15 在预测电路134中，已经存储了具有各种分辨率的图像的预测系数，这样，利用对应于来自分辨率设定电路135的分辨率信号的分辨率的预测系数，能够得到低层图像。

此外，除了与输出设备通信之外，例如通过操作一操作部分(未示出)能够输入一分辨率到分辨率设定电路135。

以下，将描述在分类电路132中的分类处理和预测电路134中的自适应处理。

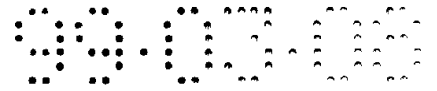
20 首先，将描述关于分类处理。

如图14A所示，现在假定由 2×2 像素组成的一个块由某一标记像素和三个相邻像素构成，并且每个像素由一位表示(或者为电平0或为电平1)。此时，如图14B所示，四个像素的 2×2 像素的块能分类成基于每个像素的电平分布的 $16(= (2^1)^4)$ 个模式。这种通过模式的分类就是分类处理。

25 应注意的是，也可考虑图像(该块中的图像)等的活动(图像的复杂性和突变)等来执行分类处理。

在此，例如给每个像素标准地指定8位。此外，在此实施例中，如上所述，分类块由 5×5 像素、共25个像素构成。因此，如果对此分类块执行分类处理，则它们被分类成许多类别，即 $(2^8)^{25}$ 。

30 为了对此进行处理，分类电路132能够先于分类处理而对分类块执行ADRC处理。通过执行ADRC处理，能够减少形成分类块的像素的位数，也



能减少类别数。

下面，将描述自适应处理。

例如，现在考虑，根据通过将几个上像素的像素值(以下更好地称其为学习数据) x_1 、 x_2 、 \dots 线性耦合到规定的预测系数 w_1 、 w_2 、 \dots 而提供的线性初始组合模型，来得到低像素的像素值(y)的预测值 $E[y]$ 。此时，预测值 $E[y]$ 能由如下方程表示：

$$E[y] = w_1x_1 + w_2x_2 + \dots \quad \dots(1)$$

为了对此广义化，由下列方程定义一组预测系数(w)的矩阵 W 、一组学习数据的矩阵 X 和一组预测值 $E[y]$ 的矩阵 Y' ：

$$10 \quad X = \begin{pmatrix} x_{11} & x_{12} & \dots & x_{1n} \\ x_{21} & x_{22} & \dots & x_{2n} \\ \dots & \dots & \dots & \dots \\ x_{m1} & x_{m2} & \dots & x_{mn} \end{pmatrix}$$

$$W = \begin{pmatrix} w_1 \\ w_2 \\ \dots \\ w_n \end{pmatrix}, \quad Y' = \begin{pmatrix} E[y_1] \\ E[y_2] \\ \dots \\ E[y_m] \end{pmatrix}$$

结果，得到下列观测方程

$$XW = Y' \quad \dots(2)$$

将最小二乘法应用到此观测方程，可得到接近于低像素的像素值(y)的预测值 $E[y]$ 。此时，由下列方程定义作为一组低像素的像素值(y)的矩阵 Y (以下，优选地称其为教学数据)、作为一组预测值 $E[y]$ 对低像素的像素值(y)的余数(e):

$$E = \begin{pmatrix} e_1 \\ e_2 \\ \dots \\ e_n \end{pmatrix}, \quad Y = \begin{pmatrix} y_1 \\ y_{21} \\ \dots \\ y_m \end{pmatrix}$$

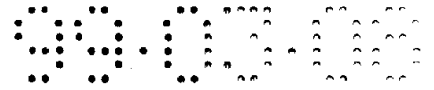
结果，从方程(2)得到下列余数方程。

$$20 \quad XW = Y + E \quad \dots(3)$$

在此情况下，通过如下对方差最小化，能够获得用于得到接近于低像素的像素值(y)的预测值 $E[y]$ 的预测系数 w_i

$$\sum_{i=1}^m e_i^2$$

这样，可以说，当通过上述方差对预测系数 W_i 进行微分的结果为0时，



即，获得接近于低像素的像素值(y)的预测值E[y]的最优值是满足下列方程的预测系数 w_i ：

$$e_1 \frac{\partial e_1}{\partial w_i} + e_2 \frac{\partial e_2}{\partial w_i} + \dots + e_m \frac{\partial e_m}{\partial w_i} = 0 (i = 1, 2, \dots, n) \quad \dots(4)$$

首先，方程(3)对预测系数 w_i 求微分，得到下列方程：

$$5 \quad \frac{\partial e_i}{\partial w_1} = x_{i1}, \frac{\partial e_i}{\partial w_2} = x_{i2}, \dots, \frac{\partial e_i}{\partial w_n} = x_{in} (i = 1, 2, \dots, m) \quad \dots(5)$$

由方程(4)和(5)给出下列方程：

$$\sum_{i=1}^m e_i x_{i1} = 0, \sum_{i=1}^m e_i x_{i2} = 0, \dots, \sum_{i=1}^m e_i x_{in} = 0 \quad \dots(6)$$

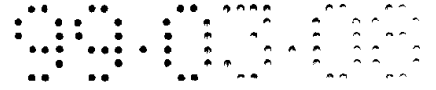
考虑方程(3)的余数方程中学习数据(x)、预测系数(w)、教学数据(y)、和余数(e)的关系，从方程(6)能获得下列正规方程。

$$10 \quad \begin{cases} \left(\sum_{i=1}^m x_{i1} x_{i1} \right) w_1 + \left(\sum_{i=1}^m x_{i1} x_{i2} \right) w_2 + \dots + \left(\sum_{i=1}^m x_{i1} x_{in} \right) w_n = \left(\sum_{i=1}^m x_{i1} y_i \right) \\ \left(\sum_{i=1}^m x_{i2} x_{i1} \right) w_1 + \left(\sum_{i=1}^m x_{i2} x_{i2} \right) w_2 + \dots + \left(\sum_{i=1}^m x_{i2} x_{in} \right) w_n = \left(\sum_{i=1}^m x_{i2} y_i \right) \\ \left(\sum_{i=1}^m x_{in} x_{i1} \right) w_1 + \left(\sum_{i=1}^m x_{in} x_{i2} \right) w_2 + \dots + \left(\sum_{i=1}^m x_{in} x_{in} \right) w_n = \left(\sum_{i=1}^m x_{in} y_i \right) \end{cases} \quad \dots(7)$$

形成与得到的预测系数(w)的数目相同的方程(7)的正规方程。因此，通过解方程(7)能够得到最优预测系数(w)；然而，为解方程(7)，由与预测系数(w)有关的系数构成的矩阵需要是正则的。应注意的是，为解方程(7)，例如可以应用扫描法(sweeping)(高斯-若尔当(Gauss-Jordan)消元法)等。

15 如上所述，在自适应处理中，对于每个类别事先获得最优预测系数(w)，利用预测系数(w)由方程(1)得到接近于低像素的像素值(y)的预测值E[y]。在预测电路134中将执行此自适应处理。

例如，假定现在通过对由图13中实线包围的 5×5 像素构成的分类块进行分类得到的类别执行上述学习，并且分别得到预测系数 $w_1(A_{43})$ 到 $w_9(A_{43})$ 、 $w_1(A_{44})$ 到 $w_9(A_{44})$ 、 $w_1(A_{45})$ 到 $w_9(A_{45})$ 、 $w_1(A_{53})$ 到 $w_9(A_{53})$ 、 $w_1(A_{54})$ 到 $w_9(A_{54})$ 、 $w_1(A_{55})$ 到 $w_9(A_{55})$ 、 $w_1(A_{63})$ 到 $w_9(A_{63})$ 、 $w_1(A_{64})$ 到 $w_9(A_{64})$ 、 $w_1(A_{65})$ 到 $w_9(A_{65})$ ，以分别得到在预测值计算块中低像素 A_{43} 、 A_{44} 、 A_{45} 、 A_{53} 、 A_{54} 、 A_{55} 、 A_{63} 、 A_{64} 、 A_{65} 的预测值 $E[A_{43}]$ 、 $E[A_{44}]$ 、 $E[A_{45}]$ 、 $E[A_{53}]$ 、 $E[A_{54}]$ 、 $E[A_{55}]$ 、 $E[A_{63}]$ 、 $E[A_{64}]$ 、 $E[A_{65}]$ 。此时，在预测电路134中，按照对应于方程
25 (1)的下列方程，分别获得在预测值计算块中HD像素 A_{43} 、 A_{44} 、 A_{45} 、 A_{53} 、 A_{54} 、 A_{55} 、 A_{63} 、 A_{64} 、 A_{65} 的预测值 $E[A_{43}]$ 、 $E[A_{44}]$ 、 $E[A_{45}]$ 、 $E[A_{53}]$ 、 $E[A_{54}]$ 、



$E[A_{55}]$ 、 $E[A_{63}]$ 、 $E[A_{64}]$ 、 $E[A_{65}]$ 。

$$E[A_{43}] = w_1(A_{43})B_{22} + w_2(A_{43})B_{23} + w_3(A_{43})B_{24} \\ + w_4(A_{43})B_{32} + w_5(A_{43})B_{33} + w_6(A_{43})B_{34} \\ + w_7(A_{43})B_{42} + w_8(A_{43})B_{43} + w_9(A_{43})B_{44}$$

$$E[A_{44}] = w_1(A_{44})B_{22} + w_2(A_{44})B_{23} + w_3(A_{44})B_{24} \\ + w_4(A_{44})B_{32} + w_5(A_{44})B_{33} + w_6(A_{44})B_{34} \\ + w_7(A_{44})B_{42} + w_8(A_{44})B_{43} + w_9(A_{44})B_{44}$$

$$E[A_{45}] = w_1(A_{45})B_{22} + w_2(A_{45})B_{23} + w_3(A_{45})B_{24} \\ + w_4(A_{45})B_{32} + w_5(A_{45})B_{33} + w_6(A_{45})B_{34} \\ + w_7(A_{45})B_{42} + w_8(A_{45})B_{43} + w_9(A_{45})B_{44}$$

5

$$E[A_{53}] = w_1(A_{53})B_{22} + w_2(A_{53})B_{23} + w_3(A_{53})B_{24} \\ + w_4(A_{53})B_{32} + w_5(A_{53})B_{33} + w_6(A_{53})B_{34} \\ + w_7(A_{53})B_{42} + w_8(A_{53})B_{43} + w_9(A_{53})B_{44}$$

$$E[A_{54}] = w_1(A_{54})B_{22} + w_2(A_{54})B_{23} + w_3(A_{54})B_{24} \\ + w_4(A_{54})B_{32} + w_5(A_{54})B_{33} + w_6(A_{54})B_{34} \\ + w_7(A_{54})B_{42} + w_8(A_{54})B_{43} + w_9(A_{54})B_{44}$$

$$E[A_{55}] = w_1(A_{55})B_{22} + w_2(A_{55})B_{23} + w_3(A_{55})B_{24} \\ + w_4(A_{55})B_{32} + w_5(A_{55})B_{33} + w_6(A_{55})B_{34} \\ + w_7(A_{55})B_{42} + w_8(A_{55})B_{43} + w_9(A_{55})B_{44}$$

$$E[A_{63}] = w_1(A_{63})B_{22} + w_2(A_{63})B_{23} + w_3(A_{63})B_{24} \\ + w_4(A_{63})B_{32} + w_5(A_{63})B_{33} + w_6(A_{63})B_{34} \\ + w_7(A_{63})B_{42} + w_8(A_{63})B_{43} + w_9(A_{63})B_{44}$$

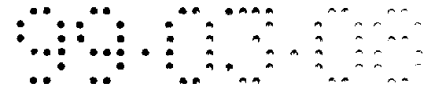
$$E[A_{64}] = w_1(A_{64})B_{22} + w_2(A_{64})B_{23} + w_3(A_{64})B_{24} \\ + w_4(A_{64})B_{32} + w_5(A_{64})B_{33} + w_6(A_{64})B_{34} \\ + w_7(A_{64})B_{42} + w_8(A_{64})B_{43} + w_9(A_{64})B_{44}$$

10

$$E[A_{65}] = w_1(A_{65})B_{22} + w_2(A_{65})B_{23} + w_3(A_{65})B_{24} \\ + w_4(A_{65})B_{32} + w_5(A_{65})B_{33} + w_6(A_{65})B_{34} \\ + w_7(A_{65})B_{42} + w_8(A_{65})B_{43} + w_9(A_{65})B_{44} \quad \dots(8)$$

15

应注意的是，从表示只包括在低层图像中的分量这点来看，自适应处理不同于内插处理。即，仅从方程(1)和方程(8)看，可以说自适应处理与应用所谓的内插滤波器的内插处理是相同的。然而，由于通过利用教学数据(y)准学习而获得对应于内插滤波器的抽头系数的预测系数(w)，还能够表示包括在低层图像中的分量。从这方面原因，自适应处理可以说是具有分辨率产生功能的准处理。



例如，由本申请人先前提交的未审查专利公开特开平H5(1993) - 328185中已经公开该自适应处理的细节。

现在，图15示出图12的预测电路134的结构示例。

来自分类电路132的类别信息提供到切换器141。切换器141选择对应于
5 来自分辨率设定电路135的分辨率信号的端子a1到a4之一。切换器141的端子a1到a4分别连接到只读存储器(ROM)143到146的地址端(AD)。因此，来自分类电路132的类别信息，通过切换器141提供到ROM 143到146之一作为地址。

类似于切换器141，切换器142选择对应于来自分辨率设定电路135的分
10 辨率信号的端子b1到b4之一。端子b1到b4分别连接到ROM 143到146的数据端D。应注意的是，切换器142与切换器141联锁，例如，如果切换器141选择端子a1到a4之一，则切换器142选择相应的端子b1到b4之一。

在ROM 143到146中，由上述学习得到的每个类别的预测系数存储在相
15 应于该类别的地址中。具体地讲，例如，如果执行前述的分层编码，那么在ROM 143到146中已存储用来将最上层图像转换成相应于显示设备9或10、打印机11或计算机显示器12的低层图像的预测系数。

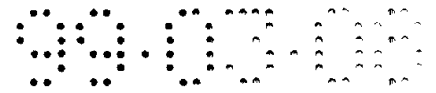
从用于预测值计算的分块电路133给运算电路147提供预测值计算块，
从ROM 143到146之一提供的预测系数经切换器142提供给运算电路147。运算
20 电路147利用预测值计算块和预测系数执行对应于方程(1)或(8)的乘积运算的和，并且获得相应于输出设备分辨率的低层图像。

在如上所述构造的预测电路134中，相应于来自分辨率设定电路135的
分辨率信号而由切换器141选择端子a1到a4之一，并且也由与切换器141联锁
的切换器142选择端子b1到b4中相应的一个。

然后，来自分类电路132的类别信息提供到已经连接到由切换器141选
25 择的端子的ROM 143到146之一的地址端(端子a1到a4之一)(以下更好地称为选择的ROM)。在选择的ROM中，读出存储在相应于提供到其地址端的类别的地址中的预测系数，并且从其数据端输出。

如上所述，由于切换器142和切换器141联锁，从选择的ROM读出的预
测系数经切换器142提供到运算电路147。

30 如上所述，除了预测系数外，从用于预测值计算的分块电路133给运算电路147提供预测值计算块。在运算电路147中，利用预测值计算块和提供给



它的预测系数来执行对应于方程(1)或(8)的乘积运算求和，这样，产生并输出相应于输出设备的分辨率的低层图像。

于是，用户能够观看相应于输出设备的图像。

5 应注意的是，在上述实施例中，预测系数已存储在自适应解码系统7中，然而，预测系数可以作为解码所需的信息从发送端发送。而且从发送端指示用于形成分类块或预测值计算块的方法。

根据按照权利要求1的视频编码器和权利要求5的用于编码图像的方法，鉴于其它处理而执行为编码图像所必需的多个处理中的一个或多个处理。因此，能够执行有效处理。

10 根据按照权利要求6的视频解码器和权利要求7的用于解码图像的方法，通过将发送数据线性耦合到规定系数，来产生相应于图像向其输出的输出设备的分辨率的解码图像。因此，它能适应具有各分辨率的输出设备。

15 根据按照权利要求8的视频处理器和权利要求9的用于处理图像的方法，鉴于其它处理而执行为编码图像所必需的多个处理中的一个或多个处理，另一方面，通过将如此得到的数据线性耦合到规定系数，来产生相应于图像向其输出的输出设备的分辨率的解码图像。因此，能够执行有效处理，并且也能适应具有各分辨率的输出设备。

工业用途

20 本发明可应用到包括摄像机、ATV、视频编辑器等的视频处理系统，该视频处理系统适应具有标准分辨率、高分辨率、和低分辨率的视频数据。

说明书附图

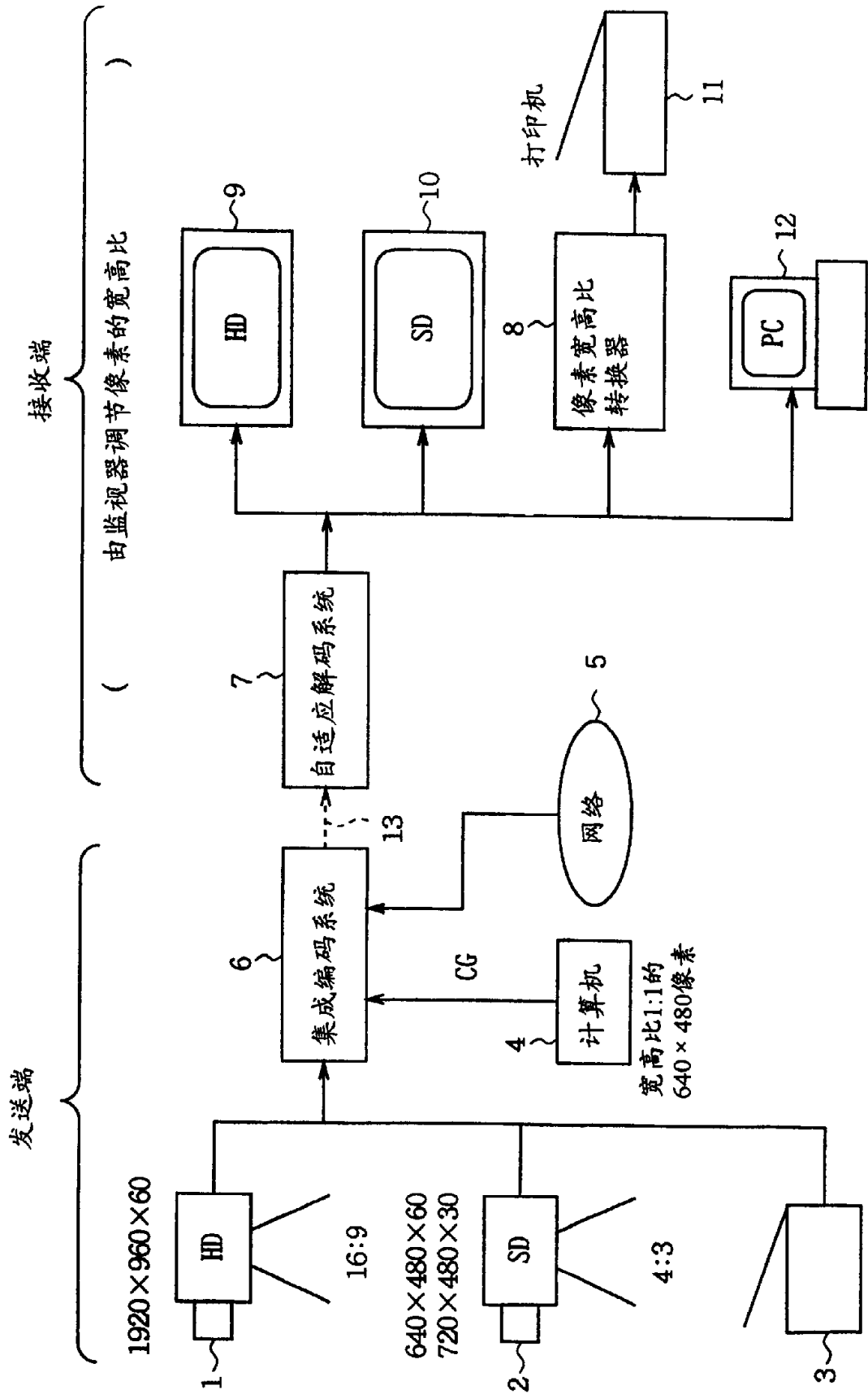
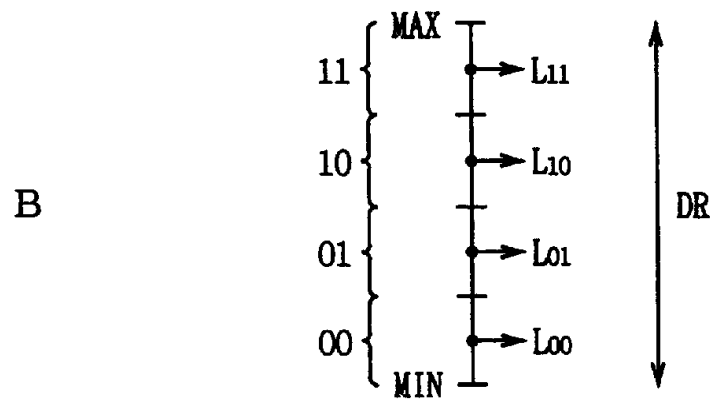
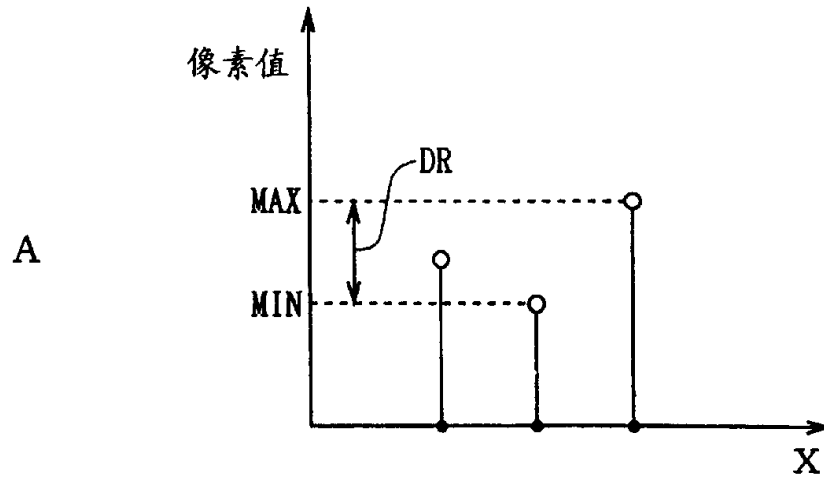
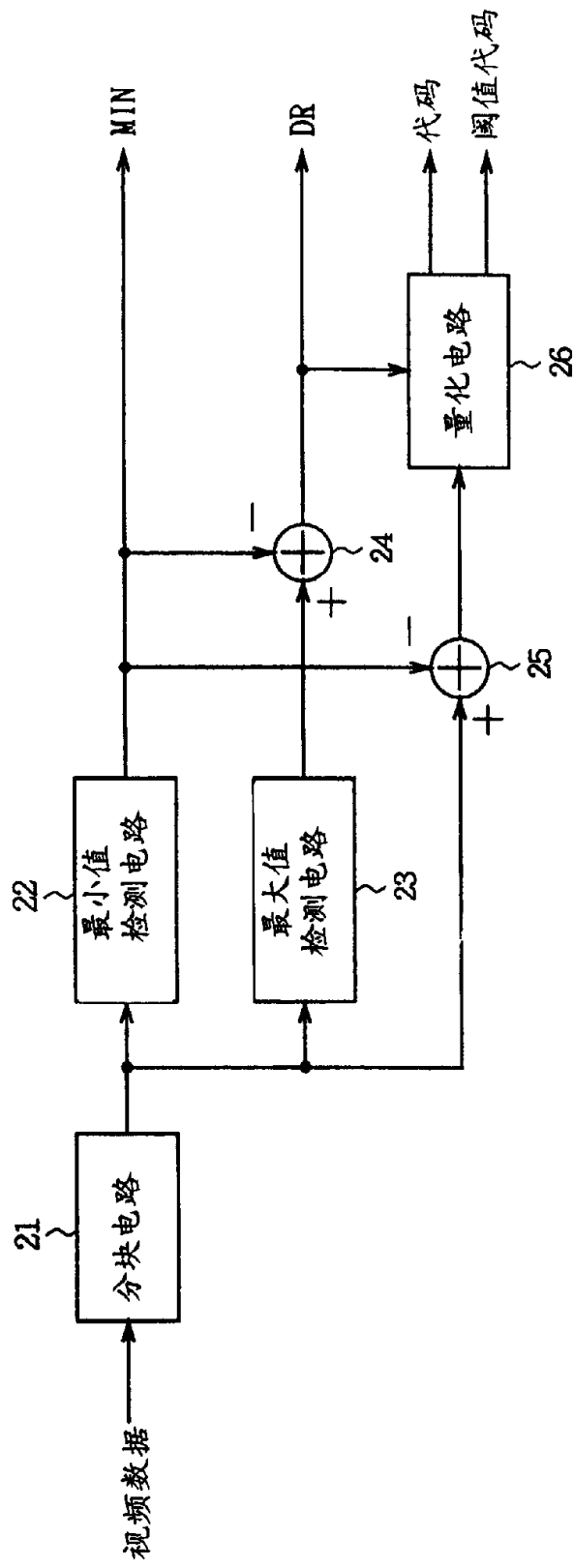


图 1



ADRC 处理

图 2



ADRC 处理电路

图 3

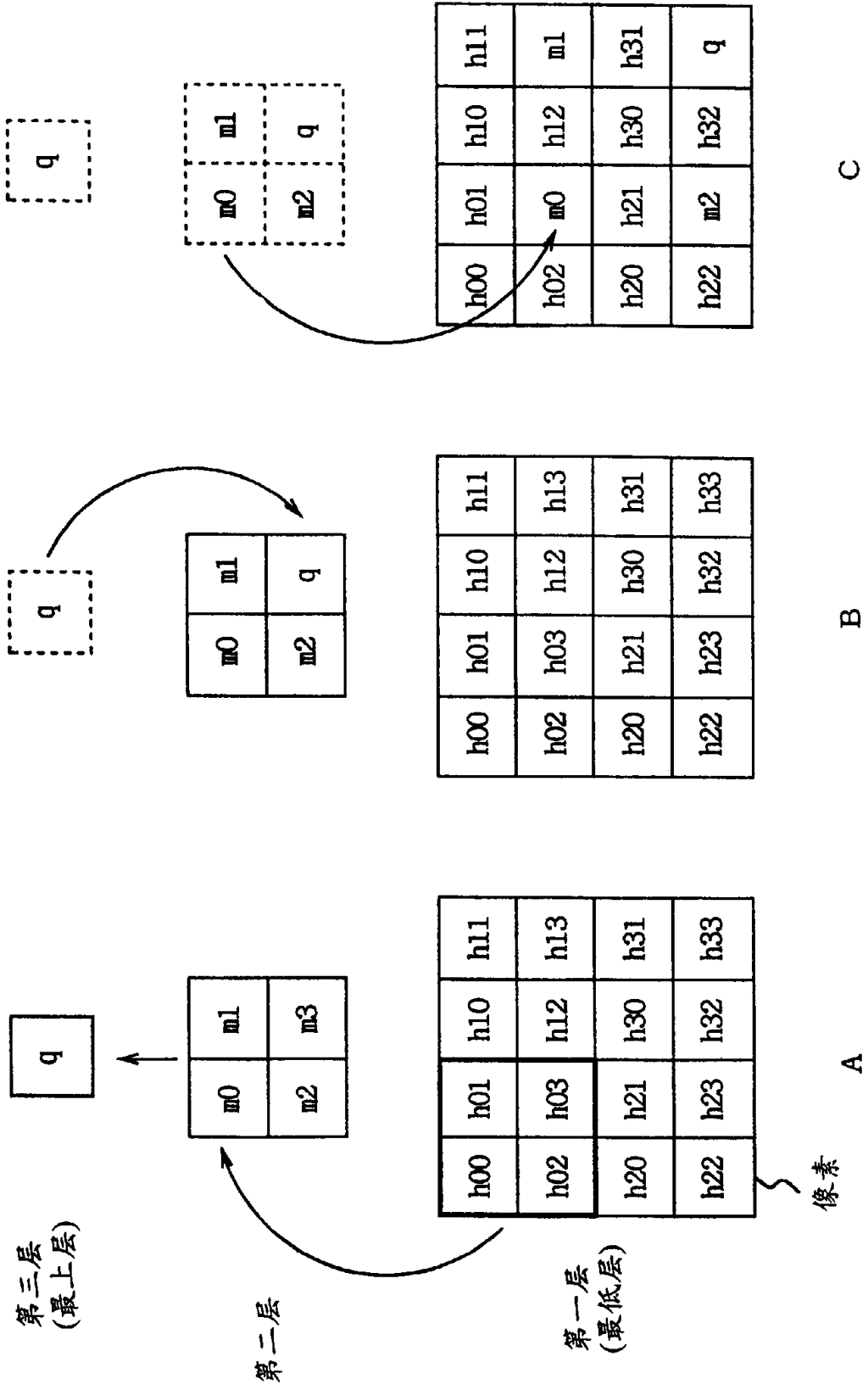


图 6

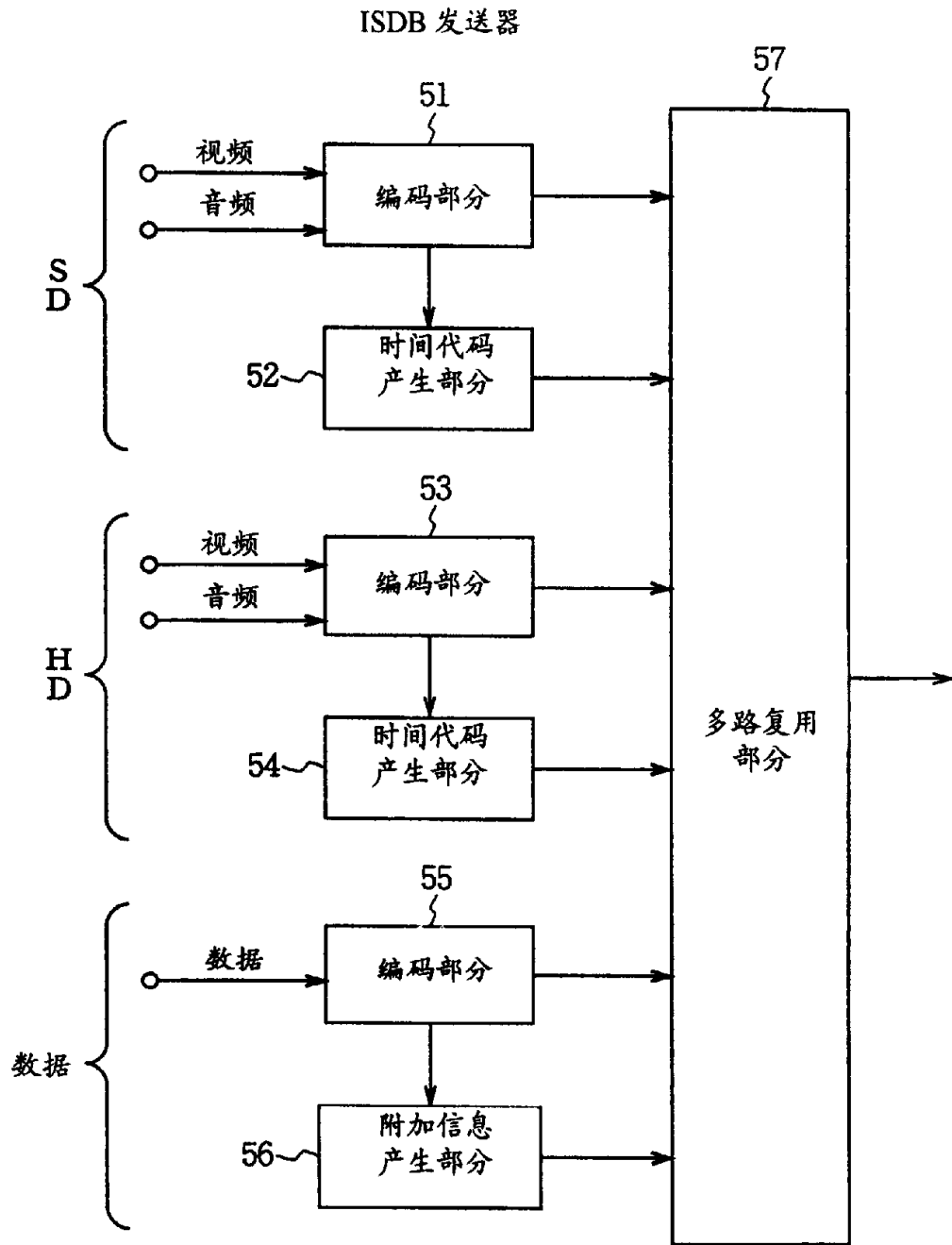


图 8

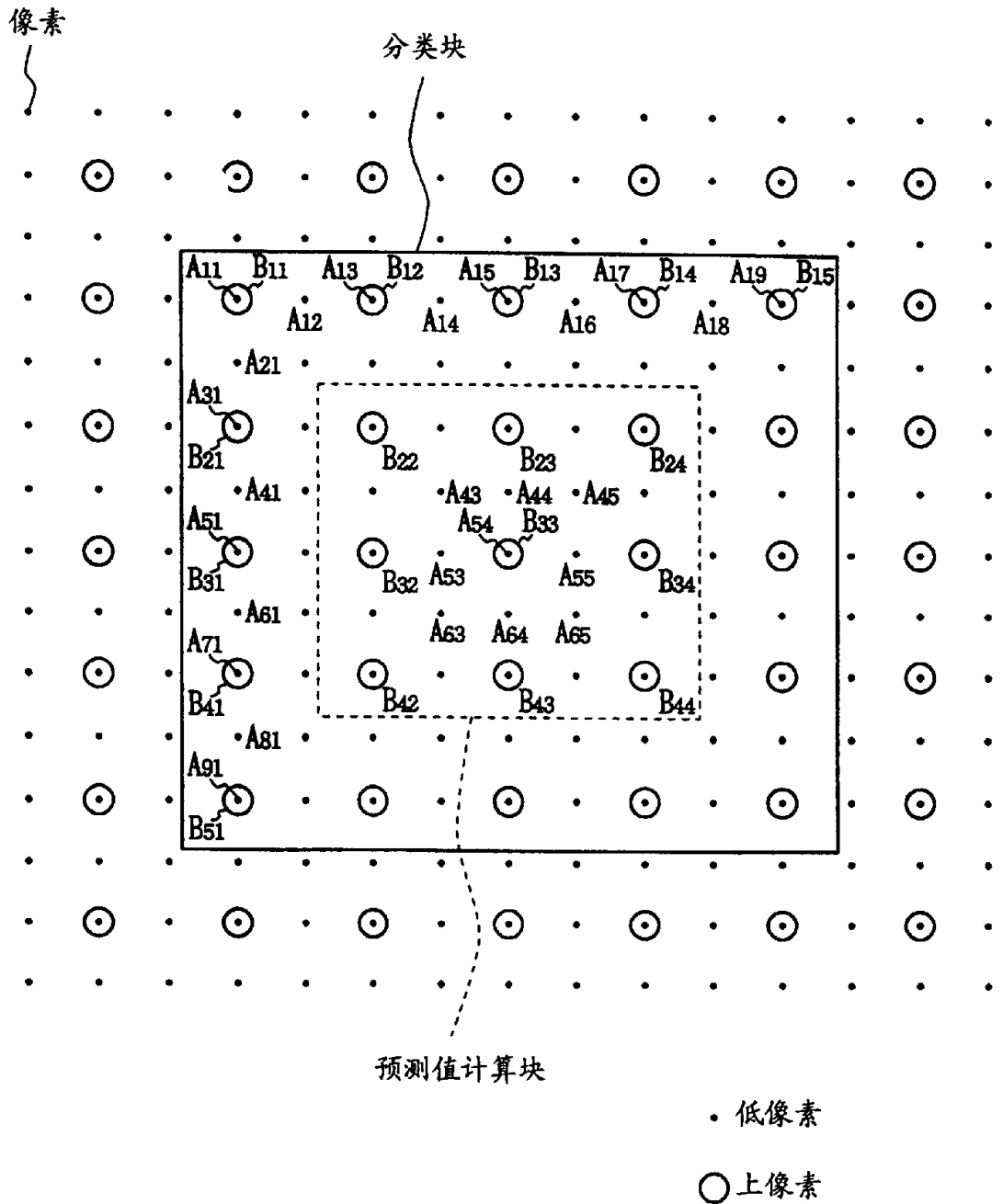


图 13

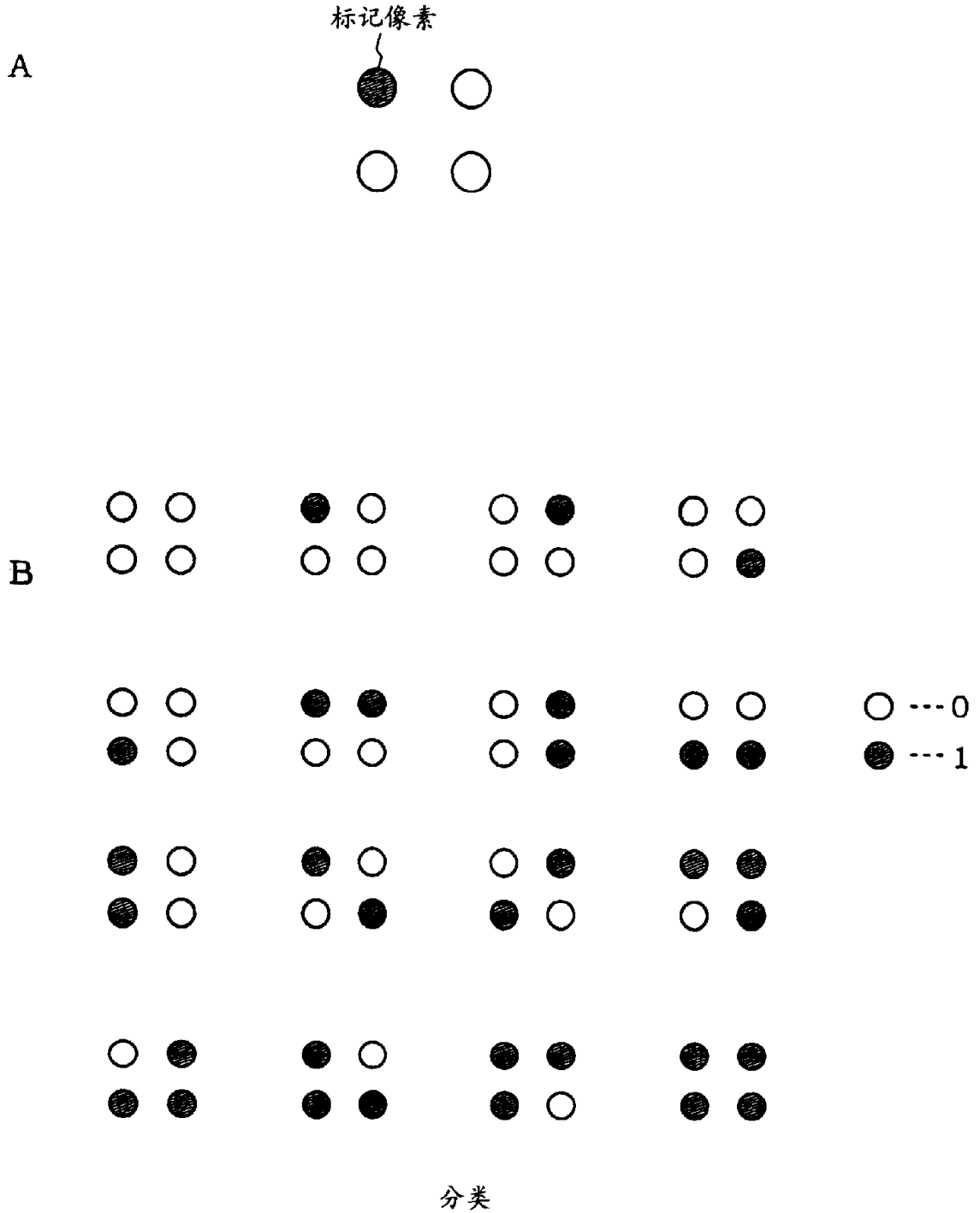
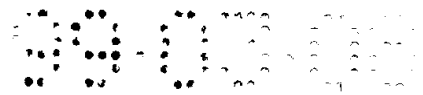


图 14



参考标号的解释

1, 2... 摄像机 , 3... 顺序成像器 , 4... 计算机 ,
5... 网络 , 6... 集成编码系统 , 7... 自适应
解码系统 , 8... 像素宽高比转换器 , 9, 10...
显示器 , 11... 打印机 , 12... 计算机显示器 , 13... 传
输线 , 21... 分块电路 , 22... 最小值检测电路 ,
23... 最大值检测电路 , 24, 25... 计算单元 ,
26... 量化电路 , 31... 分离器 , 32... 多路复用器 , 41,
42... 平均值计算电路 , 43, 44... 像素抽取电路
, 45... 像素插入电路 , 51... 编码部分 , 52...
时间代码产生部分 , 53... 编码部分 , 54... 时间代码
产生部分 , 55... 编码部分 , 56... 附加信息
产生部分 , 57... 多路复用部分 , 101... 多路分解器 ,
102... 逆量化电路 , 103... 运算单元 , 104...
帧形成电路 , 105, 106... 选择器 , 107... 存储器, 108...
恢复电路 , 111... 信号分离部分 , 112... 解码
部分, 113... 选择器 , 114... 解码部分 , 115... 存储器, 116...
选择器 , 118... 天线 , 119... GPS 接收器部分 , 120... 区域
鉴别部分 , 121... 存储器, 122... 或门 , 123... 控制
部分, 131... 分类分块电路 , 132... 分类
电路 , 133... 用于预测值计算的分块电路,
134... 预测电路 , 135... 分辨率设定电路
141, 142... 切换器, 143 - 146... ROM, 147... 运算电路

图 17