



(12) 实用新型专利

(10) 授权公告号 CN 220189651 U

(45) 授权公告日 2023. 12. 15

(21) 申请号 202321621681.4

(22) 申请日 2023.06.25

(73) 专利权人 思特威(上海)电子科技股份有限公司

地址 200120 上海市浦东新区自由贸易试验区祥科路111号3号楼6楼612室

(72) 发明人 许书洋 万皓

(74) 专利代理机构 深圳中一联合知识产权代理有限公司 44414

专利代理师 李艳丽

(51) Int. Cl.

H01L 27/146 (2006.01)

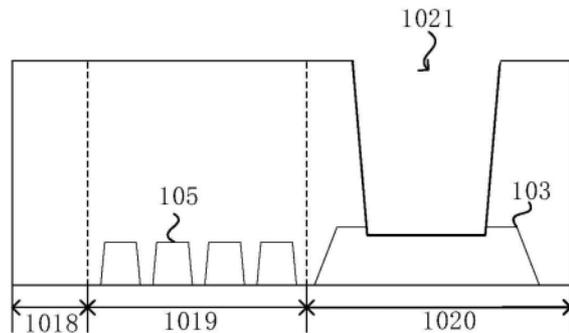
权利要求书2页 说明书11页 附图8页

(54) 实用新型名称

半导体器件结构、图像传感器

(57) 摘要

本实用新型提供一种半导体器件结构、图像传感器,半导体器件结构适用于图像传感器,包括:半导体基底,半导体基底包括若干个芯片区域及位于芯片区域外围的切割区域;切割区域包括界面阻隔切割区,芯片区域包括辅助切割区;其中,辅助切割区与切割区域邻接设置,且切割外缘与界面阻隔切割区相对应并与辅助切割区之间具有间距。通过本实用新型的上述设计,可以有效的缓解在切割获取芯片的过程中切割工艺对芯片核心区的影响。



1. 一种半导体器件结构,适用于图像传感器,其特征在于,包括:
半导体基底,包括若干个芯片区域及位于所述芯片区域外围的切割区域;
所述切割区域包括界面阻隔切割区,所述芯片区域包括辅助切割区;
其中,所述辅助切割区与所述切割区域邻接设置,且切割外缘与所述界面阻隔切割区相对应并与所述辅助切割区之间具有间距。
2. 如权利要求1所述的半导体器件结构,其特征在于,所述切割区域还包括外围功能区,所述界面阻隔切割区位于所述外围功能区与所述芯片区域之间,所述外围功能区包括材料不同的第一材料结构与第二材料结构,所述界面阻隔切割区和/或辅助切割区包括与二者界面位于同一结构层的裂纹缓解材料层。
3. 如权利要求2所述的半导体器件结构,其特征在于,所述外围功能区包括多个芯片检测结构,所述芯片检测结构与邻近侧的所述界面阻隔切割区之间设置有第一缓冲区;和/或,沿所述芯片区域与所述切割区域布置的方向上,相邻的所述芯片检测结构之间设置有第二缓冲区;和/或,所述第一材料结构为金属,所述第二材料结构为层间电介质,所述裂纹缓解材料层为层间电介质。
4. 如权利要求3所述的半导体器件结构,其特征在于,所述多个芯片检测结构形成至少一条检测结构带,所述第一缓冲区位于所述检测结构带与邻近的所述界面阻隔切割区之间;当所述检测结构带的数量为至少两条时,所述第二缓冲区位于相邻的所述检测结构带之间,所述切割外缘的不同侧均与所述界面阻隔切割区对应或者分别与所述界面阻隔切割区和所述第二缓冲区对应。
5. 如权利要求1所述的半导体器件结构,其特征在于,所述半导体基底包括叠置的半导体衬底和互连结构层,所述芯片区域包括芯片主体区,所述辅助切割区位于所述芯片主体区与所述切割区域之间,所述互连结构层包括与所述界面阻隔切割区对应的第一净空区和/或与所述辅助切割区对应的第二净空区。
6. 如权利要求5所述的半导体器件结构,其特征在于,所述互连结构层还包括与所述辅助切割区对应的虚拟布线区,所述第二净空区邻接于所述切割区域与所述虚拟布线区之间,所述虚拟布线区包括布线缓冲结构区及保护环结构区中至少一者,二者均存在时,所述布线缓冲结构区靠近所述第二净空区设置。
7. 如权利要求6所述的半导体器件结构,其特征在于,所述保护环结构区包括多个保护环结构,所述多个保护环结构呈环状设置于所述芯片主体区的外围;和/或,所述布线缓冲结构区包括多个布线缓冲结构,所述多个布线缓冲结构在所述芯片主体区的外围形成若干缓冲结构行和/或缓冲结构列;和/或,所述第一净空区的宽度大于或等于 $4\mu\text{m}$;所述第二净空区的宽度大于或等于 $3\mu\text{m}$;所述布线缓冲结构区与所述第二净空区的宽度之和大于或等于 $18\mu\text{m}$;所述切割外缘与靠近侧的所述保护环结构区之间的距离大于或等于 $20\mu\text{m}$ 。
8. 如权利要求5所述的半导体器件结构,其特征在于,所述半导体衬底包括与所述辅助切割区对应的虚拟有源区,所述虚拟有源区位于所述切割区域与所述芯片主体区之间,且所述虚拟有源区至少与所述第二净空区对应。
9. 如权利要求8所述的半导体器件结构,其特征在于,所述虚拟有源区包括净空释放区及评估缓冲槽区,所述净空释放区邻接于所述切割区域并与所述第二净空区对应设置,所述评估缓冲槽区邻接于所述芯片主体区设置。

10. 如权利要求9所述的半导体器件结构,其特征在于,所述净空释放区与所述评估缓冲槽区之间还设置有虚拟器件过渡区,当存在邻接的所述第二净空区和所述虚拟布线区时,所述虚拟器件过渡区覆盖二者的边界;和/或,所述评估缓冲槽区设有评估缓冲槽,当存在虚拟布线区且所述虚拟布线区包括布线缓冲结构区时,所述评估缓冲槽的底部与所述布线缓冲结构区之间具有间隔结构层。

11. 如权利要求10所述的半导体器件结构,其特征在于,所述虚拟器件过渡区设有沟槽隔离结构,包括呈阵列排布的多个子隔离结构或具有镂空的单个沟槽隔离结构;和/或,所述间隔结构层包括单个间隔结构或多个呈阵列排布的间隔块,所述评估缓冲槽的底部显露所述间隔结构或所述间隔块。

12. 如权利要求11所述的半导体器件结构,其特征在于,各行的所述布线缓冲结构的行中心线与切割线的夹角呈锐角趋势设置,各列的所述布线缓冲结构的列中心线与切割线的夹角呈锐角趋势设置;和/或,各行的所述沟槽隔离结构的行中心线与切割线的夹角呈锐角趋势设置,各列的所述沟槽隔离结构的列中心线与切割线的夹角呈锐角趋势设置;和/或,所述布线缓冲结构呈至少两层垂直布置,相邻层对应位置的所述布线缓冲结构的中心之间具有间距。

13. 如权利要求1-12中任意一项所述的半导体器件结构,其特征在于,所述半导体器件结构还包括至少一个与所述半导体基底堆叠设置的堆叠基底,所述堆叠基底的各个区域与所述半导体基底的各个区域上下对应设置。

14. 如权利要求13所述的半导体器件结构,其特征在于,所述半导体基底的外围功能区与所述堆叠基底的外围功能区之间通过层间互连结构电性连接,且所述层间互连结构同一结构层对应所述辅助切割区和所述界面阻隔切割区。

15. 一种图像传感器,其特征在于,包括芯片区域,所述芯片区域基于如权利要求1-14中任意一项所述的半导体器件结构沿所述切割区域切割得到。

半导体器件结构、图像传感器

技术领域

[0001] 本实用新型属于图像获取技术领域,特别是涉及一种半导体器件结构、图像传感器。

背景技术

[0002] 图像传感器是组成数字摄像头的重要组成部分。根据元件的不同,可分为CCD(电荷耦合元件)和CMOS(金属氧化物半导体元件)两大类。随着CMOS集成电路制造工艺特别是CMOS图像传感器(CIS,CMOS Image Sensor)设计及制造工艺的不断发展,CMOS图像传感器已经逐渐取代CCD图像传感器成为主流。CMOS图像传感器相比较具有工业集成度更高、功率更低等优点。

[0003] 现有图像传感器在芯片分割过程中往往会出现干扰成像或撕裂(chipping)现象,导致芯片核心区域受到不同程度的损伤,进而直接影响图像传感器的性能及其成像效果。从而对于芯片切割过程的改善成为亟待解决的问题。

[0004] 因此,如何提供一种半导体器件结构、图像传感器及其制备方法、电子设备,以解决现有技术中的上述问题实属必要。

[0005] 应该注意,上述对技术背景的介绍只是为了方便对本申请技术方案进行清楚、完整的说明,并方便本领域技术人员理解而阐述的。不能仅仅因为这些方案在背景技术部分进行了阐述而认为上述技术方案为本领域技术人员所公知。

实用新型内容

[0006] 鉴于以上所述现有技术的缺点,本实用新型的目的在于提供一种半导体器件结构、图像传感器,用于解决现有技术中图像传感器的芯片分割过程中对芯片核心区域影响等问题。

[0007] 为实现上述目的及其他相关目的,本实用新型提供一种半导体器件结构,适用于图像传感器,所述半导体器件结构包括:

[0008] 半导体基底,包括若干个芯片区域及位于所述芯片区域外围的切割区域;

[0009] 所述切割区域包括界面阻隔切割区,所述芯片区域包括辅助切割区;

[0010] 其中,所述辅助切割区与所述切割区域邻接设置,且切割外缘与所述界面阻隔切割区相对应并与所述辅助切割区之间具有间距。

[0011] 可选地,所述切割区域还包括外围功能区,所述界面阻隔切割区位于所述外围功能区与所述芯片区域之间,所述外围功能区包括材料不同的第一材料结构与第二材料结构,所述界面阻隔切割区和/或所述辅助切割区包括与二者界面位于同一结构层的裂纹缓解材料层。

[0012] 可选地,所述外围功能区包括多个芯片检测结构,所述芯片检测结构与邻近侧的所述界面阻隔切割区之间设置有第一缓冲区;

[0013] 可选地,沿所述芯片区域与所述切割区域布置的方向上,相邻的所述芯片检测结

构之间设置有第二缓冲区。

[0014] 可选地,所述第一材料结构为金属,所述第二材料结构为层间电介质,所述裂纹缓解材料层为层间电介质。

[0015] 可选地所述多个芯片检测结构形成至少一条检测结构带,所述第一缓冲区位于所述检测结构带与邻近的所述界面阻隔切割区之间;当所述检测结构带的数量为至少两条时,所述第二缓冲区位于相邻的所述检测结构带之间,所述切割外缘的不同侧均与所述界面阻隔切割区对应或者分别与所述界面阻隔切割区和所述第二缓冲区对应。

[0016] 可选地,所述半导体基底包括叠置的半导体衬底和互连结构层,所述芯片区域包括芯片主体区,所述辅助切割区位于所述芯片主体区与所述切割区域之间,所述互连结构层包括与所述界面阻隔切割区对应的第一净空区和/或与所述辅助切割区对应的第二净空区。

[0017] 可选地,所述互连结构层还包括与所述辅助切割区对应的虚拟布线区,所述第二净空区邻接于所述切割区域与所述虚拟布线区之间,所述虚拟布线区包括布线缓冲结构区及保护环结构区中至少一者,二者均存在时,所述布线缓冲结构区靠近所述第二净空区设置。

[0018] 可选地,所述保护环结构区包括多个保护环结构,所述多个保护环结构呈环状设置于所述芯片主体区的外围。

[0019] 可选地,所述布线缓冲结构区包括多个布线缓冲结构,所述多个布线缓冲结构在所述芯片主体区的外围形成若干缓冲结构行和/或缓冲结构列。

[0020] 可选地,所述第一净空区的宽度大于或等于 $4\mu\text{m}$ 。

[0021] 可选地,所述第二净空区的宽度大于或等于 $3\mu\text{m}$ 。

[0022] 可选地,所述布线缓冲结构区与第二净空区的宽度之和大于或等于 $18\mu\text{m}$ 。

[0023] 可选地,所述切割外缘与靠近侧的所述保护环结构区之间的距离大于或等于 $20\mu\text{m}$ 。

[0024] 可选地,所述半导体衬底包括与所述辅助切割区对应的虚拟有源区,所述虚拟有源区位于所述切割区域与所述芯片主体区之间,且所述虚拟有源区至少与所述第二净空区对应。

[0025] 可选地,所述虚拟有源区包括净空释放区及评估缓冲槽区,所述净空释放区邻接于所述切割区域并与所述第二净空区对应设置,所述评估缓冲槽区邻接于所述芯片主体区设置。

[0026] 可选地,所述净空释放区与所述评估缓冲槽区之间还设置有虚拟器件过渡区,当存在邻接的所述第二净空区和所述虚拟布线区时,所述虚拟器件过渡区覆盖二者的边界;和/或,所述评估缓冲槽区设有评估缓冲槽,底部与所述布线缓冲结构区之间具有间隔结构层。

[0027] 可选地,所述虚拟器件过渡区设有沟槽隔离结构,包括呈阵列排布的多个子隔离结构或具有镂空的单个沟槽隔离结构;和/或,所述间隔结构层包括单个间隔结构或多个呈阵列排布的间隔块,所述评估缓冲槽的底部显露所述间隔结构或所述间隔块。

[0028] 可选地,各行所述布线缓冲结构的行中心线与切割线的夹角呈锐角趋势设置,各列的所述布线缓冲结构的列中心线与切割线的夹角呈锐角趋势设置。

- [0029] 可选地,各行所述沟槽隔离结构的行中心线与切割线的夹角呈锐角趋势设置,各列的所述沟槽隔离结构的列中心线与切割线的夹角呈锐角趋势设置。
- [0030] 可选地,所述布线缓冲结构呈至少两层垂直布置,相邻层对应位置的所述布线缓冲结构的中心之间具有间距。
- [0031] 可选地,所述半导体器件结构还包括至少一个与半导体基底堆叠设置的堆叠基底,所述堆叠基底的各个区域与所述半导体基底的各个区域上下对应设置。
- [0032] 可选地,所述半导体基底的外围功能区与所述堆叠基底的外围功能区之间通过层间互连结构电性连接,且所述层间互连结构同一结构层对应所述辅助切割区和所述界面阻隔切割区。
- [0033] 本实用新型还提供一种图像传感器,包括芯片区域,所述芯片区域基于如上述方案中任意一项所述的半导体器件结构沿所述切割区域切割得到。
- [0034] 本实用新型还提供一种电子设备,包括如上述方案中任一项所述的图像传感器。
- [0035] 本实用新型还提供一种如上述方案任一项所述的图像传感器的制备方法,包括:
- [0036] 提供所述半导体器件结构;
- [0037] 沿所述切割外缘进行第一切割得到中间切割结构;
- [0038] 对应所述切割区域,对所述中间切割结构进行第二切割,得到分离的各个所述芯片区域,所述第二切割的切割刀的宽度小于所述第一切割的切割刀宽度。
- [0039] 可选地,沿切割方向上,所述第一切割的切割底部超出所述半导体器件结构的外围功能区的深度。
- [0040] 如上所述,本实用新型的半导体器件结构、图像传感器,可以基于半导体器件结构上各区的配置设计有效缓解切割过程中对芯片区域产生的影响,有利于防止切割过程中裂纹(chipping)的产生,还可以有利于防止界面裂纹以及衬底的直接撕裂。还可以灵活配置切割工具尺寸,并可以基于切割工具的组合配置进一步缓解切割过程对芯片产生的影响,提高成像质量。

附图说明

- [0041] 图1显示为一图像传感器系统的基本结构框图。
- [0042] 图2显示为一图像传感器制的像素电路的示意图。
- [0043] 图3显示为本申请一实施例中提供的半导体结构的俯视图示意图。
- [0044] 图4显示为图3所示的半导体器件结构沿I-II位置的截面图。
- [0045] 图5显示为图4的虚线框对应的一种结构示例的截面示意图。
- [0046] 图6显示为图5对应的一种结构示例的俯视图。
- [0047] 图7显示为图5对应的另外一种结构示例的俯视图。
- [0048] 图8显示为图4的虚线框对应的另外一种结构示例的截面示意图。
- [0049] 图9显示为图8对应的一种结构示例的俯视图。
- [0050] 图10显示为本申请一实施例中半导体器件结构的互连结构层部分区分布。
- [0051] 图11显示为本申请一实施例中半导体器件结构的半导体衬底部分区分布。
- [0052] 图12显示为本申请一实施例中布线缓冲结构的一种排布示意图。
- [0053] 图13显示为本申请一实施例中沟槽隔离结构的一种排布示意图。

- [0054] 图14显示为本申请一实施例中的图像传感器的制备流程图。
- [0055] 图15显示为本申请一实施例的图像传感器制备中的中间切割结构示意图。
- [0056] 元件标号说明
- | | | |
|--------|---------------------|---------|
| [0057] | 100 | 半导体器件结构 |
| [0058] | 101a、101b、101c、101d | 芯片区域 |
| [0059] | 102a、102b | 切割区域 |
| [0060] | 1012 | 辅助切割区 |
| [0061] | 1013 | 第二净空区 |
| [0062] | 1014 | 虚拟布线区 |
| [0063] | 1015 | 布线缓冲结构区 |
| [0064] | 1016 | 保护环结构区 |
| [0065] | 1017 | 虚拟有源区 |
| [0066] | 1018 | 净空释放区 |
| [0067] | 1019 | 虚拟器件过渡区 |
| [0068] | 1020 | 评估缓冲槽区 |
| [0069] | 1020a | 评估缓冲槽 |
| [0070] | 1021 | 外围功能区 |
| [0071] | 1022、1023 | 界面阻隔切割区 |
| [0072] | 201 | 第一切割工具 |
| [0073] | 202 | 第二切割工具 |
| [0074] | 300 | 芯片检测结构区 |
| [0075] | 301a、301b | 芯片检测结构 |
| [0076] | 302、303 | 第一缓冲区 |
| [0077] | 304 | 第二缓冲区 |

具体实施方式

[0078] 以下通过特定的具体实例说明本实用新型的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本实用新型的其他优点与功效。本实用新型还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本实用新型的精神下进行各种修饰或改变。

[0079] 应该强调,术语“包括/包含”在本文使用时指特征、整件、步骤或组件的存在,但并不排除一个或多个其它特征、整件、步骤或组件的存在或附加。

[0080] 针对一种实施方式描述和/或示出的特征可以以相同或类似的方式在一个或多个其它实施方式中使用,与其它实施方式中的特征相组合,或替代其它实施方式中的特征。

[0081] 如在详述本实用新型实施例时,为便于说明,表示器件结构的剖面图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本实用新型保护的范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0082] 为了方便描述,此处可能使用诸如“之下”、“下方”、“低于”、“下面”、“上方”、“上”等的空间关系词语来描述附图中所示的一个元件或特征与其他元件或特征的关系。将理解

到,这些空间关系词语意图包含使用中或操作中的器件的、除了附图中描绘的方向之外的其他方向。此外,当一层被称为在两层“之间”时,它可以是所述两层之间仅有的层,或者也可以存在一个或多个介于其间的层。

[0083] 在本申请的上下文中,所描述的第一特征在第二特征“之上”的结构可以包括第一和第二特征形成直接接触的实施例,也可以包括另外的特征形成在第一和第二特征之间的实施例,这样第一和第二特征可能不是直接接触。

[0084] 需要说明的是,本实施例中所提供的图示仅以示意方式说明本实用新型的基本构想,遂图示中仅显示与本实用新型中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0085] 以下结合本实用新型给出的各个附图对本实用新型提出的内容进行详细的说明。

[0086] 图1显示为一图像传感器系统基本结构框图。图像传感器包括连接到像素阵列的读出电路和控制电路,功能逻辑单元连接到读出电路,读出电路和控制电路连接到状态寄存器,实现对像素阵列的读取控制。像素阵列包括按行(R1,R2,R3...Ry)和列(C1,C2,C3...Cx)排布的多个像素(P1,P2,P3),像素阵列输出的像素信号经列线输出至读出电路。在一种实施方式中,每一像素获取图像数据后,图像数据采用状态寄存器指定的读出模式读出,然后传输到功能逻辑单元。在具体应用中,读出电路可包括模数转换(ADC)电路及其他。

[0087] 在某些应用中,状态寄存器可包含有程序化选择系统,用以确定读出系统是通过滚动曝光模式(rolling shutter)或是全局曝光模式(global shutter)读出。功能逻辑单元可仅存储图像数据或通过图像效果应用或处理的图像数据。在具体应用中,读出电路可沿读出列线一次读出一行图像数据,或者可采用各种其他方式读出图像数据。控制电路的操作可通过状态寄存器的当前设置确定,例如,控制电路产生一快门信号用于控制图像获取,在某些应用中,此快门信号可以是一全局曝光信号,使得像素阵列的所有像素通过单一获取窗口同时获取其图像数据。在某些其他应用中,此快门信号可以是一滚动曝光信号,使得像素阵列的每一像素行的像素通过获取窗口连续实现读取操作。

[0088] 图2显示为图像传感器中一种像素电路的连接示意图。如图2所示,每一像素电路包括一光电转换元件(例如,光电二极管)和像素电路(如图中虚线框内的晶体管所示)。光电二极管可为当前图像传感器中应用的掩埋型光电二极管(PPD)。在一应用例中,像素电路包括复位晶体管(RST)、源极跟随晶体管(SF)以及像素选择晶体管(RS),连接到如图中所示的传输晶体管(TX)和光电二极管。在另一堆叠结构应用例中,图中未标出,像素电路包括置于一电路芯片上的复位晶体管,源极跟随晶体管,像素选择晶体管,基于传输晶体管连接到另一芯片中的光电二极管。在操作过程中,光电转换元件在曝光过程中响应于入射光产生光电荷,传输晶体管连接到传输信号,该信号控制传输晶体管传输光电转换元件中累积的电荷到浮动扩散区域(FD)。在一实施方式中,传输晶体管可以为MOSFET(金属氧化物半导体场效应晶体管),复位晶体管连接到VDD和浮动扩散区域之间,响应于复位信号以复位传感器像素电路(例如,放电或充电浮动扩散区域和光电二极管到当前电压),浮动扩散区域连接到源极跟随晶体管的栅极,源极跟随晶体管连接到VDD和像素选择晶体管之间,以响应浮动扩散区域的电位并对其进行输出,像素选择晶体管连接源极跟随晶体管和像素电路位线,响应于像素选择控制信号实现像素选择读出并将其输出到读出列。

[0089] 其中,随着半导体工艺节点的进步,晶圆封装技术也在快速进步。尤其是应用于手机/平板等消费电子产品上的摄像头上的CMOS图像传感器,对封装技术的要求越来越高,目前主流的应用于手机/平板等消费电子产品上的摄像头上的CMOS图像传感器普遍采用纯刀切割技术,在此之前主流的激光(laser)切割已经越来越跟不上技术迭代了,laser切割伴随着高温,容易产生硅的熔融物,这类熔融物在产品的使用寿命周期内或者产品跌落过程中容易剥落,极大概率会落在CMOS图像传感器的成像区域,干扰CMOS图像传感器芯片的正常工作,而且这类问题是终端客户肉眼可见的,极易容易引起客诉。

[0090] 然而,纯刀切割切割位置不会产生硅的熔融物,可以避免这类问题。纯刀切割容易产生硅片剥离,如果不针对切割道进行特殊设计,可能纯刀切割也会产生令人难以接受的良率损失,现有图像传感器芯片在切割过程中受到损伤等问题难以得到有效解决,本申请的半导体器件结构,可以有效解决上述问题。

[0091] 实施例一:

[0092] 请参阅图3和图4所示,本实施例提供一种半导体器件结构100,适用于图像传感器,包括:半导体基底W1,半导体基底W1包括若干个芯片区域101a、101b、101c、101d以及位于芯片区域外围的切割区域102a、102b;下面以芯片区域101b和切割区域102a为例对本实施例的半导体器件结构100进行说明:

[0093] 本实施例中,切割区域102a包括界面阻隔切割区1022、1023,以下以界面阻隔切割区1022为例进行说明,可以理解的,切割区域102a与另外一侧相邻的芯片区域100a之间还存在界面阻隔切割区1023,另外,芯片区域101b包括辅助切割区1012;其中,辅助切割区1012与切割区域102a邻接设置,且切割外缘与界面阻隔切割区1022相对应并与辅助切割区1012之间具有间距。该实施例中,切割外缘可以是如图4中所示的第一切割工具201的边缘,如切割刀的边缘,切割过程中,切割外缘的右侧边缘对应界面阻隔切割区1022,并且,切割外缘的右侧边缘与辅助切割区1012之间具有间距。通过上述设计,切割外缘所切割的区域可以落在界面阻隔切割区1022,并且与芯片区域101b之间具有一定的距离,从而可以基于界面阻隔切割区1022和辅助切割区1012缓解切割过程中形成的切割裂纹的扩展延伸对芯片区域101b的影响,界面阻隔切割区1022可以缓解切割外缘落在切割区域102a其他区域时对芯片区域101b的影响。例如,在一种实现方式中,界面阻隔切割区1023和辅助切割区1012可以均选择为单一材料层,进一步,可以是选择为相对于切割区域其他材料容易切割的材料构成,如氧化硅,或者选择为即使存在界面,选择形成界面应力影响相对较弱的材料。本领域技术人员可以理解的,对应的区域中还可以存在现有图像传感器制备中的其他必须或必然形成的材料层,并非严格意义仅仅一种材料,只要可以解决本申请所提出的缓解外围功能的裂纹形成及应力扩展即可。

[0094] 请参阅图4及图10、图11所示,在一种实施方式中,切割区域102a还包括外围功能区1021,界面阻隔切割区1022位于外围功能区1021与芯片区域101b之间,其中,外围功能区1021包括材料不同的第一材料结构与第二材料结构,两种材料结构之间形成界面,例如,第一材料结构可以是金属材料结构,如Cu、W等,第二材料结构可以是绝缘介质材料结构,如氧化硅等。

[0095] 该实施例方式中,可以设计界面阻隔切割区1022包括裂纹缓解材料层,或者,设计辅助切割区1012包括裂纹缓解材料层,或者,二者均设计包括裂纹缓解材料层,其中,裂纹

缓解材料层的材料包括但不限于是氧化硅。另外,这部分裂纹缓解材料层与第一材料结构和第二材料结构的界面位于同一结构层,可以理解为,二者位于同一深度区间,侧视图来看裂纹缓解材料层覆盖界面。基于上述设计,在切割的过程中,切割边缘落入裂纹缓解材料层区域,从而避免切割到不同材料结构的界面,可以防止容易撕裂的界面发生撕裂,进一步可以防止撕裂过程中应力向芯片区域的延伸,利于防止裂纹扩散,有利于对芯片区域中的芯片核心区的保护。其中,裂纹缓解材料层可以是单一材料结构层,当然,也可以是包括多种材料的结构层,多种材料结构层形成的界面不易形成裂纹或应力相对较弱。

[0096] 继续参见图4及图10、图11所示,外围功能区102a包括多个芯片检测结构301a、301b,其中,芯片检测结构301b与邻近侧的界面阻隔切割区1022之间设置有第一缓冲区302,可以理解的,另外一侧还可以设有第一缓冲区303;或者,沿芯片区域101b与切割区域102a布置的方向上,相邻的芯片检测结构301a、301b之间设置有第二缓冲区304;或者,外围功能区102a中可以均设置有第一缓冲区和第二缓冲区,各缓冲区的配置有利于进一步实现切割应力缓冲。该示例中,多个芯片检测结构301a、301b可以理解为上述示例中的第一材料结构,而其周围的绝缘介质材料层可以理解为对应的第二材料结构,裂纹缓解材料层利用周围的绝缘介质材料层,不包含金属材料,以缓解裂纹形成及扩展。

[0097] 进一步示例中,多个芯片检测结构形成至少一条检测结构带305、306,多个芯片检测结构形成芯片检测结构区300,其中,第一缓冲区302位于检测结构带306与邻近的界面阻隔切割区1022之间;当检测结构带的数量为至少两条时,如检测结构带305、306,第二缓冲区304位于相邻的检测结构带305、306之间,该实施方式中,切割外缘的不同侧可以均与界面阻隔切割区1022、1023对应,或者,切割外缘的不同侧可以分别与界面阻隔切割区1022和第二缓冲区304对应,此时,第二缓冲区304充当界面阻隔切割区1022,即,可以基于第二缓冲区304进行切割,切割外缘可以落在第二缓冲区304,在切割过程中没有切割到不同材料结构的界面,或者应力较弱,从而可以达到与前述示例中切割时缓解应力同样效果。当然,在其他实施例中,存在两个第二缓冲区304时,切割刀的边缘也可以均落在第二缓冲区304的区域。根据上述设计,可以依据实际对应配置切割工具的尺寸,奇数个检测结构带时可以对中间带切割。

[0098] 具体的,芯片测试结构301a、301b可以是布置在切割道区域用于芯片测试的测试结构(test key),当然,也可以是其他工艺监控结构mark、用于工艺测量及电性连接的焊垫pad等。其中,第一缓冲区302、303以及第二缓冲区304均可以现有图像传感器的布线结构中制备中常用的介质材料(如氧化硅)等形成的区域。该实施方式中,切割工具的切割边缘或是落在界面阻隔切割区1022、1023,或是落在第二缓冲区304,使得切割刀的边缘不与不同材料形成的界面接触,切割在单一材料层中,有利于缓解切割刀边缘落在不同材料的界面时容易产生裂纹的现象,通过本实施方式的设计,不仅可以缓解切割过程对芯片区域产生的影响,还可以在满足上述需求的情况下实现切割刀的尺寸的灵活配置。

[0099] 请参阅图4所示,在一种实施方式中,半导体基底W1包括叠置的半导体衬底A和互连结构层M,芯片区域101b包括芯片主体区1011,辅助切割区1012位于芯片主体区1011与切割区域102a之间,互连结构层M包括与界面阻隔切割区1022对应的第一净空区K1和/或与辅助切割区1012对应的第二净空区K2。

[0100] 具体的,半导体器件结构100可以是图像传感器制备过程中对应在一个晶圆wafer

上制备得到的结构,可以是器件制备完成尚未切割的结构,半导体衬底A可以是图像传感器领域任意用于制备图像传感器各个功能区的结构。另外,互连结构层M可以在半导体衬底A上制备的器件的互连结构层,可以包括金属互连结构和绝缘介质材料层,以实现图像传感器的器件之间的电性连接。

[0101] 例如,基于半导体衬底制备CMOS图像传感器的感光元件、各个控制晶体管及布线等。其中,半导体衬底可以是单层材料层构成的结构,包括但不限于硅衬底,各个区中的元件制备在硅衬底中,可以是单晶硅、单晶锗、多晶硅、非晶硅,还可以是硅锗化合物等。另外,半导体衬底还可以为两层及以上材料层构成的叠层结构,各个区域制备在其中任意需求层中。例如,半导体衬底包括硅衬底以及在硅衬底上形成的外延层(EP I),光电转换元件及晶体管组件(如包括电荷传输元件)等制备在所述外延层中,可以基于上述结构制备背照式图像传感器。另外,半导体衬底也可以是绝缘体上硅SO I。此外,半导体衬底中还可以是具有N型掺杂或者P型掺杂的区域,以器件满足功能需求。

[0102] 该实施方式中,互连结构层M包括与界面阻隔切割区1022对应的第一净空区K1,或者,互连结构层M包括辅助切割区1012对应的第二净空区K2,或者,互连结构层M均包括第一净空区K1和第二净空区K2,可以理解的,第一净空区K1和第二净空区K2可以为互连结构层M的一部分,如由其介质层构成,组成裂纹缓解材料层,以用于缓解切割裂纹的产生及扩展。基于第一净空区K1和第二净空区K2可以防止水平对应的结构层中的裂纹的扩散。另外,需要说明的是,对于互连结构层M,对应界面阻隔切割区1022为第一净空区K1,该层还可以包括对应的第一缓冲区和第二缓冲区,可由其介质层构成。

[0103] 继续参见图4所示,互连结构层M还包括与辅助切割区1012对应的虚拟布线区1014,第二净空区1013邻接于切割区域102a与虚拟布线区1014之间,虚拟布线区1014包括布线缓冲结构区1015及保护环结构区1016中至少一者,二者均存在时,布线缓冲结构区1015靠近第二净空区1013设置。基于上述设计,可以通过第二净空区K2进一步实现切割裂纹的缓解,并可以有利于通过设置的布线缓冲结构区1015及保护环结构区1016实现裂纹扩散的阻挡。

[0104] 具体的,参照上述实施方式的描述,对于互连结构层M,对应辅助切割区1012可以依次包括对应的第二净空区1013(该层中K2所对应指示的区域)、布线缓冲结构区1015及保护环结构区1016,其中,第二净空区1013可以由互连结构层M的介质层构成,布线缓冲结构区1015可以制备的虚拟金属结构,保护环结构区1016可以是金属结构制备的保护环(sealing ring)。

[0105] 作为示例,第一净空区的宽度K1大于等于 $4\mu\text{m}$,例如,可以为 $5\mu\text{m}$ 、 $6\mu\text{m}$;第二净空区1013的宽度K2大于等于 $3\mu\text{m}$,例如,可以为 $3.5\mu\text{m}$ 、 $4.5\mu\text{m}$;作为示例,布线缓冲结构区1015与第二净空区1013的宽度之和大于等于 $15\mu\text{m}$,例如,可以为 $18\mu\text{m}$ 、 $20\mu\text{m}$ 、 $22\mu\text{m}$ 。作为示例,最靠近芯片主体区1011的切割外缘与靠近侧的保护环结构区1016之间的距离大于等于 $20\mu\text{m}$ 。如可以为 $21\mu\text{m}$ 、 $22\mu\text{m}$ 、 $25\mu\text{m}$ 。上述尺寸可以依据实际芯片尺寸和需求设定。

[0106] 继续参见图4所示,在一种实施方式中,保护环结构区1016包括多个保护环结构,多个保护环结构呈环状设置于芯片主体区1011的外围。其中,芯片主体区1011的外围可以布置一个环状的保护环结构,也可以布置多个环状的保护环结构,图4中显示为3个环状的保护环结构,另外,对于单个保护环结构,可以是一个封闭的环状结构,也可以是多个间隔

排布的保护环围成的环状结构。

[0107] 在一种实施方式中,布线缓冲结构区1015包括多个布线缓冲结构,多个布线缓冲结构在芯片主体区1011的外围形成若干缓冲结构行和/或缓冲结构列。其中,布线缓冲结构可以为金属块,多个金属块按照行和列呈阵列排布。

[0108] 继续参见图4所示,半导体衬底A包括与辅助切割区1012对应的虚拟有源区1017,虚拟有源区1017位于切割区域102a与芯片主体区1011之间,且虚拟有源区1017至少与第二净空区1013对应。可以理解的,虚拟有源区1017位于半导体衬底中,该区域不制备实际图像传感器的核心成像器件,例如,与该区域水平同层的半导体衬底中且对应与芯片主体区1011的位置制备有图像传感器的像素电路器件,如光电转换元件、电荷传输元件、漂浮扩散有源区、信号输出晶体管等,而对应于虚拟有源区1017的有源区区域,可以不制备上述器件。

[0109] 继续参见图4所示,在一种实施方式中,虚拟有源区1017包括净空释放区1018及评估缓冲槽区1020,净空释放区1018邻接于切割区域102a并与第二净空区1013对应设置,评估缓冲槽区1020邻接于芯片主体区1011设置。其中,净空释放区1018可以是半导体衬底中属于该层的有源区构成,即可以是P型的硅衬底,虚拟有源区AA的净空释放区1018可以有利于进行芯片die的边缘的定义;评估缓冲槽区1020可以是半导体衬底背面工艺制备的沟槽结构。

[0110] 进一步示例中,净空释放区1018与评估缓冲槽区1020之间还设置有虚拟器件过渡区1019,当存在邻接的第二净空区1013和虚拟布线区1014时,虚拟器件过渡区1019覆盖二者的边界。虚拟器件过渡区1019可以是基于半导体衬底中属于该层的有源区构成,可以制备有隔离结构105,其他示例中,也可以制备有虚拟器件106等。

[0111] 请参阅图4及图5-9所示,在一种实施方式中,评估缓冲槽区1020设有评估缓冲槽1021,评估缓冲槽1021的底部与布线缓冲结构区1015之间具有间隔结构层。其中,评估缓冲槽1021可以是半导体衬底背面工艺制备的沟槽结构,当然,在其他实施方式中,还可以是在评估缓冲槽1021中填充有其他材料,包括但不限于氧化硅,可以缓解应力,另外,间隔结构层包括但不限于氧化硅层。其中,评估缓冲槽1021可以用于停止硅剥离,其次,这圈评估缓冲槽1021还可以用于评估硅剥离是否会引起失效,硅剥离程度有轻微严重之分,一般硅剥离不超过这圈沟槽都可以认为是良品,超过这圈沟槽则认为是失效品。

[0112] 作为一示例,请参阅图5-7所示,间隔结构层为单个间隔结构103,评估缓冲槽1021的底部显露单个间隔结构103。作为另一示例,请参阅图8和图9所示,间隔结构层为多个呈阵列排布的间隔块104,评估缓冲槽1021的底部显露间隔块104。其中,单个间隔结构103以及间隔块104均可以是芯片主体区1011在制备器件隔离结构的过程中一同制备得到,如,可以是基于图像传感器的浅沟槽隔离结构STI工艺制备得到,材料包括但不限于氧化硅,可以简化工艺。间隔结构层的形成还有利于实现评估缓冲槽1021与器件的焊垫(pad)制备开孔工艺的兼容性,可以基于同一工艺同时形成评估缓冲槽1021和焊垫开孔,焊垫开口可以是显露金属层(如第一层金属层)的TSV孔,防止焊垫区过刻蚀。

[0113] 继续参阅图4及图5-9所示,在一种实施方式中,虚拟器件过渡区1019设有沟槽隔离结构105,沟槽隔离结构105包括呈阵列排布的多个子隔离结构,如图7和图9所示,或者,具有镂空的单个沟槽隔离结构,如图6所示,本实施例中,优选设计为具有镂空的单个沟槽

隔离结构, 镂空的空格区为过个方格有源区AA。其中, 具有镂空的单个沟槽隔离结构以及多个子隔离结构均可以是芯片主体区1011在制备器件隔离结构的过程中一同制备得到, 例如, 可以是基于图像传感器的浅沟槽隔离结构ST I工艺制备得到, 材料包括但不限于氧化硅, 可以简化工艺。

[0114] 请参阅图4、图10和图12所示, 各行的布线缓冲结构1015a的行中心线与切割线的夹角呈锐角趋势设置, 各列的布线缓冲结构的列中心线与切割线的夹角呈锐角趋势设置; 布线缓冲结构1015a沿着切割线倾斜设置, 有利于实现切割应力的缓冲。需要说明的, 此处的锐角趋势可以为规则的锐角, 当然, 也可以是不严格的射线形成的锐角, 旨在通过该趋势设计缓解刀切的应力。另外, 此处的切割线是指切割刀水平划过的痕迹所对应的线条。

[0115] 请参阅图4、图11和图13所示, 各行的沟槽隔离结构的行中心线与切割线的夹角呈锐角趋势设置, 各列的沟槽隔离结构的列中心线与切割线的夹角呈锐角趋势设置; 沟槽隔离结构沿着切割线倾斜设置, 从而有利于实现切割应力的缓冲。需要说明的是, 此处沟槽隔离结构的行中心线可以理解为, 当沟槽隔离结构包括呈阵列排布的多个子隔离结构时, 各子隔离结构的中心形成的中心线, 此时, 在各子隔离结构之间可以形成有虚拟的有源区结构、虚拟器件(如包括虚拟多晶硅结构)等; 另外, 当沟槽隔离结构105为具有镂空的单个沟槽隔离结构时, 沟槽隔离结构的行中心线可以理解为各个阵列排布的镂空的中心形成的中心线, 此时, 各镂空区可以形成有虚拟的有源区结构、虚拟器件等, 当然, 也可以不形成其他器件, 仅为基于半导体衬底的有源区材料形成。

[0116] 进一步, 请参阅图4和图10-13所示, 布线缓冲结构呈至少两层垂直布置, 相邻层对应位置的布线缓冲结构的中心之间具有间距。该示例中, 上下对应的两层结构层中, 上下中心不对应, 如, 第二层布线缓冲结构中, 某一布线缓冲结构(如金属块)的中心在其垂直方向上, 在第一层布线缓冲结构层和第三层布线缓冲结构层的投影均未与布线缓冲结构的中心重合, 例如, 投影可以落在相邻的布线缓冲结构围成的空间区域(如由绝缘介质材料构成)中。

[0117] 请参阅图4所示, 在一种实施方式中, 半导体器件结构还包括至少一个与半导体基底W1堆叠设置的堆叠基底W2, 堆叠基底W2的各个区域与半导体基底W1的各个区域上下对应设置。需要说明的是, 该实施方式提供了一种图像传感器的堆叠(stack)结构, 其中, 第一片晶圆(半导体基底W1)上至少制备感光元件, 第二片晶圆(堆叠基底W2)上至少制备外围电路, 如模数转换电路ADC等, 当然, 具体的图像传感器中的器件分布可以依据实际选择。当然, 其他实施例中, 还可以包括三片及以上的晶圆, 以通过堆叠形成完成图像传感器制备。

[0118] 请继续参阅图4所示, 在一种实施方式中, 半导体基底W1的外围功能区1021与堆叠基底W2的外围功能区之间通过层间互连结构电性连接, 且层间互连结构同一结构层对应辅助切割区1012和界面阻隔切割区1022。该实施方式中, 辅助切割区1012和界面阻隔切割区1022在两个基底中延伸, 例如, 可以理解为在两个基底结合的界面处对应上下两个基底在该区域的材料相同实现延伸, 从而可以基于相同的材料层在横向上对应覆盖层间互连结构中的不同材料结构形成的界面, 可以进一步缓解在切割过程中在两个基底结合界面形成的裂纹扩展。

[0119] 实施例二:

[0120] 本实用新型还提供一种图像传感器, 包括芯片区域, 该实施例的图像传感器的芯

片区域基于如上述实施例中任意一项所述的半导体器件结构沿切割区域102a切割得到。也即,该实施例的图像传感器的芯片区域包括芯片主体区1011。

[0121] 本实用新型还提供一种电子设备,包括如上述方案中任一项所述的图像传感器。图像传感器可以是CMOS图像传感器,电子设备可以是安防监控、车载电子、手机相机、机器视觉等设备,基于本实用新型的图像传感器可以获取高质量图像信息。

[0122] 实施例三:

[0123] 请参阅图3、图4及图14和图15所示,本实施例还提供一种如上述方案中任意一项所述的图像传感器的制备方法,包括:

[0124] S1:提供半导体器件结构,如图4所示;

[0125] S2:沿切割外缘进行第一切割得到中间切割结构,如图13所示;

[0126] S3:对应切割区域102a,对中间切割结构进行第二切割,得到分离的各个芯片区域101b,第二切割的切割刀202的宽度小于第一切割的切割刀201宽度。

[0127] 具体的,该实施例中,采用两次切割的方式实现芯片区域的获取,可以基于宽度较小的第二切割刀的使用进一步降低切割裂纹的形成及对芯片的影响。当然,在其他实施方式中,由于本申请实施例一对半导体器件结构已经进行有效的改进,采用单次切割的方式也可以有效的缓解切割裂纹的形成及影响。

[0128] 继续参见图15所示,沿切割方向上,第一切割的切割底部超出半导体器件结构的外围功能区的深度。

[0129] 具体的,该实施方式中,在第一次切割过程中,切割刀的切割深度超出外围功能区的深度,例如,可以是切割刀的切割深度超出位于下方的互连结构层M,另外,在具有堆叠设置的堆叠基底W2和半导体基底W1的结构中,切割刀的切割深度自半导体基底W1延伸至堆叠基底W2,进一步,超出堆叠基底W2的互连结构层,可以基于本申请中的半导体器件的配置解决切割裂纹的问题。

[0130] 在一种实施方式中,可以设置切割区域102a、102b的宽度D介于 $100\mu\text{m}$ - $200\mu\text{m}$ 之间,例如,可以是 $120\mu\text{m}$ 、 $150\mu\text{m}$ 、 $180\mu\text{m}$,另外,第一切割工具201的宽度介于 $105\mu\text{m}$ - $120\mu\text{m}$ 之间,如可以是 $110\mu\text{m}$ 、 $115\mu\text{m}$;第二切割工具202的宽度介于 $80\mu\text{m}$ - $100\mu\text{m}$ 之间,如可以是 $85\mu\text{m}$ 、 $90\mu\text{m}$ 。

[0131] 综上所述,本实用新型的半导体器件结构、图像传感器及制备方法、电子设备,可以基于半导体器件结构上各区的配置设计有效缓解切割过程中对芯片区域产生的影响,有利于防止切割过程中裂纹(chipping)的产生,还可以有利于防止界面裂纹以及衬底的直接撕裂。还可以灵活配置切割工具尺寸,并可以基于切割工具的组合配置进一步缓解切割过程对芯片产生的影响,提高成像质量。所以,本实用新型有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0132] 上述实施例仅例示性说明本实用新型的原理及其功效,而非用于限制本实用新型。任何熟悉此技术的人士皆可在不违背本实用新型的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本实用新型所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本实用新型的权利要求所涵盖。

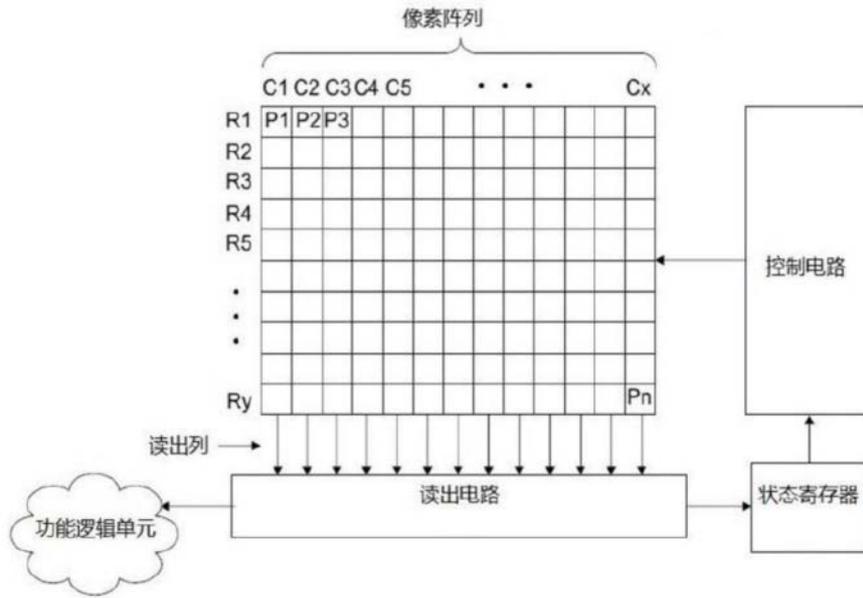


图1

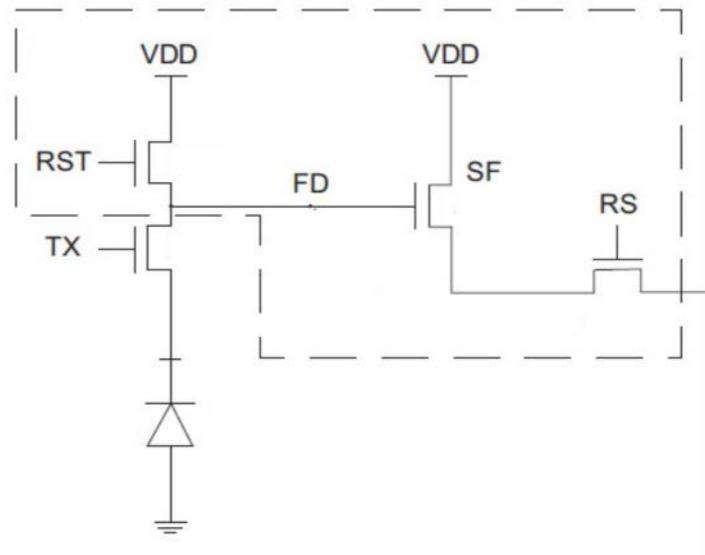


图2

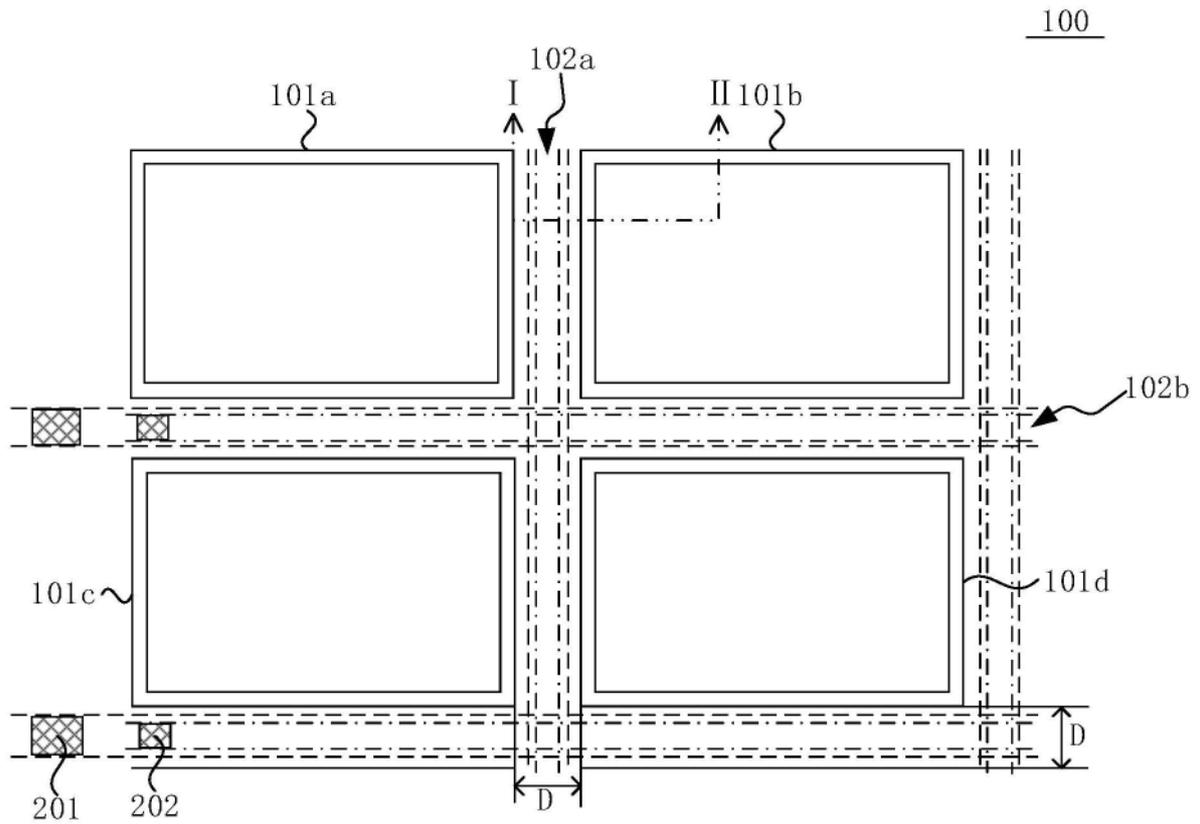


图3

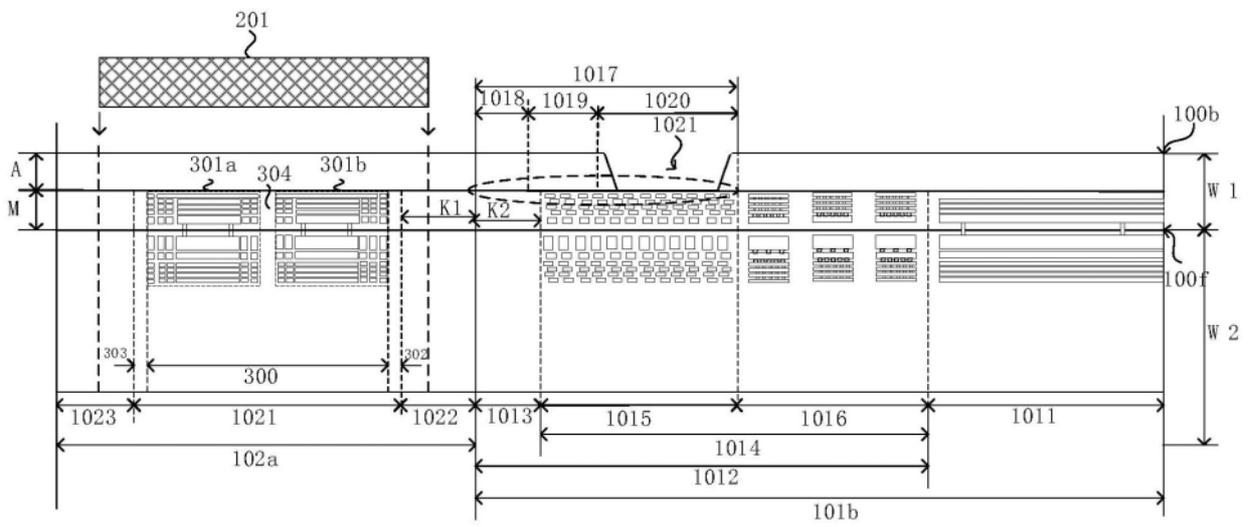


图4

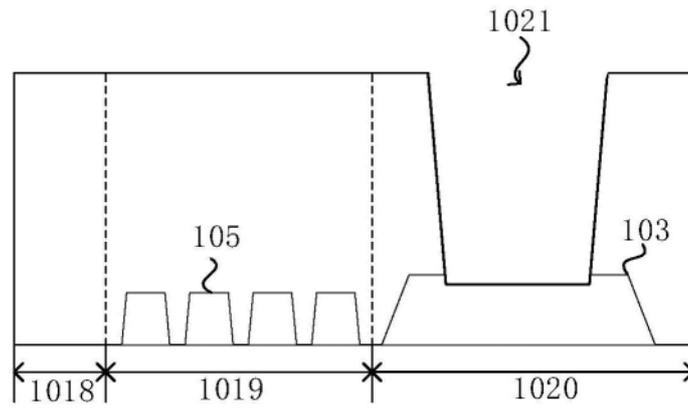


图5

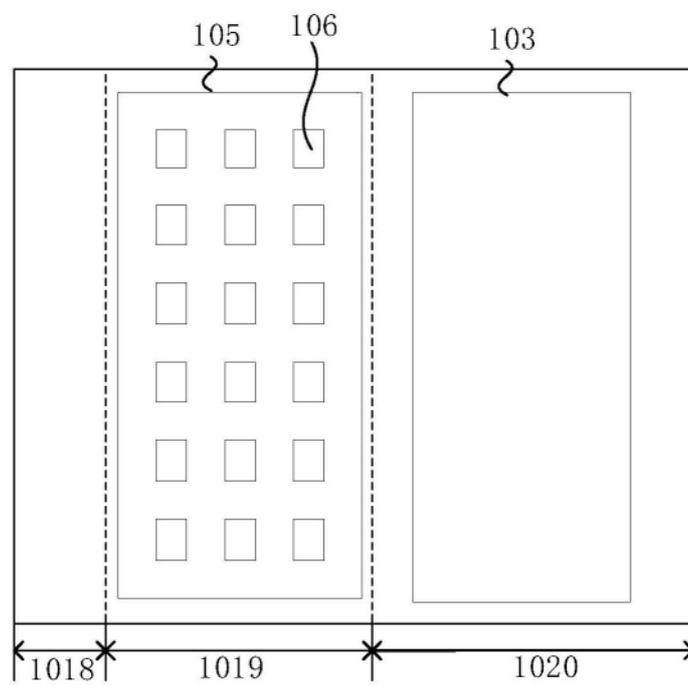


图6

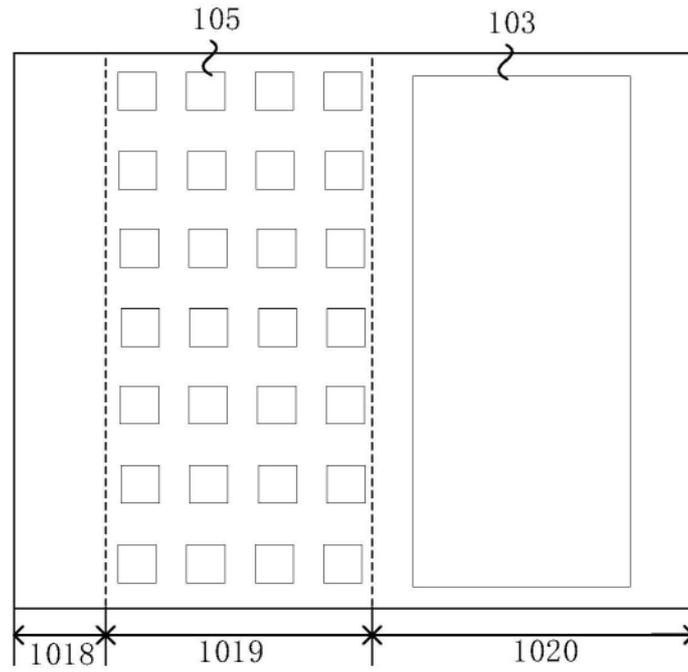


图7

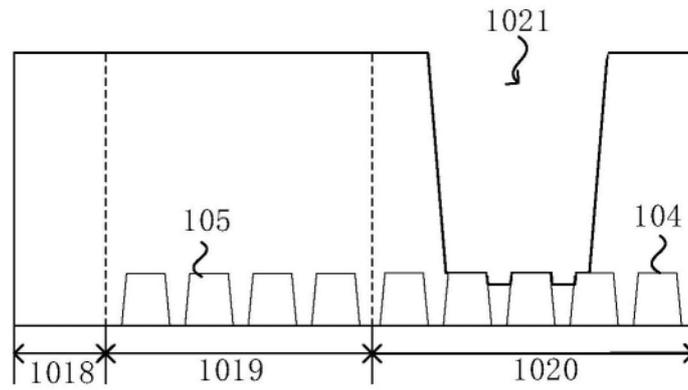


图8

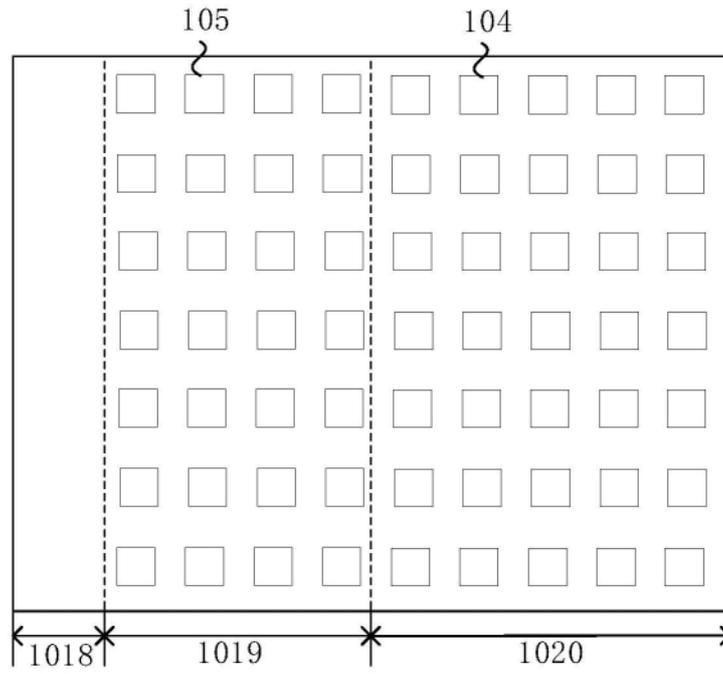


图9

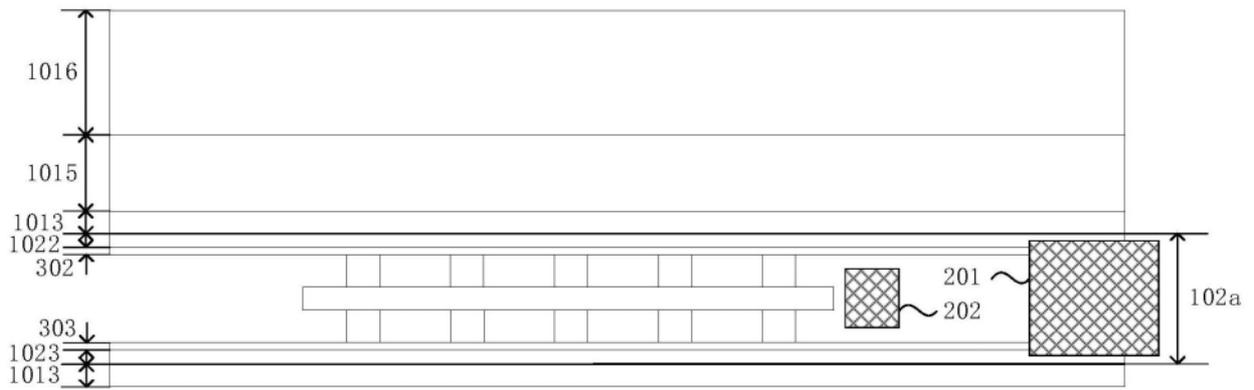


图10

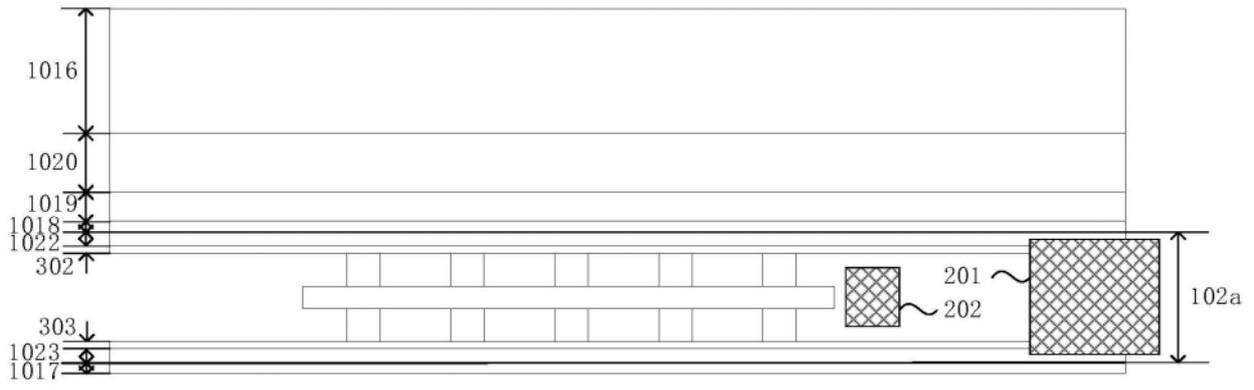


图11

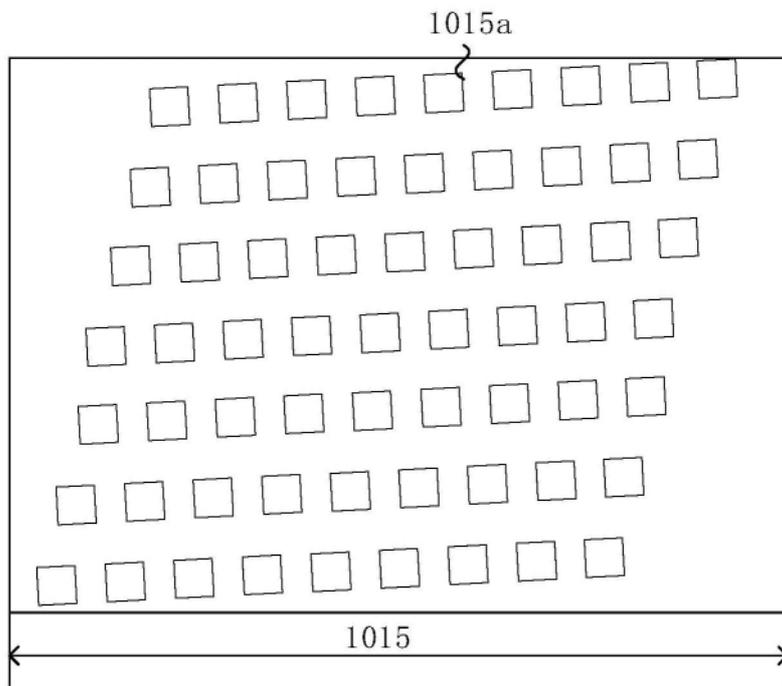


图12

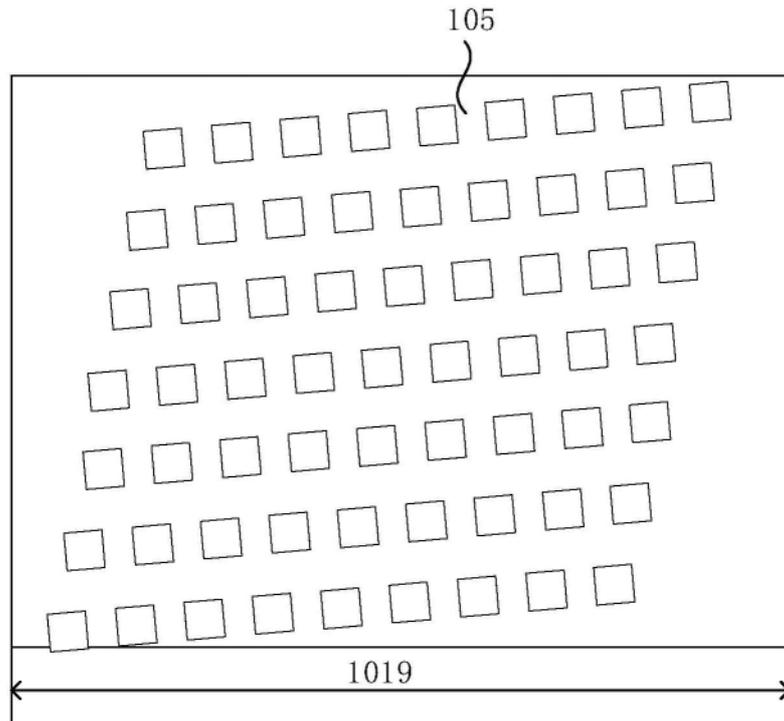


图13

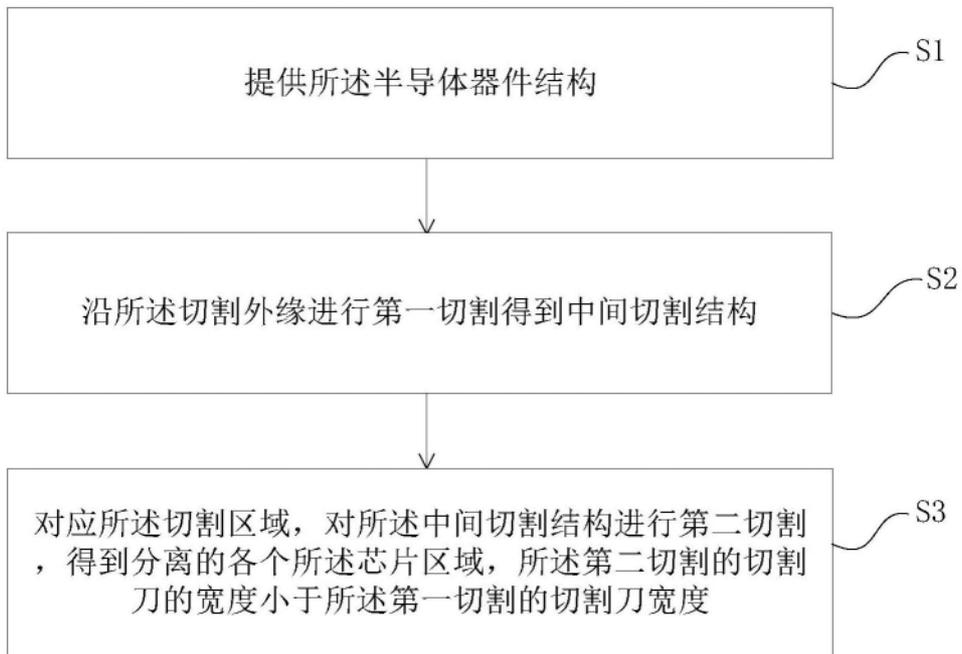


图14

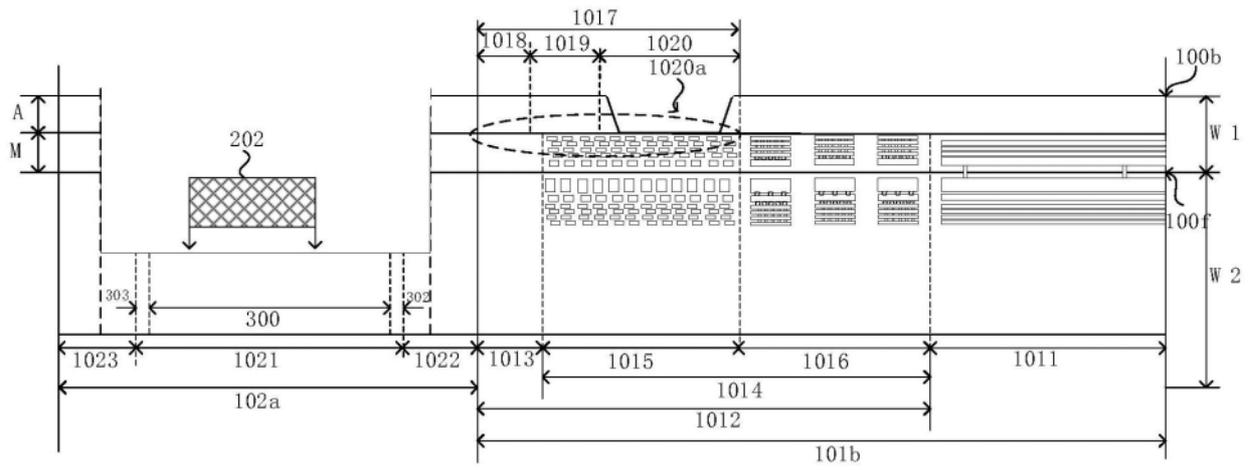


图15