

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7295359号  
(P7295359)

(45)発行日 令和5年6月21日(2023.6.21)

(24)登録日 令和5年6月13日(2023.6.13)

(51)国際特許分類	F I				
H 0 1 L 21/02 (2006.01)	H 0 1 L	21/02	Z		
H 0 1 L 21/677 (2006.01)	H 0 1 L	21/68	A		
H 0 1 L 21/31 (2006.01)	H 0 1 L	21/31	A		

請求項の数 11 (全12頁)

(21)出願番号	特願2020-550762(P2020-550762)	(73)特許権者	000219967
(86)(22)出願日	平成31年3月15日(2019.3.15)		東京エレクトロン株式会社
(65)公表番号	特表2021-518673(P2021-518673		東京都港区赤坂五丁目3番1号
	A)	(74)代理人	100107766
(43)公表日	令和3年8月2日(2021.8.2)		弁理士 伊東 忠重
(86)国際出願番号	PCT/US2019/022617	(74)代理人	100070150
(87)国際公開番号	WO2019/182916		弁理士 伊東 忠彦
(87)国際公開日	令和1年9月26日(2019.9.26)	(74)代理人	100135079
審査請求日	令和4年3月8日(2022.3.8)		弁理士 宮崎 修
(31)優先権主張番号	62/645,685	(72)発明者	タビリー, カンダバラ
(32)優先日	平成30年3月20日(2018.3.20)		アメリカ合衆国 ニューヨーク州 1 2 2
(33)優先権主張国・地域又は機関	米国(US)		0 3, オールバニー, フラー ロード 2
			5 5, スイート 2 1 4, ナノファブ 3
			0 0 サウス
		(72)発明者	クラーク, ロバート

最終頁に続く

(54)【発明の名称】 統合的な計測を伴う基板処理ツール並びに使用方法

(57)【特許請求の範囲】

【請求項1】

基板処理方法であって、

基板処理ツールの第1基板処理チャンバ内で基板を処理し、前記基板上に選択膜の堆積を実施するステップと、

前記基板上に選択膜の堆積を実施するステップの後、前記第1基板処理チャンバから基板搬送チャンバを通して、前記基板処理ツール内の基板計測モジュールに前記基板を搬送するステップと、

前記基板計測モジュール内で前記基板に対して計測を実施して、前記基板上の堆積選択性の喪失を特徴化するステップと、

前記計測を実施するステップの後、前記基板計測モジュールから前記基板搬送チャンバを通して第2基板処理チャンバに前記基板を搬送するステップと、

前記第2基板処理チャンバ内で前記基板を処理し、前記特徴化された成膜選択性の喪失に基づいて、エッチングプロセスを実施するステップと、

を有し、

前記基板計測モジュールは、前記基板搬送チャンバに接続された第1の端部と、搬送システムに接続された第2の端部とを有し、

前記基板計測モジュールの前記第1の端部は、第1のゲートバルブにより、前記基板搬送チャンバに直接結合され、前記基板計測モジュールの前記第2の端部は、第2のゲートバルブにより、前記搬送システムに直接結合され、

前記第 1 のゲートバルブは、前記基板計測モジュールを前記基板搬送チャンバから分離し、前記第 2 のゲートバルブは、前記搬送システムを前記基板計測モジュールから分離する、基板処理方法。

【請求項 2】

前記基板計測モジュールは、基板又は前記基板上に形成された薄膜及び層の 1 つ以上の材料特性を測定する 1 つ以上の分析ツールを含む、請求項 1 に記載の基板処理方法。

【請求項 3】

さらに、  
前記基板を搬送システムにロードするステップと、  
前記基板を、前記第 2 のゲートバルブを介して、前記搬送システムから、前記基板搬送チャンバに、ロードロックチャンバを介して搬送するステップと、  
を有する、請求項 1 に記載の基板処理方法。

10

【請求項 4】

基板処理方法であって、  
基板処理ツール内に基板を提供するステップであって、前記基板は、第 1 材料層の露出面と第 2 材料層の露出面とを含む、ステップと、

第 1 基板処理チャンバ内で前記基板上に自己組織化単層 (SAM) を形成するステップと、

前記第 1 基板処理チャンバから基板搬送チャンバを通して第 2 基板処理チャンバに前記基板を搬送するステップと、

20

前記第 2 基板処理チャンバにおいて、前記第 1 材料層上に膜を選択的に堆積し、前記自己組織化単層上に膜核を堆積させるステップと、

前記第 1 材料層上に前記膜を選択的に堆積するステップの後に、前記第 2 基板処理チャンバから前記基板搬送チャンバを通して基板計測モジュールに前記基板を搬送するステップと、

前記基板計測モジュール内で前記膜に対して計測を実施し、前記基板上的堆積選択性の喪失を特徴化するステップと、

前記計測を実施するステップの後に、前記基板計測モジュールから前記基板搬送チャンバを通して第 3 基板処理チャンバに前記基板を搬送するステップと、

前記第 3 基板処理チャンバにおけるエッチングにより、前記堆積選択性の特徴化された喪失に基づいて、前記自己組織化単層から前記膜核を除去するステップと、

30

を有し、

前記基板計測モジュールは、前記基板搬送チャンバに接続された第 1 の端部と、搬送システムに接続された第 2 の端部とを有し、

前記基板計測モジュールの前記第 1 の端部は、第 1 のゲートバルブにより、前記基板搬送チャンバに直接結合され、前記基板計測モジュールの前記第 2 の端部は、第 2 のゲートバルブにより、前記搬送システムに直接結合され、

前記第 1 のゲートバルブは、前記基板計測モジュールを前記基板搬送チャンバから分離し、前記第 2 のゲートバルブは、前記搬送システムを前記基板計測モジュールから分離する、基板処理方法。

40

【請求項 5】

第 4 基板処理チャンバ内で、反応性処理ガス、熱処理、又はこれらの組み合わせを使用し、前記基板に対して処理プロセスを実施するステップを更に含む、請求項 4 に記載の基板処理方法。

【請求項 6】

前記第 1 材料層は誘電体層を含む、請求項 4 に記載の基板処理方法。

【請求項 7】

前記第 2 材料層は金属層を含む、請求項 4 に記載の基板処理方法。

【請求項 8】

前記金属層は、Cu、Al、Ta、Ti、W、Ru、Co、Ni、又はMoを含有する

50

、請求項 7 に記載の基板処理方法。

【請求項 9】

前記膜は金属酸化物を含む、請求項 4 に記載の基板処理方法。

【請求項 10】

前記 SAM の密度は、前記第 1 材料層上よりも前記第 2 材料層上の方が高い、請求項 4 に記載の基板処理方法。

【請求項 11】

前記 SAM は、先端基、テール基、及び官能性末端基を有する複数の分子を含み、前記先端基は、チオール、シラン、又はホスホネートを含む、請求項 4 に記載の基板処理方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2018年3月20日に出願された米国仮特許出願第62/645,685号明細書に関するものであり、その優先権を主張し、その全内容が、参照により本願明細書に援用される。

【0002】

本発明は、基板処理に関し、より具体的には、統合的な基板処理及び基板計測を実施するように構成された基板処理ツール、並びに使用方法に関する。

20

【背景技術】

【0003】

製造されるトランジスタが小型化するにつれて、パターン形成されるフィーチャのクリティカルディメンション(CD)又は解像度の生成がますます困難になっている。EUV(Extreme Ultraviolet: 極端紫外線)導入後であってもコスト効率の良いスケーリングを継続できるようにするには、自己整合パターンニングが、重ね合わせ式パターンニング(overlay-driven patterning)に取って代わる必要がある。ばらつきの低減、スケーリングの拡張、並びにCD及びプロセス制御の向上を可能にするパターンニングオプションが必要である。しかし、スケーリングされたデバイスを手頃な低コストで製造することは極めて困難になってきている。選択的堆積は、高度なパターンニングに関連するコストを大幅に削減することができる。ギャップ充填などの薄膜の選択的堆積、特定基板上への誘電体及び金属の領域選択的堆積、並びに選択的ハードマスクは、高度にスケーリングされた技術ノードでのパターンニングにおける重要な工程である。

30

【発明の概要】

【課題を解決するための手段】

【0004】

本発明の実施形態は、統合的な基板処理及び基板計測を実施するように構成された基板処理ツール、並びに基板の処理方法について記載する。

【0005】

一実施形態によれば、基板処理ツールは、基板搬送チャンバと、基板搬送チャンバに結合された複数の基板処理チャンバと、基板搬送チャンバに結合された基板計測モジュールとを含む。

40

【0006】

一実施形態によれば、基板処理方法は、基板処理ツールの第1基板処理チャンバ内で基板を処理することと、第1基板処理チャンバから基板搬送チャンバを通して、基板処理ツール内の基板計測モジュールに基板を搬送することと、基板計測モジュール内で基板に対して計測を実施することと、基板計測モジュールから基板搬送チャンバを通して第2基板処理チャンバに基板を搬送することと、第2基板処理チャンバ内で基板を処理することと、を含む。

50

## 【 0 0 0 7 】

以下の詳細な説明を参照し、特に添付図面と併せて検討すると、本発明の様々な実施形態のより詳細な理解及びそれらに付随する利点の多くが容易に明らかになるであろう。

## 【 図面の簡単な説明 】

## 【 0 0 0 8 】

【 図 1 】本発明の一実施形態による、統合的な基板処理及び基板計測を実施するように構成された基板処理ツールの概略図である。

【 図 2 A - 2 E 】本発明の一実施形態による領域選択的膜形成の方法を概略断面図で示す。

【 図 3 】本発明の一実施形態による、統合的な基板処理及び基板計測を実施するためのプロセスフロー図である。

10

【 図 4 】本発明の別の実施形態による、統合的な基板処理及び基板計測を実施するためのプロセスフロー図である。

## 【 発明を実施するための形態 】

## 【 0 0 0 9 】

本発明の実施形態は、統合的な基板処理及び基板計測を実施するように構成された基板処理ツール、並びに基板の処理方法について記載する。

## 【 0 0 1 0 】

本発明の実施形態は、統合的な基板処理、及び統合的な基板処理中に基板計測を実施する必要性に対処する。一例では、基板処理ツールでの領域選択的膜堆積中、堆積選択性の喪失を測定し、キャラクタライズするために、膜堆積工程に続いて、処理ツール内で基板計測を実施してもよく、選択的膜形成を達成するために、基板計測データに基づいて、不要な膜核の除去を実施してもよい。基板計測工程の結果を用いて、膜堆積工程におけるばらつきに基づき、膜核除去工程を調整してもよい。更に、人工知能 ( A I ) を用いて、基板計測結果を分析し、将来の膜厚及び膜堆積選択性を予測してもよい。

20

## 【 0 0 1 1 】

図 1 は、本発明の実施形態による、統合的な基板処理及び基板計測を実施するように構成された基板処理ツールの概略図である。基板処理ツール 1 0 0 は、カセットモジュール 1 0 1 A、1 0 1 B、及び 1 0 1 C と、基板位置合わせモジュール 1 0 1 D とを含む、基板 ( ウェーハ ) 搬送システム 1 0 1 を含む。ロードロックチャンバ 1 0 2 A 及びロードロックチャンバ 1 0 2 B 並びに基板計測モジュール 1 0 2 C が、基板搬送システム 1 0 1 に結合されている。基板搬送システム 1 0 1 は大気圧に維持されるが、不活性ガスでのパージにより清浄な環境が提供される。ロードロックチャンバ 1 0 2 A 及びロードロックチャンバ 1 0 2 B は基板搬送チャンバ 1 0 3 に結合されており、基板を基板搬送システム 1 0 1 から基板搬送チャンバ 1 0 3 に搬送するために使用されてもよい。基板搬送チャンバ 1 0 3 は、非常に低いベース圧力 ( 例えば、 $5 \times 10^{-8}$  トル以下 ) に維持されてもよい、又は不活性ガスで常時パージされてもよい。

30

## 【 0 0 1 2 】

基板計測モジュール 1 0 2 C は、大気圧下で動作させても真空条件下で動作させてもよく、基板並びに / 又は基板上に堆積した薄膜及び層の 1 つ以上の材料及び電子的特性を測定することが可能な 1 つ以上の分析ツールを含むことができる。1 つ以上の分析ツールのいくつか又は全ての構成要素は、基板計測モジュール 1 0 2 C 内の真空環境中に位置してもよい。一例では、光源は、基板計測モジュール 1 0 2 C の外部に配置されてもよく、光源からの光を、窓を通して、基板計測モジュール 1 0 2 C 内及び基板上に透過させてもよい。或いは、光源は、基板計測モジュール 1 0 2 C の内部に配置されてもよい。

40

## 【 0 0 1 3 】

例示的な分析ツールとしては、材料の元素組成、実験式、化学状態、及び電子状態を測定するための X 線光電子分光法 ( X P S ) ; 表面、薄膜、及び多層をキャラクタライズするための X 線反射率法 ( X R R ) ; 材料の元素分析及び化学分析用の蛍光 X 線分析法 ( X R F ) ; 材料をキャラクタライズするためのフーリエ変換赤外分光法 ( F T I R ) ; 薄膜の厚さ及び光学特性を測定するための紫外線 / 可視光 ( U V / V i s ) 分光法 ; 表面、薄

50

膜、及び多層をキャラクタライズするための光学スキャトロメトリ (optical scatterometry) ; 薄膜の組成、粗さ、厚さ (深さ)、結晶性、ドーピング濃度、導電率、及びその他の材料特性をキャラクタライズするためのエリブソメトリ ; 並びに基板の湾曲及び反りを測定するための分析ツールが挙げられ得る。

#### 【0014】

基板搬送チャンバ103に結合されているのは、Siウェーハなどの基板を処理するように構成された基板処理チャンバ106A~106Dである。Siウェーハは、例えば、150mm、200mm、300mm、450mm、又は450mmよりも大きな直径を有することができる。本発明の一実施形態によれば、第1基板処理チャンバ106Aは、基板に対して処理プロセスを実施することができ、第2基板処理チャンバ106Bは、基板上に自己整合単層 (SAM: self-aligned monolayer) を形成することができる。第3基板処理チャンバ106Cは、基板をエッチングすること又は清浄にすることができ、第4基板処理チャンバ106Dは、原子層堆積法 (ALD)、プラズマ強化ALD (PEALD)、化学気相成長法 (CVD)、又はプラズマ強化CVD (PECVD) などの気相成長によって基板上に膜を堆積させることができる。基板搬送チャンバ103は、基板処理チャンバ106A~106Dのいずれかの間で、及び基板計測モジュール102Cに基板を搬送するように構成されている。図1は、隣接する処理ツール構成要素間に分離を提供するゲートバルブG1~G9を更に示す。図1の実施形態に示すように、基板処理チャンバ106A~106D及び基板計測モジュール102Cは、ゲートバルブG5、G7、G8、G9、及びG10によって基板搬送チャンバ103に直接的に結合されてもよい。この直接結合により、基板のスループットを大きく改善することができる。

#### 【0015】

基板処理ツール100は、統合的な基板処理及び基板計測中、図1に示したツール構成要素のいずれか又は全てに結合し、これを制御することができるコントローラ110を含む。或いは又は加えて、コントローラ110は、1つ以上の更なるコントローラ/コンピュータ (図示せず) に接続することができ、コントローラ110は、更なるコントローラ/コンピュータからセットアップ及び/又はコンフィギュレーション情報を取得することができる。コントローラ110を使用して、基板処理チャンバ及び処理要素のいずれか又は全てをコンフィギュレーションすることができ、コントローラ110は、ツール構成要素のいずれか又は全てからのデータを収集、提供、処理、保存、及び表示することができる。コントローラ110は、ツール構成要素のいずれか又は全てを制御するためのいくつかのアプリケーションを含むことができる。例えば、コントローラ110は、ユーザが1つ以上のツール構成要素を監視及び/又は制御することを可能にする使いやすいインターフェースを提供することができるグラフィックユーザインターフェース (GUI) コンポーネントを含むことができる。

#### 【0016】

コントローラ110は、マイクロプロセッサ、メモリ、及びデジタルI/Oポートを含むことができ、これらは、基板処理ツール100と通信し、入力をアクティブにし、情報を交換することに加えて、基板処理ツール100からの出力を監視することのために十分な制御電圧を生成することができる。例えば、統合的な基板処理を実施するために、メモリに格納されたプログラムを用いて、プロセスレシピに従い基板処理ツール100の入力をアクティブにしてもよい。コントローラ110は、プロセッサがメモリに含まれる1つ以上の命令の1つ以上のシーケンスを実行したことに応答して本発明のマイクロプロセッサベースの処理工程の一部又は全部を実施する汎用コンピュータシステムとして実装されてもよい。このような命令は、ハードディスク又はリムーバブルメディアドライブなどの別のコンピュータ可読媒体からコントローラのメモリに読み込まれてもよい。メインメモリに含まれる命令のシーケンスを実行するために、マルチプロセッシング構成の1つ以上のプロセッサもまた、コントローラのマイクロプロセッサとして用いてよい。別の実施形態では、ハードワイヤード回路を、ソフトウェア命令の代わりに、又はソフトウェア命令

10

20

30

40

50

と組み合わせて使用してもよい。したがって、実施形態は、ハードウェア回路及びソフトウェアの任意の特定の組み合わせに限定されない。

#### 【0017】

コントローラ110は、基板処理ツール100に対してローカルに配置されてもよい、又は基板処理ツール100に対してリモートに配置されてもよい。例えば、コントローラ110は、直接接続、イントラネット、インターネット、及び無線接続のうちの少なくとも1つを使用して、基板処理ツール100とデータを交換してもよい。コントローラ110は、例えば、カスタマーサイト（即ち、デバイスメーカ等）のイントラネットに接続されてもよい、又は例えば、ベンダーサイト（即ち、機器製造業者）のイントラネットに接続されてもよい。これに加えて、例えば、コントローラ110はインターネットに接続されてもよい。更に、別のコンピュータ（即ち、コントローラ、サーバ等）が、直接接続、イントラネット、及びインターネットのうちの少なくとも1つを介して、例えばコントローラ110にアクセスし、データを交換してもよい。また、当業者には理解されるように、コントローラ110は、無線接続を介して、基板処理ツール100とデータを交換してもよい。

10

#### 【0018】

基板処理の例

ここで、図1、図2A~図2E、及び図3を参照すると、一実施形態によれば、基板処理ツール100は、基板上の領域選択的堆積の方法を実施及び監視するように構成されてもよい。本実施形態では、基板200は、ベース層202と、第1材料層204の露出面と、第2材料層206の露出面とを含む。一例では、基板200は、誘電体層204と金属層206とを含む。例えば、金属層206は、Cu、Al、Ta、Ti、W、Ru、Co、Ni、又はMoを含有することができる。誘電体層204は、例えば、SiO<sub>2</sub>、低誘電率誘電体材料、又は高誘電率誘電体材料を含有することができる。低誘電率誘電体材料は、SiO<sub>2</sub>の比誘電率（約4）よりも低い公称比誘電率を有する（例えば、熱的に成長した二酸化ケイ素の比誘電率は、3.8~3.9の範囲であり得る）。高誘電率材料は、SiO<sub>2</sub>の比誘電率よりも高い公称比誘電率を有する。

20

#### 【0019】

低誘電率誘電体材料は、3.7未満の比誘電率、又は1.6~3.7の範囲の比誘電率を有し得る。低誘電率誘電体材料としては、フッ素化シリコンガラス（FSG）、炭素ドーパド酸化物、ポリマー、SiCOH含有低誘電率材料、非多孔質低誘電率材料、多孔質低誘電率材料、スピノン誘電体（SOD）低誘電率材料、又は任意の他の適切な誘電体材料が挙げられ得る。低誘電率誘電体材料としては、Applied Materials, Inc. から市販されているBLACK DIAMOND（登録商標）（BD）若しくはBLACK DIAMOND（登録商標）II（BDII）SiCOH材料、又はNovellus Systems, Inc. から市販されているCoral（登録商標）CVD膜が挙げられ得る。他の市販の炭素含有材料としては、Dow Chemical から入手可能なSILK（登録商標）（例えば、SILK-I、SILK-J、SILK-H、SILK-D、及び多孔質SILK半導体誘電体樹脂）及びCYCLOTENE（登録商標）（ベンゾシクロブテン）、並びにHoneywellから入手可能なGX-3（商標）及びGX-3P（商標）半導体誘電体樹脂が挙げられる。

30

40

#### 【0020】

低誘電率誘電体材料としては、硬化又は堆積プロセス中の膜の完全緻密化を阻害して小さなボイド（又は細孔）を形成するCH<sub>3</sub>結合を有する酸化ケイ素系マトリックスなどの単相を含む多孔質無機有機ハイブリッド膜が挙げられる。また或いは、これらの誘電体層としては、硬化プロセス中に分解され、蒸発する有機材料（例えば、ポロゲン）の細孔を有する炭素ドーパド酸化ケイ素系マトリックスなどの少なくとも2相を含む多孔質無機有機ハイブリッド膜が挙げられ得る。

#### 【0021】

加えて、低誘電率材料としては、SOD技術を用いて堆積させた水素シルセスキオキサ

50

ン(HSQ)又はメチルシルセスキオキサン(MSQ)などのケイ酸塩系材料が挙げられる。このような膜の例としては、Dow Corningから市販されているFOX(登録商標)HSQ、Dow Corningから市販されているXLK多孔質HSQ、及びJSR Microelectronicsから市販されているJSR LKD-5109が挙げられる。

【0022】

当該方法は、プロセスフロー300の工程302において、基板搬送システム101に基板200を供給すること、その後、基板搬送チャンバ103に基板200を搬送することを更に含む。

【0023】

その後、工程304において、基板200は、基板計測モジュール102Cに任意選択的に搬送され、そこで、基板200は測定され、キャラクタライズされる。

【0024】

工程306において、基板200は、処理ガスで処理するために、第1基板処理チャンバ106Aに任意選択的に搬送される。例えば、処理ガスとしては、酸化性ガス又は還元ガスが挙げられ得る。いくつかの例では、酸化性ガスとしては、 $O_2$ 、 $H_2O$ 、 $H_2O_2$ 、イソプロピルアルコール、又はこれらの組み合わせを挙げることができ、還元ガスとしては、 $H_2$ ガスを挙げることができる。後の領域選択的堆積を向上させるために、酸化性ガスを使用して、第1材料層204又は第2材料層206の表面を酸化させてもよい。一例では、処理ガスは、プラズマ励起Arガスを含む又はプラズマ励起Arガスからなり得る。

【0025】

工程308において、基板200は、基板計測モジュール102Cに任意選択的に搬送され、そこで、工程306における基板200の処理が測定され、キャラクタライズされる。

【0026】

その後、基板は、第2基板処理チャンバ106Bに搬送され、そこで、工程310において、自己整合単層(SAM)が基板200上に形成される。SAMは、基板200上にSAMを形成することができる分子を含む反応ガスに曝されることにより基板200上に形成され得る。SAMは、吸着により基板表面上に自発的に形成されて、多少大きな秩序ドメインに組織化された分子集合体である。SAMは、先端基、テール基、及び官能性末端基を有する分子を含むことができ、SAMは、室温で又は室温超で気相から基板200上に先端基を化学吸着させ、その後、テール基をゆっくりと組織化させることにより形成される。最初、表面上の分子密度が小さい時には、吸着質分子は、無秩序な分子の塊を形成するか、秩序のある2次元の「横たわる相(lying down phase)」を形成するかのいずれかであり、分子による被覆範囲が広がると、数分から数時間をかけて、基板表面上に3次元の結晶構造又は半結晶構造を形成し始める。先端基は基板上に集合し、テール基は基板から離れたところに集合する。

【0027】

一実施形態によれば、SAMを形成する分子の先端基としては、チオール、シラン、又はホスホネートが挙げられ得る。シランの例としては、C、H、Cl、F、及びSi原子、又はC、H、Cl、及びSi原子を含む分子が挙げられる。分子の非限定的な例としては、パーフルオロデシルトリクロロシラン( $CF_3(CF_2)_7CH_2CH_2SiCl_3$ )、パーフルオロデカンチオール( $CF_3(CF_2)_7CH_2CH_2SH$ )、クロロデシルジメチルシラン( $CH_3(CH_2)_8CH_2Si(CH_3)_2Cl$ )、及びtert-ブチル(クロロ)ジメチルシラン( $(CH_3)_3CSi(CH_3)_2Cl$ )が挙げられる。

【0028】

基板200上のSAMの存在を用い、第2材料層206(例えば、金属層)に対して、第1材料層204(例えば、誘電体層)上への後続の選択的膜堆積を可能にしてもよい。この選択的堆積挙動は予期せぬものであり、第2材料層206上の金属酸化物の堆積を防

10

20

30

40

50

止又は低減しつつ、第1材料層204上に膜を選択的に堆積させるための新たな方法を提供する。SAM密度は、第1材料層204上に比べると第2材料層206上の方が高いと推測される。これはおそらく、第1材料層204上に比して第2材料層206上の分子の初期秩序化がより高いことによる。この第2材料層206上のより高いSAM密度は、図2BにSAM208として概略的に示される。

#### 【0029】

基板200上のSAM208の形成に続いて、工程312において、基板200は、基板計測モジュール102Cに任意選択的に搬送され、そこで、基板200上のSAM208の形成が測定され、キャラクタライズされる。

#### 【0030】

その後、基板200は、第4基板処理チャンバ106Dに搬送され、そこで、工程314において、基板200を1種以上の堆積ガスに曝すことにより、膜210（例えば、金属酸化物膜）が、SAM208を含む第2材料層206上に対して、第1材料層204上に選択的に堆積される。一例では、膜210としては、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、又は $\text{Al}_2\text{O}_3$ を含有する金属酸化物膜が挙げられ得る。膜210は、例えば、CVD、プラズマ強化CVDPEALD）、ALD、又はプラズマ強化ALD（PEALD）によって堆積させてもよい。いくつかの例では、膜210は、金属含有前駆体と酸化剤（例えば、 $\text{H}_2\text{O}$ 、 $\text{H}_2\text{O}_2$ 、プラズマ励起 $\text{O}_2$ 、又は $\text{O}_3$ ）との交互曝露を用いて、ALDにより堆積させてもよい。

#### 【0031】

図2Cに示すように、第3基板処理チャンバ106C内で1種以上の堆積ガスに曝露すると、第1材料層204上に膜210を堆積させることに加えて、SAM208上に膜核210'を堆積させることがある。この堆積選択性の喪失は、堆積プロセスがあまりにも長く行われた場合、又は第1材料層204とSAM208との間の堆積選択性が乏しい場合に生じ得る。乏しい堆積選択性は、SAM208の表面被覆が不完全であり、第2材料層206上にポイドを含有する場合にも生じ得る。

#### 【0032】

基板200上の膜210の堆積に続いて、工程316において、基板200は、基板計測モジュール102Cに搬送され、そこで、膜210の堆積が測定され、キャラクタライズされる。キャラクタリゼーションにより、堆積選択性の程度、及びSAM208から膜核210'の除去が必要かを決定することができる。

#### 【0033】

第1材料層204上に膜210を選択的に形成するために、SAM208上の膜核210'は、エッチングプロセスを使用して除去してもよい。基板200は、工程318においてエッチングプロセスを実施するために、第3基板処理チャンバ106Cに搬送される。膜210もまた、エッチングプロセスによって部分的に除去され得るが、金属酸化物核210'は、膜210よりも速くエッチングされると予想される。エッチングプロセスは、ドライエッチングプロセス、ウェットエッチングプロセス、又はこれらの組み合わせを含むことができる。一例では、エッチングプロセスは、原子層エッチング（ALE）プロセスを含み得る。図2Dに示される得られた基板200は、第1材料層204上に選択的に形成された膜210を有する。

#### 【0034】

エッチングプロセスに続いて、工程320において、基板200は、基板計測モジュール102Cに任意選択的に搬送され、そこで、基板200は測定され、キャラクタライズされる。キャラクタリゼーションにより、エッチングプロセスの程度を決定することができる。

#### 【0035】

その後、工程322において、SAM208は、例えば、第3基板処理チャンバ106C内でのエッチング若しくは洗浄により、又は第1基板処理チャンバ106A内での熱処理により、基板200から除去されてもよい。

10

20

30

40

50

## 【 0 0 3 6 】

プロセス矢印 3 2 4 により概略的に示されるように、上記の基板処理工程 3 0 4 ~ 3 2 2 は、基板 2 0 0 上の膜 2 1 0 の厚さを増すために 1 回以上繰り返されてもよい。S A M 2 0 8 が膜堆積及び/又はエッチングプロセス中に損傷し、それによって膜堆積選択性に影響を及ぼす場合、基板 2 0 0 上の S A M 2 0 8 を除去し、それに続いて堆積を繰り返すことが望ましい場合がある。

## 【 0 0 3 7 】

図 4 は、本発明の一実施形態による、統合的な基板処理及び基板計測を実施するためのプロセスフロー図である。図 1 及び図 2 A ~ 図 2 E も参照すると、図 4 のプロセスフロー図 4 0 0 は、図 3 のプロセスフロー図 3 0 0 に類似し、工程 4 0 2 において、基板処理ツ  
ール 1 0 0 内に基板 2 0 0 を供給することを含み、基板 2 0 0 は、第 1 材料層 2 0 4 の露  
出面と、第 2 材料層 2 0 6 の露出面とを含む。一例では、第 1 材料層 2 0 4 は誘電体層を  
含み、第 2 材料層 2 0 6 は金属層を含む。当該方法は、工程 4 0 4 において、任意選択的  
に、基板計測を実施すること、工程 4 0 6 において、任意選択的に、基板 2 0 0 を処理ガ  
スで処理すること、及び工程 4 0 8 において、任意選択的に、基板計測を実施すること  
を更に含む。

10

## 【 0 0 3 8 】

当該方法は、工程 4 1 0 において、基板 2 0 0 上に S A M 2 0 8 を形成すること、及び  
工程 4 1 2 において、任意選択的に、基板計測を実施することを更に含む。当該方法は、  
工程 4 1 4 において、第 1 材料層 2 0 4 上に膜 2 1 0 及び S A M 2 0 8 上に膜核 2 1 0 ' を  
堆積させること、及び工程 4 1 6 において、基板計測を実施することを更に含む。当該方  
法は、工程 4 1 8 において、S A M 2 0 8 から膜核 2 1 0 ' を除去すること、及び工程 4 2  
0 において、任意選択的に、基板計測を実施することを更に含む。4 2 2 において、任意  
選択的に、基板 2 0 0 を処理ガスで処理することを更に含む。プロセス矢印 4 2 4 により  
概略的に示されるように、上記の基板処理工程 4 1 2 ~ 4 2 2 は、基板 2 0 0 上の膜 2 1  
0 の厚さを増すために 1 回以上繰り返されてもよい。

20

## 【 0 0 3 9 】

統合的な基板処理及び基板計測を実施するように構成された基板処理ツール、並びに領  
域選択的堆積の方法を、様々な実施形態において開示してきた。本発明の実施形態の上  
述の説明は、例示及び説明を目的として提示したものである。この説明は、網羅的であ  
ること、又は開示されている厳密な形態に本発明を限定することを意図するものではない。  
本明細書及び以下の特許請求の範囲は、説明目的でのみ使用される用語を含み、限定す  
るものとして解釈されないものとする。関連する技術分野の当業者であれば、上記教示に  
照らして多くの修正及び変形が可能であることを理解することができる。当業者は、図  
に示されている様々な構成要素の様々な等価な組み合わせ及び置換を認識するであら  
う。したがって、本発明の範囲は、この詳細な説明によってではなく、むしろ本明細書  
に添付の特許請求の範囲によって限定されることを意図している。

30

40

50

【図面】

【図 1】

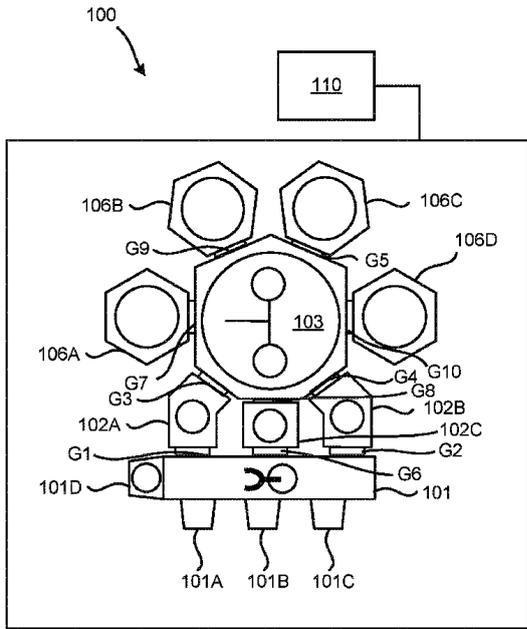


FIG. 1

【図 2 A】

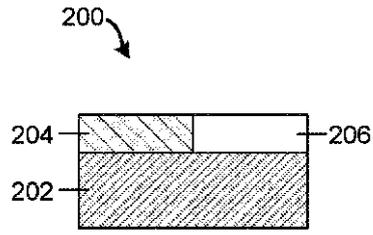


FIG. 2A

10

20

【図 2 B】

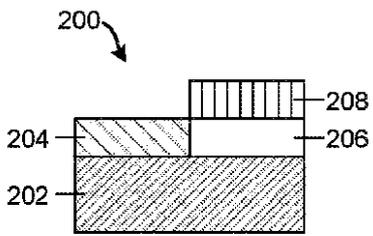


FIG. 2B

【図 2 C】

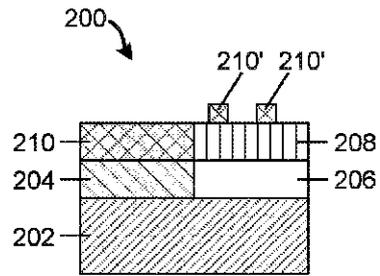


FIG. 2C

30

40

50

【図 2 D】

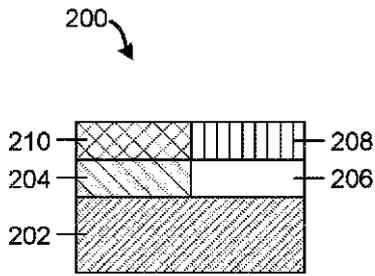


FIG. 2D

【図 2 E】

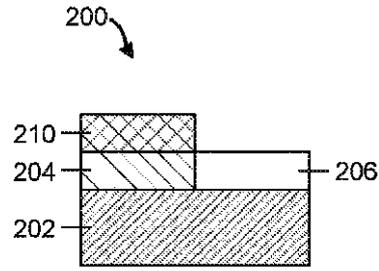
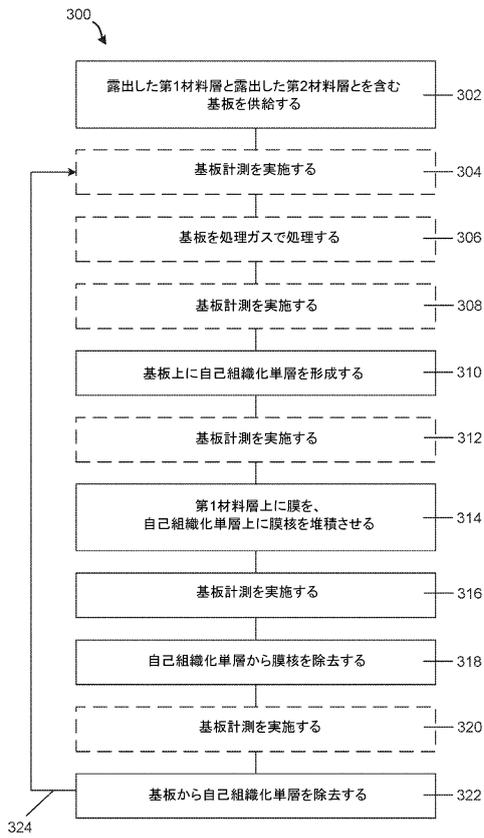


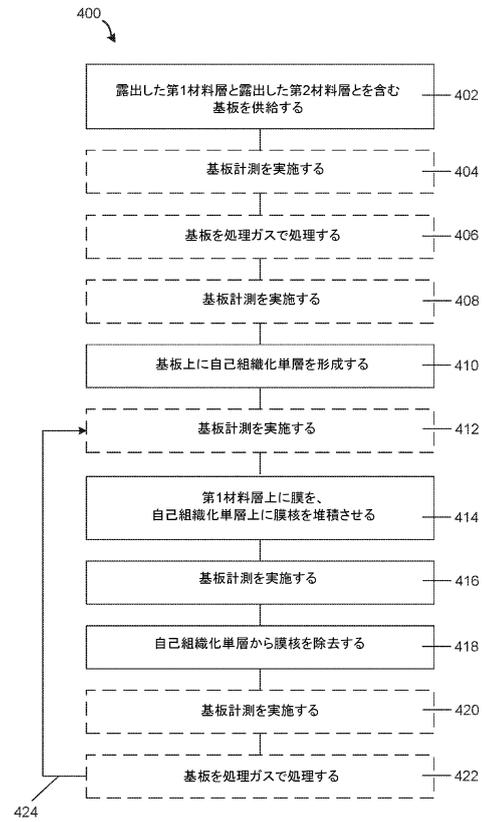
FIG. 2E

10

【図 3】



【図 4】



20

30

40

50

---

フロントページの続き

アメリカ合衆国 ニューヨーク州 12203, オールバニー, フラー ロード 255, スイート  
214, ナノファブ 300 サウス

審査官 堀江 義隆

(56)参考文献 特表2009-543355(JP, A)

特開2003-179120(JP, A)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/02

H01L 21/677

H01L 21/31