



(12) 发明专利申请

(10) 申请公布号 CN 117637731 A

(43) 申请公布日 2024. 03. 01

(21) 申请号 202311712839.3

H01L 25/07 (2006.01)

(22) 申请日 2019.01.17

H03K 17/687 (2006.01)

(30) 优先权数据

H02M 1/08 (2006.01)

2018-031148 2018.02.23 JP

H02M 1/00 (2007.01)

(62) 分案原申请数据

201980014049.3 2019.01.17

(71) 申请人 罗姆股份有限公司

地址 日本京都府

(72) 发明人 大岳浩隆

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

专利代理师 曾贤伟 李平

(51) Int. Cl.

H01L 25/18 (2023.01)

H01L 25/16 (2023.01)

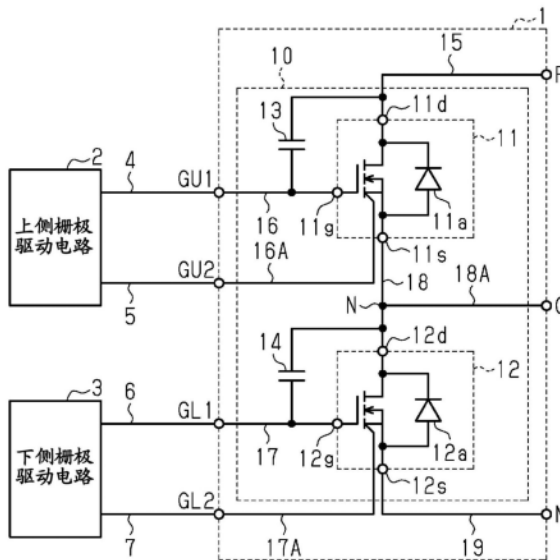
权利要求书3页 说明书42页 附图34页

(54) 发明名称

半导体装置及功率模块

(57) 摘要

本发明提供能够减小栅极-源极间电压的变动的半导体装置及功率模块。半导体装置(10)包括上侧开关元件(11)、下侧开关元件(12)、上侧电容器(13)以及下侧电容器(14)。上侧开关元件(11)及下侧开关元件(12)由宽带隙半导体构成。上侧电容器(13)在第一上侧端子(11d)与上侧控制端子(11g)之间设为与上述上侧开关元件(11)分体。下侧电容器(14)在第一下侧端子(12d)与下侧控制端子(12g)之间设为与下侧开关元件(12)分体。第二上侧端子(11s)及第一下侧端子(12d)电连接。



1. 一种半导体装置,其特征在于,具备:
开关元件,其由宽带隙半导体构成,且具有第一端子、第二端子以及控制端子;
肖特基势垒二极管,其设置成在上述第一端子与上述第二端子之间使上述第一端子连接于阴极,且由宽带隙半导体构成;以及
二极管,其阳极连接于上述第二端子,阴极连接于上述第一端子,
上述肖特基势垒二极管的正向阈值电压比上述二极管的正向阈值电压低。
2. 根据权利要求1所述的半导体装置,其特征在于,
上述二极管是上述开关元件的体二极管,
上述肖特基势垒二极管及上述开关元件形成于同一芯片。
3. 根据权利要求2所述的半导体装置,其特征在于,
设有多个上述肖特基势垒二极管,
多个上述肖特基势垒二极管在俯视下隔着预定间隔配置。
4. 根据权利要求3所述的半导体装置,其特征在于,
上述开关元件及上述肖特基势垒二极管分别设有多个,
在多个上述肖特基势垒二极管的排列方向上,上述肖特基势垒二极管和上述开关元件交替配置。
5. 根据权利要求3所述的半导体装置,其特征在于,
上述肖特基势垒二极管内置于上述开关元件,
上述肖特基势垒二极管与上述开关元件的排列方向上,上述肖特基势垒二极管的大小比上述开关元件的大小更大。
6. 根据权利要求1所述的半导体装置,其特征在于,
上述二极管是上述开关元件的体二极管,
上述肖特基势垒二极管及上述开关元件分体设置。
7. 根据权利要求1~6中任一项所述的半导体装置,其特征在于,
上述开关元件是平面栅极型VDMOSET。
8. 根据权利要求1~6中任一项所述的半导体装置,其特征在于,
上述肖特基势垒二极管及上述开关元件的上述宽带隙半导体是使用了SiC的半导体。
9. 根据权利要求1所述的半导体装置,其特征在于,
上述开关元件包括:
上侧开关元件,其具有作为上述第一端子的第一上侧端子、作为上述第二端子的第二上侧端子以及作为上述控制端子的上侧控制端子;以及
下侧开关元件,其具有作为上述第一端子的第一下侧端子、作为上述第二端子的第二下侧端子以及作为上述控制端子的下侧控制端子,
上述肖特基势垒二极管包括:
上侧肖特基势垒二极管,其设置成在上述第一上侧端子与上述第二上侧端子之间使上述第一上侧端子连接于阴极;以及
下侧肖特基势垒二极管,其设置成在上述第一下侧端子与上述第二下侧端子之间使上述第一下侧端子连接于阴极,
上述二极管包括:

上侧体二极管,其阳极连接于上述第二上侧端子,阴极连接于上述第一上侧端子;以及下侧体二极管,其阳极连接于上述第二下侧端子,阴极连接于上述第一下侧端子,上述上侧肖特基势垒二极管及上述下侧肖特基势垒二极管的正向阈值电压比上述上侧体二极管及上述下侧体二极管的正向阈值电压低。

10. 根据权利要求9所述的半导体装置,其特征在于,

上述上侧肖特基势垒二极管及上述上侧开关元件的上述宽带隙半导体是使用了SiC的半导体,

上述下侧肖特基势垒二极管及上述下侧开关元件的上述宽带隙半导体是使用了SiC的半导体。

11. 一种功率模块,其特征在于,具备:

开关元件,其由宽带隙半导体构成,且具有第一端子、第二端子以及控制端子;

肖特基势垒二极管,其设置成在上述第一端子与上述第二端子之间使上述第一端子连接于阴极,且由宽带隙半导体构成;

二极管,其阳极连接于上述第二端子,阴极连接于上述第一端子;

基板,其安装有上述开关元件及上述肖特基势垒二极管;以及

密封树脂,其将上述基板的至少一部分、上述开关元件、上述肖特基势垒二极管以及上述二极管密封,

上述肖特基势垒二极管的正向阈值电压比上述二极管的正向阈值电压低。

12. 根据权利要求11所述的功率模块,其特征在于,

上述肖特基势垒二极管及上述开关元件分别设有多个,而且以排成一行配置于上述基板上,

多个上述肖特基势垒二极管并联连接,

多个上述开关元件并联连接。

13. 根据权利要求11或12所述的功率模块,其特征在于,

上述二极管是上述开关元件的体二极管,

上述肖特基势垒二极管及上述开关元件在俯视下隔着预定间隔配置。

14. 根据权利要求11所述的功率模块,其特征在于,

上述肖特基势垒二极管内置于上述开关元件。

15. 一种功率模块,其特征在于,具备:

互相并联连接的多个上侧开关元件,其由宽带隙半导体构成,具有第一上侧端子、第二上侧端子以及上侧控制端子,并且具有阳极连接于上述第二上侧端子、阴极连接于上述第一上侧端子的上侧体二极管;

互相并联连接的多个下侧开关元件,其由宽带隙半导体构成,具有第一下侧端子、第二下侧端子以及下侧控制端子,并且具有阳极连接于上述第二下侧端子、阴极连接于上述第一下侧端子的下侧体二极管;

互相并联连接的多个上侧肖特基势垒二极管,其由宽带隙半导体构成,且阳极连接于上述第二上侧端子、阴极连接于上述第一上侧端子;

互相并联连接的多个下侧肖特基势垒二极管,其由宽带隙半导体构成,且阳极连接于上述第二下侧端子、阴极连接于上述第一下侧端子;

基板,其安装有上述上侧开关元件、上述下侧开关元件、上述上侧肖特基势垒二极管以及上述下侧肖特基势垒二极管;以及

密封树脂,其将上述基板的至少一部分、上述上侧开关元件、上述下侧开关元件、上述上侧肖特基势垒二极管以及上述下侧肖特基势垒二极管密封,

上述上侧肖特基势垒二极管及上述下侧肖特基势垒二极管各自的正向阈值电压比上述上侧体二极管及上述下侧体二极管各自的正向阈值电压低。

16. 根据权利要求15所述的功率模块,其特征在于,

上述基板具有:第一基板,其在表面安装有上述上侧开关元件以及上述上侧肖特基势垒二极管;以及第二基板,其在表面安装有上述下侧开关元件以及上述下侧肖特基势垒二极管,

在上述功率模块的俯视下的第一方向上,上述第一基板和上述第二基板并排,

上述第一基板以及上述第二基板在上述功率模块的俯视下形成为与上述第一方向正交的第二方向为长边方向的长方形,

上述多个上侧开关元件以及上述多个上侧肖特基势垒二极管在上述第二方向上互相分离地安装于上述第一基板,

上述多个下侧开关元件以及上述多个下侧肖特基势垒二极管在上述第二方向上互相分离地安装于上述第二基板,

上述多个上侧开关元件及上述多个下侧开关元件在上述第二方向上交替配置,

上述功率模块具有在其厚度方向上与上述第一基板隔开间隔地对置的输入端子部件,

上述输入端子部件具有多个连接部,

上述多个连接部配置于上述多个上侧开关元件的上述第二方向之间,且在上述第一方向上与上述多个下侧开关元件对置,

上述多个上侧开关元件的上述第二上侧端子分别通过上侧电力用连接部件电连接于上述第二基板,

上述多个下侧开关元件的上述第二下侧端子分别通过下侧电力用连接部件电连接于在上述第一方向上与上述下侧开关元件对置的连接部。

17. 根据权利要求16所述的功率模块,其特征在于,

上述多个上侧肖特基势垒二极管以及上述多个下侧肖特基势垒二极管在上述第二方向上逐个交替配置,

上述多个连接部配置于上述多个上侧肖特基势垒二极管的上述第二方向之间,且在上述第一方向上与上述多个下侧肖特基势垒二极管对置,

上述多个上侧肖特基势垒二极管的阳极分别通过上侧二极管用连接部件电连接于上述第二基板,

上述多个下侧肖特基势垒二极管的阳极分别通过下侧二极管用连接部件电连接于在上述第一方向上与上述下侧肖特基势垒二极管对置的连接部。

18. 根据权利要求15所述的功率模块,其特征在于,

上述上侧肖特基势垒二极管内置于上述上侧开关元件,

上述下侧肖特基势垒二极管内置于上述下侧开关元件。

半导体装置及功率模块

[0001] 本申请是申请日为2019年01月17日,申请号为201980014049.3,发明名称为半导体装置及功率模块的申请的分案申请。

技术领域

[0002] 本发明涉及一种半导体装置及功率模块。

背景技术

[0003] 在由开关元件构成的半桥电路中,在例如下侧开关元件从死区时间状态接通时,有时随着因下侧开关元件的漏极-源极间电压 V_{ds} 而引起的上侧开关元件的漏极-源极间电压 V_{ds} ,上侧开关元件的栅极-源极间电压 V_{gs} 变动,产生栅极误接通(例如,参照专利文献1)。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2013-99133号公报

发明内容

[0007] 发明所要解决的课题

[0008] 近年来,正在推进宽带隙半导体的研究及制造贩卖,该宽带隙半导体相比使用了硅(Si)的半导体对应于更高耐压、低导通电阻、高速开关以及高温动作,且使用了碳化硅(SiC:Silicon Carbide)等。就这样的宽带隙半导体而言,低电流区域中的台阶电压(镜像效应区域中的栅极-源极间电压)低,且栅极-源极间电容 C_{gs} 相对于栅极-漏极间电容 C_{gd} 的比 C_{gs}/C_{gd} 小,因此漏极-源极间电压 V_{ds} 的时间变化 dV_{ds}/dt 通过栅极-漏极间电容 C_{gd} 对栅极-源极间电压 V_{gs} 产生的影响大。因此,栅极-源极间电压 V_{gs} 的变动变大,因此,如果该电压浪涌沿正方向施加,则开关元件即使处于断开状态也会接通,容易进行所谓自开启,贯通电流在半桥的上下流动。另外,如果该电压浪涌沿负方向施加,则可能超过负侧的栅极额定电压。在SiC MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)中,通常根据栅极阈值变动的关系将负侧的栅极额定电压设定得小,该现象特别容易出现。

[0009] 本发明的目的在于提供一种能够减小栅极-源极间电压的变动的半导体装置及功率模块。

[0010] 用于解决课题的方案

[0011] 解决上述课题的半导体装置具有:上侧开关元件,其由宽带隙半导体构成,且具有第一上侧端子、第二上侧端子以及上侧控制端子;下侧开关元件,其由宽带隙半导体构成,且具有第一下侧端子、第二下侧端子以及下侧控制端子;上侧电容器,其在上述第一上侧端子与上述上侧控制端子之间设为与上述上侧开关元件分体;以及下侧电容器,其在上述第一下侧端子与上述下侧控制端子之间设为与上述下侧开关元件分体。上述第二上侧端子及上述第一下侧端子电连接。

[0012] 根据该结构,例如在下侧开关元件从接通状态变化到断开状态时,通过下侧电容器,下侧开关元件的漏极-源极间电压的变化速度变慢。由此,上侧开关元件的漏极-源极间电压的变化速度也变慢,因此,上侧开关元件的栅极-源极间电压的变化速度变慢。从而,上侧开关元件的栅极-源极间电压的浪涌电压的增加被抑制,因此,能够减小上侧开关元件的栅极-源极间电压的变动。另外,例如在上侧开关元件从接通状态变化到断开状态时,也同样地,下侧开关元件的栅极-源极间电压的浪涌电压的增加被抑制,因此能够减小下侧开关元件的栅极-源极间电压的变动。

[0013] 另外,解决上述课题的功率模块具备:基板;上侧开关元件,其由宽带隙半导体构成,具有第一上侧端子、第二上侧端子以及上侧控制端子,且安装于上述基板;下侧开关元件,其由宽带隙半导体构成,具有第一下侧端子、第二下侧端子以及下侧控制端子,且安装于上述基板;上侧电容器,其设为与上述上侧开关元件分体,且设于上述第一上侧端子与上述上侧控制端子之间;下侧电容器,其设为与上述下侧开关元件分体,且设于上述第一下侧端子与上述下侧控制端子之间;以及密封树脂,其将上述上侧开关元件、上述下侧开关元件、上述上侧电容器以及上述下侧电容器密封。上述第二上侧端子及上述第一下侧端子电连接。

[0014] 根据该结构,例如在下侧开关元件从接通状态变化到断开状态时,通过下侧电容器,下侧开关元件的漏极-源极间电压的变化速度变慢。由此,上侧开关元件的漏极-源极间电压的变化速度也变慢,因此,上侧开关元件的栅极-源极间电压的变化速度变慢。从而,上侧开关元件的栅极-源极间电压的浪涌电压的增加被抑制,因此能够减小上侧开关元件的栅极-源极间电压的变动。另外,例如在上侧开关元件从接通状态变化到断开状态时,也同样地,下侧开关元件的栅极-源极间电压的浪涌电压的增加被抑制,因此能够减小下侧开关元件的栅极-源极间电压的变动。

[0015] 另外,解决上述课题的功率模块具有:基板;开关元件,其由宽带隙半导体构成,具有第一端子、第二端子、以及控制上述第一端子与上述第二端子之间的开关的控制端子;电容器,其在上述第一端子与上述控制端子之间设为与上述开关元件分体;以及密封树脂,其将上述开关元件及上述电容器密封。

[0016] 另外,解决上述课题的功率模块具有:上侧开关元件,其由宽带隙半导体构成,具有第一上侧端子、第二上侧端子以及上侧控制端子;下侧开关元件,其由宽带隙半导体构成,具有第一下侧端子、第二下侧端子以及下侧控制端子;上侧二极管,其由宽带隙半导体构成,阳极与上述第二上侧端子连接,阴极与上述第一上侧端子连接;下侧二极管,其由宽带隙半导体构成,阳极与上述第二下侧端子连接,阴极与上述第一下侧端子连接;以及基板,其安装有上述上侧开关元件、上述下侧开关元件、上述上侧二极管以及上述下侧二极管的每一个,上述上侧二极管的正向阈值电压比上述上侧开关元件的体二极管的正向阈值电压低,且上述上侧二极管的能够容许的DC额定电流低于上述上侧开关元件的体二极管的能够容许的DC额定电流,上述下侧二极管的正向阈值电压比上述下侧开关元件的体二极管的正向阈值电压低,且上述下侧二极管的能够容许的DC额定电流低于上述下侧开关元件的体二极管能够容许的DC额定电流。

[0017] 另外,解决上述课题的功率模块具有:开关元件,其由宽带隙半导体构成,具有第一端子、第二端子以及控制端子;二极管,其由宽带隙半导体构成,阳极与上述第二端子连

接,阴极与上述第一端子连接;以及基板,其安装有上述开关元件及上述二极管,上述二极管的正向阈值电压比上述开关元件的体二极管的正向阈值电压低,且上述二极管的能够容许的DC额定电流低于上述开关元件的体二极管能够容许的DC额定电流。

[0018] 根据该结构,例如在下侧开关元件从接通状态变化到断开状态时,即使上侧开关元件的漏极-源极间电压降低到负侧,上侧开关元件的漏极-源极间电压的降低也被保持在上侧二极管的正向阈值电压。此时,漏极-源极间电压的变动期间变短,因此栅极-源极间电压的变动期间变短。从而,能够减小栅极-源极间电压的变动。

[0019] 发明效果

[0020] 根据上述半导体装置及功率模块,能够减小栅极-源极间电压的变动。

附图说明

[0021] 图1是表示具有第一实施方式的半导体装置的功率模块及其驱动电路的示意性电路图。

[0022] 图2是功率模块的立体图。

[0023] 图3是表示功率模块的内部结构的俯视图。

[0024] 图4是功率模块的仰视图。

[0025] 图5中的(a)是开关元件的俯视图,(b)是(a)的一部分的内部放大图。

[0026] 图6是开关元件的剖视图。

[0027] 图7是表示比较例的功率模块的应用的示意性电路图。

[0028] 图8是表示上侧开关元件及下侧开关元件的寄生电容及寄生电阻的示意图。

[0029] 图9是表示使下侧开关元件从断开状态变化到接通状态时的下侧开关元件的漏极-源极间电压的变化和上侧开关元件的漏极-源极间电压、漏极-栅极间电压以及栅极-源极间电压的变化的示意性电路图。

[0030] 图10是表示使下侧开关元件从接通状态变化到断开状态时的下侧开关元件的漏极-源极间电压的变化和上侧开关元件的漏极-源极间电压、漏极-栅极间电压以及栅极-源极间电压的变化的示意性电路图。

[0031] 图11是表示使下侧开关元件从接通状态变化到断开状态时的下侧开关元件的漏极-源极间电压、上侧开关元件的漏极-源极间电压以及栅极-源极间电压的推移的图表。

[0032] 图12是关于上侧开关元件及下侧开关元件的栅极-源极间电容及栅极-漏极间电容,表示漏极-源极间电压与电容的关系的图表。

[0033] 图13是表示上侧电容器及下侧电容器的电容器的端子间电压与电容的关系的图表。

[0034] 图14是表示在功率模块中,上侧开关元件及下侧开关元件的栅极-源极间电容及栅极-漏极间电容、和包括了上侧电容器及下侧电容器的电容器电电容的图表。

[0035] 图15是用于进行第一实施方式的功率模块的模拟的电路图。

[0036] 图16是图7的比较例的功率模块和图15的功率模块的模拟结果,是表示负侧的浪涌电压与开关损耗的关系的图表。

[0037] 图17是第二实施方式的功率模块的示意性电路图。

[0038] 图18是功率模块的立体图。

- [0039] 图19是表示功率模块的内部结构的分解立体图。
- [0040] 图20是表示功率模块的内部结构的俯视图。
- [0041] 图21是功率模块的仰视图。
- [0042] 图22是将图20的功率模块的第二基板的一部分用沿着第二方向及第三方向的平面切割后的剖视图。
- [0043] 图23是将图20的功率模块的第一基板的一部分用沿着第一方向及第三方向的平面切割后的剖视图。
- [0044] 图24是将图20的功率模块的一部分用沿着第一方向及第三方向的平面切割后的剖视图。
- [0045] 图25是二极管的俯视图。
- [0046] 图26是二极管的一部分的剖视图。
- [0047] 图27是表示在比较例的功率模块中,使下侧开关元件从接通状态变化到断开状态时的上侧开关元件及下侧开关元件各自的漏极-源极间电压的推移的图表。
- [0048] 图28是表示在第二实施方式的功率模块中,使下侧开关元件从接通状态变化到断开状态时的上侧开关元件及下侧开关元件各自的漏极-源极间电压的推移的图表。
- [0049] 图29是用于进行第二实施方式的功率模块的模拟的电路图。
- [0050] 图30是图7的比较例的功率模块和图29的功率模块的模拟结果,是表示负侧的浪涌电压与开关损耗的关系的图表。
- [0051] 图31关于第三实施方式的功率模块,(a)是MIS晶体管的俯视图,(b)是(a)的一部分的内部放大图。
- [0052] 图32是图31的A—A截面、B—B截面以及C—C截面的各剖视图。
- [0053] 图33是表示功率模块的内部结构的俯视图。
- [0054] 图34是用于进行第三实施方式的功率模块的模拟的电路图。
- [0055] 图35是图7的比较例的功率模块和图34的功率模块的模拟结果,是表示负侧的浪涌电压和开关损耗的关系的图表。
- [0056] 图36是第四实施方式的功率模块的示意性电路图。
- [0057] 图37是表示功率模块的内部结构的俯视图。
- [0058] 图38是用于进行第四实施方式的功率模块的模拟的电路图。
- [0059] 图39是图7的比较例的功率模块和图38的功率模块的模拟结果,是表示负侧的浪涌电压与开关损耗的关系的图表。
- [0060] 图40是变形例的功率模块的下侧岛部及其周边的俯视图。
- [0061] 图41是变形例的功率模块的下侧岛部及其周边的俯视图。
- [0062] 图42是表示变形例的功率模块的内部结构的俯视图。
- [0063] 图43中的(a)(b)是变形例的开关元件的剖视图。
- [0064] 图44是应用功率模块的全桥型逆变器的示意性电路图。
- [0065] 图45是应用功率模块的三相交流逆变器的示意性电路图。

具体实施方式

- [0066] 以下,参照附图对半导体装置及功率模块的各实施方式进行说明。以下所示的各

实施方式例示用于将技术思想具体化的结构、方法,并非将各结构零件的材质、形状、构造、配置、尺寸等限定于下记。以下的各实施方式能够添加各种变更。

[0067] 在本说明书中,“部件A与部件B连接的状态”包括部件A和部件B物理上直接连接的情况以及部件A及部件B经由对电连接状态不产生影响的其它部件间接地连接的情况。

[0068] 同样地,“部件C设于部件A与部件B之间的状态”包括部件A和部件C或者部件B和部件C直接连接的情况以及部件A和部件C或者部件B和部件C经由对电连接状态不产生影响的其它部件间接地连接的情况。

[0069] (第一实施方式)

[0070] 如图1所示,在功率模块1及其驱动电路中,功率模块1具有多个端子。就功率模块1而言,如图1所示,作为多个端子,具有成为正侧的第一输入端子P、成为负侧的第二输入端子N、输出端子O、第一上侧控制端子GU1、第二上侧控制端子GU2、第一下侧控制端子GL1以及第二下侧控制端子GL2。第一输入端子P能够与生成电源电压VDD的电源(图示略)电连接。第二输入端子N能够电连接于大地。

[0071] 半导体装置10具备串联连接上侧开关元件11及下侧开关元件12的半桥电路。上侧开关元件11及下侧开关元件12使用4H—SiC(击穿电场约为 2.8MV/cm ,带隙的宽度约为 3.26eV 的宽带隙半导体)。此外,用于上侧开关元件11及下侧开关元件12的宽带隙半导体不限于碳化硅(SiC),也可以是氮化镓(GaN)、氧化镓(Ga_2O_3)、金刚石等。就氮化镓(GaN)而言,其击穿电场约为 3MV/cm ,带隙的宽度约为 3.42eV 。就氧化镓(Ga_2O_3)而言,其击穿电场约为 8MV/cm ,带隙的宽度约为 4.8eV 。就金刚石而言,其击穿电场约为 8MV/cm ,带隙的宽度约为 5.47eV 。上侧开关元件11及下侧开关元件12的一例是SiC MOSFET(metal-oxide-semiconductor field-effect transistor)。

[0072] 上侧开关元件11具有作为第一上侧端子的一例的漏极端子11d、作为第二上侧端子的一例的源极端子11s、以及作为上侧控制端子的一例的栅极端子11g。下侧开关元件12具有作为第一下侧端子的一例的漏极端子12d、作为第二下侧端子的一例的源极端子12s、以及作为下侧控制端子的一例的栅极端子12g。

[0073] 上侧开关元件11及下侧开关元件12各自的个数能够任意变更。例如,上侧开关元件11及下侧开关元件12各自的个数以成为预先设定的接通电阻的方式设定。在设有多个上侧开关元件11的情况下,多个上侧开关元件11互相并联连接。即,多个上侧开关元件11的漏极端子11d互相连接,多个上侧开关元件11的源极端子11s互相连接,多个上侧开关元件11的栅极端子11g互相连接。另外,在设有多个下侧开关元件12的情况下,多个下侧开关元件12互相并联连接。即,多个下侧开关元件12的漏极端子12d互相连接,多个下侧开关元件12的源极端子12s互相连接,多个下侧开关元件12的栅极端子12g互相连接。在本实施方式中,设有两个上侧开关元件11,且设有两个下侧开关元件12。

[0074] 上侧开关元件11的漏极端子11d经由第一配线15与第一输入端子P电连接。由此,向上侧开关元件11的漏极端子11d供给电源电压VDD。上侧开关元件11的源极端子11s经由第四配线18与下侧开关元件12的漏极端子12d连接。在第四配线18中,上侧开关元件11的源极端子11s与下侧开关元件12的漏极端子12d之间的节点N经由输出配线18A与输出端子O电连接。上侧开关元件11的栅极端子11g经由第二配线16与第一上侧控制端子GU1电连接。第一上侧控制端子GU1经由第一上侧配线4与上侧栅极驱动电路2电连接。上侧栅极驱动电路2

根据来自未图示的控制电路的指令向栅极端子11g输出用于使上侧开关元件11动作的栅极驱动信号。上侧开关元件11的源极经由上侧感测配线16A与第二上侧控制端子GU2电连接。第二上侧控制端子GU2通过第二上侧配线5与上侧栅极驱动电路2连接。

[0075] 下侧开关元件12的源极端子12s经由第五配线19与第二输入端子N电连接。由此，下侧开关元件12的源极端子12s电连接于大地。下侧开关元件12的栅极端子12g经由第三配线17与第一下侧控制端子GL1电连接。第一下侧控制端子GL1经由第一下侧配线6与下侧栅极驱动电路3电连接。下侧栅极驱动电路3根据来自未图示的控制电路的指令向栅极端子12g输出用于使下侧开关元件12动作的栅极驱动信号。上侧栅极驱动电路2及下侧栅极驱动电路3以使上侧开关元件11及下侧开关元件12互补地进行接通断开动作的方式控制上侧开关元件11及下侧开关元件12。下侧开关元件12的源极经由下侧感测配线17A与第二下侧控制端子GL2电连接。第二下侧控制端子GL2通过第二下侧配线7与下侧栅极驱动电路3连接。

[0076] 如图1所示，上侧栅极驱动电路2、下侧栅极驱动电路3、第一上侧配线4、第二上侧配线5、第一下侧配线6以及第二下侧配线7设于功率模块1的外部。此外，上侧栅极驱动电路2及下侧栅极驱动电路3中的至少一方也可以设于功率模块1的内部。另外，功率模块1也可以通过组合上下两个功率模块而构成。

[0077] 半导体装置10具有上侧电容器13及下侧电容器14。如图1及图3所示，上侧电容器13设为与上侧开关元件11分体。下侧电容器14设为与下侧开关元件12分体。上侧电容器13及下侧电容器14的一例是陶瓷电容器、薄膜电容器、反铁电电容器等，但也可以通过功率模块1内的杂散电容形成。上侧电容器13及下侧电容器14的电容分别是几十pF左右。上侧电容器13优选构成为，在上侧开关元件11的漏极端子11d与源极端子11s之间的电压即漏极-源极间电压 V_{dsu} 为正的值的条件下，其电容增加。下侧电容器14优选构成为，在下侧开关元件12的漏极端子12d与源极端子12s之间的电压即漏极-源极间电压 V_{dsl} 为正的值的条件下，其电容增加。从该观点出发，本实施方式的上侧电容器13及下侧电容器14使用反铁电电容器。反铁电电容器具有如下特性：当施加正的电压时，电容增加。

[0078] 上侧电容器13设于上侧开关元件11的漏极端子11d与栅极端子11g之间。详细来说，上侧电容器13的第一端子与将漏极端子11d和第一输入端子P相连的第一配线15连接。上侧电容器13的第二端子与将栅极端子11g和第一上侧控制端子GU1相连的第二配线16连接。

[0079] 下侧电容器14设于下侧开关元件12的漏极端子12d与栅极端子12g之间。详细来说，下侧电容器14的第一端子连接于漏极端子12d与上侧开关元件11的源极端子11s之间。更详细来说，下侧电容器14的第一端子在第四配线18连接于节点N与下侧开关元件12的漏极端子12d之间的部分。下侧电容器14的第二端子与将栅极端子12g和第一下侧控制端子GL1相连的第三配线17连接。

[0080] 图2~图4示出了功率模块1的结构的一例。功率模块1的结构不限于图2~图4所示的结构，能够进行各种变更。

[0081] 如图2~图4所示，功率模块1具有：安装有上侧开关元件11、下侧开关元件12、上侧电容器13以及下侧电容器14的基板20；以及将上侧开关元件11、下侧开关元件12、上侧电容器13、下侧电容器14以及基板20的一部分密封的密封树脂40。另外，就功率模块1而言，作为端子部件的一例，具有构成第一输入端子P的第一输入端子部件30、构成第二输入端子N的

第二输入端子部件31、构成输出端子0的输出端子部件32、构成第一上侧控制端子GU1的第一上侧控制端子部件33、构成第二上侧控制端子GU2的第二上侧控制端子部件34、构成第一下侧控制端子GL1的第一下侧控制端子部件35、以及构成第二下侧控制端子GL2的第二下侧控制端子部件36。

[0082] 基板20具有作为支撑基板的一例的平板状的陶瓷基板21。在陶瓷基板21的表面侧设有输出配线部22、成为正侧的第一输入配线部23、成为负侧的第二输入配线部24、第一上侧控制配线部25、第二上侧控制配线部26、第一下侧控制配线部27以及第二下侧控制配线部28。各配线部22~28分别由铜(Cu)构成。在之后的说明中,将基板20的纵向规定为“第一方向X”,将基板20的横向规定为“第二方向Y”。第二方向Y为在功率模块1的俯视下与第一方向X正交的方向。

[0083] 输出配线部22设于第二方向Y上的陶瓷基板21的中央。输出配线部22在俯视下形成为大致L字状。输出配线部22具有沿第一方向X延伸的第一部分22a和沿第二方向Y延伸的第二部分22b。第二部分22b设于第一部分22a的第一方向X的端部。第一部分22a的宽度尺寸(第二方向Y上的第一部分22a的长度)大于第二部分22b的宽度尺寸(第一方向X上的第二部分22b的长度)。第一部分22a位于陶瓷基板21的第二方向Y的中央。第二部分22b位于陶瓷基板21的第一方向X的端部,且从第一部分22a朝向各上侧控制端子部件33、34所处的侧沿着第二方向Y延伸。在第二部分22b连接有输出端子部件32。输出端子部件32位于陶瓷基板21的第二方向Y的中央。

[0084] 第一输入配线部23设为与输出配线部22相邻。第一输入配线部23在俯视下形成为大致L字状。第一输入配线部23具有沿第一方向X延伸的第一部分23a和沿第二方向Y延伸的第二部分23b。第一部分23a相对于输出配线部22的第一部分22a在各上侧控制端子部件33、34所处的侧配置成在第二方向Y上与第一部分22a隔着间隙相邻。第一部分23a的输出端子部件32侧的端部以在第一方向X上与输出配线部22的第二部分22b隔开间隙相邻的方式定位。第二部分23b设于第一部分23a的第一方向X的端部。第二部分23b从第一方向X覆盖输出配线部22的第一部分22a的与配置有输出端子部件32的侧相反的侧的端部的一部分。在第二部分23b连接有第一输入端子部件30。第一部分23a的宽度尺寸(第二方向Y上的第一部分23a的长度)大于第二部分23b的宽度尺寸(第一方向X上的第二部分23b的长度)。第一部分23a的宽度尺寸小于输出配线部22的第一部分22a的宽度尺寸。

[0085] 第二输入配线部24设为与输出配线部22相邻。第二输入配线部24在俯视下形成为大致T字状。第二输入配线部24具有沿第一方向X延伸的第一部分24a和沿第二方向Y延伸的第二部分24b。第一部分24a相对于输出配线部22的第一部分22a在各下侧控制端子部件35、36所处的侧配置成在第二方向Y上与第一部分22a隔着间隙相邻。如图3所示,在第二方向Y上,输出配线部22的第一部分22a配置为被第一输入配线部23的第一部分23a和第二输入配线部24的第一部分24a夹着。第二部分24b设于第一部分24a的第一方向X的端部。第二部分24b在第二方向Y上从第一部分24a的两侧突出。第一部分24a的宽度尺寸(第二方向Y上的第一部分24a的长度)大于第二部分24b的宽度尺寸(第一方向X上的第二部分24b的长度)。第一部分24a的宽度尺寸小于输出配线部22的第一部分22a的宽度尺寸及第一输入配线部23的第一部分23a的宽度尺寸。第一部分24a的第一方向X的长度比输出配线部22的第一部分22a的第一方向X的长度及第一输入配线部23的第一部分23a的第一方向X的长度长。第二部

分24b的第一方向X的位置与第一输入配线部23的第二部分23b的第一方向X的位置相等。第二部分24b中的比第一部分24a向第一输入配线部23侧突出的部分从第一方向X覆盖输出配线部22的第一部分22a的与配置有输出端子部件32的侧相反的侧的端部的一部分。

[0086] 第一上侧控制配线部25设于陶瓷基板21的配置有各上侧控制端子部件33、34的侧的端部。第一上侧控制配线部25相对于第一输入配线部23的第一部分23a在配置有各上侧控制端子部件33、34的侧设置成与第一部分23a在第二方向Y上相邻。第一上侧控制配线部25具有沿第一方向X延伸的第一部分25a、沿第二方向Y延伸的第二部分25b、以及连接第一部分25a和第二部分25b的弯曲部25c。在第一部分25a的弯曲部25c侧的端部形成有在第二方向Y上向第一输入配线部23侧凹陷的凹部25d。即，第一部分25a的形成有凹部25d的部分的宽度尺寸(第二方向Y上的第一部分25a的长度)小于第一部分25a的其它部分的宽度尺寸(第二方向Y上的第一部分25a的长度)。第一部分25a的第一方向X的长度比第一输入配线部23的第一部分23a的第一方向X的长度短。在第二部分25b的前端部连接有第一上侧控制端子部件33。第一上侧控制端子部件33沿第二方向Y延伸。

[0087] 第二上侧控制配线部26设于陶瓷基板21的配置有各上侧控制端子部件33、34的侧的端部。第二上侧控制配线部26相对于第一上侧控制配线部25在配置有各上侧控制端子部件33、34的侧设置成与第一上侧控制配线部25在第二方向Y上相邻。在第二上侧控制配线部26的与第一上侧控制配线部25的凹部25d在第二方向Y上对置的部分设有朝向凹部25d延伸的连接部26a。连接部26a在第一方向X上被第一上侧控制配线部25的第二部分25b覆盖。在连接部26a连接有第二上侧控制端子部件34。第二上侧控制端子部件34沿第二方向Y延伸。

[0088] 第一下侧控制配线部27设于陶瓷基板21的配置有各下侧控制端子部件35、36的侧的端部。第一下侧控制配线部27相对于第二输入配线部24的第一部分24a在配置有各下侧控制端子部件35、36的侧设置成与第一部分24a在第二方向Y上相邻。第一下侧控制配线部27具有沿第一方向X延伸的第一部分27a、沿第二方向Y延伸的第二部分27b、以及连接第一部分27a和第二部分27b的弯曲部27c。在第一部分27a的弯曲部27c侧的端部形成有在第二方向Y上向第二输入配线部24侧凹陷的凹部27d。即，第一部分27a的形成有凹部27d的部分的宽度尺寸(第二方向Y上的第一部分27a的长度)小于第一部分27a的其它部分的宽度尺寸(第二方向Y上的第一部分27a的长度)。第一部分27a的第一方向X的长度比第二输入配线部24的第一部分24a的第一方向X的长度及输出配线部22的第一部分22a的第一方向X的长度短。在第二部分27b的前端部连接有第一下侧控制端子部件35。第一下侧控制端子部件35沿第二方向Y延伸。

[0089] 第二下侧控制配线部28设于陶瓷基板21的配置有各下侧控制端子部件35、36的侧的端部。第二下侧控制配线部28相对于第一下侧控制配线部27在配置有各下侧控制端子部件35、36的侧设置成与第一下侧控制配线部27在第二方向Y上相邻。在第二下侧控制配线部28的与第一下侧控制配线部27的凹部27d在第二方向Y上对置的部分设有朝向凹部27d延伸的连接部28a。连接部28a在第一方向X上被第一下侧控制配线部27的第二部分27b覆盖。在连接部28a连接有第二下侧控制端子部件36。第二下侧控制端子部件36沿第二方向Y延伸。

[0090] 在陶瓷基板21的表面侧设有上侧岛部37及下侧岛部38。上侧岛部37及下侧岛部38各自的形状是第一方向X为长边方向的长方形。上侧岛部37及下侧岛部38例如由铜(Cu)构成。

[0091] 上侧岛部37设于陶瓷基板21的配置有各上侧控制端子部件33、34的侧的端部。上侧岛部37在第一方向X上设于比各上侧控制配线部25、26靠第一输入端子部件30侧。详细来说,上侧岛部37设为在第一方向X上与第一上侧控制配线部25的第二部分25b及弯曲部25c隔开间隙相邻,且在第二方向Y上与第一输入配线部23的第一部分23a隔开间隙相邻。上侧岛部37和第一输入配线部23通过一根或多根上侧连接用线39U电连接。在本实施方式中,通过两根上侧连接用线39U将上侧岛部37和第一输入配线部23电连接。上侧连接用线39U例如由铝(A1)构成。上侧连接用线39U的线径优选大于上侧控制用线45(下侧控制用线47)的线径,例如与上侧电力用线(下侧电力用线46)的线径相等。

[0092] 下侧岛部38设于陶瓷基板21的配置有各下侧控制端子部件35、36的侧的端部。下侧岛部38在第一方向X上设于比各下侧控制配线部27、28靠输出端子部件32侧。详细来说,下侧岛部38设为在第一方向X上与第一下侧控制配线部27的第二部分27b及弯曲部27c隔开间隙相邻,且在第二方向Y上与第二输入配线部24的第一部分24a隔开间隙相邻。下侧岛部38和输出配线部22通过一根或多根下侧连接用线39L电连接。在本实施方式中,通过两根下侧连接用线39L将下侧岛部38和输出配线部22电连接。下侧连接用线39L设置成在第二方向Y上横跨第二输入配线部24的第一部分24a。下侧连接用线39L例如由铝(A1)构成。下侧连接用线39L的线径优选大于上侧控制用线45(下侧控制用线47)的线径,例如与上侧电力用线44(下侧电力用线46)的线径相等。

[0093] 两个上侧开关元件11分别形成为芯片状,安装于第一输入配线部23的第一部分23a。两个上侧开关元件11沿着第一方向X互相隔开间隙地定位。即,两个上侧开关元件11在第一方向X上互相分离地安装于第一输入配线部23。各上侧开关元件11位于第一输入配线部23的第一部分23a的第二方向Y的中央。另外,各上侧开关元件11在第一方向X上位于比各上侧控制端子部件33、34靠输出端子部件32侧。更详细来说,各上侧开关元件11在第一方向X上位于比第一上侧控制配线部25的凹部25d靠输出端子部件32侧。

[0094] 各上侧开关元件11具有构成第一上侧端子(漏极端子)的漏电极(图示略)、构成第二上侧端子(源极端子)的源电极41、以及构成上侧控制端子(栅极端子)的栅电极42(一并参照图5(a))。漏电极设于上侧开关元件11的安装于第一输入配线部23的背面。源电极41及栅电极42设于上侧开关元件11的与背面相反的侧的表面。如图5(a)所示,在上侧开关元件11的表面的外周部设有护圈43。源电极41及栅电极42设于护圈43的内部。源电极41占据护圈43内的大部分面积。源电极41分离成两个电极。源电极41具有以从护圈43分离的方式凹陷的凹部41a。在由凹部41a和护圈43包围的区域设有栅电极42。

[0095] 如图3所示,各上侧开关元件11的源电极41(参照图5(a))作为上侧电力用连接部件的一例通过多根上侧电力用线44与输出配线部22的第一部分22a电连接。在本实施方式中,通过四根上侧电力用线44将上侧开关元件11的源电极41和输出配线部22电连接。上侧电力用线44例如由铝(A1)构成。另外,各上侧开关元件11的源电极41作为上侧控制用连接部件的一例,通过一根或多根上侧控制用线45与第二上侧控制配线部26电连接。上侧控制用线45设置成沿第二方向Y横跨第一上侧控制配线部25的第一部分25a。上侧控制用线45例如由铝(A1)构成。上侧电力用线44的线径大于上侧控制用线45的线径。上侧电力用线44的线径的一例是 $\phi 400\mu\text{m}$,上侧控制用线45的线径的一例是 $\phi 150\mu\text{m}$ 。各上侧开关元件11的栅电极42通过一根或多根上侧控制用线45与第一上侧控制配线部25的第一部分25a电连接。

这样,两个上侧开关元件11的漏极电连接于共通的第一输入配线部23,两个上侧开关元件11的源电极41电连接于共通的输出配线部22,因此,两个上侧开关元件11互相并联连接。此外,上侧电力用连接部件例如也可以是CIC(Cu/Inver/Cu)的引线框等。

[0096] 两个下侧开关元件12分别形成于芯片状,安装于输出配线部22的第一部分22a。两个下侧开关元件12沿着第一方向X互相隔开间隙而定位。即,两个下侧开关元件12在第一方向X上互相分离地安装于输出配线部22。两个下侧开关元件12分别安装成在第一方向X上成为与两个上侧开关元件11相同的位置。各下侧开关元件12在第二方向Y上位于输出配线部22的第一部分22a的第二输入配线部24侧。由此,在输出配线部22的第一部分22a中能够确保供多根上侧电力用线44连接的区域。

[0097] 两个下侧开关元件12是与上侧开关元件11相同的构造。即,各下侧开关元件12具有漏电极(图示略)、源电极41、栅电极42以及护圈43。

[0098] 如图3所示,各下侧开关元件12的源电极41作为下侧电力用连接部件的一例,通过多根下侧电力用线46与第二输入配线部24的第一部分24a电连接。在本实施方式中,通过四根下侧电力用线46将下侧开关元件12的源电极41和第二输入配线部24电连接。下侧电力用线46例如由铝(A1)构成。下侧电力用线46的线径与上侧电力用线44的线径相等。另外,各下侧开关元件12的源电极41作为下侧控制用连接部件的一例,通过一根或多根下侧控制用线47与第二下侧控制配线部28电连接。下侧控制用线47例如由铝(A1)构成。下侧控制用线47的线径与上侧控制用线45的线径相等。与各下侧开关元件12的源电极41连接的下侧控制用线47设为沿第二方向Y横跨第二输入配线部24的第一部分24a及第一下侧控制配线部27的第一部分27a。各下侧开关元件12的栅电极42通过一根或多根下侧控制用线47与第一下侧控制配线部27的第一部分27a电连接。与栅电极42连接的下侧控制用线47设为横跨第二输入配线部24的第一部分24a。这样,两个下侧开关元件12的漏极电连接于共通的输出配线部22,两个下侧开关元件12的源电极41电连接于共通的第二输入配线部24,因此,两个下侧开关元件12互相并联连接。此外,下侧电力用连接部件例如也可以是CIC(Cu/Inver/Cu)的引线框等。

[0099] 上侧电容器13安装于第一上侧控制配线部25的弯曲部25c和上侧岛部37。详细来说,上侧电容器13的第一端子安装于第一上侧控制配线部25的弯曲部25c,上侧电容器13的第二端子安装于上侧岛部37。如图3所示,上侧电容器13的第二端子位于上侧岛部37的第一输入配线部23的第一部分23a侧的端部。这样,上侧电容器13将多个上侧开关元件11的共通的漏极端子11d(漏极)和多个上侧开关元件11的共通的栅极端子11g(栅极)电连接。

[0100] 下侧电容器14安装于第一下侧控制配线部27的弯曲部27c和下侧岛部38。详细来说,下侧电容器14的第一端子安装于第一下侧控制配线部27的弯曲部27c,下侧电容器14的第二端子安装于下侧岛部38。如图3所示,下侧电容器14的第二端子位于下侧岛部38的第二输入配线部24的第一部分24a侧的端部。这样,下侧电容器14将多个下侧开关元件12的共通的漏极端子12d(漏极)和多个下侧开关元件12的共通的栅极端子12g(栅极)电连接。

[0101] 如图4所示,在陶瓷基板21的背面侧设有从密封树脂40露出的散热板29。散热板29由铜(Cu)构成。散热板29的板厚比陶瓷基板21的板厚更厚。散热板29形成为与陶瓷基板21的形状相似的形状。散热板29的外周缘位于比陶瓷基板21的外周缘靠内侧。由此,密封树脂40环绕于陶瓷基板21的背面侧,因此陶瓷基板21与密封树脂40的密合性提高。此外,就散热

板29而言,也可以假定与冷却器等连接,利用镍(Ni)或银(Ag)对表面进行镀敷。

[0102] (上侧开关元件及下侧开关元件的构造)

[0103] 接下来,对上侧开关元件11及下侧开关元件12的构造进行说明。图5及图6示出了上侧开关元件11的构造的一例。此外,上侧开关元件11及下侧开关元件12是相同的构造。因此,也可以说,图5及图6示出下侧开关元件12的构造的一例。另外,以下,对上侧开关元件11的构造进行说明,省略下侧开关元件12的构造的说明。此外,上侧开关元件11及下侧开关元件12的构造不限于图5及图6所示的构造,能够进行各种变更。

[0104] 上侧开关元件11是使用了碳化硅(SiC)的平面栅极型VDMOSFET(Vertical Double implanted MOSFET),在如图5(a)所示的俯视下为正方形的芯片状。

[0105] 如图6所示,具有 n^+ 型的SiC基板50。在本实施方式中, SiC基板50作为上侧开关元件11的漏极发挥功能,其表面50A(上表面)是硅面(Si面),其背面50B(下表面)是碳面(C面)。

[0106] 在SiC基板50上层叠有由浓度比SiC基板50低的 n^- 型的SiC构成的外延层51。作为半导体层的外延层51将Si面作为成长主面成长。因此,通过外延成长形成的外延层51的表面51A与SiC基板50的表面50A同样地是Si面。

[0107] 如图5(a)所示,在上侧开关元件11形成有俯视下配置于外延层51(参照图6)上的中央部且作为场效应晶体管发挥功能的活性区域52。在外延层51,以包围活性区域52的方式从活性区域52隔开间隔地形成有多个护圈43(在图5(b)中添加剖面线表示)。在本实施方式中,形成有两个护圈43。

[0108] 如图6所示,活性区域52与护圈43的间隔遍及全周大致恒定。护圈43是通过将p型杂质植入外延层51而形成的 p^- 型的低浓度区域。

[0109] 在活性区域52中,在外延层51的表面51A侧(Si面侧),沿行方向及列方向以恒定的间距呈矩阵状(matrix状)排列地形成有多个p型的主体区域53。各主体区域53的形状例如俯视下为正方形。p型杂质例如可以是铝(Al)。另一方面,外延层51的比主体区域53靠SiC基板50侧(C面侧)的区域为维持外延成长后的原样的状态的 n^- 型的漂移区域54。

[0110] 在各主体区域53的表层部,在中央部形成有 p^+ 型的主体接触区域55,并以包围该主体接触区域55的方式形成有 n^+ 型的源极区域56。主体接触区域55的形状例如俯视下为正方形。源极区域56的形状例如俯视下为正方形环状。 n 型杂质浓度的一例是磷(P)。

[0111] 另外,在活性区域52中,以恒定的间距排列成矩阵状的主体区域53的各个之间的区域(由相邻的主体区域53的侧面夹着的主体间区域57)是具有恒定宽度的格子状。

[0112] 在主体间区域57上,沿着该主体间区域57形成有格子状的栅极绝缘膜58(在图5(b)中省略图示)。栅极绝缘膜58横跨相邻的主体区域53之间,且覆盖主体区域53的包围源极区域56的部分(主体区域53的周缘部)及源极区域56的外周缘。在本实施方式中,栅极绝缘膜58由含有氮(N)的氧化膜、例如通过使用了含有氮及氧的气体的热氧化而形成的氮氧化硅膜构成。

[0113] 栅极绝缘膜58包括与主体区域53的外部的的外延层51相接的第一部分58a、与主体区域53相接的第二部分58b、以及与源极区域56相接的第三部分58c。如图6所示,第三部分58c的膜厚T3大于第一部分58a的膜厚T1及第二部分58b的膜厚T2。详细来说,第三部分58c的下侧界面(与源极区域56的界面)比第一部分58a的下侧界面(与外延层51的界面)及第二

部分58b的下侧界面(与主体区域53的界面)靠下侧、即SiC基板50侧,且位于从外延层51的表面51A更深入的位置。另外,第三部分58c的上侧界面(与栅电极42的界面)比第一部分58a的上侧界面(与栅电极42的界面)及第二部分58b的上侧界面(与栅电极42的界面)靠上侧、即栅电极42侧,位于从外延层51的表面51A更远离的位置。

[0114] 在栅极绝缘膜58上形成有栅电极42。栅电极42沿着格子状的栅极绝缘膜58形成成为格子状,且隔着栅极绝缘膜58与各主体区域53的周缘部对置。详细来说,栅电极42隔着栅极绝缘膜58与横跨主体区域53的外部的的外延层51、主体区域53以及源极区域56的区域对置。因此,栅电极42在俯视下与源极区域56重叠。例如,栅电极42在俯视下从主体区域53与源极区域56的边界线朝向源极区域56稍微伸出。由此,能够使栅电极42可靠地相对于源极区域56与外延层51之间的主体区域53对置,因此能够可靠地控制主体区域53中的沟道的形成。栅电极42例如由多晶硅构成。栅电极42例如通过高浓度地导入p型杂质而低电阻化。

[0115] 在上侧开关元件11中,在主体间区域57的宽度方向中央设定有单位晶胞间的边界。在各单位晶胞中,通过控制施加于栅电极42的电压(例如通过施加6V以上的电压),在各单位晶胞的主体区域53的周缘部形成环状的沟道。经由该环状的沟道,能够使在漂移区域54中沿着各主体区域53的四个侧面向外延层51的表面51A侧流动的漏极电流流向源极区域56。沟道长度L由栅电极42的正下方的主体区域53的宽度规定。

[0116] 在外延层51上以包覆栅电极42的方式层叠有例如由氧化硅(SiO₂)构成的层间绝缘膜59。层间绝缘膜59形成有接触孔60。在接触孔60内露出了源极区域56的中央部及整个主体接触区域55。

[0117] 在外延层51上形成有源电极41。源电极41经由各接触孔60一并接触。也就是,源电极41相对于所有的单位晶胞成为共通的配线。在源电极41上形成有层间绝缘膜(图示略)。源电极41通过形成去除层间绝缘膜的区域,即形成使源电极41露出的区域,构成源电极焊盘。

[0118] 源电极41具有从与外延层51的接触侧起依次层叠有Ti/TiN层61和Al层62的构造。Ti/TiN层61是在外延层51侧具有作为密合层的Ti层,且在该Ti层叠层有作为势垒层的TiN层的层叠膜。势垒层抑制Al层62的构成原子(Al原子)向外延层51侧扩散。

[0119] 在SiC基板50的背面50B以覆盖其整个区域的方式形成有漏电极48。漏电极48相对于所有的单位晶胞成为共通的电极。作为漏电极48,例如能够应用从SiC基板50侧起依次层叠有钛(Ti)、镍(Ni)、金(Au)以及银(Ag)的层叠构造(Ti/Ni/Au/Ag)。

[0120] (比较例)

[0121] 图7表示比较例的功率模块的电路结构。在比较例的功率模块的电路中,表示将上侧开关元件11断开,且将下侧开关元件12接通断开的情况。

[0122] 比较例的功率模块从图1所示的本实施方式的功率模块1的电路结构中省略了上侧电容器13及下侧电容器14,且省略了体二极管11a、12a的记载。另外,在比较例的功率模块中,电源ES的正侧端子与上侧开关元件11的漏极端子11d连接,电源ES的负侧端子与下侧开关元件12的源极端子12s连接。另外,具有将上侧开关元件11的漏极端子11d和源极端子11s相连的配线9。配线9具有电感负载9a。在比较例的功率模块的电路结构中,上侧开关元件11的栅极端子11g和源极端子11s将具有基于第一上侧控制配线部25的寄生电感L_{gp}的第一连接配线CP1和具有基于第二上侧控制配线部26的寄生电感L_{gs}的第二连接配线CP2短

路。下侧开关元件12的栅极端子12g与下侧栅极驱动电路3连接。在栅极端子12g与下侧栅极驱动电路3之间设有栅电阻8。

[0123] 这样的结构的上侧开关元件11及下侧开关元件12分别使用了SiC MOSFET,由此击穿电场高。因此,通过实现各开关元件11、12的漂移区域54的薄型化及高浓度化,能够实现低的接通电阻。另一方面,由于与将各开关元件11、12的漂移区域54高浓度化相应地限制了耗尽层的扩展幅度,因此栅极-漏极间电容 C_{gd} 难以降低。由此,如图8所示,在将栅极-源极间电容设为 C_{gs} 的情况下, C_{gs}/C_{gd} 的值容易变小。

[0124] 图9及图10是基于图7及图8的电路图,表示示意性电路图,该示意性电路图表示使下侧开关元件12发生状态变化时的下侧开关元件12的漏极-源极间电压 V_{ds1} 的变化和上侧开关元件11的漏极-源极间电压 V_{dsu} 、漏极-栅极间电压 V_{dgu} 以及栅极-源极间电压 V_{gsu} 的变化。

[0125] 在比较例的功率模块中,在将下侧开关元件12从断开状态变更到接通状态的情况下,如图9所示,下侧开关元件12的漏极-源极间电压 V_{ds1} 降低,并且上侧开关元件11的漏极-源极间电压 V_{dsu} 及漏极-栅极间电压 V_{dgu} 增加。在这样的瞬态响应中,上侧开关元件11的栅极-源极间通过各连接配线CP1、CP2短路,因此通常栅极-源极间电压 V_{gsu} 不会变化。但是,由于上侧开关元件11的栅极-源极间存在上述电感成分($L_{gp}+L_{gs}$)及寄生栅电阻 R_{gp} ,因此在栅极-源极间电容 C_{gs} 瞬时产生分压。即,在栅极-源极间瞬时产生正侧的浪涌电压。其结果,因漏极-源极间电压 V_{ds} 的变化 dV_{ds}/dt ,栅极-源极间电压 V_{gsu} 急剧增加,超越阈值电压,由此,可能产生自行开启。

[0126] 为了抑制这样的自行开启的发生,已知对上侧开关元件11的栅极施加负偏压的措施。即,通过预先将栅极-源极间电压 V_{gsu} 维持在负侧,使栅极-源极间电压 V_{gsu} 与栅极阈值电压的差增大。由此,即使正侧的浪涌电压施加于栅极,也难以超过栅极阈值电压。

[0127] 另外,就各开关元件11、12而言,在SiC MOSFET的特性上,栅极-源极间电压 V_{gs} 的负侧绝对最大额定值小于栅极-源极间电压 V_{gs} 的正侧绝对最大额定值。在一例中,各开关元件11、12的栅极-源极间电压 V_{gs} 的负侧绝对最大额定值是 $-10V$,栅极-源极间电压 V_{gs} 的正侧绝对最大额定值是 $26V$ 。因此,如果施加栅极负偏压,则与栅极-源极间电压 V_{gs} 的负侧绝对最大额定值的差变小,能够容许的栅极-源极间电压 V_{gs} 的负侧的范围变小。

[0128] 在此,在将下侧开关元件12从接通状态变更到断开状态的情况下,如图10所示,下侧开关元件12的漏极-源极间电压 V_{ds1} 增加,并且上侧开关元件11的漏极-源极间电压 V_{dsu} 及漏极-栅极间电压 V_{dgu} 降低。在这样的瞬态响应中也同样地,因上述电感成分($L_{gp}+L_{gs}$)及寄生栅电阻 R_{gp} ,在栅极-源极间电容 C_{gs} 中瞬时产生分压。即,在栅极-源极间瞬时产生负侧的浪涌电压。其结果,因漏极-源极间电压 V_{ds} 的变化 dV_{ds}/dt ,栅极-源极间电压 V_{gsu} 急剧降低,由此可能低于负侧绝对最大额定值。特别是在对上侧开关元件11的栅极施加负偏压的情况下,由于栅极-源极间电压 V_{gsu} 与负侧绝对最大额定值的差变小,因此,因负侧的浪涌电压,栅极-源极间电压 V_{gsu} 容易低于负侧绝对最大额定值。

[0129] 图11表示将比较例的功率模块中的下侧开关元件12从接通状态变更到断开状态的情况下的上侧开关元件11的漏极-源极间电压 V_{dsu} 、栅极-源极间电压 V_{gsu} 、以及漏极电流 I_{du} 的推移和下侧开关元件12的漏极-源极间电压 V_{ds1} 的推移。

[0130] 从图11可知,在上侧开关元件11的漏极-源极间电压 V_{dsu} 最低的时刻 t_1 ,作为栅

极-源极间电容 C_{gs} 的分压的栅极-源极间电压 V_{gsu} 在负侧成为最大。换句话说,在下侧开关元件12的漏极-源极间电压 V_{ds1} 最高时,栅极-源极间电压 V_{gsu} 在负侧最大。这样,在下侧开关元件12驱动,且上侧开关元件11不驱动的情况下,通过下侧开关元件12的漏极-源极间电压 V_{ds1} 决定上侧开关元件11的漏极-源极间电压 V_{dsu} 。

[0131] 另外,栅极-源极间电容 C_{gs} 的分压由 C_{gs}/C_{gd} 的反比决定。即,栅极-源极间电容 C_{gs} 的分压随着 C_{gs}/C_{gd} 变小而变大。换句话说,栅极-源极间电容 C_{gs} 的分压随着 C_{gs}/C_{gd} 变大而变小。另外,在各开关元件11、12中,在SiC MOSFET的特性上,栅极-源极间电容 C_{gs} 及栅极-漏极间电容 C_{gd} 与漏极-源极间电压 V_{dsu} 的关系如图12所示的图表那样。详细来说,即使漏极-源极间电压 V_{dsu} 变化,栅极-源极间电容 C_{gs} 也大致不变化。另一方面,栅极-漏极间电容 C_{gd} 具有随着漏极-源极间电压 V_{dsu} 增加而变小的倾向。因此,在漏极-源极间电压 V_{dsu} 较低的区域中, C_{gs}/C_{gd} 变小,在漏极-源极间电压 V_{dsu} 较高的区域中, C_{gs}/C_{gd} 变大。 C_{gs}/C_{gd} 随着漏极-源极间电压 V_{dsu} 变高而变大。

[0132] 上侧开关元件11的栅极-源极间电压 V_{gsu} 瞬时地随着上侧开关元件11的漏极-源极间电压 V_{dsu} 的变化而变化,因此需要减小漏极-源极间电压 V_{dsu} 的变化速度。另外,上侧开关元件11的漏极-源极间电压 V_{dsu} 随着下侧开关元件12的漏极-源极间电压 V_{ds1} 变化,因此,为了减小上侧开关元件11的栅极-源极间电压 V_{gsu} 的浪涌电压,只要减小下侧开关元件12的漏极-源极间电压 V_{ds1} 的变化速度即可。下侧开关元件12的漏极-源极间电压 V_{ds1} 的变化速度由栅极-漏极间电容 C_{gd} 大致决定。详细来说,漏极-源极间电压 V_{ds1} 的变化速度随着栅极-漏极间电容 C_{gd} 变大而变慢。

[0133] 因此,本实施方式的功率模块1具有与上侧开关元件11的栅极端子11g及漏极端子11d电连接的上侧电容器13和与下侧开关元件12的栅极端子12g及漏极端子12d电连接的下侧电容器14。

[0134] 根据该结构,例如在下侧开关元件12从断开状态变更到接通状态的情况下,栅极电流对下侧电容器14充电,从而漏极-源极间电压 V_{ds1} 的变化速度变慢。随之,上侧开关元件11的漏极-源极间电压 V_{dsu} 的变化速度变慢。从而,上侧开关元件11的栅极-源极间电压 V_{gsu} 的变化被抑制,因此能够抑制自行开启的发生。另外,例如在下侧开关元件12从接通状态变更到断开状态的情况下,下侧电容器14向栅极端子12g放电,从而下侧开关元件12的漏极-源极间电压 V_{ds1} 的变化速度变慢。随之,由于上侧开关元件11的漏极-源极间电压 V_{dsu} 的变化速度变慢,从而栅极-源极间电压 V_{gsu} 的变化被抑制。因此,抑制了栅极-源极间电压 V_{gsu} 低于负侧绝对最大额定值。此外,假定上侧开关元件11切换接通状态和断开状态的情况,在上侧开关元件11还连接有上侧电容器13,但上侧电容器13连接于比上侧开关元件11的寄生栅电阻 R_{gp} 靠外侧,因此相对于下侧开关元件12的开关时的瞬时的举动使 C_{gs}/C_{gd} 缩小的效果不显著,向栅极-源极间电容 C_{gs} 的分压增加被抑制,因此能够有效地抑制上侧开关元件11的栅极-源极间电压 V_{gsu} 的浪涌电压。

[0135] 另外,上侧电容器13及下侧电容器14优选具有如图13所示的端子间电压与电容的关系。详细来说,随着上侧电容器13及下侧电容器14的端子间电压分别变大,上侧电容器13及下侧电容器14的电容分别增加。在本实施方式中,上侧电容器13及下侧电容器14的端子间电压高的区域的电容是与漏极-源极间电压 V_{dsu} 高的区域的栅极-漏极间电容 C_{gd} 同等的水平。

[0136] 根据该结构,例如在下侧开关元件12从接通状态变更到断开状态的情况下,下侧开关元件12的漏极-源极间电压 V_{ds1} 变高,从而下侧电容器14的端子间电压变高。在该情况下,下侧电容器14的电容增加,从而下侧电容器14的电压变化所需的电荷量增加,因此,下侧开关元件12的漏极-源极间电压 V_{ds1} 的变化速度进一步变慢。随之,上侧开关元件11的漏极-源极间电压 V_{dsu} 的变化速度进一步变慢,从而进一步抑制了栅极-源极间电压 V_{gsu} 的变化。

[0137] 另外,例如在下侧开关元件12从接通状态变更到断开状态的情况下,上侧开关元件11的漏极-源极间电压 V_{dsu} 变低,从而上侧电容器13的端子间电压变低,上侧电容器13的电容变小。在此,如上所述,上侧电容器13连接于上侧开关元件11的寄生栅电阻 R_{gp} 的外侧,因此相对于下侧开关元件12的开关时的瞬时的举动使 C_{gs}/C_{gd} 缩小的效果不显著,但在寄生栅电阻 R_{gp} 极小的情况等下并不是完全没有影响,因此若上侧电容器13的低电压施加时的电容大,则上侧开关元件11的栅极-源极间电压 V_{gsu} 相对于上侧开关元件11的漏极-源极间电压 V_{dsu} 的分压变大,栅极-源极间电压 V_{gsu} 的变化变大。但是,如图14所示,在上侧开关元件11的漏极-源极间电压 V_{dsu} 低的情况下,上侧电容器13的电容小,因此能够抑制缩小 C_{gs}/C_{gd} 的影响。

[0138] (模拟结果)

[0139] 在比较例及本实施方式的功率模块1中,关于将上侧开关元件11断开且将下侧开关元件12接通断开的情况下的负侧的浪涌电压的产生与开关损耗的关系,基于图7及图15所示的示意性的电路结构进行模拟。图7示出比较例的功率模块的示意性的电路结构,图15表示在本实施方式的功率模块1中进行与图7相同的外部连接的情况下的示意性的电路结构。

[0140] 在图15的电路结构中,将上侧开关元件11的源极和栅极短路,在下侧开关元件12的栅极电连接有下侧栅极驱动电路3。在栅极与下侧栅极驱动电路3之间设有栅电阻8。栅电阻8的第一端子与下侧开关元件12的栅极连接,栅电阻8的第二端子与下侧栅极驱动电路3连接。下侧电容器14的第一端子与下侧开关元件12的漏极连接,下侧电容器14的第二端子与栅电阻8的第二端子连接。在上侧开关元件11的漏极电连接有电源ES的正侧端子,在下侧开关元件12的源极电连接有电源ES的负侧端子。图15的电路结构具有将电源ES的正侧端子与上侧开关元件11的漏极之间和上侧开关元件11的源极与下侧开关元件12的漏极之间相连的配线9。配线9具有电感负载9a。

[0141] 在比较例的功率模块中,进行使栅电阻8变化为 2Ω 、 3Ω 、 4Ω 以及 5Ω 的情况的模拟。在此,将比较例及本实施方式的功率模块的电路结构且栅电阻8为 2Ω 的情况规定为基准条件。

[0142] 如图16所示,在比较例的功率模块中,使栅电阻8增大,从而下侧开关元件12的开关速度(漏极-源极间电压 V_{ds1} 的变化速度)变慢,由此,负侧的浪涌电压的绝对值变小,另一方面,通过使栅电阻8增大,开关损耗急剧变大。

[0143] 在本实施方式的功率模块1中,进行使上侧电容器13及下侧电容器14的电容变化为 50pF 、 100pF 以及 150pF 的情况的模拟。

[0144] 如图16所示,在本实施方式的功率模块1中,通过上侧电容器13及下侧电容器14,相比基准条件,负侧的浪涌电压的绝对值变小。而且,随着上侧电容器13及下侧电容器14的

电容变大,负侧的浪涌电压的绝对值变小。另一方面,随着上侧电容器13及下侧电容器14的电容变大,开关损耗变大,但与如比较例的功率模块地使栅电阻8增大的情况相比,开关损耗变小。

[0145] 根据本实施方式,可得到以下的效果。

[0146] (1-1) 功率模块1具有与上侧开关元件11的漏极端子11d及栅极端子11g电连接的上侧电容器13和与下侧开关元件12的漏极端子12d及栅极端子12g电连接的下侧电容器14。根据该结构,例如在下侧开关元件12从接通状态变化到断开状态时,通过下侧电容器14,下侧开关元件12的漏极-源极间电压 V_{ds1} 的变化速度变慢。由此,上侧开关元件11的漏极-源极间电压 V_{dsu} 的变化速度变慢,因此,上侧开关元件11的栅极-源极间电压 V_{gsu} 的变化速度变慢。从而,抑制了上侧开关元件11的栅极-源极间电压 V_{gsu} 的浪涌电压的增加,因此能够减小上侧开关元件11的栅极-源极间电压 V_{gsu} 的变动。另外,例如在上侧开关元件11从接通状态变化到断开状态时,通过上侧电容器13,上侧开关元件11的漏极-源极间电压 V_{dsu} 的变化速度变慢。由此,下侧开关元件12的漏极-源极间电压 V_{ds1} 的变化速度变慢,因此下侧开关元件12的栅极-源极间电压 V_{gs1} 的变化速度变慢。由此,抑制了下侧开关元件12的栅极-源极间电压 V_{gs1} 的浪涌电压的增加,因此能够减小下侧开关元件12的栅极-源极间电压 V_{gs1} 的变动。

[0147] (1-2) 上侧电容器13构成为,在上侧开关元件11的漏极-源极间电压 V_{dsu} 是正的值的情况下,电容增加。下侧电容器14构成为,在下侧开关元件12的漏极-源极间电压 V_{ds1} 是正的值的情况下,电容增加。根据该结构,在漏极-源极间电压 V_{ds} 高的区域中,能够进一步增加栅极-漏极间电容 C_{gd} ,能够适宜地抑制栅极-源极间电压 V_{gs} 的变动。

[0148] (1-3) 就功率模块1而言,多个(两个)的上侧开关元件11互相并联连接,且多个(两个)的下侧开关元件12互相并联连接,因此多个上侧开关元件11的接通电阻及多个下侧开关元件12的接通电阻变小。从而,能够减小功率模块1的导通损耗。

[0149] (1-4) 上侧开关元件11的漏极-栅极间电压 V_{dgu} 及下侧开关元件12的漏极-栅极间电压 V_{dg1} 分别被施加高电压,因此上侧电容器13及下侧电容器14分别被施加高电压。因此,对于上侧电容器13及下侧电容器14,需要足够的耐压及绝缘距离。针对这样的实际情况,本实施方式的功率模块1具有将安装于基板20的上侧开关元件11、下侧开关元件12、上侧电容器13以及下侧电容器14密封的密封树脂40。能够利用该密封树脂40来抑制表面爬电,因此能够确保上侧电容器13及下侧电容器14的耐压及绝缘距离。

[0150] (1-5) 在第二方向Y上,在输出配线部22的一侧配置有第一输入配线部23,在输出配线部22的另一侧配置有第二输入配线部24。上侧开关元件11安装于第一输入配线部23,下侧开关元件12安装于输出配线部22。根据该结构,能够缩短将上侧开关元件11的源电极41和输出配线部22相连的上侧电力用线44的长度,能够缩短将下侧开关元件12的源电极41和第二输入配线部24相连的下侧电力用线46的长度。

[0151] (1-6) 上侧电容器13与上侧岛部37电连接,上侧岛部37通过上侧连接用线39U与第一输入配线部23电连接。由此,上侧电容器13能够相对于第一上侧控制配线部25的弯曲部25c以上侧电容器13的第一端子及第二端子的排列方向为第一方向X的状态连接。从而,能够在第一上侧控制配线部25的从连接有与上侧开关元件11的栅电极42连接的上侧控制用线45的部分到连接有第一上侧控制端子部件33的部分的范围内,上侧电容器13在第一上

侧控制配线部25的凹部25d以外的部分连接。

[0152] 另外,下侧电容器14与下侧岛部38电连接,下侧岛部38通过下侧连接用线39L与输出配线部22电连接。由此,下侧电容器14能够相对于第一下侧控制配线部27的弯曲部27c以下侧电容器14的第一端子及第二端子的排列方向为第一方向X的状态连接。因此,能够在第一下侧控制配线部27的从连接有与下侧开关元件12的栅电极42连接的下侧控制用线47的部分到连接有第一下侧控制端子部件35的部分的范围内,下侧电容器14在第一下侧控制配线部27的凹部27d以外的部分连接。而且,下侧岛部38通过下侧连接用线39L与输出配线部22电连接,因此即使在下侧岛部38与输出配线部22之间存在其它部件(例如第二输入配线部24),也能够横跨该其它部件而电连接。

[0153] (1-7) 下侧开关元件12在输出配线部22的第一部分22a靠第二方向Y的第二输入配线部24而配置。因此,在输出配线部22的第一部分22a,能够确保用于将与上侧开关元件11连接的上侧电力用线44连接于输出配线部22连接的空间。因此,能够容易地将上侧电力用线44连接于输出配线部22。

[0154] (1-8) 输出配线部22的第一方向X的长度设定为能够配置1~5个下侧开关元件12的长度。第一输入配线部23的第一方向X的长度设定为能够配置1~5个上侧开关元件11的长度。根据该结构,能够在功率模块1的相同尺寸下提供接通电阻不同的功率模块1的变化。

[0155] (1-9) 上侧开关元件11和上侧电容器13设为个别的芯片,下侧开关元件12和下侧电容器14设为个别的芯片。根据该结构,能够任意地设定上侧电容器13及下侧电容器14的个数及电容,因此能够为了抑制浪涌电压而使用适当的上侧电容器13及下侧电容器14。

[0156] (第二实施方式)

[0157] 参照图17~图30,对第二实施方式的功率模块1进行说明。本实施方式的功率模块1与第一实施方式的功率模块1比较,不同点在于,省略了上侧电容器13及下侧电容器14,以及追加了上侧二极管71及下侧二极管72。在以下的说明中,对与第一实施方式的功率模块1共通的结构标注相同符号,并省略其说明。另外,图18~图24示出了本实施方式的功率模块1的结构的一例。此外,本实施方式的功率模块1的结构不限于图18~图24的结构,能够进行各种变更。

[0158] 如图17及图19所示,上侧二极管71设为与上侧开关元件11分体,下侧二极管72设为与下侧开关元件12分体。如图17所示,上侧二极管71的阴极与将上侧开关元件11的漏极端子11d和第一输入端子P相连的第一配线15电连接。上侧二极管71的阳极在将上侧开关元件11的源极端子11s和下侧开关元件12的漏极端子12d相连的第四配线18电连接于比节点N靠上侧开关元件11侧的部分。下侧二极管72的阴极在第四配线18电连接于比节点N靠下侧开关元件12侧的部分。下侧二极管72的阳极与将下侧开关元件12的源极端子12s和第二输入端子N相连的第五配线19电连接。在本实施方式中,上侧二极管71及下侧二极管72分别使用肖特基势垒二极管。上侧二极管71及下侧二极管72各自的正向阈值电压比上侧开关元件11的体二极管11a及下侧开关元件12的体二极管12a各自的正向阈值电压低。

[0159] 上侧开关元件11及下侧开关元件12各自的个数能够任意变更。例如,上侧开关元件11及下侧开关元件12各自的个数设定为成为预先设定的接通电阻。在设有多个上侧开关元件11的情况下,多个上侧开关元件11互相并联连接。即,多个上侧开关元件11的漏极端子11d互相连接,多个上侧开关元件11的源极端子11s互相连接,多个上侧开关元件11的栅极

端子11g互相连接。另外,在设有多个下侧开关元件12的情况下,多个下侧开关元件12互相并联连接。即,多个下侧开关元件12的漏极端子12d互相连接,多个下侧开关元件12的源极端子12s互相连接,多个下侧开关元件12的栅极端子12g互相连接。在本实施方式中,设有三个上侧开关元件11,且设有三个下侧开关元件12。

[0160] 另外,上侧二极管71及下侧二极管72各自的个数能够任意变更。例如,上侧二极管71及下侧二极管72各自的个数基于避开上侧开关元件11及下侧开关元件12流动的回流电流的大小而设定。在设有多个上侧二极管71的情况下,多个上侧二极管71互相并联连接。即,多个上侧二极管71的阳极互相连接,多个上侧二极管71的阴极互相连接。多个上侧二极管71的阴极与第一配线15连接,多个上侧二极管71的阳极与第四配线18的比节点N靠上侧开关元件11侧的部分连接。另外,在设有多个下侧二极管72的情况下,多个下侧二极管72互相并联连接。即,多个下侧二极管72的阳极互相连接,多个下侧二极管72的阴极互相连接。多个下侧二极管72的阴极与第四配线18的比节点N靠下侧开关元件12侧的部分连接,多个下侧二极管72的阳极与第五配线19连接。在本实施方式中,设有两个上侧二极管71,且设有两个下侧二极管72。

[0161] 功率模块1构成为,上侧二极管71能够容许的DC额定电流低于上侧开关元件11能够容许的DC额定电流,且下侧二极管72能够容许的DC额定电流低于下侧开关元件12能够容许的DC额定电流。在此,DC额定电流是绝对最大额定的直流电流。在上侧二极管71及上侧开关元件11分别设有多个的情况下,功率模块1构成为,多个上侧二极管71的DC额定电流的合计低于多个上侧开关元件11的DC额定电流的合计。另外,在下侧二极管72及下侧开关元件12分别设有多个的情况下,功率模块1构成为,多个下侧二极管72的DC额定电流的合计低于多个下侧开关元件12的DC额定电流的合计。

[0162] 在一例中,功率模块1构成为,上侧二极管71的个数比上侧开关元件11的个数少,且下侧二极管72的个数比下侧开关元件12的个数少。如上所述,在本实施方式中,如图19所示地,功率模块1具有三个上侧开关元件11、三个下侧开关元件12、两个上侧二极管71以及两个下侧二极管72。另外,例如,一个上侧二极管71能够容许的DC额定电流也可以设为低于一个上侧开关元件11能够容许的DC额定电流。另外,一个下侧二极管72能够容许的DC额定电流也可以设为低于一个下侧开关元件12能够容许的DC额定电流。在该情况下,上侧开关元件11的个数和上侧二极管71的个数也可以相等。另外,下侧开关元件12的个数和下侧二极管72的个数也可以相等。

[0163] 如图18~图20所示,功率模块1具备俯视下矩形状的基板80和将各开关元件11、12及各二极管71、72密封的密封树脂90。以下的说明中,将基板80的纵向规定为“第一方向X”,将基板80的横向(长边方向)规定为“第二方向Y”,将基板80的板厚方向规定为“第三方向Z”。

[0164] 基板80具有层叠陶瓷基板81和石墨基板82而成的结构。石墨基板82具有第一基板82A及第二基板82B。第一基板82A和第二基板82B在第一方向X上隔开间隙地排列配置。第一基板82A及第二基板82B分别形成第二方向Y为长边方向的矩形状。

[0165] 如图19、图21以及图22所示,陶瓷基板81具有由陶瓷材料构成的主体部81a、设于主体部81a的背面侧的背面金属层81b、以及设于主体部81a的表面侧的表面金属层81c。背面金属层81b例如由铜(Cu)构成,利用粘接剂等安装于主体部81a的背面。表面金属层81c例

如由铜(Cu)构成,利用粘接剂等安装于主体部81a的表面。如图20~图22所示,俯视下的主体部81a的面积大于俯视下的表面金属层81c的面积及背面金属层81b的面积的一个。即,表面金属层81c的外周缘形成于比主体部81a的外周缘靠内侧,背面金属层81b的外周缘形成于比主体部81a的外周缘靠内侧。另外,例如,主体部81a的厚度比背面金属层81b及表面金属层81c的厚度的每一个都薄。背面金属层81b的厚度和表面金属层81c的厚度相等。背面金属层81b的俯视下的形状和表面金属层81c的俯视下的形状相等。这样,背面金属层81b的体积和表面金属层81c的体积相等。在本实施方式中,主体部81a的厚度是0.32mm,背面金属层81b的厚度是0.4mm,表面金属层81c的厚度是0.4mm。此外,主体部81a、背面金属层81b以及表面金属层81c的厚度分别能够任意变更。在一例中,主体部81a的厚度、背面金属层81b的厚度以及表面金属层81c的厚度也可以相等。如图21所示,背面金属层81b从密封树脂90露出,另一方面,主体部81a不从密封树脂90露出。即,密封树脂90覆盖主体部81a的背面金属层81b侧的部分。由此,能够抑制陶瓷基板81从密封树脂90剥离。

[0166] 如图19所示,第一基板82A及第二基板82B分别层叠于陶瓷基板81的表面金属层81c。第一基板82A具有由石墨构成的主体部82a、设于主体部82a的背面侧的背面金属层82b、以及设于主体部82a的表面侧的表面金属层82c。背面金属层82b例如由铜(Cu)构成。背面金属层82b利用焊锡等与陶瓷基板81的表面金属层81c贴合。表面金属层82c例如由铜(Cu)构成。如图19及图20所示,俯视下的主体部82a的面积与俯视下的表面金属层82c的面积及背面金属层82b的面积的一个相等。第一基板82A的外周缘形成于比陶瓷基板81的表面金属层81c的外周缘靠内侧。另外,例如,主体部82a的厚度比背面金属层82b的厚度及表面金属层82c的厚度的每一个都厚。在一例中,主体部82a具有背面金属层82b的厚度及表面金属层82c的厚度的每一个的两倍以上的厚度。另外,背面金属层82b的厚度和表面金属层82c的厚度相等。即,背面金属层82b的体积和表面金属层82c的体积相等。另外,背面金属层82b的厚度及表面金属层82c的厚度分别比陶瓷基板81的背面金属层81b的厚度及表面金属层81c的厚度更厚。在一例中,背面金属层82b的厚度及表面金属层82c的厚度分别是陶瓷基板81的背面金属层81b的厚度及表面金属层81c的厚度的两倍左右。在本实施方式中,主体部82a的厚度是2.0mm,背面金属层82b的厚度是0.8mm,表面金属层82c的厚度是0.8mm。

[0167] 第一基板82A的主体部82a具有成为各向异性的导热性。详细来说,第一基板82A的主体部82a构成为,第二方向Y上的主体部82a的导热性比第一方向X上的主体部82a的导热性低。换句话说,第一基板82A的主体部82a构成为,第二方向Y上的主体部82a的热导率比第一方向X上的主体部82a的热导率低。第一基板82A的主体部82a构成为,第三方向Z的导热性与第一方向X上的主体部82a的导热性相等。此外,就第一基板82A的主体部82a而言,第一方向X的导热性和第三方向Z的导热性也可以互不相同。在该情况下,也优选的是,第一基板82A的主体部82a的第二方向Y的导热性也比第一方向X的导热性及第三方向Z的导热性低。

[0168] 第二基板82B的构造与第一基板82A的构造相同,具有主体部82a、背面金属层82b以及表面金属层82c。第二基板82B的背面金属层82b与陶瓷基板81的表面金属层81c贴合。第二基板82B的外周缘形成于比陶瓷基板81的表面金属层81c的外周缘靠内侧。

[0169] 第二基板82B的主体部82a具有成为各向异性的导热性。详细来说,第二基板82B的主体部82a构成为,第二方向Y上的主体部82a的导热性比第一方向X上的主体部82a的导热性低。换句话说,第二基板82B的主体部82a构成为,第二方向Y上的主体部82a的热导率比第

一方向X上的主体部82a的热导率低。第二基板82B的主体部82a构成为,第三方向Z的导热性与第一方向X上的主体部82a的导热性相等。此外,就第二基板82B的主体部82a而言,第一方向X的导热性和第三方向Z的导热性也可以互不相同。在该情况下,也优选第二基板82B的主体部82a的第二方向Y的导热性比第一方向X的导热性及第三方向Z的导热性低。

[0170] 如图19及图20所示,功率模块1具有第一输入端子部件83、第二输入端子部件84、输出端子部件85、上侧信号基板86、下侧信号基板87、第一上侧控制端子部件88A、第二上侧控制端子部件88B、第一下侧控制端子部件89A以及第二下侧控制端子部件89B。第一输入端子部件83构成功率模块1的第一输入端子P,第二输入端子部件84构成功率模块1的第二输入端子N,输出端子部件85构成功率模块1的输出端子O。另外,第一上侧控制端子部件88A构成第一上侧控制端子GU1,第二上侧控制端子部件88B构成第二上侧控制端子GU2,第一下侧控制端子部件89A构成第一下侧控制端子GL1,第二下侧控制端子部件89B构成第二下侧控制端子GL2。第一输入端子部件83、第二输入端子部件84、输出端子部件85、第一上侧控制端子部件88A、第二上侧控制端子部件88B、第一下侧控制端子部件89A以及第二下侧控制端子部件89B分别由铜(Cu)构成。

[0171] 在第一基板82A安装有第一输入端子部件83、第二输入端子部件84、上侧信号基板86、三个上侧开关元件11以及两个上侧二极管71。第一基板82A的表面金属层82c构成将上侧开关元件11和第一输入端子P相连的第一配线15(同时参照图17)。

[0172] 第一输入端子部件83在第一方向X上位于第一基板82A中的与第二基板82B相反的侧的端部,且在第二方向Y上位于第一基板82A中的各上侧控制端子部件88A、88B侧的部分。

[0173] 第二输入端子部件84设为在第三方向Z上与第一基板82A隔开间隙对置。第二输入端子部件84具有第一连接部84a、第二连接部84b、第三连接部84c、第四连接部84d、第五连接部84e、连结部84f以及端子部84g。第一连接部84a、第二连接部84b、第三连接部84c、第四连接部84d、第五连接部84e、连结部84f以及端子部84g一体形成。

[0174] 连结部84f配置成,在第一方向X上相对于第一基板82A中的与第二基板82B侧相反的侧的端部沿第三方向Z隔开间隙地对置的状态。连结部84f沿第二方向Y延伸。连结部84f的一部分从第三方向Z覆盖第一输入端子部件83的一部分。各连接部84a~84b从连结部84f朝向第二基板82B侧沿着第一方向X延伸。各连接部84a~84b是相同形状,形成为第一方向X为长边方向的长方形状。在第二方向Y上,从与各上侧控制端子部件88A、88B侧相反的侧的端部开始,第一连接部84a、第二连接部84b、第三连接部84c、第四连接部84d以及第五连接部84e依次互相在第二方向Y上隔开间隔而定位。各连接部84a~84e在第二方向Y上等间隔配置。各连接部84a~84e的第一方向X的长度相等。各连接部84a~84e的前端部的第一方向X的位置相等。连结部84f沿第二方向Y延伸,与各连接部84a~84e连接。端子部84g在第一方向X上从连结部84f向与各连接部84a~84e相反的侧延伸。端子部84g在第二方向Y上设于与第一连接部84a及第二连接部84b对应的位置。端子部84g的宽度尺寸(端子部84g的第二方向Y的长度)大于各连接部84a~84e的宽度尺寸(各连接部84a~84e的第二方向Y的长度)。端子部84g的宽度尺寸与输出端子部件85的宽度尺寸(输出端子部件85的第二方向Y的长度)及第一输入端子部件83的宽度尺寸(第一输入端子部件83的第二方向Y的长度)相等。

[0175] 如图19及图24所示,各连接部84a~84e的前端部经由绝缘支撑部84x安装于第一基板82A。绝缘支撑部84x由具有电气绝缘性的材料形成。通过由绝缘支撑部84x支撑第二输

入端子部件84,第二输入端子部件84能够相对于第一基板82A在第三方向Z上隔开间隙地设置。绝缘支撑部84x的厚度设定为能够使第二输入端子部件84相对于上侧信号基板86在第三方向Z上形成间隙。

[0176] 三个上侧开关元件11及两个上侧二极管71位于第一基板82A中的第二基板82B侧的端部。三个上侧开关元件11及两个上侧二极管71在第一基板82A中在热导率(导热性)低的第二方向Y上互相隔开间隙而配置。详细来说,上侧开关元件11和上侧二极管71在第二方向Y上交替配置。即,在第二方向Y上,上侧开关元件11位于上侧二极管71的两侧。第一方向X上的上侧开关元件11的位置和上侧二极管71的位置相等。具体来说,在第一方向X上,上侧开关元件11的第二基板82B侧的端缘的位置和上侧二极管71中的第二基板82B侧的端缘的位置相等。

[0177] 三个上侧开关元件11中的一个上侧开关元件11在第二方向Y上配置于第一连接部84a与第二连接部84b之间。三个上侧开关元件11中的另一个上侧开关元件11在第二方向Y上配置于第三连接部84c与第四连接部84d之间。三个上侧开关元件11中的剩余的一个上侧开关元件11在第二方向Y上配置于与第二输入端子部件84不同的位置。

[0178] 两个上侧二极管71中的一个上侧二极管71在第二方向Y上配置于第二连接部84b与第三连接部84c之间。两个上侧二极管71中的剩余的一个上侧二极管71配置于第四连接部84d与第五连接部84e之间。

[0179] 三个上侧开关元件11及两个上侧二极管71在第一方向X上配置于比各连接部84a~84e的前端缘靠与第二基板82B相反的侧。三个上侧开关元件11在第一方向X上偏靠第一基板82A中的第二基板82B侧的端缘与上侧信号基板86中的第二基板82B侧的端缘之间的上侧信号基板86配置。另一方面,两个上侧二极管71在第一方向X上偏靠第一基板82A中的第二基板82B侧的端缘与上侧信号基板86中的第二基板82B侧的端缘之间的第一基板82A中的第二基板82B侧的端缘配置。

[0180] 上侧信号基板86位于第一基板82A中的配置第一输入端子部件83的区域与配置三个上侧开关元件11及两个上侧二极管71的区域之间的区域。上侧信号基板86成为第二方向Y为长边方向的长方形状。

[0181] 如图23所示,上侧信号基板86具有绝缘基板86a、背面金属层86b、第一上侧控制配线部86c以及第二上侧控制配线部86d。第一上侧控制配线部86c构成第二配线16的一部分,第二上侧控制配线部86d构成上侧感测配线16A的一部分。

[0182] 绝缘基板86a由具有电气绝缘性的材料形成。背面金属层86b例如由铜(Cu)构成,利用粘接剂等安装于绝缘基板86a的背面。各上侧控制配线部86c、86d利用粘接剂等安装于绝缘基板86a的表面。此外,背面金属层86b及各上侧控制配线部86c、86d也可以构成为形成于绝缘基板86a的铜箔的图案。如图23所示,背面金属层86b的外周缘形成于比绝缘基板86a的外周缘靠内侧。由此,因为密封树脂90覆盖绝缘基板86a的背面侧,所以能够抑制上侧信号基板86从第一基板82A剥离。

[0183] 第一上侧控制配线部86c和第二上侧控制配线部86d在第一方向X上隔开间隔地排列配置。各上侧控制配线部86c、86d沿着第二方向Y延伸。在第一方向X上,第一上侧控制配线部86c配置于比第二上侧控制配线部86d靠三个上侧开关元件11及两个上侧二极管71侧。在第二方向Y上,在第一上侧控制配线部86c的一侧的端部安装有第一上侧控制端子部件

88A,在第二上侧控制配线部86d的一侧的端部安装有第二上侧控制端子部件88B。各上侧控制端子部件88A、88B从密封树脂90沿第二方向Y突出。

[0184] 在第二基板82B安装有输出端子部件85、下侧信号基板87、三个下侧开关元件12以及两个下侧二极管72。第二基板82B的表面金属层82c构成了将上侧开关元件11的源极端子11s和下侧开关元件12的漏极端子12d相连的第四配线18的一部分。

[0185] 输出端子部件85安装于第二基板82B的表面金属层82c。输出端子部件85在第一方向X上位于第二基板82B中的与第一基板82A侧相反的侧的端部且在第二方向Y上位于第二基板82B的中央部。输出端子部件85沿第一方向X延伸,从密封树脂90向外部突出(参照图17)。

[0186] 三个下侧开关元件12及两个下侧二极管72位于第二基板82B中的第一基板82A侧的端部。三个下侧开关元件12及两个下侧二极管72在第二基板82B中在热导率(导热性)低的第二方向Y上互相隔开间隙地配置。详细来说,下侧开关元件12和下侧二极管72在第二方向Y上交替配置。即,在第二方向Y上,下侧开关元件12位于下侧二极管72的两侧。第一方向X中的下侧开关元件12的位置和下侧二极管72的位置相等。具体来说,在第一方向X上,下侧开关元件12的第一基板82A侧的端缘的位置和下侧二极管72的第一基板82A侧的端缘的位置相等。

[0187] 三个下侧开关元件12在第一方向X上偏靠第二基板82B中的第一基板82A侧的端缘与下侧信号基板87中的第一基板82A侧的端缘之间的下侧信号基板87配置。另一方面,两个下侧二极管72在第一方向X上偏靠第二基板82B中的第一基板82A侧的端缘与下侧信号基板87中的第一基板82A侧的端缘之间的第二基板82B中的第一基板82A侧的端缘配置。

[0188] 下侧信号基板87位于第二基板82B中的配置输出端子部件85的区域与配置三个下侧开关元件12及两个下侧二极管72的区域之间的区域。下侧信号基板87形成为第二方向Y为长边方向的长方形状。

[0189] 接下来,对各开关元件11、12及各二极管71、72的电连接结构进行说明。

[0190] 三个上侧开关元件11分别配置成栅电极42(参照图5(a))为上侧信号基板86侧。栅电极42利用一根上侧控制用线45与第一上侧控制配线部86c电连接。源电极41(参照图5(a))利用一根上侧控制用线45与第二上侧控制配线部86d电连接。另外,源电极41利用四根上侧电力用线44与第二基板82B的表面金属层82c电连接。三个上侧开关元件11的漏电极48(参照图6)分别利用焊锡等与第一基板82A的表面金属层81c电连接。

[0191] 两个上侧二极管71的阴极分别利用焊锡等与第一基板82A的表面金属层81c电连接。两个上侧二极管71的阳极分别利用四根上侧二极管用线91作为上侧二极管用连接部件的一例与第二基板82B的表面金属层82c电连接。本实施方式的上侧二极管用线91的线径与上侧电力用线44的线径相等。四根上侧二极管用线91优选构成为其电感小于四根上侧电力用线44的电感。在一例中,四根上侧二极管用线91的长度分别比四根上侧电力用线44的长度短。此外,作为上侧二极管用线91的电感小于上侧电力用线44的电感的结构的一例,也可以构成为上侧二极管用线91的线径大于上侧电力用线44的线径。

[0192] 三个下侧开关元件12分别配置成栅电极42为下侧信号基板87侧。栅电极42利用一根下侧控制用线47与第一下侧控制配线部87c电连接。源电极41利用一根下侧控制用线47与第二下侧控制配线部87d电连接。另外,源电极41利用四根下侧电力用线46与第一基板

82A的表面金属层81c电连接。三个下侧开关元件12的漏电极48分别利用焊锡等与第二基板82B的表面金属层82c电连接。

[0193] 两个下侧二极管72的阴极分别利用焊锡等与第二基板82B的表面金属层82c电连接。两个下侧二极管72的阳极分别利用四根下侧二极管用线92作为下侧二极管用连接部件的一例与第一基板82A的表面金属层81c电连接。下侧二极管用线92的线径与下侧电力用线46的线径相等。另外,下侧二极管用线92的线径与上侧二极管用线91的线径相等。四根下侧二极管用线92优选构成为其电感小于四根下侧电力用线46的电感。在一例中,四根下侧二极管用线92的长度分别比四根下侧电力用线46的长度短。此外,作为下侧二极管用线92的电感小于下侧电力用线46的电感的结构的一例,也可以构成为下侧二极管用线92的线径大于下侧电力用线46的线径。

[0194] (上侧二极管及下侧二极管的结构)

[0195] 参照图25及图26,对上侧二极管71及下侧二极管72的结构进行说明。此外,因为上侧二极管71及下侧二极管72是相同的结构,所以在以下的说明中,对上侧二极管71的结构进行说明,省略下侧二极管72的结构的说明。另外,上侧二极管71及下侧二极管72的结构不限于图25及图26所示的结构,能够进行各种变更。

[0196] 图25示出上侧二极管71的结构的一例。上侧二极管71由宽带隙半导体构成。上侧二极管71使用4H-SiC(击穿电场约为2.8MV/cm,带隙的宽度约为3.26eV的宽带隙半导体)。此外,用于上侧二极管71的宽带隙半导体不限于碳化硅(SiC),也可以是氮化镓(GaN)、氧化镓(Ga_2O_3)、金刚石等。就氮化镓(GaN)而言,其击穿电场约为3MV/cm,带隙的宽度约为3.42eV。就氧化镓(Ga_2O_3)而言,其击穿电场约为8MV/cm,带隙的宽度约为4.8eV。就金刚石而言,其击穿电场约为8MV/cm,带隙的宽度约为5.47eV。

[0197] 如图26所示,上侧二极管71具有 n^+ 型的SiC基板100和层叠于 n^+ 型的SiC基板100的表面100A的外延层101。

[0198] 在SiC基板100的背面100B以覆盖其整个区域的方式配置有阴极电极102。阴极电极102在与SiC基板100之间形成欧姆接合。阴极电极102能够应用例如从SiC基板50侧起依次层叠有钛(Ti)、镍(Ni)、金(Au)以及银(Ag)的层叠构造(Ti/Ni/Au/Ag)。

[0199] SiC基板100例如是以(0001)面(Si面)为主面的基板。因此,通过外延成长层叠于SiC基板100的表面100A(主面)的外延层101以(0001)面为主面层叠。在该情况下,SiC基板100的背面100B是(000-1)面(C面)。此外,就SiC基板100而言,也可以是,其表面100A是(000-1)面,背面100B是(0001)面。另外,SiC基板100优选具有0~10度的偏离角。

[0200] 在外延层101设定有活性区域103和包围活性区域103的外周区域104。

[0201] 在活性区域103中,外延层101具有形成有沟槽105的表面101A。沟槽105互相隔开间隔地形成有多个。由此,沟槽105在活性区域103划分出多个单位晶胞106。在本实施方式中,如图25所示,条纹图案的沟槽105在活性区域103划分出多个直线状的单位晶胞106。因此,在外延层101的表面部形成有如下表面(外延层101的表面101A):多个单位晶胞106的表面106A以及它们之间的沟槽105的底面105A及侧面105B在剖面下呈曲折状连续。此外,沟槽105的图案不限于条纹图案,例如也可以是格子图案。在该情况下,在格子图案的沟槽105的各窗部分划分出多个高台状的单位晶胞106,且整体上单位晶胞106以矩阵状(matrix状)排列。

[0202] 外延层101具有从SiC基板100侧起依次成长的n型的缓冲层107、n⁻型的漂移层108以及p型层109。

[0203] p型层109是遍及活性区域103的整个区域连续的区域(在图25中标注有剖面线的区域(除了后述的p型的JTE构造114的区域))。p型层109以使与漂移层108的界面110沿着外延层101的表面101A的方式,且以使该界面110的相反侧的部分从表面101A的露出的方式沿着外延层101的表面101A形成。由此,在单位晶胞106中,相对于沟槽105的底面105A,在上方位置及下方位置分别设定有p型层109与漂移层108的界面110。具体来说,界面110具有位于单位晶胞106的表面106A的正下方且相对地形成于上侧的第一界面110A和位于沟槽105的底面105A的正下方且相对地形成于下侧的第二界面110B。因此,漂移层108选择性地进入被在外延层101互相相邻的沟槽105夹着的部分。

[0204] 另外,p型层109具:有从外延层101的表面101A露出的作为高浓度区域的p⁺型区域111;以及形成于比p⁺型区域111深的部分,且相比p⁺型区域111为低的浓度区域的p型区域112。在本实施方式中,就p⁺型区域111及p型区域112而言,其界面以层的方式形成于外延层101的表面101A,p型层109具有p⁺型区域111及p型区域112的层叠构造。此外,p⁺型区域111无需遍及活性区域103的整个区域形成,也可以选择性地形成于活性区域103的一部分。例如,也可以选择性地形成于单位晶胞106的表面106A、沟槽105的底面105A以及沟槽105的侧面105B的至少一个。

[0205] 另外,p型层109在沟槽105的底面105A与侧面105B之间具有互不相同的厚度。详细来说,p型层109的底面105A上的部分比侧面105B上的部分更厚。由此,在沟槽105的底面105A与侧面105B之间,p型层109的厚度设有差。

[0206] 在外周区域104中,在外延层101通过将外延层101蚀刻至使漂移层108露出的深度而形成有去除区域113。在本实施方式中,去除区域113以横切条纹图案的沟槽105的长边方向的两端部的方式形成为包围活性区域103的环状。由此,去除区域113与条纹图案的沟槽105相连。也就是,去除区域113由条纹图案的延长部构成。另外,如图25所示,去除区域113的外周缘也可以与外延层101的端面101B一致,也可以从外延层101的端面101B设定于内侧(省略图示)。去除区域113的深度也可以与沟槽105的深度相同。

[0207] 通过去除区域113的形成,漂移层108具有从活性区域103的周围在沿着SiC基板100的表面100A的横向上引出到外延层101的端面101B的引出部108A。引出部108A为相对于单位晶胞106的表面106A低一层的低台阶部。

[0208] 另外,在外周区域104中,在漂移层108形成有p型的JTE(Junction Termination Extension)构造114。在本实施方式中,JTE构造114形成为包围活性区域103的环状。详细来说,以横跨单位晶胞106及引出部108A的方式与p型层109一体形成。JTE构造114也可以由朝向外延层101的端面101B向外侧扩展的多个环构成。在该情况下,在多个环之间,杂质浓度也可以相等,也可以是朝向外侧而杂质浓度减少。

[0209] 在本实施方式中,根据杂质浓度的不同沿着周向分割JTE构造114。即,JTE构造114具有相对地为高浓度的第一部分115(在图25中标注有剖面线的区域(除了p型层109的区域))和相比第一部分115为低浓度的第二部分116(在图25中标注有点的区域)。

[0210] 第一部分115相对于第二部分116配置于更靠近活性区域103的一侧。在第二部分115中,JTE构造114具有相比第一部分115的其它部分为高浓度的p⁺型区域117。p⁺型区域117

在从JTE构造114与漂移层108的边界隔开间隔的内侧沿着该边界与p⁺型区域111一体形成。

[0211] 第二部分116由多个环构成。如图25及图26所示,第二部分116的最内周的环以与第一部分115相接。此外,第二部分116的最内周的环也可以与第一部分115不相接。

[0212] 在外延层101上形成有场绝缘膜118。作为场绝缘膜118的材料,能够使用例如氧化硅(SiO₂)等。场绝缘膜118例如能够通过等离子体CVD(chemical vapor deposition)形成。

[0213] 在场绝缘膜118形成有使活性区域103的整个区域及外周区域104的一部分选择性地露出的接触孔119。在本实施方式中,接触孔119的外周缘119A相对于第一部分115与第二部分116的边界设定于更靠近活性区域103的一侧。由此,场绝缘膜118覆盖第二部分116整体及第一部分115的一部分(例如周端部)。另外,接触孔119优选形成为其宽度朝向开口端变大的锥形状。

[0214] 在场绝缘膜118上形成有阳极电极120。阳极电极120以覆盖从接触孔119露出的活性区域103的整个区域的方式形成,且具有埋入沟槽105的埋入部121和以覆盖埋入部121的方式沿着外延层101的最表面形成的平面部122。

[0215] 埋入部121在沟槽105的底面105A及侧面105B与p型层109相接,且在与p型层109之间形成欧姆接合。作为埋入部121的材料,例如能够使用多晶硅、钨(W)、钛(Ti)或它们的合金等。它们中,优选能够使用p型的多晶硅。这些材料具有良好的埋入性,因此能够提高埋入部121的阶梯覆盖。因此,即使在沟槽105的纵横比高的情况下,也能够抑制阳极电极120的埋入时的空隙的产生。

[0216] 平面部122在单位晶胞106的表面106A与p型层109相接,在与p型层109之间形成欧姆接合。作为平面部122的材料,例如能够使用Ti/Ni等层叠构造。另外,平面部122向接触孔119的外方呈凸缘状伸出。在本实施方式中,阳极电极120的平面部122的外周缘122A相对于JTE构造114的第一部分115与第二部分116的边界位于更远离活性区域103的一侧。也就是,阳极电极120的平面部122具有伸出至比该边界靠第二部分116侧的重叠部122B。

[0217] 在上侧开关元件11的最表面形成有表面保护膜123。作为表面保护膜123的材料,例如能够使用氧化硅(SiO₂)、氮化硅(SiN)、聚酰亚胺等。另外,表面保护膜123例如能够通过等离子体CVD形成。表面保护膜123的膜厚的一例是8000Å左右。在表面保护膜123形成有使阳极电极120的一部分作为焊盘选择性地露出的焊盘开口123A。上侧二极管用线91(参照图20)经由焊盘开口123A与阳极电极120接合。

[0218] 根据这样的上侧二极管71的结构,在外延层101形成有沟槽105,且以沿着形成有沟槽105的外延层101的表面101A的方式形成有p型层109,形成包括p型层109与漂移层108的pn接合部的pn二极管。在沟槽105的侧面105B也形成有p型层109,因此p型层109的表面积比垂直于外延层101的主面的俯视(图24)下的外观上的表面积大。与之相应地,阳极电极120相对于p型层109的接触面积增加,因此能够减小p型层109与阳极电极120的接触电阻。因此,在通过离子注入形成p型层109的上侧二极管71中也能够实现低电阻化。由此,能够提供一种相比通过外延成长形成p型层109的情况能够更简单地制造且具备接通电阻低的pn二极管的上侧二极管71。

[0219] 另外,p型层109的与阳极电极120的接触部分是高浓度的p⁺型区域111,因此,在p⁺型区域111中,能够在与阳极电极120之间形成良好的欧姆接合。另一方面,以覆盖p⁺型区域111的方式形成有成为低浓度的p型区域112,因此能够良好地缓和向沟槽105的底部的电场

集中。由此,能够减小正向电压及反向漏电流。

[0220] 另外,在上侧二极管71中,在外周区域104形成JTE构造114,由此能够利用从JTE构造114与漂移层108的界面的pn接合部产生的耗尽层缓和沟槽105的底部(特别是配置于最外侧的沟槽105)的电场集中。由此,能够减少沟槽105的底部的反向漏电流的产生。

[0221] (作用)

[0222] 接下来,基于与比较例的功率模块的比较,对本实施方式的作用进行说明。比较例的发热功率模块是从本实施方式的功率模块1省略了上侧二极管71及下侧二极管72的结构。

[0223] 在比较例的功率模块中,例如,在下侧开关元件12从接通状态变更到断开状态时,如图27所示,下侧开关元件12的漏极-源极间电压 V_{dsu} 增加,另一方面,上侧开关元件11的漏极-源极间电压 V_{dsu} 降低。该漏极-源极间电压 V_{dsu} 下降至负侧,且在达到上侧开关元件11的体二极管的正向阈值电压时,降低停止。这样,随着漏极-源极间电压 V_{ds1} 变动,上侧开关元件11的栅极-源极间电压 V_{gsu} 也变动。因此,导致在该栅极-源极间电压 V_{gsu} 产生的浪涌电压增加。此外,例如,在上侧开关元件11从接通状态变更到断开状态时,也同样地,下侧开关元件12的漏极-源极间电压 V_{ds1} 下降至下侧开关元件12的体二极管的正向阈值电压,因此,在下侧开关元件12的栅极-源极间电压 V_{gs1} 产生的浪涌电压增加。

[0224] 相对于这样的比较例的功率模块,本实施方式的功率模块1具有:上侧二极管71,其具有比上侧开关元件11的体二极管11a的正向阈值电压低的正向阈值电压;以及下侧二极管72,其具有比下侧开关元件12的体二极管12a的正向阈值电压低的正向阈值电压。因此,例如,在下侧开关元件12从接通状态变更到断开状态时,如图28所示,即使使上侧开关元件11的漏极-源极间电压 V_{dsu} 降低而下降到负侧,当达到上侧二极管71的正向阈值电压时,漏极-源极间电压 V_{dsu} 的降低也停止。因此,与比较例的功率模块相比,栅极-源极间电压 V_{gs1} 变动的期间短,因此在栅极-源极间电压 V_{gs1} 产生的浪涌电压减小。

[0225] (模拟结果)

[0226] 在比较例及本实施方式的功率模块1中,关于将上侧开关元件11维持在断开状态,且驱动下侧开关元件12的情况下的负侧的浪涌电压的产生与开关损耗的关系,基于图7及图29所示的示意性的电路结构进行模拟。图7表示比较例的功率模块的示意性的电路结构,图29表示本实施方式的功率模块1的示意性的电路结构。

[0227] 在图29的电路结构中,在上侧开关元件11的漏极电连接有上侧二极管71的阴极,在上侧开关元件11的源极电连接有上侧二极管71的阳极。在下侧开关元件12的漏极电连接有下侧二极管72的阴极,在下侧开关元件12的源极电连接有下侧二极管72的阳极。另外,上侧开关元件11的源极和栅极被短路,在下侧开关元件12的栅极电连接有下侧栅极驱动电路3。在下侧开关元件12的栅极与下侧栅极驱动电路3之间设有栅电阻8。在上侧开关元件11的漏极电连接有电源ES的正侧端子,在下侧开关元件12的源极电连接有电源ES的负侧端子。图29的电路结构具有将电源ES的正侧端子与上侧开关元件11的漏极之间和上侧开关元件11的源极与下侧开关元件12的漏极之间相连的配线9。配线9具有电感负载9a。

[0228] 在比较例的功率模块中,进行使栅电阻8变化为 2Ω 、 3Ω 、 4Ω 以及 5Ω 的情况的模拟。在此,将比较例的功率模块的电路结构且栅电阻8为 2Ω 的情况规定为基准条件。

[0229] 如图30所示,在比较例的功率模块中,通过增大栅电阻8,下侧开关元件12的开关

速度(漏极-源极间电压 V_{ds1} 的变化速度)变慢,从而负侧的浪涌电压的绝对值变小,另一方面,通过增大栅电阻8,开关损耗急剧变大。

[0230] 与之相对,在本实施方式的功率模块1中,通过上侧二极管71,相比基准条件,负侧的浪涌电压的绝对值变小。另一方面,在本实施方式的功率模块1中,与基准条件比较,开关损耗变大,但与如比较例的功率模块那样增大栅电阻8的情况相比,开关损耗变小。

[0231] 根据本实施方式,可得到以下的效果。

[0232] (2-1) 功率模块1具有:上侧二极管71,其具有比上侧开关元件11的体二极管11a的正向阈值电压低正向阈值电压;下侧二极管72,其具有比下侧开关元件12的体二极管12a的正向阈值电压低正向阈值电压。根据该结构,例如,在下侧开关元件12从接通状态变化到断开状态时,即使上侧开关元件11的漏极-源极间电压 V_{dsu} 降低到负侧,上侧开关元件11的漏极-源极间电压 V_{dsu} 的降低也在上侧二极管71的正向阈值电压停止。另外,例如在上侧开关元件11从接通状态变化到断开状态时,即使下侧开关元件12的漏极-源极间电压 V_{ds1} 降低到负侧,下侧开关元件12的漏极-源极间电压 V_{ds1} 的降低也在下侧二极管72的正向阈值电压停止。这样,由于漏极-源极间电压 V_{ds} 的变动期间变短,因此栅极-源极间电压 V_{gs} 的变动期间变短。从而,能够减小栅极-源极间电压 V_{gs} 的变动。

[0233] 而且,上侧二极管71的能够容许的DC额定电流低于上侧开关元件11的能够容许的DC额定电流,下侧二极管72的能够容许的DC额定电流低于下侧开关元件12的能够容许的DC额定电流。因此,能够使上侧二极管71的芯片面积及下侧二极管72的芯片面积分别缩小。从而,能够实现功率模块1的小型化。

[0234] (2-2) 上侧二极管71的个数比上侧开关元件11的个数少,下侧二极管72的个数比下侧开关元件12的个数少。根据该结构,与上侧二极管71的个数为上侧开关元件11的个数以上的情况以及下侧二极管72的个数为下侧开关元件12的个数以上的情况相比,能够减少功率模块1的元件数量,能够实现功率模块1的小型化。

[0235] (2-3) 功率模块1的基板80具有石墨基板82。石墨基板82具有:在第二方向Y上隔开间隔配置有多个上侧开关元件11及多个上侧二极管71的第一基板82A;以及在第二方向Y上隔开间隔配置有多个下侧开关元件12及多个下侧二极管72的第二基板82B。第一基板82A构成为,第二方向Y上的第一基板82A的导热性比第一方向X上的第一基板82A的导热性低。第二基板82B构成为,第二方向Y上的第二基板82B的导热性比第一方向X上的第二基板82B的导热性低。根据该结构,多个上侧开关元件11的热难以传到多个上侧二极管71,多个下侧开关元件12的热难以传到多个下侧二极管72。因此,能够抑制伴随着上侧二极管71及下侧二极管72的温度变化的正向阈值的变化。

[0236] (2-4) 在第一基板82A的背面设有背面金属层82b,在第一基板82A的表面设有表面金属层82c。背面金属层82b及表面金属层82c由相同的材料形成。根据该结构,第一基板82A的表面的热导率和第一基板82A的背面的热导率相同。由此,在第一基板82A被加热时,第一基板82A的表面的伸长量和第一基板82A的背面的伸长量大致相同。从而,能够抑制因第一基板82A的表面的热导率与第一基板82A的背面的热导率的不同而第一基板82A翘曲。另外,在第二基板82B的背面设有背面金属层82b,在第二基板82B的表面设有表面金属层82c。根据该结构,能够与第一基板82A相同地抑制因第二基板82B的表面的热导率与背面的热导率的不同而引起的第二基板82B的翘曲。

[0237] (2-5) 上侧二极管71设为与上侧开关元件11不同的芯片,且与上侧开关元件11隔开间隔配置。下侧二极管72设为与下侧开关元件12不同的芯片,且与下侧开关元件12隔开间隔配置。根据该结构,能够抑制上侧二极管71受到因上侧开关元件11而引起的热影响,能够抑制下侧二极管72受到因下侧开关元件12而引起的热影响。

[0238] (2-6) 上侧二极管用线91的电感构成为小于上侧电力用线44的电感。下侧二极管用线92的电感构成为小于下侧电力用线46的电感。根据这样的结构,电流更容易流向电感比上侧电力用线44低的上侧二极管用线91,因此相比上侧开关元件11的体二极管11a,电流容易流向上侧二极管71。电流更容易流向电感比下侧电力用线46低的下侧二极管用线92,因此,相比下侧开关元件12的体二极管12a,电流容易流向下侧二极管72。

[0239] (2-7) 多个上侧开关元件11及多个上侧二极管71配置成,在第二方向Y上与第二输入端子部件84的各连接部84a~84e相邻。即,上侧开关元件11的上侧电力用线44和下侧开关元件12的下侧电力用线46在第二方向Y上相邻。上侧二极管71的上侧二极管用线91和下侧二极管72的下侧二极管用线92在第二方向Y上相邻。根据该结构,在上侧开关元件11及下侧开关元件12互补地接通断开的情况下,流向上侧电力用线44的电流的朝向和流向下侧电力用线46的电流的朝向为相反方向。由此,在上侧电力用线44产生的磁场和在下侧电力用线46产生的磁场互相抵消,因此能够减小上侧电力用线44及下侧电力用线46的噪声。另外,在上侧开关元件11及下侧开关元件12互补地接通断开的情况下,流向上侧二极管用线91的电流的朝向和流到下侧二极管用线92的电流的朝向为相反方向。由此,在上侧二极管用线91产生的磁场和在下侧二极管用线92产生的磁场互相抵消,因此能够减小上侧二极管用线91及下侧二极管用线92的噪声。

[0240] 特别地,由于上侧电力用线44和下侧电力用线46互相平行,因此能够有效地互相抵消在上侧电力用线44产生的磁场和在下侧电力用线46产生的磁场。另外,由于上侧二极管用线91和下侧二极管用线92互相平行,因此能够有效地互相抵消在上侧二极管用线91产生的磁场和在下侧二极管用线92产生的磁场。

[0241] (2-8) 在陶瓷基板81的主体部81a的背面设置有背面金属层81b,在主体部81a的表面设置有表面金属层81c。背面金属层81b及表面金属层81c由相同的材料形成。根据该结构,陶瓷基板81的主体部81a的表面的热导率和主体部81a的背面的热导率相同。由此,在陶瓷基板81被加热时,陶瓷基板81的表面的伸长量和陶瓷基板81的背面的伸长量大致相同。因此,能够抑制因陶瓷基板81的表面的热导率与陶瓷基板81的背面的热导率的不同而陶瓷基板81翘曲。

[0242] (第三实施方式)

[0243] 参照图31~图35,对第三实施方式的功率模块1进行说明。本实施方式的功率模块1与第二实施方式的功率模块1比较,不同点在于,上侧开关元件及上侧二极管形成于同一芯片,以及下侧开关元件及下侧二极管形成于同一芯片。

[0244] 功率模块1具有:上侧开关元件及上侧二极管形成于同一芯片的上侧MIS晶体管130;以及下侧开关元件及下侧二极管形成于同一芯片的下侧MIS晶体管131。各MIS晶体管130、131是采用了碳化硅(SiC)的沟槽栅极型DMISFET(Double Implanted Metal Insulator Semiconductor Field Effect Transistor)。上侧MIS晶体管130和下侧MIS晶体管131是相同的构造。因此,在以下的说明中,对上侧MIS晶体管130的构造进行说明,省略

下侧MIS晶体管131的构造的说明。此外,上侧MIS晶体管130及下侧MIS晶体管131的结构不限于图31及图32所示的结构,能够进行各种变更。

[0245] 上侧MIS晶体管130例如为如图31(a)所示的俯视下呈正方形的芯片状。就上侧MIS晶体管130而言,图31(a)的纸面中的上下左右方向的长度分别是几mm左右。

[0246] 在上侧MIS晶体管130的表面形成有源极焊盘132。源极焊盘132形成覆盖上侧MIS晶体管130的表面的大致整个区域。在该源极焊盘132的一边的中央附近形成有去除区域133。去除区域133是未形成源极焊盘132的区域。

[0247] 在去除区域133配置有栅极焊盘134。在栅极焊盘134与源极焊盘132之间设有间隔。栅极焊盘134和源极焊盘132互相电绝缘。

[0248] 如图32所示,上侧MIS晶体管130具有 n^+ 型的SiC基板140。SiC基板140作为上侧MIS晶体管130的漏极发挥功能,且其表面140A(上表面)是Si面,其背面140B(下表面)是C面。

[0249] 在SiC基板140的表面140A层叠有相比SiC基板140为低浓度的 n^- 型的外延层141。作为半导体层的外延层141在SiC基板140上通过所谓外延成长而形成。形成于作为Si面的表面140A上的外延层141使Si面作为主面而成长。因此,通过成长而形成的外延层141的表面141A与SiC基板140的表面140A同样地为Si面。

[0250] 如图31(a)所示,在上侧MIS晶体管130形成有俯视下配置于外延层141的中央部且作为上侧MIS晶体管130发挥功能的活性区域142和包围该活性区域142的外周区域143。

[0251] 在活性区域142中,在外延层141呈格子状形成有栅极沟槽144(参照图31(b))。通过这些栅极沟槽144,外延层141分别被划分成四边形状(正形状)的多个单元145。

[0252] 多个单元145包括肖特基单元146和与肖特基单元146相比平面面积相对小的pn二极管单元147。例如,肖特基单元146具有相当于四个pn二极管单元147的面积,肖特基单元146的一边的长度相当于pn二极管单元147的一边的长度的两倍。

[0253] 而且,由一个肖特基单元146和包围该肖特基单元146的多个pn二极管单元147(在本实施方式中,十二个pn二极管单元147)构成了一个单元组。而且,这样的单元组进一步地配置为矩阵状。在此,相邻的单元组的pn二极管单元147被共用。也就是,包围预定的单元组的肖特基单元146的pn二极管单元147也被用作包围预定的单元组的相邻的单元组的肖特基单元146的pn二极管单元147。

[0254] 如图32所示,作为在肖特基单元146及pn二极管单元147中共通的要素,在外延层141从其表面141A朝向背面141B侧依次具有 n^+ 型的源极区域148、p型的主体区域149以及漂移区域150。

[0255] 漂移区域150是维持外延成长后的原样的状态的 n^- 型的区域,在所以单元145的底部一体相连,且在它们之间被共用。也就是,栅极沟槽144以使源极区域148及主体区域149在侧面144A露出,且使其最深部位于漂移区域150的途中部的方式划分出各单元145。栅极沟槽144包括:在相邻的单元145的各个之间沿着各单元145的四个侧面分别在行方向及列方向上以直线状延伸的线状部151;以及沿行方向延伸的线状部151和沿列方向延伸的线状部151交叉的交叉部152。

[0256] 在栅极沟槽144的内表面以覆盖其整个区域的方式形成有氧化膜 SiO_2 或者由High-k材料(SiN 、 Al_2O_3 、 $AlON$ 等)构成的栅极绝缘膜153。就栅极绝缘膜153而言,栅极沟槽144的底面144B上的部分比栅极沟槽144的侧面144A上的部分厚。而且,通过栅极沟槽144的

栅极绝缘膜153的内侧被多晶硅全部掩埋,栅电极154被埋设于栅极沟槽144内。

[0257] 这样,在各肖特基单元146及pn二极管单元147构成有立式MIS晶体管构造,该立式MIS晶体管构造为,源极区域148和漂移区域150在垂直于外延层141的表面141A的纵向上隔着主体区域149分离配置。

[0258] 在肖特基单元146的中央部形成有第一源极沟槽155,该第一源极沟槽155从外延层141的表面141A贯通源极区域148及主体区域149而到达漂移区域150,且在俯视下呈正方形形状。第一源极沟槽155的深度与栅极沟槽144的深度相同。

[0259] 在第一源极沟槽155形成有p型的第一耐压保持区域156。第一耐压保持区域156形成为到达第一源极沟槽155的底面155A和侧面155B交叉而形成且包围底面155A的周围的环状的边缘部155C及从该边缘部155C露出到第一源极沟槽155的侧面155B的主体区域149的环状。由此,在被第一耐压保持区域156包围的第一源极沟槽155的底面155A的中央部形成有由漂移区域150的一部分构成且在俯视下呈正方形形状的肖特基区域157。

[0260] 肖特基区域157形成有从肖特基区域157与第一耐压保持区域156的pn接合部(体二极管158)产生的耗尽层不相连的面积。

[0261] 另一方面,在pn二极管单元147的中央部,形成有从外延层141的表面141A贯穿源极区域148及主体区域149而到达漂移区域150的第二源极沟槽159。第二源极沟槽159的深度与栅极沟槽144的深度相同。第二源极沟槽159的面积小于肖特基区域157的面积。

[0262] 在第二源极沟槽159形成有p型的第二耐压保持区域160。第二耐压保持区域160遍及第二源极沟槽159的底面159A的整个面而形成,且形成为到达第二源极沟槽159的底面159A和侧面159B交叉而形成且包围底面159A的周围的环状的边缘部159C及从该边缘部159C露出到第二源极沟槽159的侧面159B的主体区域149的容器状。

[0263] 在第二源极沟槽159的底面159A的中央部的第二耐压保持区域160的表层部形成有p⁺型的底部主体接触区域161。通过使底部主体接触区域161进行欧姆接触,能够经由第二耐压保持区域160相对于pn二极管单元147的主体区域149接触(能够电连接)。

[0264] 而且,在第二源极沟槽159形成有第二耐压保持区域160,从而pn二极管单元147内置体二极管162,该体二极管162通过第二耐压保持区域160与漂移区域150的pn接合构成,具有底部主体接触区域161作为阳极侧的触点,具有SiC基板140作为阴极侧的触点。

[0265] 另外,在划分多个单元145的栅极沟槽144的各交叉部152形成有第三耐压保持区域163(中转区域)。第三耐压保持区域163遍及交叉部152的栅极沟槽144的底面144B的整个面而形成,且形成为从底面144B到达形成于面向交叉部152的各单元145的各角部的下部的栅极沟槽144的边缘部144C及边缘部144C正上方的主体区域149。即,第三耐压保持区域163形成为俯视下比栅极沟槽144的交叉部152稍大的正方形形状,且其各角分别进入面向交叉部152的各单元145的各角部。另外,第三耐压保持区域163的杂质浓度比主体区域149的杂质浓度及漂移区域150的杂质浓度高。

[0266] 通过第三耐压保持区域163的中转,能够经由底部主体接触区域161→第二耐压保持区域160→pn二极管单元147的主体区域149→第三耐压保持区域163→肖特基单元146的主体区域149相对于肖特基单元146的第一耐压保持区域156接触(能够电连接)。

[0267] 如图31(a)所示,在外周区域143中,在外延层141的表层部以包围活性区域142的方式从活性区域142隔开间隔地形成有多根(在本实施方式中为4根)p型的护圈164。这些护

圈164能够通过形成p型的主体区域149的工序相同的离子注入工序形成。各护圈164俯视下形成为沿着上侧MIS晶体管130的外周的四边环状。

[0268] 如图32所示,在外延层141上以包覆栅电极154的方式叠层有氧化膜 SiO_2 或者由High-k材料(SiN 、 Al_2O_3 、 AlON 等)构成的层间绝缘膜165。在层间绝缘膜165及栅极绝缘膜153形成有直径大于第一源极沟槽155及第二源极沟槽159的接触孔166、167。

[0269] 在层间绝缘膜165上形成有源电极168。源电极168经由各接触孔166、167一并进入所有的第一源极沟槽155及第二源极沟槽159。

[0270] 源电极168在肖特基单元146从第一源极沟槽155的底侧起依次与肖特基区域157、第一耐压保持区域156以及源极区域148接触。另外,源电极168在pn二极管单元147从第二源极沟槽159的底侧起依次与底部主体接触区域161、第二耐压保持区域160以及源极区域148接触。即,源电极168相对于所有的单元145为共通的配线。

[0271] 在源电极168上形成有层间绝缘膜165,源电极168经由该层间绝缘膜165与源极焊盘132电连接。另一方面,栅极焊盘134经由在层间绝缘膜165上蔓延的栅极配线(图示略)与栅电极154电连接。

[0272] 源电极168从外延层141的接触侧起依次具有多晶硅层169、中间层170以及金属层171。

[0273] 多晶硅层169使用掺杂了杂质的掺杂多晶硅。作为多晶硅层169的杂质,能够使用氮(N)、磷(P)、砷(As)等n型杂质、铝(Al)、硼(B)等p型杂质。

[0274] 多晶硅层169形成为覆盖在接触孔166、167内露出的单元145的表面整个区域。多晶硅层169在第一源极沟槽155内与肖特基区域157、第一耐压保持区域156以及全部源极区域148接触,在第二源极沟槽159内与底部主体接触区域161、第二耐压保持区域160以及全部源极区域148接触。

[0275] 多晶硅层169在肖特基单元146中在与源极区域148之间形成有肖特基结。由此,多晶硅层169在与肖特基区域157之间形成结势垒小于分别内置于肖特基单元146及pn二极管单元147的体二极管172(由主体区域149与漂移区域150的pn结形成的二极管)的扩散电位(例如,2.8~3.2eV)的异质结(例如,结势垒的高度是1~1.5eV)。由此,在肖特基单元146中,在源电极168与肖特基区域157之间形成有异质结二极管172。另外,多晶硅层169在pn二极管单元147中在与底部主体接触区域161及源极区域148之间形成欧姆接触。

[0276] 中间层170是层叠于多晶硅层169上的金属层。金属层171形成源电极168的最表层。

[0277] 作为这样的多晶硅层169、中间层170以及金属层171的组合,是将多晶硅(多晶硅层169)、钛(中间层170)以及铝(金属层171)依次层叠的层叠构造(多晶硅/Ti/Al)。另外,除此之外,优选金属层171具有钼层(Mo层)。钼的熔点高,因此通过在金属层171中包含钼层,能够抑制因大电流流通于源电极168时产生的热而引起的金属层171的熔损。

[0278] 在SiC基板140的背面140B以覆盖其整个区域的方式形成有漏电极174。漏电极174相对于全部的单元145为共通的电极。作为漏电极174,例如能够使用从SiC基板140侧起依次层叠有钛(Ti)、镍(Ni)、金(Au)以及银(Ag)的层叠构造(Ti/Ni/Au/Ag)。

[0279] 如图33所示,在功率模块1中,多个上侧MIS晶体管130(在本实施方式中为三个上侧MIS晶体管130)安装于第一基板82A,多个下侧MIS晶体管131(在本实施方式中为三个下

侧MIS晶体管131)安装于第二基板82B。

[0280] 此外,本实施方式的功率模块1与第二实施方式的功率模块1比较,上侧信号基板86的第一基板82A中的位置及下侧信号基板87的第二基板82B中的位置、以及各输入端子部件83、84的第一基板82A中的位置及输出端子部件85的第一基板82A中的位置相同。另一方面,就本实施方式的功率模块1而言,第二输入端子部件84的形状与第二实施方式的功率模块1的第二输入端子部件84不同。

[0281] 本实施方式的第二输入端子部件84具有三个连接部,即第一连接部84a、第二连接部84b以及第三连接部84c。即,本实施方式的第二输入端子部件84没有第四连接部84d及第五连接部84e。随之,本实施方式的第二输入端子部件84的连结部84f的第二方向Y的长度比第二实施方式的第二输入端子部件84的连结部84f的第二方向Y的长度短。在本实施方式中,第二方向Y上的第一连接部84a与第二连接部84b之间的距离及第二方向Y上的第二连接部84b与第三连接部84c之间的距离分别大于上侧MIS晶体管130的第二方向Y的芯片尺寸。

[0282] 在第一基板82A中,三个上侧MIS晶体管130在第二方向Y上隔开间隔配置。各上侧MIS晶体管130在第一基板82A中配置于比上侧信号基板86靠第二基板82B侧的部分。换句话说,各上侧MIS晶体管130配置于第一基板82A的第二基板82B侧的端部。三个上侧MIS晶体管130中的一个位于第二方向Y上的第二输入端子部件84的第一连接部84a与第二连接部84b之间。该上侧MIS晶体管130在第二方向Y上配置于比第二连接部84b靠第一连接部84a。三个上侧MIS晶体管130中的另一个位于第二方向Y上的第二输入端子部件84的第二连接部84b与第三连接部84c之间。该上侧MIS晶体管130在第二方向Y上配置于比第三连接部84c靠第二连接部84b。三个上侧MIS晶体管130中的剩余的一个以与第三连接部84c相邻的方式相对于第三连接部84c位于与第二连接部84b在第二方向Y上相反的一侧。

[0283] 在第二基板82B中,三个下侧MIS晶体管131在第二方向Y上隔开间隔地配置。各下侧MIS晶体管131在第二基板82B中配置于比下侧信号基板87靠第一基板82A侧的部分。换句话说,各下侧MIS晶体管131配置于第二基板82B的第一基板82A侧的端部。三个下侧MIS晶体管131中的一个配置为在第一方向X上与第二输入端子部件84的第一连接部84a对置。三个下侧MIS晶体管131中的另外一个配置为在第一方向X上与第二输入端子部件84的第二连接部84b对置。三个下侧MIS晶体管131中剩余的一个配置为在第一方向X上与第二输入端子部件84的第三连接部84c对置。

[0284] 三个上侧MIS晶体管130互相并联连接。三个下侧MIS晶体管131互相并联连接。这些晶体管130、131的电力用线44、46及控制用线45、47的连接方案与第二实施方式的开关元件11及下侧开关元件12的电力用线44、46及控制用线45、47的连接方案相同。

[0285] (模拟结果)

[0286] 在比较例及本实施方式的功率模块1中,关于将上侧开关元件11(上侧MIS晶体管130)维持在断开状态,并驱动下侧开关元件12(下侧MIS晶体管131)的情况下的负侧的浪涌电压的产生与开关损耗的关系,基于图7及图34所示的示意性的电路结构进行模拟。图7表示比较例的功率模块的示意性的电路结构,图34表示本实施方式的功率模块1的示意性的电路结构。

[0287] 在图34的电路结构中,上侧MIS晶体管130的源极和栅极被短路,在下侧MIS晶体管131的栅极电连接有下侧栅极驱动电路3。在下侧MIS晶体管131的栅极与下侧栅极驱动电路

3之间设有栅电阻8。在上侧MIS晶体管130的漏极电连接有电源ES的正侧端子,在下侧MIS晶体管131的源极电连接有电源ES的负侧端子。图34的电路结构具有将电源ES的正侧端子与上侧MIS晶体管130的漏极之间和上侧MIS晶体管130的源极与下侧MIS晶体管131的漏极之间相连的配线9。配线9具有电感负载9a。

[0288] 在比较例的功率模块中,进行使栅电阻8变化成 2Ω 、 3Ω 、 4Ω 以及 5Ω 的情况的模拟。在此,将比较例的功率模块的电路结构且栅电阻8是 2Ω 的情况规定为基准条件。

[0289] 如图35所示,在比较例的功率模块中,通过增大栅电阻8,下侧开关元件12的开关速度(漏极-源极间电压 V_{ds1} 的变化速度)变慢,从而负侧的浪涌电压的绝对值变小,另一方面,通过增大栅电阻8,开关损耗急剧变大。

[0290] 如图35所示,在本实施方式的功率模块1中,相比基准条件,负侧的浪涌电压的绝对值变小。另外,在本实施方式的功率模块1中,与第三实施方式的功率模块1比较,负侧的浪涌电压的绝对值变小。这可以考虑原因在于,通过使用在同一芯片形成有上侧开关元件11及上侧二极管71的上侧MIS晶体管130,能够省略与上侧二极管71连接的上侧二极管用线91,因该上侧二极管用线91的电感而引起的浪涌电压消失了。另一方面,随着上侧电容器13及下侧电容器14的电容变大,开关损耗变大,但与如比较例的功率模块地增大栅电阻8的情况相比,开关损耗变小。

[0291] 根据本实施方式,除了第二实施方式的(2-1)及(2-4)的效果,还可得到以下的效果。

[0292] (3-1) 功率模块1具有:在同一芯片形成有上侧开关元件11及上侧二极管71的上侧MIS晶体管130;以及在同一芯片形成有下侧开关元件12及下侧二极管72的下侧MIS晶体管131。根据该结构,能够省略上侧二极管用线91及下侧二极管用线92,因此能够避免上侧MIS晶体管130及下侧MIS晶体管131受上侧二极管用线91的电感及下侧二极管用线92的电感的影响。因此,能够有效地抑制上侧MIS晶体管130的栅极-源极间电压 V_{gsu} 及下侧MIS晶体管131的栅极-源极间电压 V_{gs1} 的浪涌电压引起的变动。

[0293] 而且,与将上侧开关元件11及上侧二极管71设为个别的芯片,将下侧开关元件12及下侧二极管72设为个别的芯片的结构比较,能够减少功率模块1的元件数量,能够实现功率模块1的小型化。

[0294] (3-2) 多个上侧MIS晶体管130在第一基板82A的第二方向Y上隔开间隔配置,多个下侧MIS晶体管131在第二基板82B的第二方向Y上隔开间隔配置。第一基板82A构成为第二方向Y上的第一基板82A的导热性比第一方向X上的第一基板82A的导热性低。第二基板82B构成为第二方向Y上的第二基板82B的导热性比第一方向X上的第二基板82B的导热性低。根据该结构,上侧MIS晶体管130的热难以传到与该上侧MIS晶体管130相邻的上侧MIS晶体管130,下侧MIS晶体管131的热难以传到与该下侧MIS晶体管131相邻的下侧MIS晶体管131。因此,能够抑制上侧MIS晶体管130及下侧MIS晶体管131的温度变得过高。

[0295] (3-3) 多个上侧MIS晶体管130配置为在第二方向Y上与第二输入端子部件84的各连接部84a~84c相邻。即,上侧MIS晶体管130的上侧电力用线44和下侧MIS晶体管131的下侧电力用线46在第二方向Y上相邻。根据该结构,在上侧MIS晶体管130及下侧MIS晶体管131互补地接通断开的情况下,流向上侧电力用线44的电流的朝向和流向下侧电力用线46的电流的朝向为相反方向。由此,在上侧电力用线44产生的磁场和在下侧电力用线46产生的磁

场互相抵消,因此能够减小上侧电力用线44及下侧电力用线46的噪声。特别地,上侧电力用线44和下侧电力用线46互相平行,因此能够使在上侧电力用线44产生的磁场和在下侧电力用线46产生的磁场有效地互相抵消。

[0296] (第四实施方式)

[0297] 参照图36~图39,对第四实施方式的功率模块1进行说明。本实施方式的功率模块1与第一实施方式的功率模块1比较,不同点在于,追加了第二实施方式的功率模块1的上侧二极管71及下侧二极管72。在以下的说明中,对与第一实施方式的功率模块1共通的结构标注相同符号,省略其说明。

[0298] 如图36及图37所示,上侧二极管71设为与上侧开关元件11分体,下侧二极管72设为与下侧开关元件12分体。如图36所示,上侧二极管71的阴极与将上侧开关元件11的漏极端子11d和第一输入端子P相连的第一配线15电连接。更详细来说,上侧二极管71的阴极在第一配线15电连接于上侧开关元件11的漏极端子11d与上侧电容器13的第一端子之间的部分。上侧二极管71的阳极在将上侧开关元件11的源极端子11s和下侧开关元件12的漏极端子12d相连的第四配线18电连接于比节点N靠上侧开关元件11侧的部分。下侧二极管72的阴极在第四配线18电连接于比节点N靠下侧开关元件12侧的部分。更详细来说,下侧二极管72的阴极在第四配线18电连接于下侧开关元件12的漏极端子12d与下侧电容器14的第一端子之间的部分。下侧二极管72的阳极与将下侧开关元件12的源极端子12s和第二输入端子N相连的第五配线19电连接。在本实施方式中,上侧二极管71及下侧二极管72分别使用了肖特基势垒二极管。上侧二极管71及下侧二极管72各自的正向阈值电压比上侧开关元件11的体二极管11a及下侧开关元件12的体二极管12a各自的正向阈值电压低。

[0299] 上侧开关元件11及下侧开关元件12各自的个数能够任意变更。例如,上侧开关元件11及下侧开关元件12各自的个数设定为成为预先设定的接通电阻。在设有多个上侧开关元件11的情况下,多个上侧开关元件11互相并联连接。即,多个上侧开关元件11的漏极端子11d互相连接,多个上侧开关元件11的源极端子11s互相连接,多个上侧开关元件11的栅极端子11g互相连接。另外,在设有多个下侧开关元件12的情况下,多个下侧开关元件12互相并联连接。即,多个下侧开关元件12的漏极端子12d互相连接,多个下侧开关元件12的源极端子12s互相连接,多个下侧开关元件12的栅极端子12g互相连接。在本实施方式中,上侧开关元件11设有三个,下侧开关元件12设有三个。

[0300] 另外,上侧二极管71及下侧二极管72各自的个数能够任意变更。例如,上侧二极管71及下侧二极管72各自的个数基于避开上侧开关元件11及下侧开关元件12流动的回流电流的大小而设定。在上侧二极管71设有多个的情况下,多个上侧二极管71互相并联连接。即,多个上侧二极管71的阳极互相连接,多个上侧二极管71的阴极互相连接。多个上侧二极管71的阴极与第一配线15连接,多个上侧二极管71的阳极与第四配线18的比节点N靠上侧开关元件11侧的部分连接。另外,在设有多个下侧二极管72的情况下,多个下侧二极管72互相并联连接。即,多个下侧二极管72的阳极互相连接,多个下侧二极管72的阴极互相连接。多个下侧二极管72的阴极与第四配线18的比节点N靠下侧开关元件12侧的部分连接,多个下侧二极管72的阳极与第五配线19连接。在本实施方式中,上侧二极管71设有两个,下侧二极管72设有两个。

[0301] 功率模块1构成为,上侧二极管71能够容许的DC额定电流低于上侧开关元件11能

够容许的DC额定电流,且下侧二极管72能够容许的DC额定电流低于下侧开关元件12能够容许的DC额定电流。在此,DC额定电流是绝对最大额定的直流电流。在上侧二极管71及上侧开关元件11分别设有多个的情况下,功率模块1构成为多个上侧二极管71的DC额定电流的合计低于多个上侧开关元件11的DC额定电流的合计。另外,在下侧二极管72及下侧开关元件12分别设有多个的情况下,功率模块1构成为多个下侧二极管72的DC额定电流的合计低于多个下侧开关元件12的DC额定电流的合计。

[0302] 在一例中,功率模块1构成为,上侧二极管71的个数比上侧开关元件11的个数少,且下侧二极管72的个数比下侧开关元件12的个数少。如上所述,在本实施方式中,如图19所示,功率模块1具有三个上侧开关元件11、三个的下侧开关元件12、两个上侧二极管71以及两个下侧二极管72。另外,例如,一个上侧二极管71能够容许的DC额定电流也可以低于一个上侧开关元件11能够容许的DC额定电流。另外,一个下侧二极管72能够容许的DC额定电流也可以低于一个下侧开关元件12能够容许的DC额定电流。在该情况下,上侧开关元件11的个数和上侧二极管71的个数也可以相等。另外,下侧开关元件12的个数和下侧二极管72的个数也可以相等。

[0303] 三个上侧开关元件11及两个上侧二极管71分别通过焊锡等安装于第一输入配线部23。三个上侧开关元件11及两个上侧二极管71沿着第一方向X交替排列配置。

[0304] 上侧电容器13在第一方向X上位于比三个上侧开关元件11中的最靠近第一输入端子部件30侧的上侧开关元件11靠第一输入端子部件30侧。上侧电容器13在第一上侧控制配线部25连接于比供上侧控制用线45连接的部分靠第一上侧控制端子部件33侧的部分,上述上侧控制用线45连接于三个上侧开关元件11中的最靠近第一输入端子部件30侧的上侧开关元件11的栅电极42。

[0305] 三个下侧开关元件12及两个下侧二极管72分别通过焊锡等安装于输出配线部22。三个下侧开关元件12及两个下侧二极管72沿着第一方向X交替排列配置。在第一方向X上,三个下侧开关元件12的位置与三个上侧开关元件11的位置相等。在第一方向X上,两个下侧二极管72的位置与两个上侧二极管71的位置相等。

[0306] 下侧电容器14在第一方向X上位于比三个下侧开关元件12中的最靠近第二输入端子部件31侧的下侧开关元件12靠第二输入端子部件31侧。下侧电容器14在第一下侧控制配线部27连接于比供下侧控制用线47连接的部分靠第一下侧控制端子部件35侧的部分连接,上述下侧控制用线47连接于三个下侧开关元件12中的最靠近第二输入端子部件31侧的下侧开关元件12的栅电极42。

[0307] 各开关元件11、12的各电力用线44、46及各控制用线45、47的连接方案与第一实施方式的各开关元件11、12的各电力用线44、46及各控制用线45、47的连接方案相同。各二极管71、72的各二极管用线91、92的连接方案与第二实施方式的各二极管71、72的各二极管用线91、92的连接方案相同。本实施方式的上侧二极管用线91的线径与上侧电力用线44的线径相等。四根上侧二极管用线91优选构成为其电感小于四根上侧电力用线44的电感。在一例中,如图37所示,四根上侧二极管用线91的长度分别比四根上侧电力用线44的长度短,四根下侧二极管用线92的长度分别比四根下侧电力用线46的长度短。此外,作为各二极管用线91、92的电感小于各电力用线44、46的电感的结构的一例,也可以构成为,各二极管用线91、92的线径大于各电力用线44、46的线径。此外,各电力用连接部件例如也可以是CIC(Cu/

Inver/Cu)的引线框等。

[0308] 此外,根据本实施方式,可得到与第一实施方式的(1-1)~(1-9)的效果及第二实施方式的(2-1)、(2-2)、(2-5)以及(2-6)的效果相同的效果。另外,在本实施方式中,也可以取代上侧开关元件11及上侧二极管71而使用上侧MIS晶体管130,也可以取代下侧开关元件12及下侧二极管72而使用下侧MIS晶体管131。在该情况下,可得到第三实施方式的(3-1)的效果。

[0309] (模拟结果)

[0310] 在比较例及本实施方式的功率模块1中,关于将上侧开关元件11维持在断开状态,并驱动下侧开关元件12的情况下的负侧的浪涌电压的产生与开关损耗的关系,基于图7及图38所示的示意性电路结构进行模拟。图7表示比较例的功率模块的示意性的电路结构,图38表示本实施方式的功率模块1的示意性的电路结构。

[0311] 在图38的电路结构中,在上侧开关元件11的漏极电连接有上侧二极管71的阴极及上侧电容器13的第一端子,在上侧开关元件11的源极电连接有上侧二极管71的阳极,在上侧开关元件11的栅极端子电连接有上侧电容器13的第二端子。上侧开关元件11的源极和栅极被短路。

[0312] 在下侧开关元件12的漏极电连接有下列二极管72的阴极及下侧电容器14的第一端子,在下侧开关元件12的源极电连接有下列二极管72的阳极,在下侧开关元件12的栅极电连接有下列电容器14的第二端子。另外,在下侧开关元件12的栅极电连接有下列栅极驱动电路3。在下侧开关元件12的栅极与下侧栅极驱动电路3之间设置有栅电阻8。在上侧开关元件11的漏极电连接有电源ES的正侧端子,在下侧开关元件12的源极电连接有电源ES的负侧端子。图38的电路结构具有将电源ES的正侧端子与上侧开关元件11的漏极之间和上侧开关元件11的源极与下侧开关元件12的漏极之间相连的配线9。配线9具有电感负载9a。

[0313] 在比较例的功率模块中,进行使栅电阻8变化成 2Ω 、 3Ω 、 4Ω 以及 5Ω 的情况的模拟。在此,将比较例的功率模块的电路结构且栅电阻8是 2Ω 的情况规定为基准条件。

[0314] 如图39所示,在比较例的功率模块中,通过增大栅电阻8,下侧开关元件12的开关速度(漏极-源极间电压 V_{ds1} 的变化速度)变慢,从而负侧的浪涌电压的绝对值变小,另一方面,通过增大栅电阻8,开关损耗急剧变大。

[0315] 在本实施方式的功率模块1中,进行使用的上侧电容器13及下侧电容器14的电容为150pF的情况的模拟。其结果为图39的点A。

[0316] 如图39的点A所示,在本实施方式的功率模块1中,通过上侧电容器13及下侧电容器14和上侧二极管71及下侧二极管72,相比基准条件,负侧的浪涌电压的绝对值变小。另一方面,开关损耗变大,但与如比较例的功率模块地增大栅电阻8的情况相比,开关损耗变小。

[0317] 另外,在本实施方式的功率模块1中,进行如下情况的模拟:取代上侧开关元件11及上侧二极管71而使用上侧MIS晶体管130,且取代下侧开关元件12及下侧二极管72而使用下侧MIS晶体管131。其结果为图39的点B。

[0318] 如图39的点B所示,在本实施方式的功率模块1中,相比点A,负侧的浪涌电压的绝对值变小。另一方面,开关损耗变大,但与如比较例的功率模块地增大栅电阻8的情况相比,开关损耗变小。

[0319] (变形例)

[0320] 与上述各实施方式相关的说明是根据本发明的半导体装置及功率模块可以取得的方式的示例,并非意图限制其方式。根据本发明的半导体装置及功率模块除了上述各实施方式以外,可以取得例如以下所示的变形例、及将相互不矛盾的至少两个变形例组合的方式。

[0321] 也可以组合第一实施方式的功率模块1的半导体装置10和第二实施方式的功率模块1的基板80。在该情况下,上侧电容器13设于供连接于最靠近第一上侧控制端子部件88A的上侧开关元件11的上侧控制用线45连接于第一上侧控制配线部86c的部分与供第一上侧控制端子部件88A连接于第一上侧控制配线部86c的部分之间的部分。下侧电容器14设于供连接于最靠近第一下侧控制端子部件89A的下侧开关元件12的下侧控制用线47连接于第一下侧控制配线部87c的部分与供第一下侧控制端子部件89A连接于第一下侧控制配线部87c的部分之间的部分。另外,在该情况下,第二输入端子部件84也可以构成为,与图33所示的第二输入端子部件84相同地具有第一连接部84a、第二连接部84b以及第三连接部84c,不具有第四连接部84d及第五连接部84e。

[0322] 也可以组合第二实施方式的功率模块1的半导体装置10和第一实施方式的功率模块1的基板20。在该情况下,例如,构成为,从图37所示的第四实施方式的功率模块1的结构省略了上侧电容器13及下侧电容器14。此外,也可以省略上侧岛部37及上侧连接用线39U和下侧岛部38及下侧连接用线39L的至少一方。

[0323] 也可以组合第四实施方式的功率模块1和第三实施方式的功率模块1。即,也可以是,在第四实施方式的功率模块1中,上侧开关元件11及上侧二极管71形成于同一芯片,下侧开关元件12及下侧二极管72形成于同一芯片。

[0324] 在第二及第三实施方式中,与上侧信号基板86连接的第一上侧控制端子部件88A及第二上侧控制端子部件88B也可以在第二方向Y上配置于第二输入端子部件84的第一连接部84a侧。另外,与下侧信号基板87连接的第一下侧控制端子部件89A及第二下侧控制端子部件89B也可以在第二方向Y上配置于第二输入端子部件84的第一连接部84a侧。

[0325] 在第一及第四实施方式中,使用了下侧岛部38的下侧电容器14与输出配线部22的电连接方案能够任意变更。例如,也可以变更成如图40及图41所示的连接方案。

[0326] 如图40所示,下侧岛部38以从第一方向X覆盖第二输入配线部24的方式沿第二方向Y延伸。在第二方向Y上,下侧岛部38设为与输出配线部22相邻。由此,将下侧岛部38和输出配线部22电连接的下侧连接用线39L不跨过第二输入配线部24。即,能够缩短下侧连接用线39L的长度。

[0327] 如图41所示,在第一方向X上,下侧岛部38以与第二输入配线部24对置的方式设置。下侧岛部38设为在第二方向Y上与输出配线部22相邻。另外,下侧岛部38设为在第二方向Y上与第一下侧控制配线部27的弯曲部27c相邻。在该情况下,下侧电容器14配置为其第一端子及第二端子的排列方向为沿着第二方向Y的方向。

[0328] 在第一及第四实施方式中,也可以省略上侧岛部37。在该情况下,上侧电容器13的第一端子直接连接于第一上侧控制配线部25的弯曲部25c,上侧电容器13的第二端子直接连接于第一输入配线部23。

[0329] 在第一及第四实施方式中,也可以省略下侧岛部38。在该情况下,缩短第二输入配线部24的第一部分24a的第一方向X的长度,并将输出配线部22的一部分以从第一方向X覆

盖第一部分24a的方式沿第二方向Y延长。由此,输出配线部22的一部分在第二方向Y上与第一下侧控制配线部27的弯曲部27c在第二方向Y上隔开间隙对置。下侧电容器14的第一端子直接连接于弯曲部27c,下侧电容器14的第二端子直接连接于输出配线部22的一部分。

[0330] 在第一及第四实施方式中,输出配线部22的第一部分22a的第一方向X的长度及第一输入配线部23的第一部分23a的第一方向X的长度分别能够任意变更。例如,在第一实施方式中,也可以根据安装于输出配线部22的下侧开关元件12的个数设定输出配线部22的第一部分22a的第一方向X的长度,也可以根据安装于第一输入配线部23的上侧开关元件11的个数设定第一输入配线部23的第一部分23a的第一方向X的长度。例如在上侧开关元件11及下侧开关元件12分别是一个的情况下,能够缩短输出配线部22的第一部分22a的第一方向X的长度及第一输入配线部23的第一部分23a的第一方向X的长度。由此,能够实现功率模块1的第一方向X的小型化。另外,在第四实施方式中,也可以根据安装于输出配线部22的下侧开关元件12的个数及下侧二极管72的个数设定输出配线部22的第一部分22a的第一方向X的长度。另外,也可以根据安装于第一输入配线部23的上侧开关元件11的个数及上侧二极管71的个数设定第一输入配线部23的第一部分23a的第一方向X的长度。

[0331] 在第一实施方式中,如图42所示,功率模块1也可以具有:作为电连接于上侧开关元件11的栅极端子11g(参照图1)的上侧控制电阻的一例的栅电阻180;以及作为电连接于下侧开关元件12的栅极端子12g(参照图1)的下侧控制电阻的一例的栅电阻181。栅电阻180设为与上侧开关元件11分体。栅电阻181设为与下侧开关元件12分体。栅电阻180在第一上侧控制配线部25安装于供连接于上侧开关元件11的栅电极42(参照图5(a))的上侧控制用线45连接的部分与弯曲部25c之间的部分。由此,栅电阻180的第一端子(第一上侧电阻端子)与上侧开关元件11的栅极端子11g电连接,栅电阻180的第二端子(第二上侧电阻端子)与上侧电容器13的第一端子电连接。栅电阻181在第一下侧控制配线部27安装于供连接于下侧开关元件12的栅电极42的下侧控制用线47连接的部分与弯曲部27c之间的部分。由此,栅电阻181的第一端子(第一下侧电阻端子)与下侧开关元件12的栅极端子12g电连接,栅电阻181的第二端子(第二下侧电阻端子)与下侧电容器14的第一端子电连接。根据该结构,能够通过变更栅电阻180、181的电阻值来进行调整,以使上侧开关元件11及下侧开关元件12成为适当的动作速度。

[0332] 在各实施方式中,上侧开关元件11及下侧开关元件12的结构能够任意变更。例如,上侧开关元件11及下侧开关元件12也可以是如图43所示的结构。此外,在以下的说明中,上侧开关元件11及下侧开关元件12是相同的构造,因此对上侧开关元件11的结构进行说明,省略下侧开关元件12的结构说明。

[0333] 如图43(a)和图43(b)所示,上侧开关元件11也可以是由氮化镓(GaN)的HEMT(High Electron Mobility Transistor)等氮化物半导体构成的晶体管。此外,作为氮化物半导体,也可以使用氮化铝镓(AlGaN)、氮化铟镓(InGaN)等。

[0334] 图43(a)所示的上侧开关元件11具有:形成于例如硅基板(Si基板210)上,且由氮化镓(GaN)等构成的缓冲层211;形成于缓冲层211上,且由未掺杂GaN层构成的沟道层212;以及形成于沟道层212上,且由未掺杂AlGaN层构成的电子供给层213。而且,在电子供给层213上形成有源电极214、漏电极215以及绝缘层216。另外,在电子供给层213之上经由绝缘层216形成有栅电极217。

[0335] 就这样的上侧开关元件11而言,在由未掺杂GaN构成的沟道层212的表面异质接合有由未掺杂AlGaN构成的电子供给层213,因此在接合的部分的界面产生二维电子气体(2DEG:Two Dimensional Electron Gas)。因此,2DEG层内的电子成为载体,沟道层21显示出导电性。

[0336] 在图43(b)所示的上侧开关元件11中,相对于图43(a)的上侧开关元件11的结构,在由未掺杂AlGaN构成的电子供给层213形成有沟槽218。在沟槽218的侧面及底面形成有绝缘层216。对于该绝缘层216的侧面及底面,填充有栅电极217。其它结构与图43(a)的上侧开关元件11的结构相同。

[0337] 在图43(b)的上侧开关元件11中,通过在相对于由未掺杂AlGaN构成的电子供给层213形成的沟槽218内隔着绝缘层216形成栅电极217,实现了栅电极217的下侧的沟道层212与电子供给层213的界面的2DEG层的常闭特性。

[0338] 在各实施方式中,就上侧栅极驱动电路2而言,也可以是,在下侧开关元件12接通断开驱动时,上侧开关元件11同步整流。就下侧栅极驱动电路3而言,也可以是,在上侧开关元件11接通断开驱动时,下侧开关元件12同步整流。换句话说,在各实施方式中,各栅极驱动电路2、3也可以以使上侧开关元件11和下侧开关元件12互补地接通断开的方式控制上侧开关元件11及下侧开关元件12。此外,有时将包括功率模块1和各栅极驱动电路2、3的结构称为功率驱动电路。功率驱动电路也可以是各栅极驱动电路2、3内置于功率模块1的结构。

[0339] (应用功率模块1的电路)

[0340] 参照图44及图45,例示应用功率模块1的电路进行说明。

[0341] 图44所示的全桥型逆变器电路(以下简称为“逆变器电路230”)能够应用于功率模块1。逆变器电路230具备第一逆变器部231、第二逆变器部232、输入电容器233以及栅极驱动电路234。该逆变器电路230例如用于两相交流马达(图示略)的驱动、电源电路。

[0342] 第一逆变器部231具有上侧开关元件231U及下侧开关元件231L。上侧开关元件231U的源极端子和下侧开关元件231L的漏极端子电连接。第一逆变器部231与输入电容器233并联连接。详细来说,上侧开关元件231U的漏极端子与输入电容器233的第一端子电连接,下侧开关元件231L的源极端子与输入电容器233的第二端子电连接。

[0343] 第二逆变器部232具有上侧开关元件232U及下侧开关元件232L。上侧开关元件232U的源极端子和下侧开关元件232L的漏极端子电连接。第二逆变器部232与第一逆变器部231并联连接。详细来说,上侧开关元件232U的漏极端子与上侧开关元件231U的漏极端子电连接,下侧开关元件232L的源极端子与下侧开关元件231L的源极端子电连接。

[0344] 栅极驱动电路234与各开关元件231U、231L、232U、232L的栅极端子分别电连接。栅极驱动电路234控制各开关元件231U、231L、232U、232L的接通断开。

[0345] 在这样的逆变器电路230中,功率模块1能够应用于第一逆变器部231及第二逆变器部232的至少一方。在功率模块1应用于第一逆变器部231的情况下,在功率模块1的第一输入端子P及第二输入端子N分别电连接有输入电容器233的第一端子及第二端子,在第一上侧控制端子GU1及第一下侧控制端子GL1电连接有栅极驱动电路234。在功率模块1应用于第二逆变器部232的情况下,在第一输入端子P及第二输入端子N分别电连接有上侧开关元件231U的漏极端子及下侧开关元件231L的源极端子,在第一上侧控制端子GU1及第一下侧控制端子GL1电连接有栅极驱动电路234。

[0346] 图45所示的3相交流逆变器电路(以下简称为“三相逆变器电路240”)也能够应用于功率模块1。

[0347] 三相逆变器电路240具备与三相交流马达(以下简称为“马达247”)的U相、V相以及W相线圈电连接的功率驱动部241、控制功率驱动部241的栅极驱动电路245、以及与功率驱动部241和电源ES连接的转换器部246。转换器部246具有正侧电力端子EP及负侧电力端子EN。

[0348] 功率驱动部241控制向马达247的U相、V相以及W相线圈供给的电力。功率驱动部241具有U相逆变器部242、V相逆变器部243以及W相逆变器部244。U相逆变器部242、V相逆变器部243以及W相逆变器部244在正侧电力端子EP与负侧电力端子EN之间互相并联连接。

[0349] U相逆变器部242具有上侧开关元件242U及下侧开关元件242L。上侧开关元件242U的漏极端子与正侧电力端子EP电连接。上侧开关元件242U的源极端子和下侧开关元件242L的漏极端子电连接。下侧开关元件242L的源极端子与负侧电力端子EN连接。在上侧开关元件242U反并联连接有缓冲二极管242A,在下侧开关元件242L反并联连接有缓冲二极管242B。详细来说,缓冲二极管242A的阳极与上侧开关元件242U的源极端子电连接,缓冲二极管242A的阴极与上侧开关元件242U的漏极端子电连接。缓冲二极管242B的阳极与下侧开关元件242L的源极端子电连接,缓冲二极管242B的阴极与下侧开关元件242L的漏极端子电连接。

[0350] V相逆变器部243具有上侧开关元件243U及下侧开关元件243L。上侧开关元件243U的漏极端子与正侧电力端子EP电连接。上侧开关元件243U的源极端子和下侧开关元件243L的漏极端子电连接。下侧开关元件243L的源极端子与负侧电力端子EN连接。在上侧开关元件243U反并联连接有缓冲二极管243A,在下侧开关元件243L反并联连接有缓冲二极管243B。详细来说,缓冲二极管243A的阳极与上侧开关元件243U的源极端子电连接,缓冲二极管243A的阴极与上侧开关元件243U的漏极端子电连接。缓冲二极管243B的阳极与下侧开关元件243L的源极端子电连接,缓冲二极管243B的阴极与下侧开关元件243L的漏极端子电连接。

[0351] W相逆变器部244具有上侧开关元件244U及下侧开关元件244L。上侧开关元件244U的漏极端子与正侧电力端子EP电连接。上侧开关元件244U的源极端子和下侧开关元件244L的漏极端子电连接。下侧开关元件244L的源极端子与负侧电力端子EN连接。在上侧开关元件244U反并联连接有缓冲二极管244A,在下侧开关元件244L反并联连接有缓冲二极管244B。详细来说,缓冲二极管244A的阳极与上侧开关元件244U的源极端子电连接,缓冲二极管244A的阴极与上侧开关元件244U的漏极端子电连接。缓冲二极管244B的阳极与下侧开关元件244L的源极端子电连接,缓冲二极管244B的阴极与下侧开关元件244L的漏极端子电连接。

[0352] 栅极驱动电路245与各开关元件242U、242L、243U、243L、244U、244L的栅极端子分别电连接。栅极驱动电路245控制各开关元件242U、242L、243U、243L、244U、244L的接通断开。

[0353] 在这样的三相逆变器电路240中,功率模块1能够应用于U相逆变器部242、V相逆变器部243以及W相逆变器部244的至少一个。在功率模块1应用于U相逆变器部242的情况下,在功率模块1的第一输入端子P及第二输入端子N分别电连接有正侧电力端子EP及负侧电力

端子EN,在第一上侧控制端子GU1及第一下侧控制端子GL1电连接有栅极驱动电路245。功率模块1的输出端子O与马达247的U相的线圈电连接。另外,在功率模块1应用于V相逆变器部243的情况及功率模块1应用于W相逆变器部244的情况下,也与功率模块1应用于U相逆变器部242的情况相同。构成V相逆变器部243的功率模块1的输出端子O与马达247的V相线圈电连接。构成W相逆变器部244的功率模块1的输出端子O与马达247的W相线圈电连接。此外,功率模块1不限于逆变器电路,也可以应用于转换器电路。

[0354] (附记)

[0355] 接下来,对根据上述各实施方式及上述各变形例能够掌握的技术思想进行记载。

[0356] (附记A1)一种功率驱动电路,其具有:上侧开关元件,其由宽带隙半导体构成,且具有第一上侧端子、第二上侧端子以及上侧控制端子;下侧开关元件,其由宽带隙半导体构成,且具有第一下侧端子、第二下侧端子以及下侧控制端子;上侧二极管,其由宽带隙半导体构成,阳极与第二上侧端子连接,阴极与第一上侧端子连接;下侧二极管,其由宽带隙半导体构成,阳极与第二下侧端子连接,阴极与第一下侧端子连接;以及控制驱动电路,其与上述上侧开关元件的上述上侧控制端子及上述下侧开关元件的上述下侧控制端子电连接,且控制上述上侧开关元件及上述下侧开关元件,上述上侧二极管的正向阈值电压比上述上侧开关元件的体二极管的正向阈值电压低,上述下侧二极管的正向阈值电压比上述下侧开关元件的体二极管的正向阈值电压低,上述控制驱动电路对上述上侧开关元件及上述下侧开关元件进行同步整流。

[0357] (附记A2)就附记A1所记载的功率驱动电路而言,上述上侧二极管的能够容许的DC额定电流低于上述上侧开关元件的能够容许的DC额定电流,上述下侧二极管的能够容许的DC额定电流低于上述下侧开关元件的能够容许的DC额定电流。

[0358] (附记B1)一种功率模块的控制方法,该功率模块具有:上侧开关元件,其由宽带隙半导体构成,且具有第一上侧端子、第二上侧端子以及上侧控制端子;下侧开关元件,其由宽带隙半导体构成,且具有第一下侧端子、第二下侧端子以及下侧控制端子;上侧二极管,其由宽带隙半导体构成,阳极与第二上侧端子连接,阴极与第一上侧端子连接;下侧二极管,其由宽带隙半导体构成,阳极与第二下侧端子连接,阴极与第一下侧端子连接;以及控制驱动电路,其与上述上侧开关元件的上述上侧控制端子及上述下侧开关元件的上述下侧控制端子电连接,且控制上述上侧开关元件及上述下侧开关元件,在上述功率模块的控制方法中,使上述上侧二极管的正向阈值电压比上述上侧开关元件的体二极管的正向阈值电压低,使上述下侧二极管的正向阈值电压比上述下侧开关元件的体二极管的正向阈值电压低,对上述上侧开关元件及上述下侧开关元件进行同步整流。

[0359] 符号说明

[0360] 1—功率模块,10—半导体装置,11—上侧开关元件,11a—体二极管,11d—漏极端子(第一上侧端子),11s—源极端子(第二上侧端子),11g—栅极端子(上侧控制端子),12—下侧开关元件,12a—体二极管,12d—漏极端子(第一下侧端子),12s—源极端子(第二下侧端子),12g—栅极端子(下侧控制端子),13—上侧电容器,14—下侧电容器,20—基板,21—陶瓷基板(支撑基板),22—输出配线部,23—第一输入配线部,24—第二输入配线部,25—第一上侧控制配线部(上侧控制配线部),26—第二上侧控制配线部,27—第一下侧控制配线部(下侧控制配线部),28—第二下侧控制配线部,30—第一输入端子部件,31—第二输入

端子部件,32—输出端子部件,33—第一上侧控制端子部件,34—第二上侧控制端子部件,35—第一下侧控制端子部件,36—第二下侧控制端子部件,37—上侧岛部,38—下侧岛部,39U—上侧连接用线,39L—下侧连接用线,40—密封树脂,44—上侧电力用线(上侧电力用连接部件),45—上侧控制用线(上侧控制用连接部件),46—下侧电力用线(下侧电力用连接部件),47—下侧控制用线(下侧控制用连接部件),71—上侧二极管,72—下侧二极管,80—基板,81—陶瓷基板(支撑基板),81a—主体部,81b—背面金属层(第一背面侧金属层、第二背面侧金属层),81c—表面金属层(第一表面侧金属层、第二表面侧金属层),82—石墨基板,82A—第一基板,82B—第二基板,82a—主体部,82b—背面金属层,82c—表面金属层,83—第一输入端子部件,84—第二输入端子部件(输入端子部件),84a—第一连接部,84b—第二连接部,84c—第三连接部,84d—第四连接部,84e—第五连接部,85—输出端子部件,88A—第一上侧控制端子部件,88B—第二上侧控制端子部件,89A—第一下侧控制端子部件,89B—第二下侧控制端子部件,90—密封树脂,91—上侧二极管用线(上侧二极管用连接部件),92—下侧二极管用线(下侧二极管用连接部件),130—上侧MIS晶体管(上侧开关元件),131—下侧MIS晶体管(下侧开关元件),180—栅电阻(上侧控制电阻),181—栅电阻(下侧控制电阻),GU2—第二上侧控制端子,GL2—第二下侧控制端子。

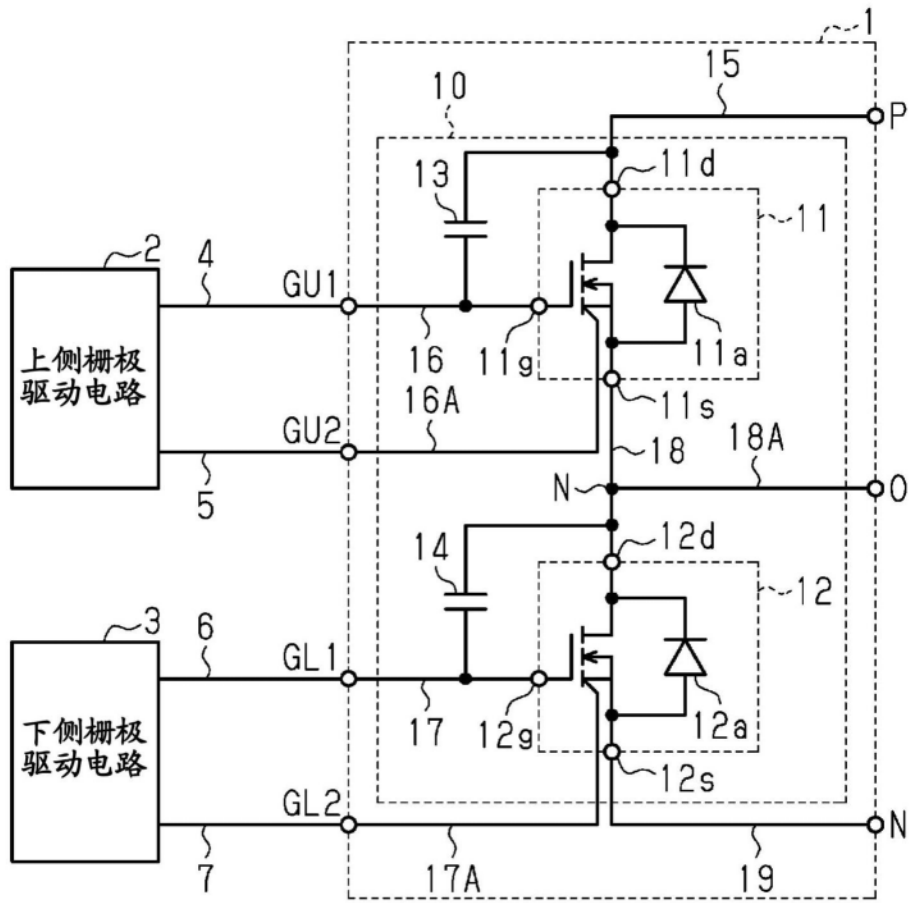


图1

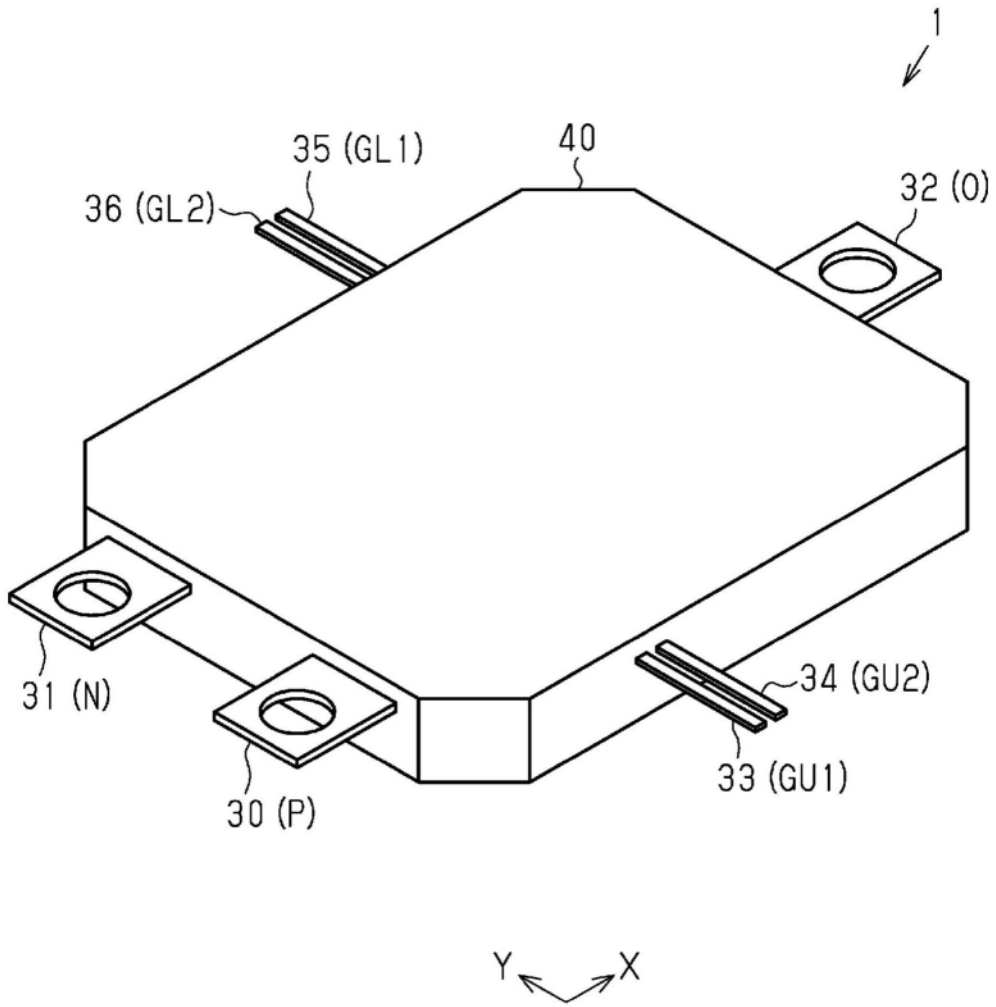


图2

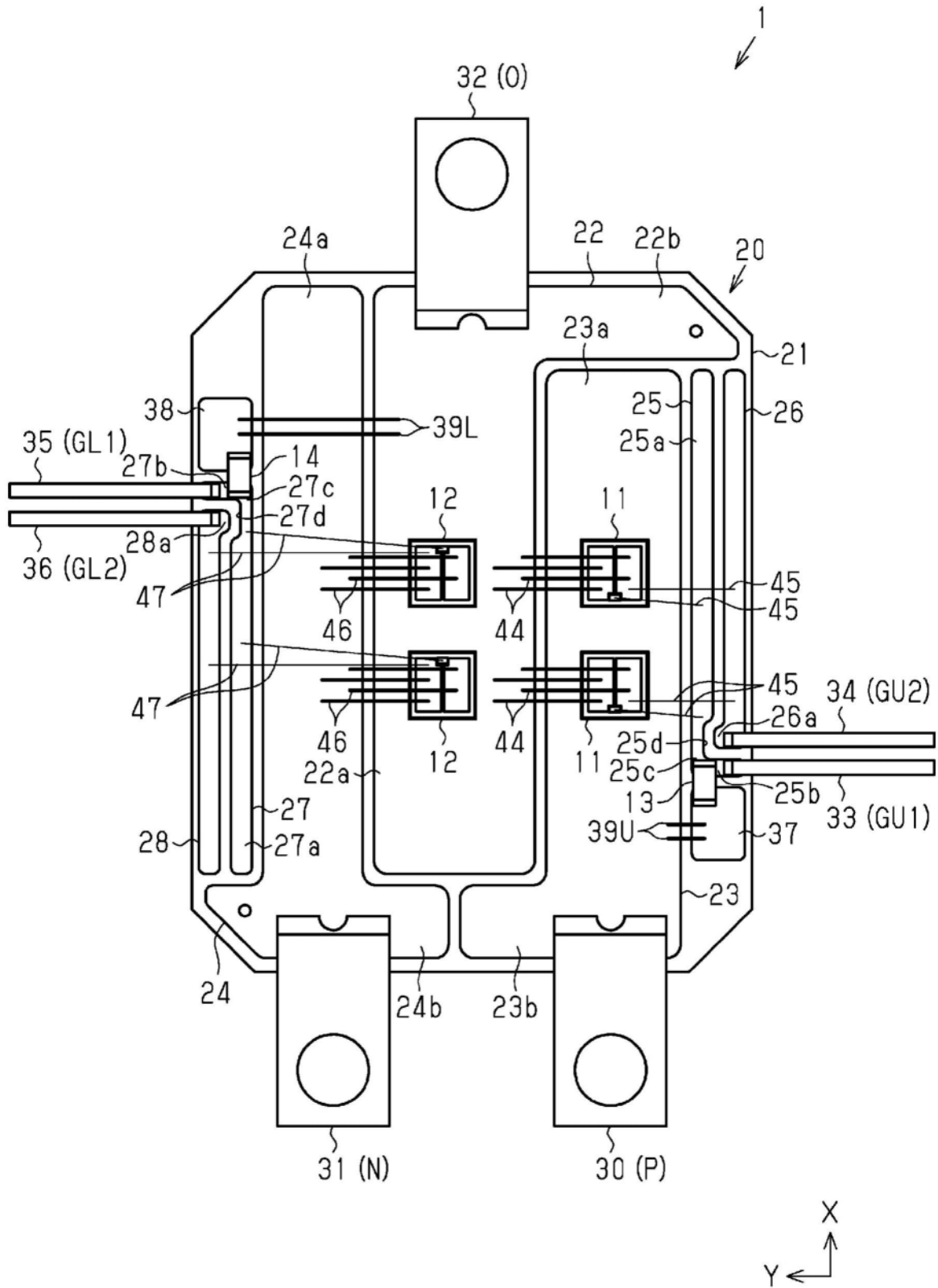


图3

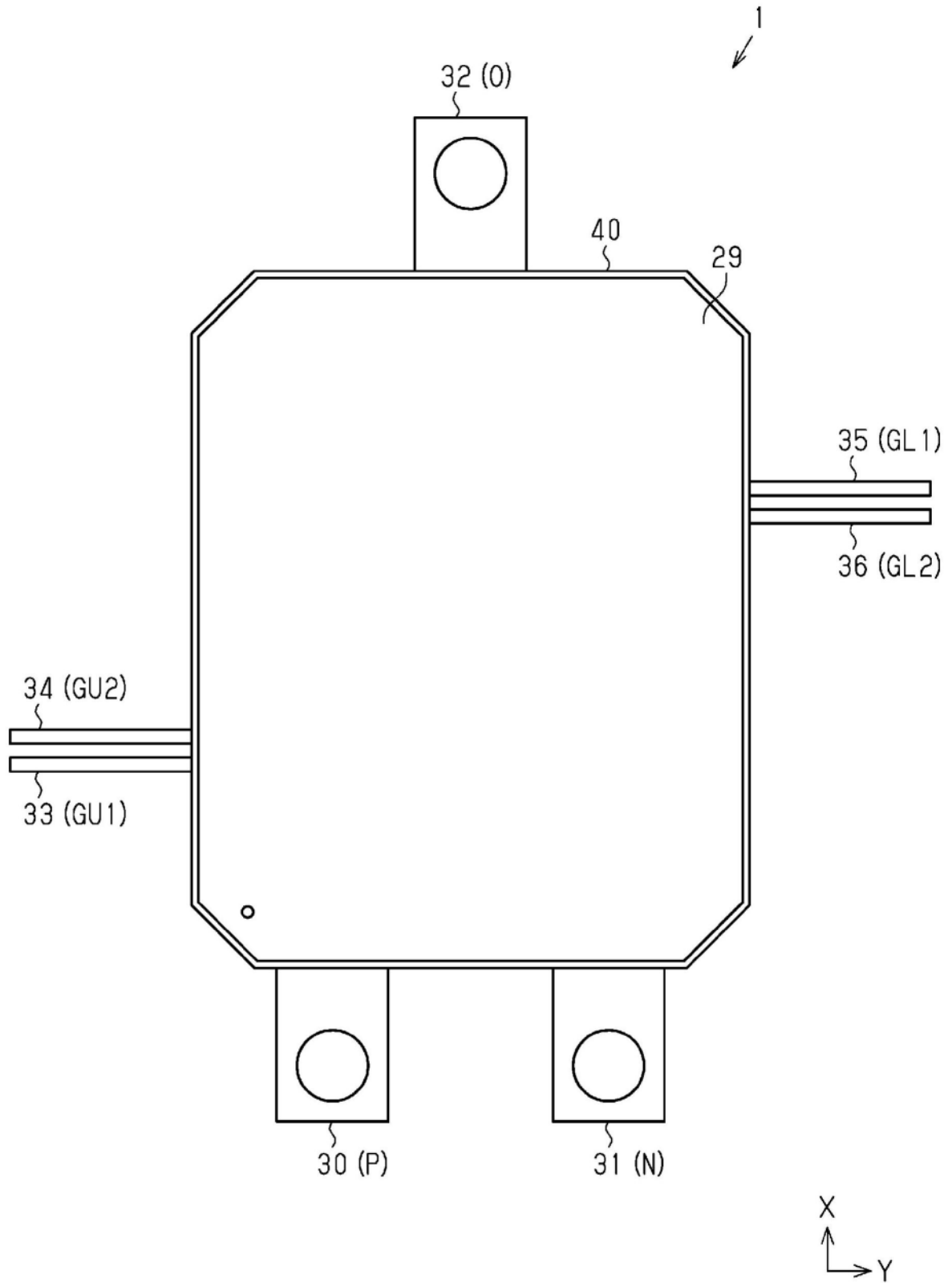


图4

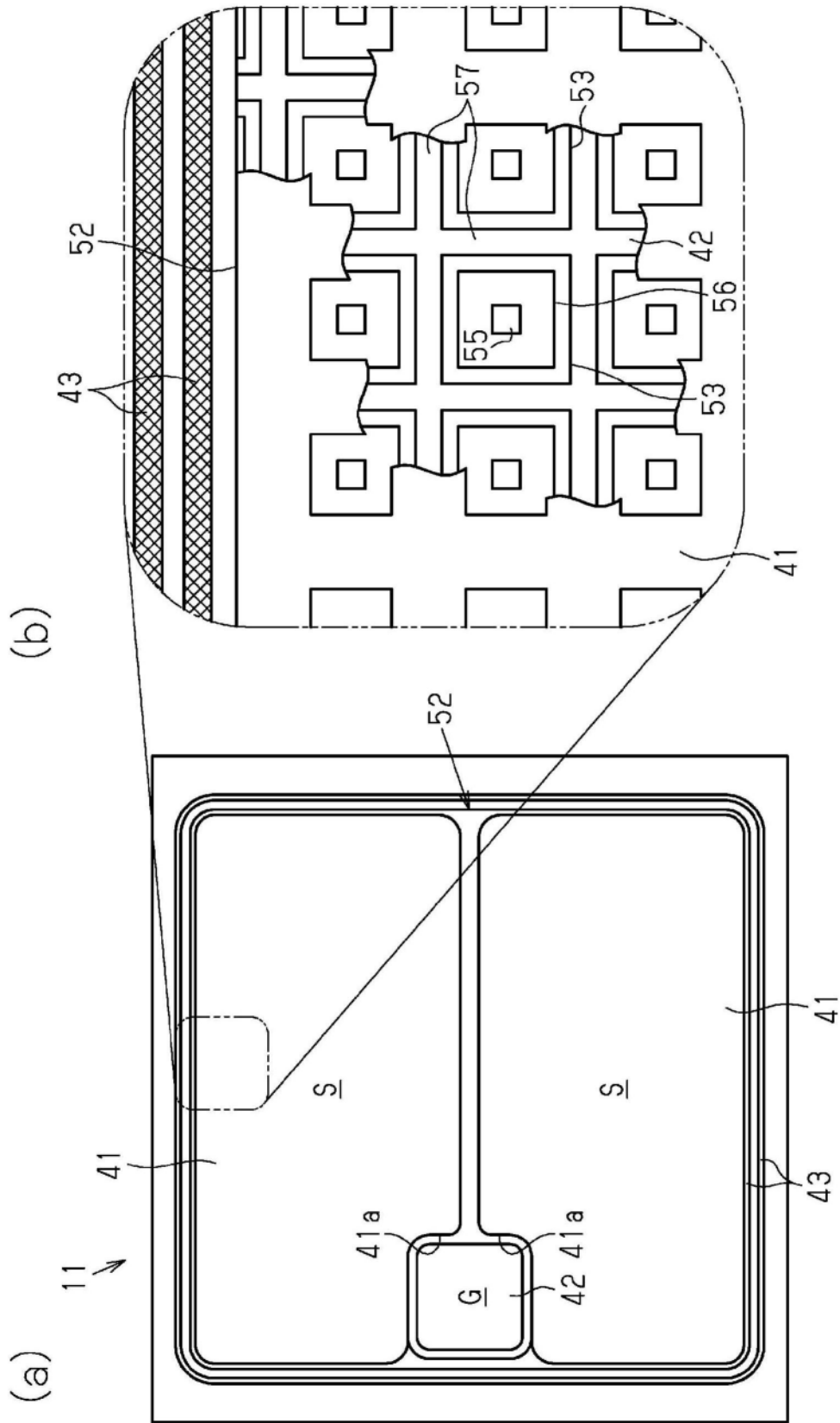


图5

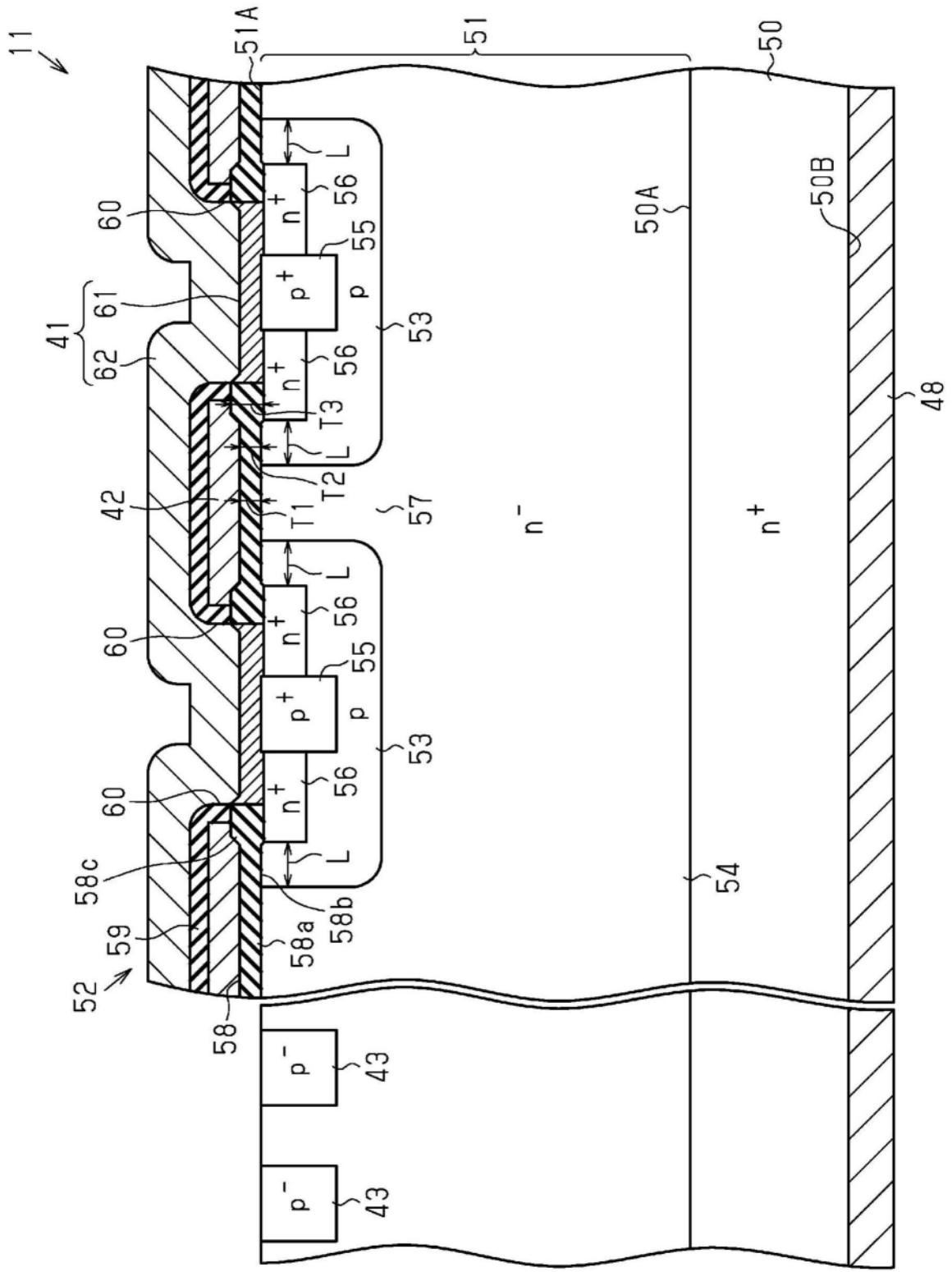


图6

(比较例)

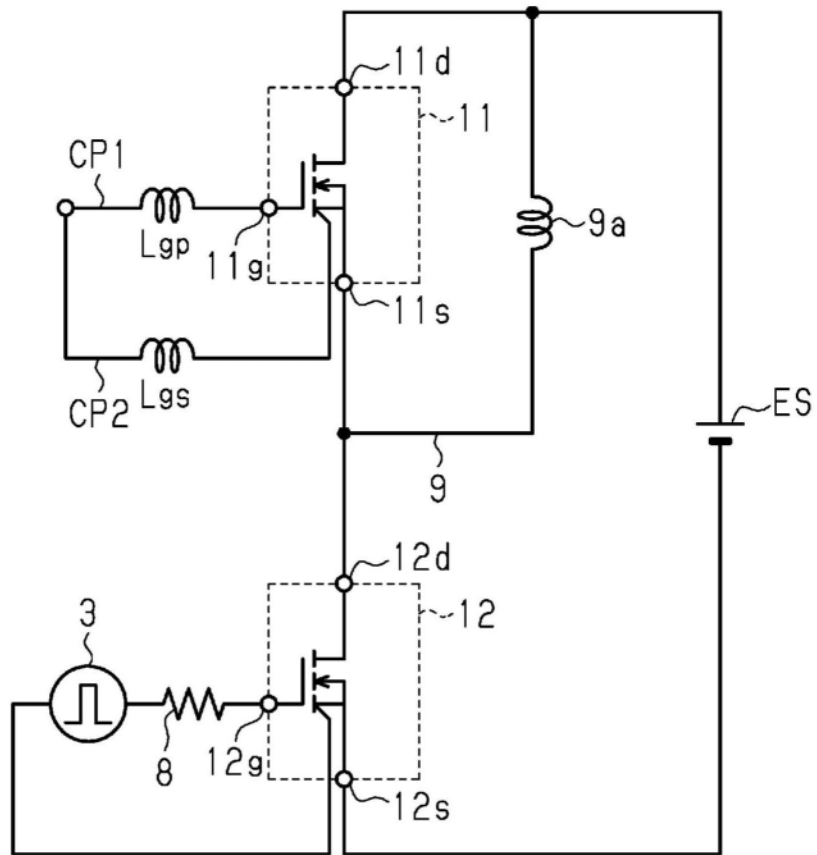


图7

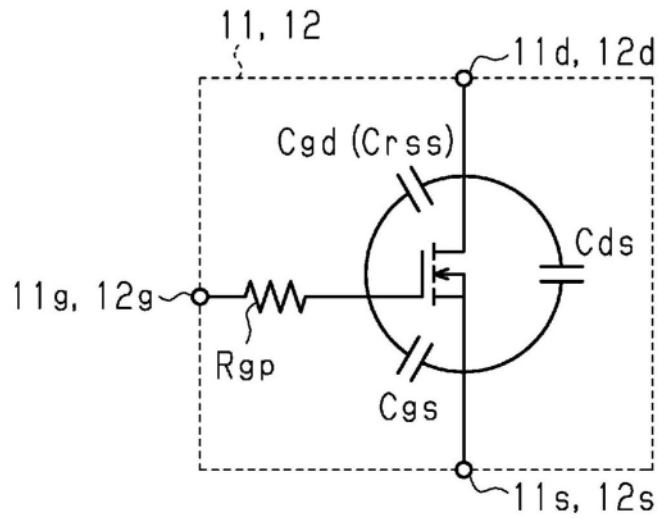


图8

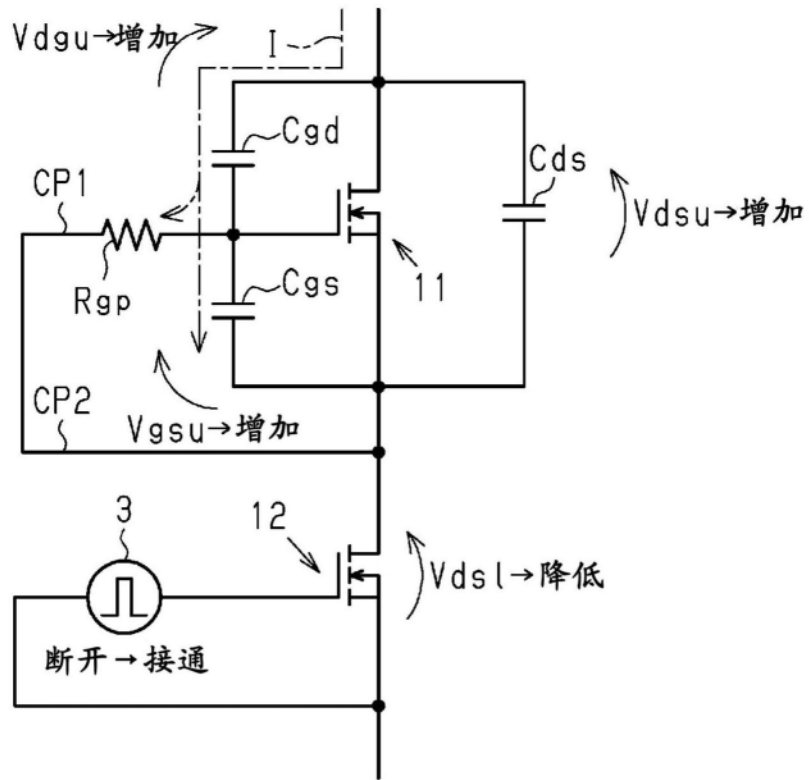


图9

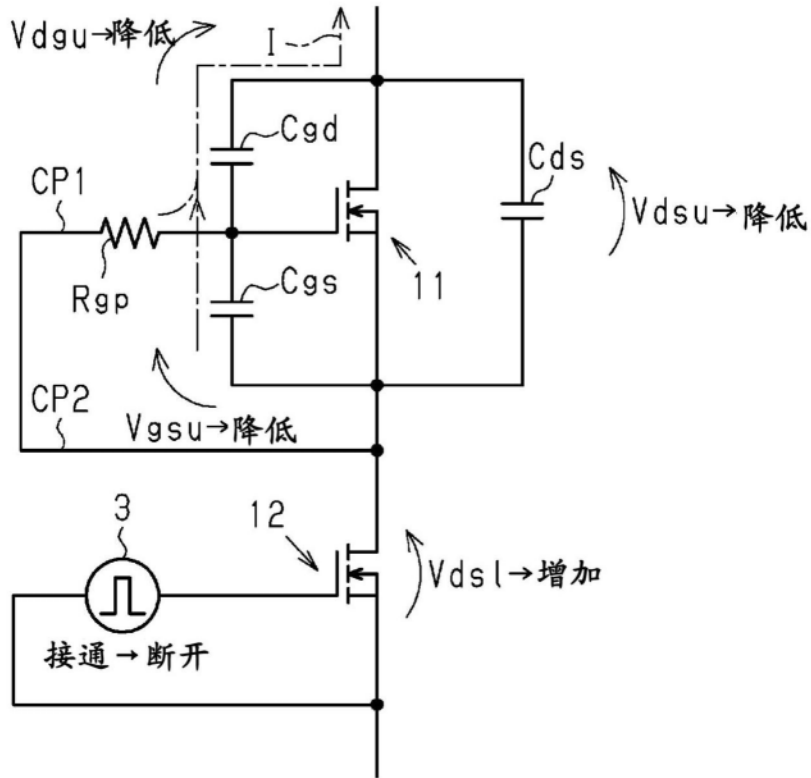


图10

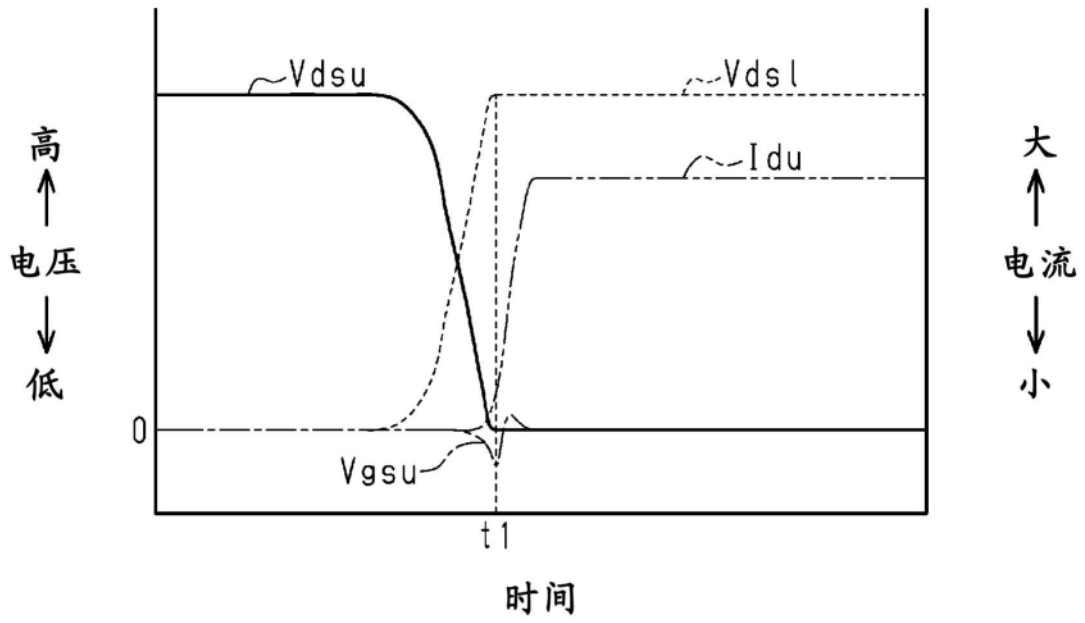


图11

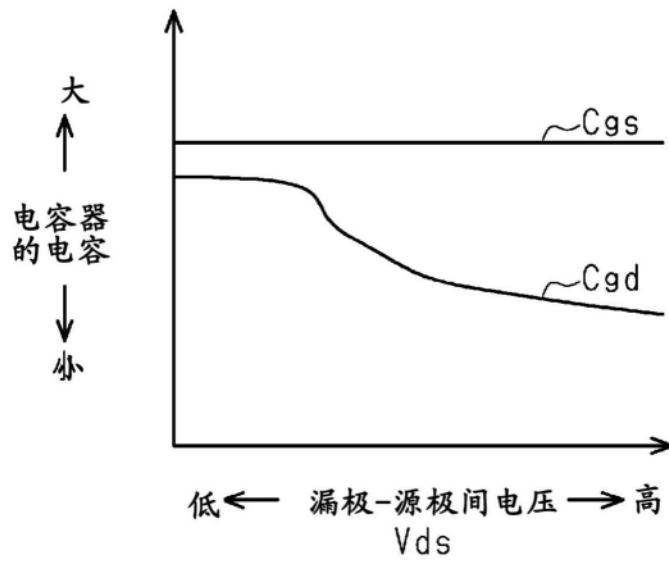


图12

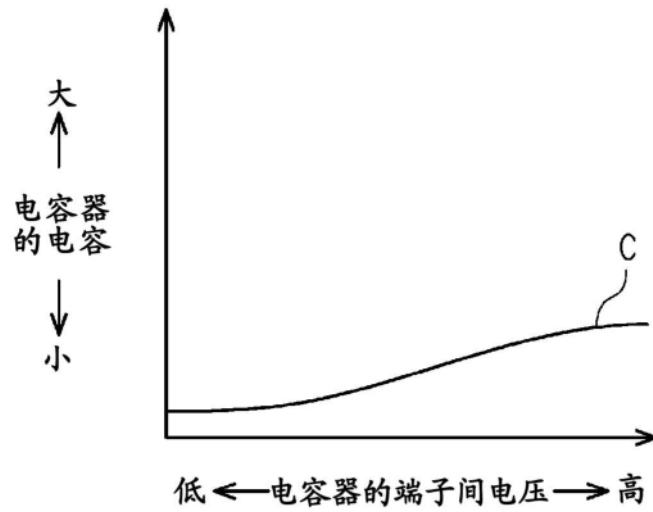


图13

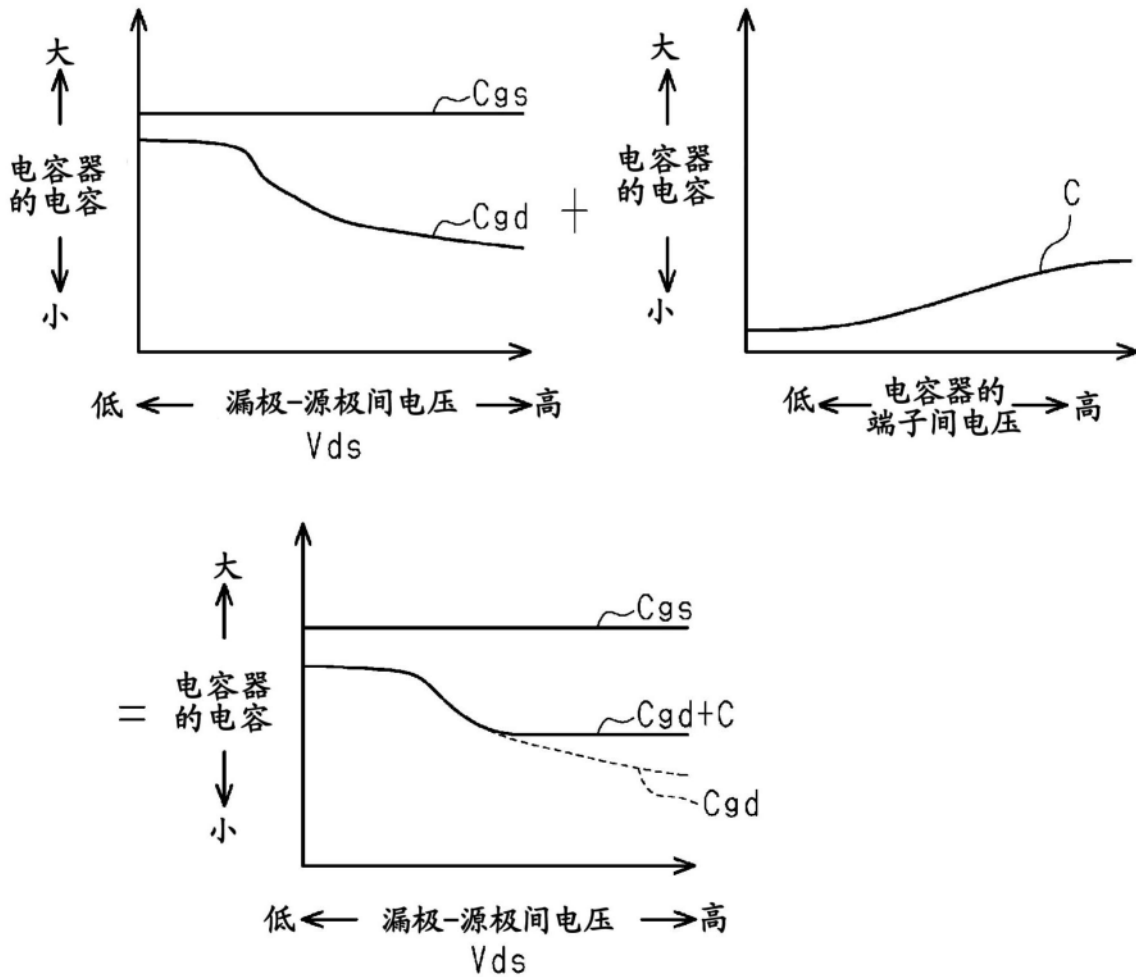


图14

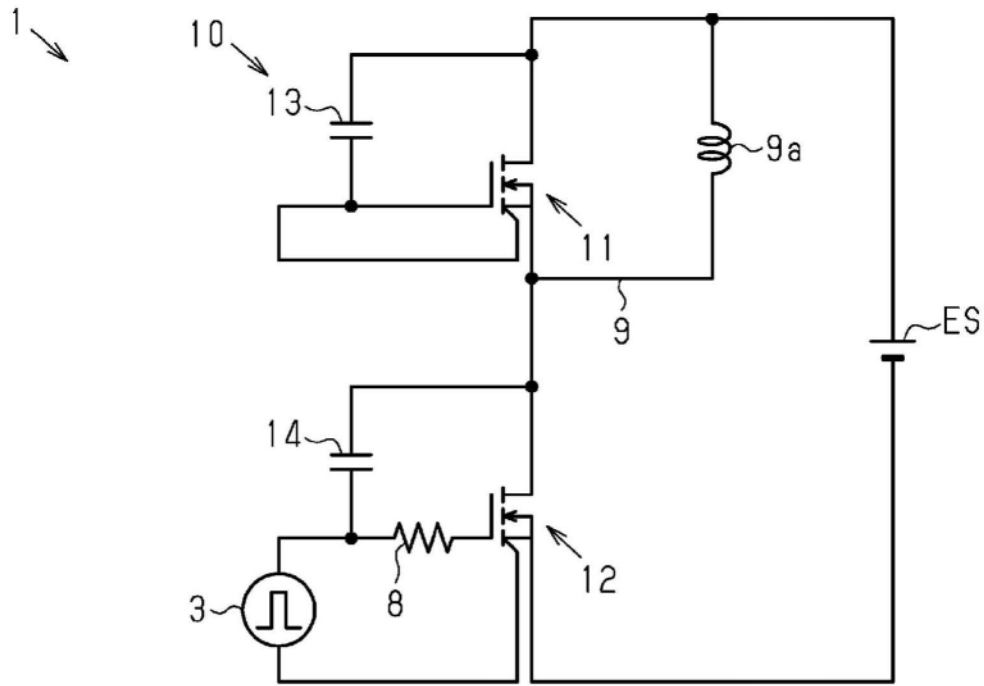


图15

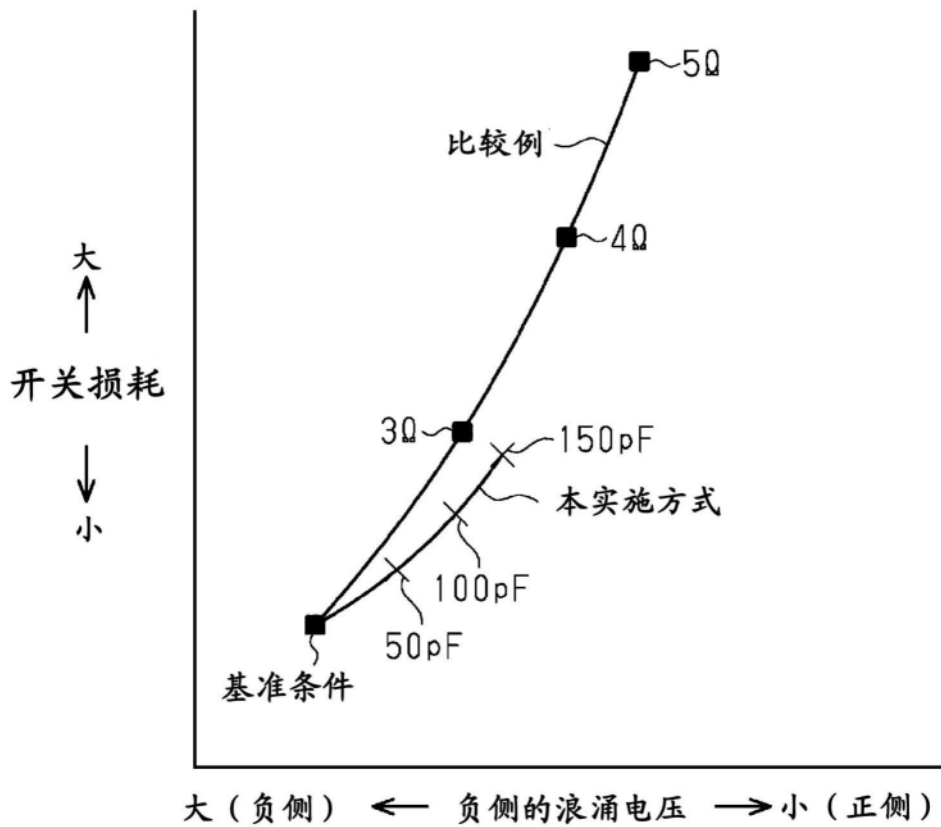


图16

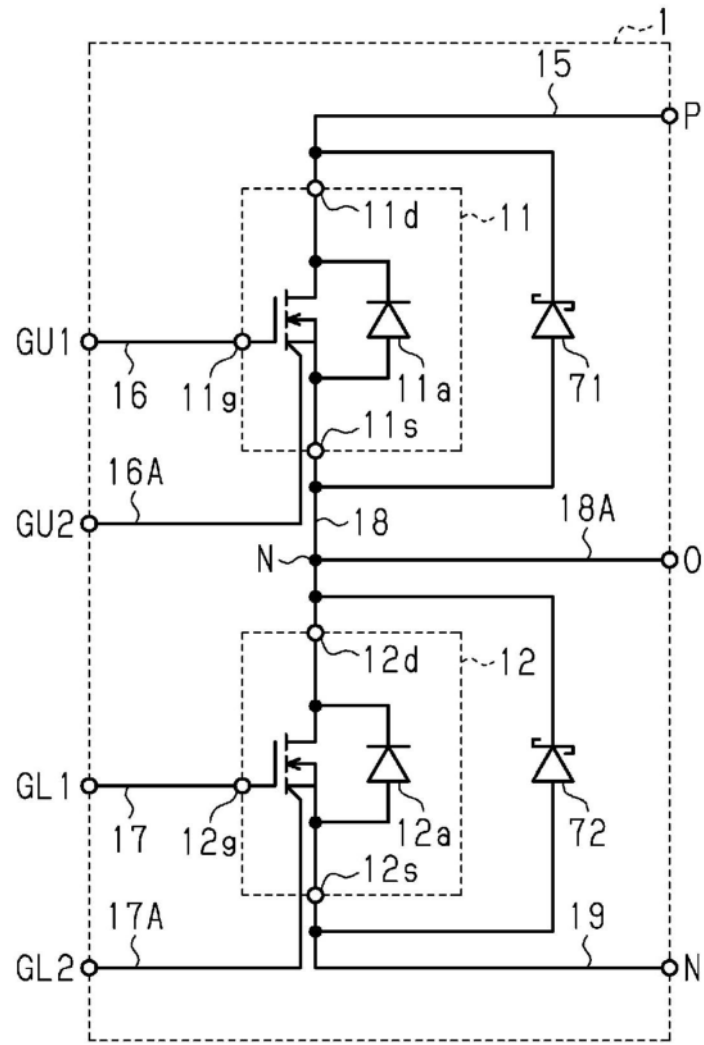


图17

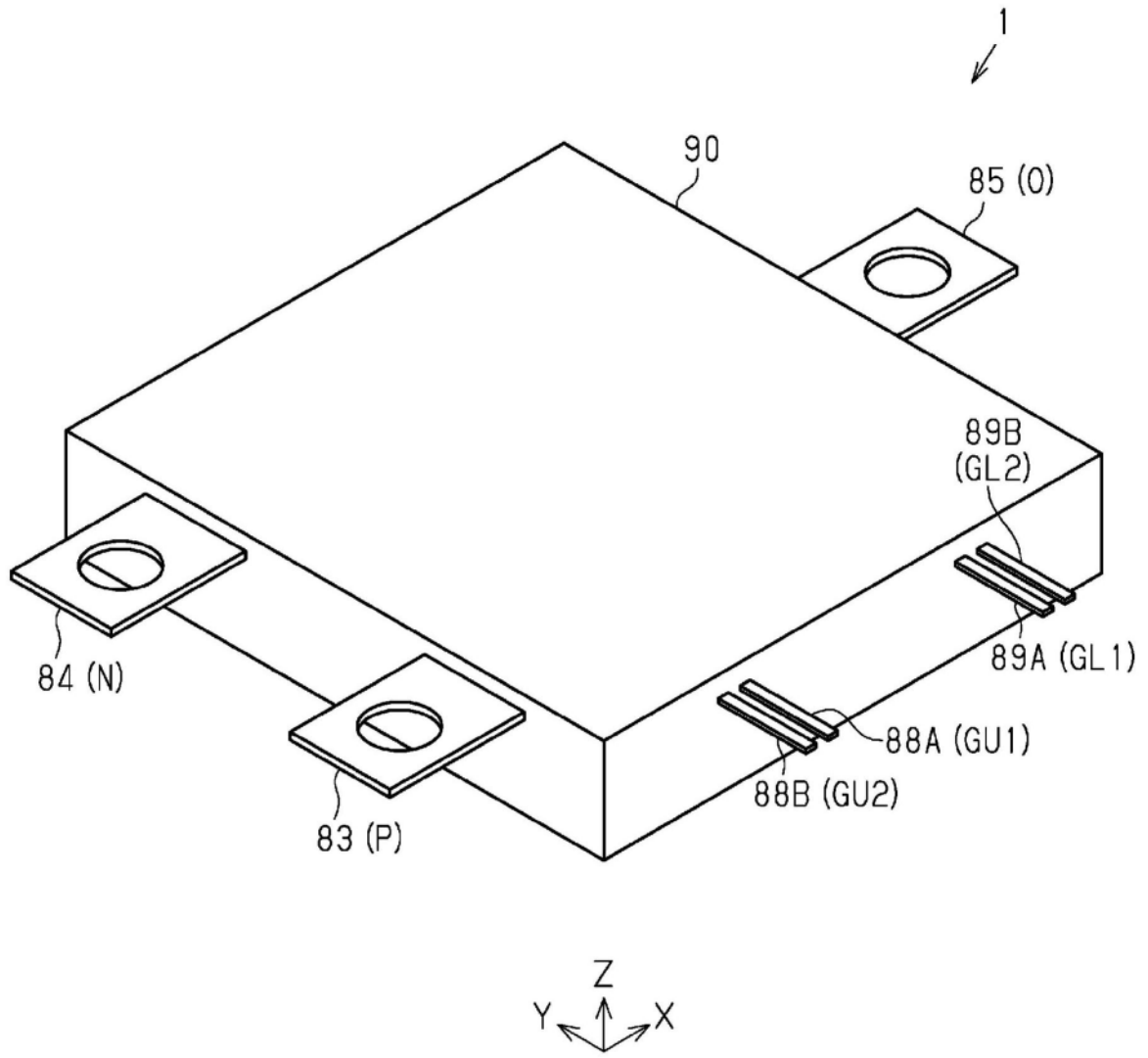


图18

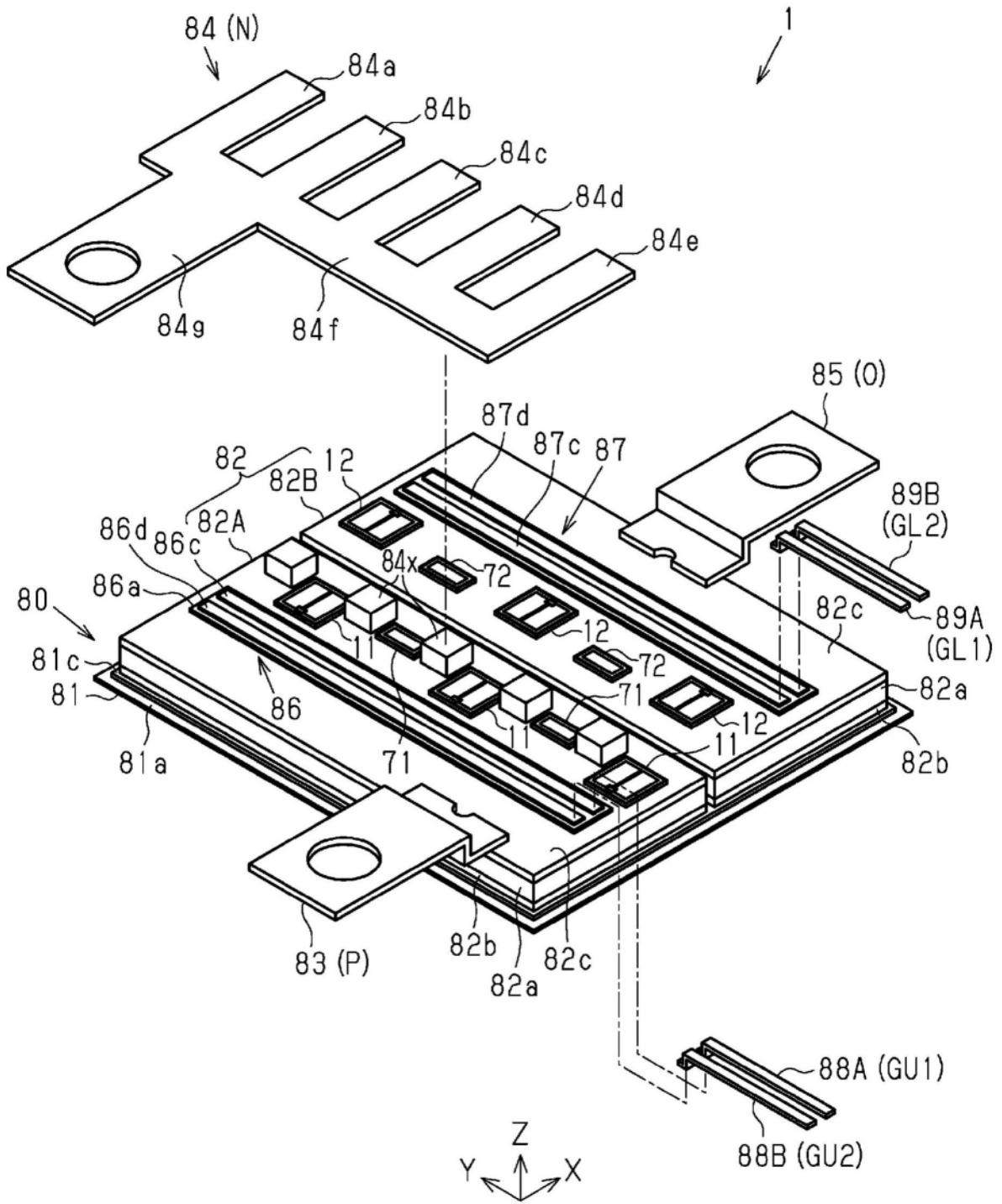


图19

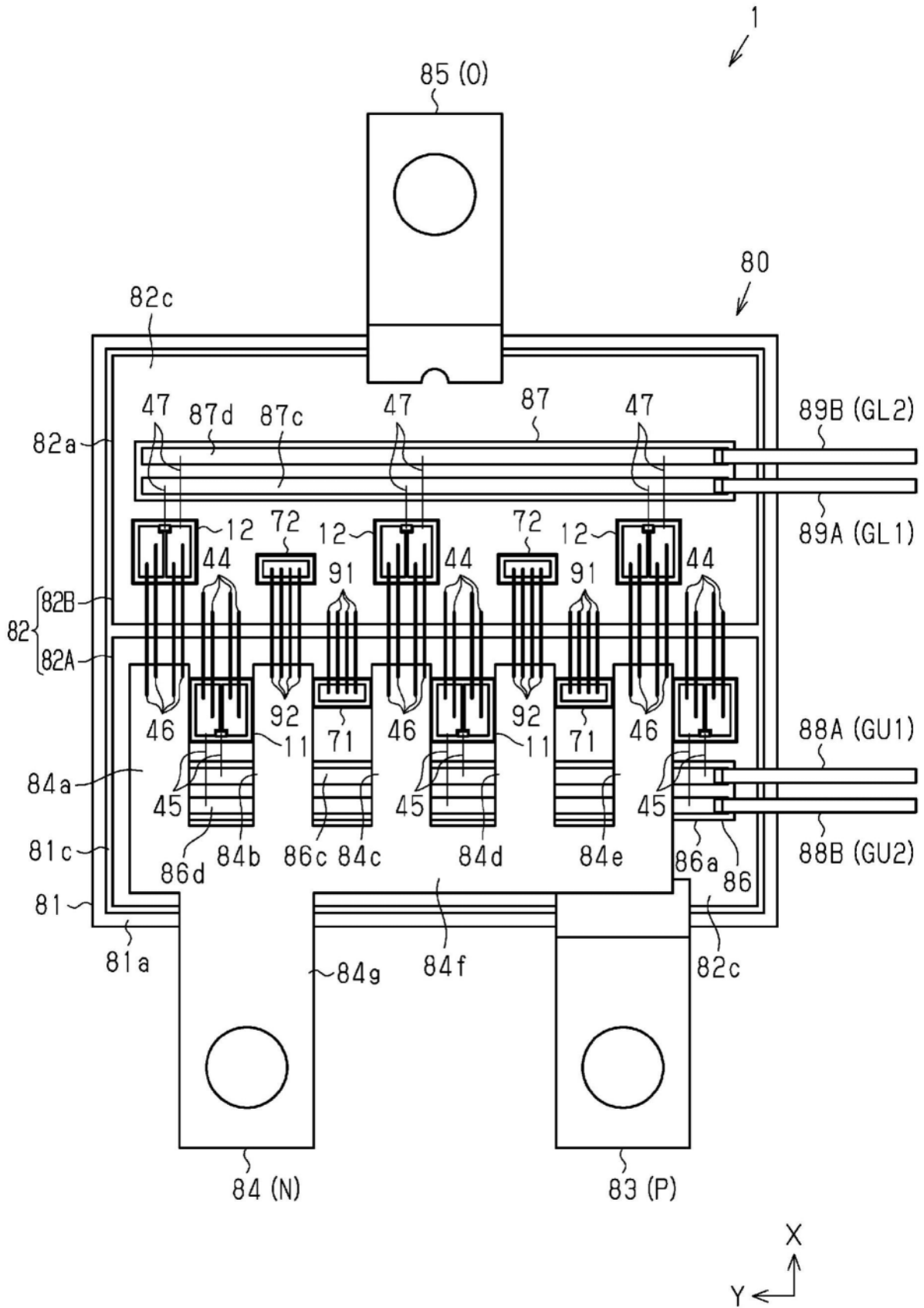


图20

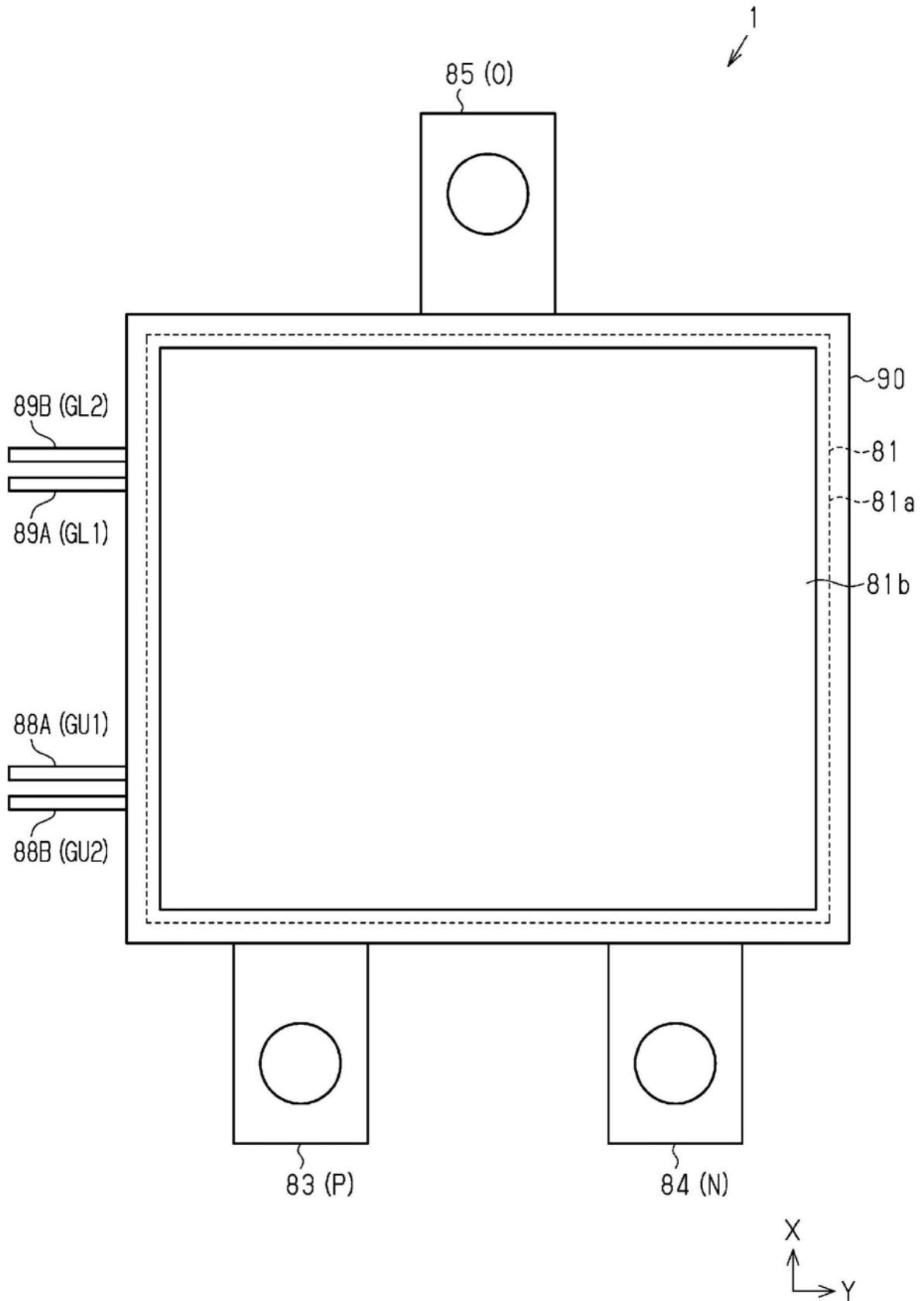


图21

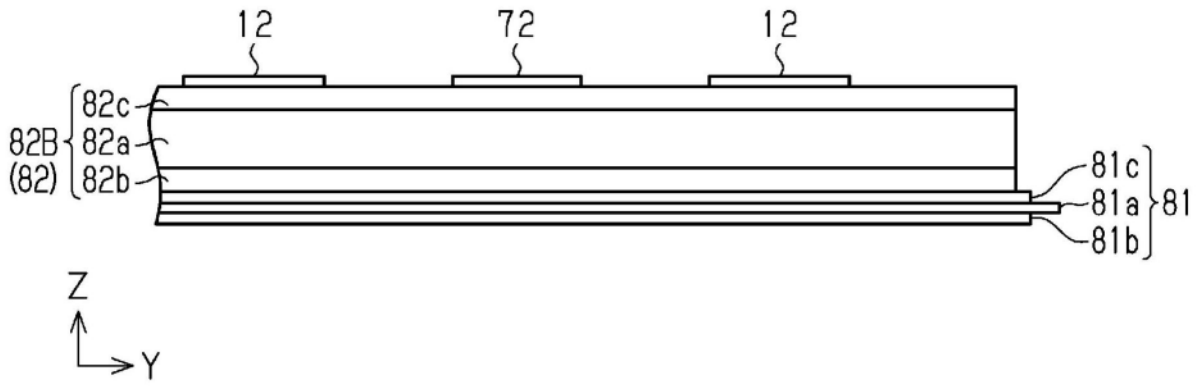


图22

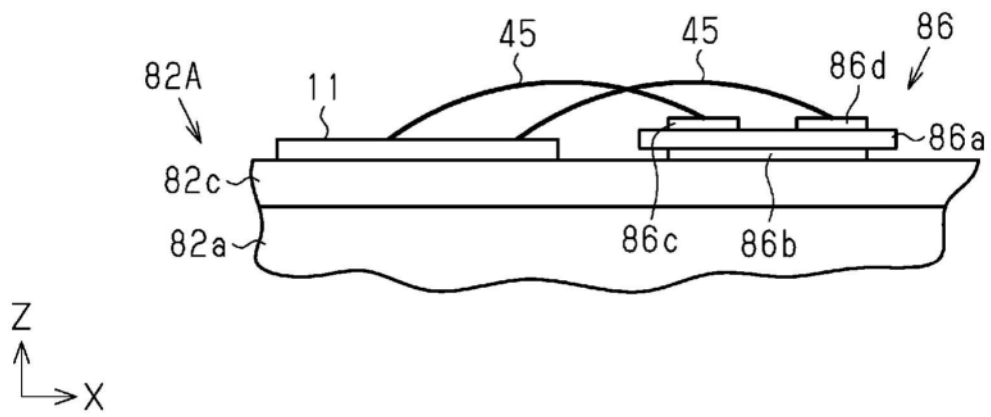


图23

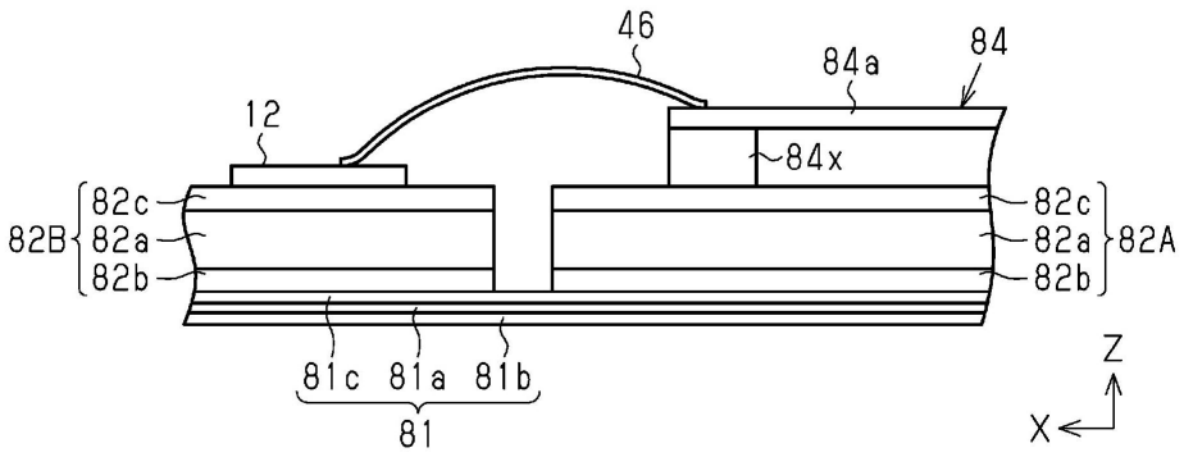


图24

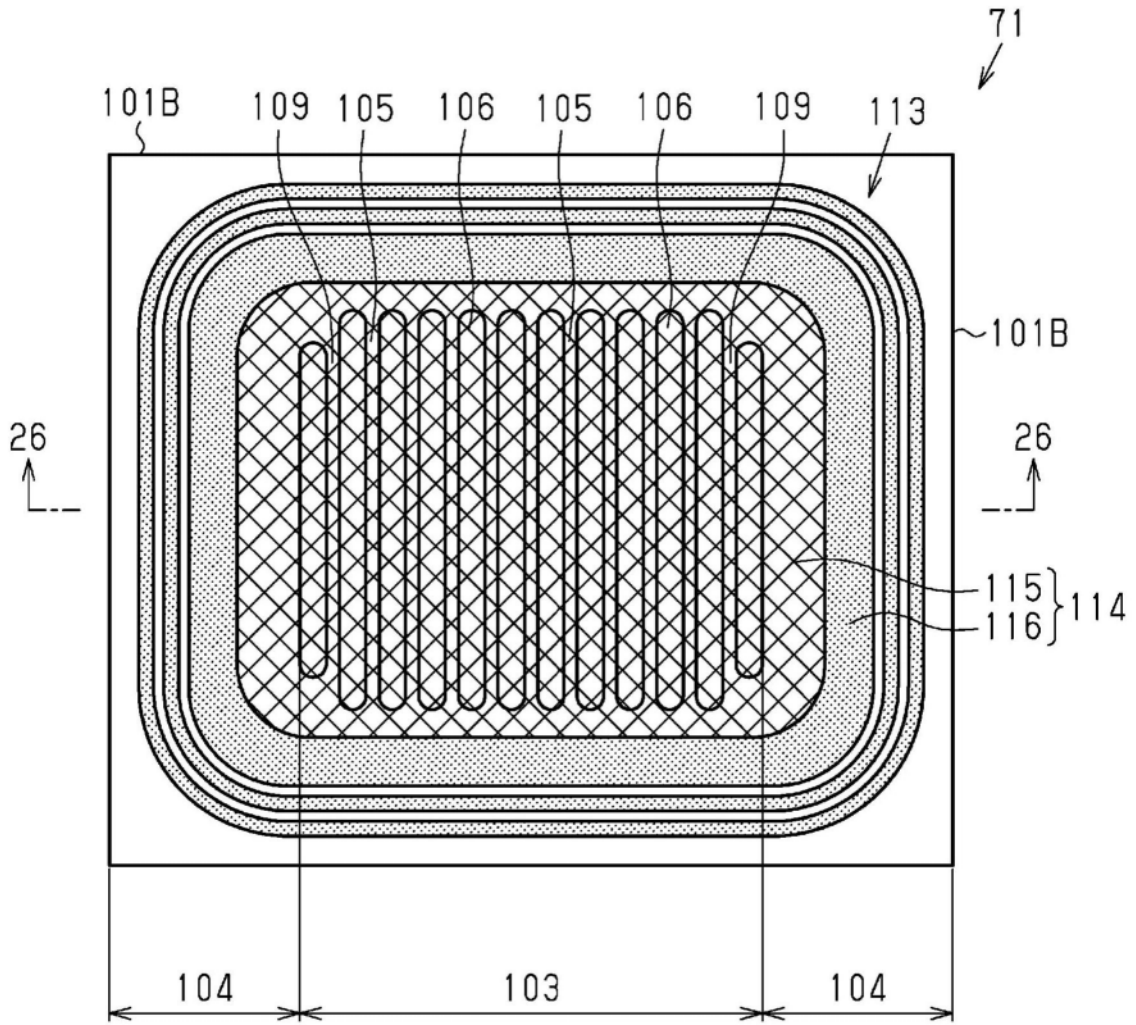


图25

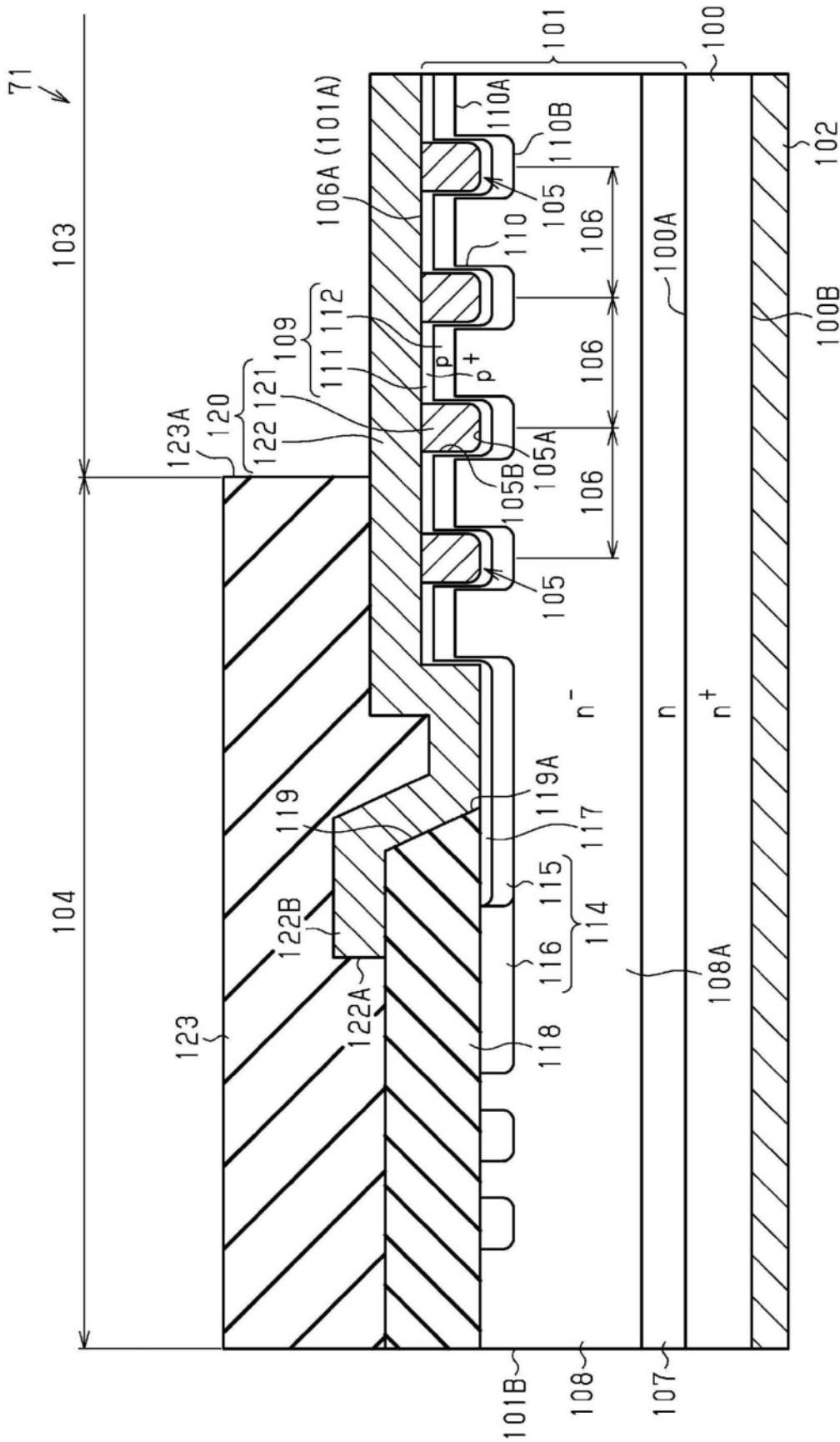


图26

(比较例)

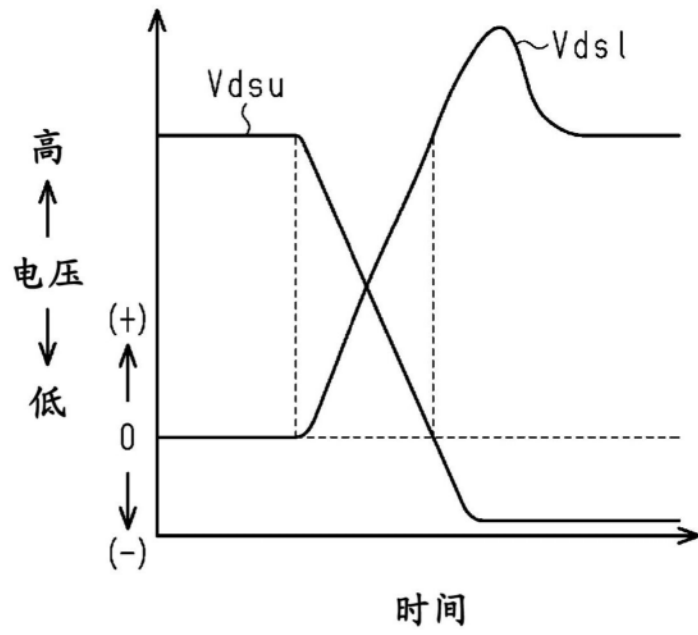


图27

(本实施方式)

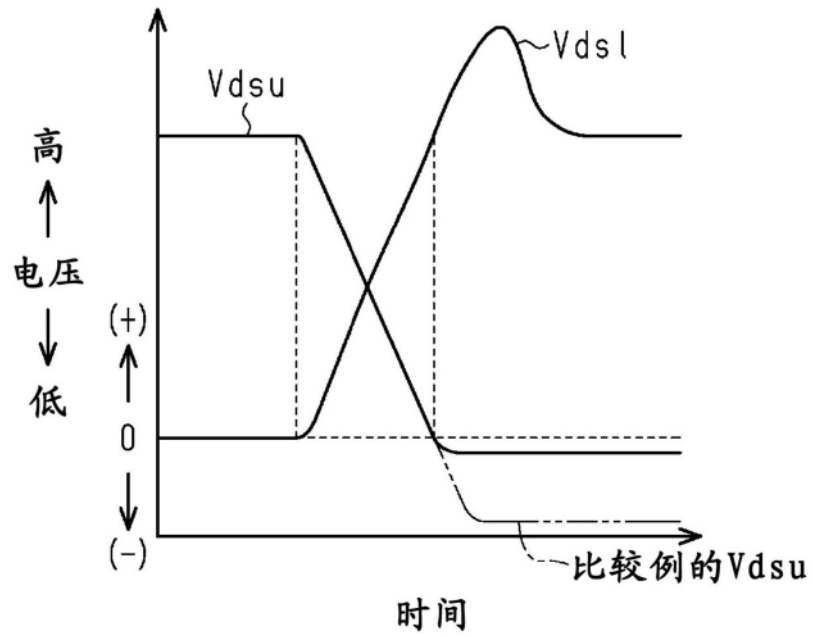


图28

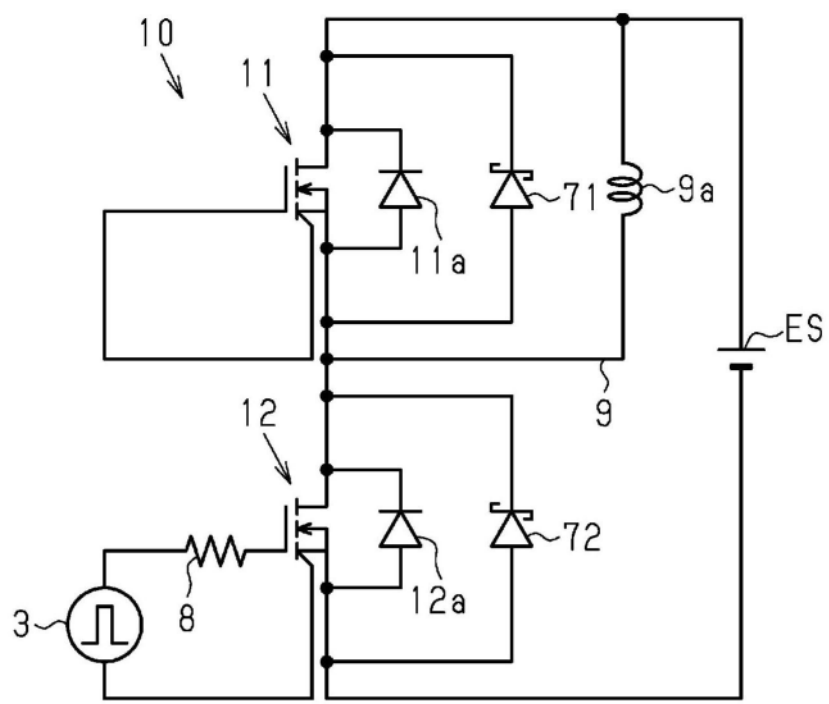


图29

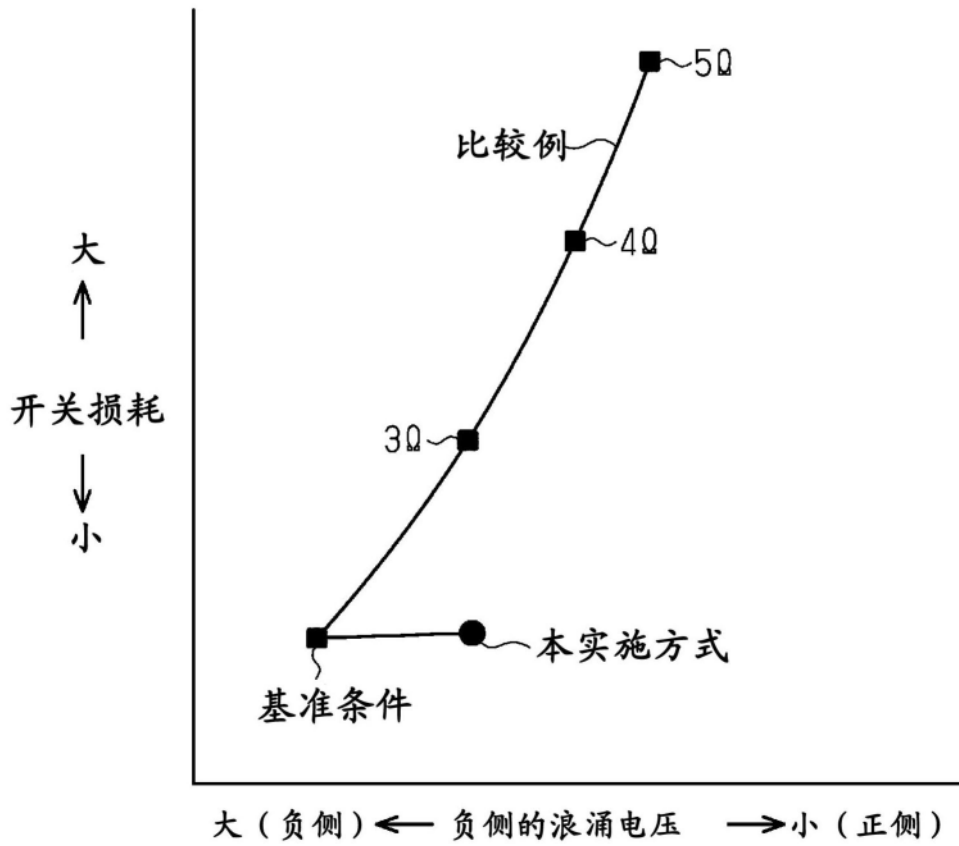


图30

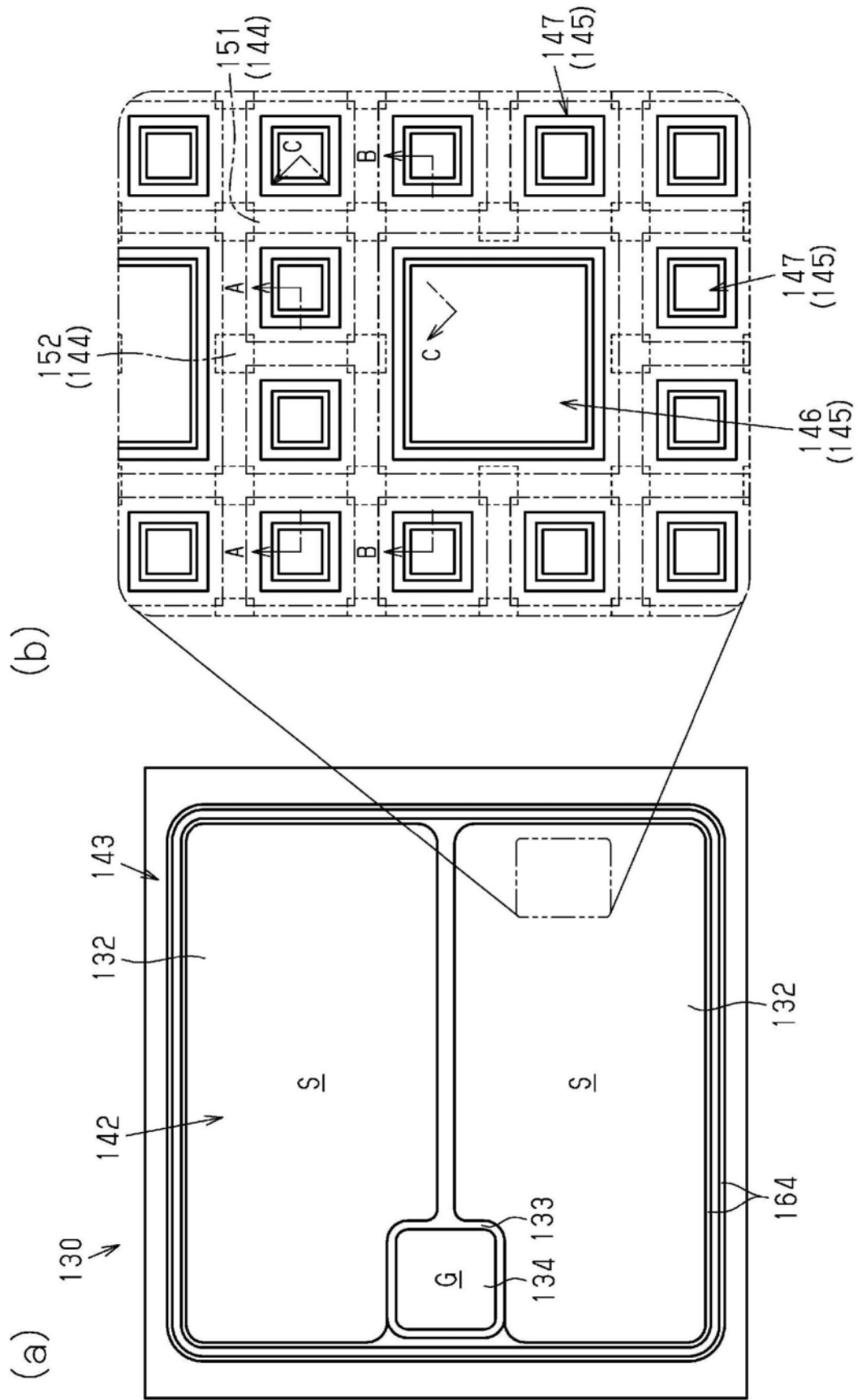


图31

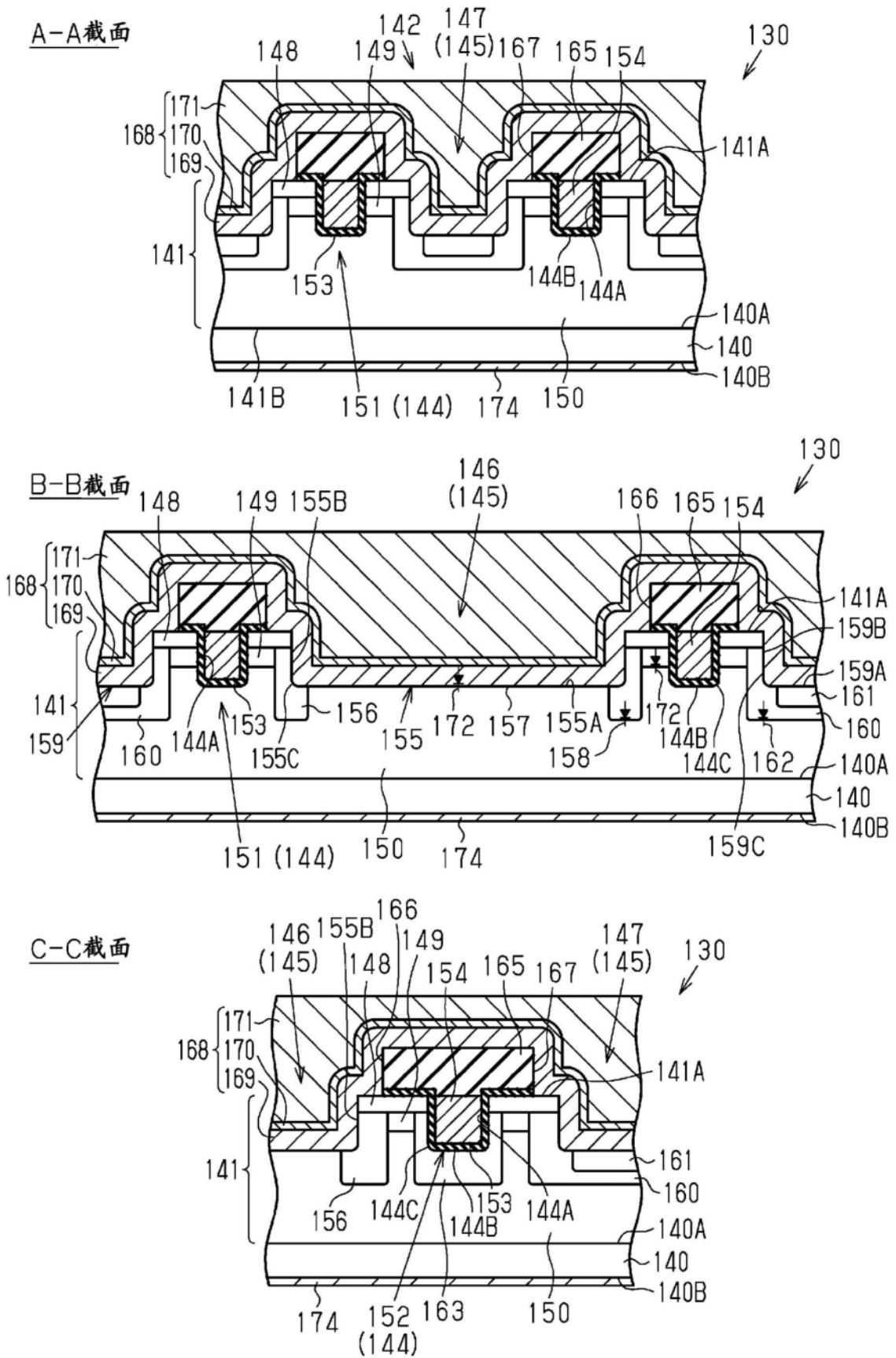


图32

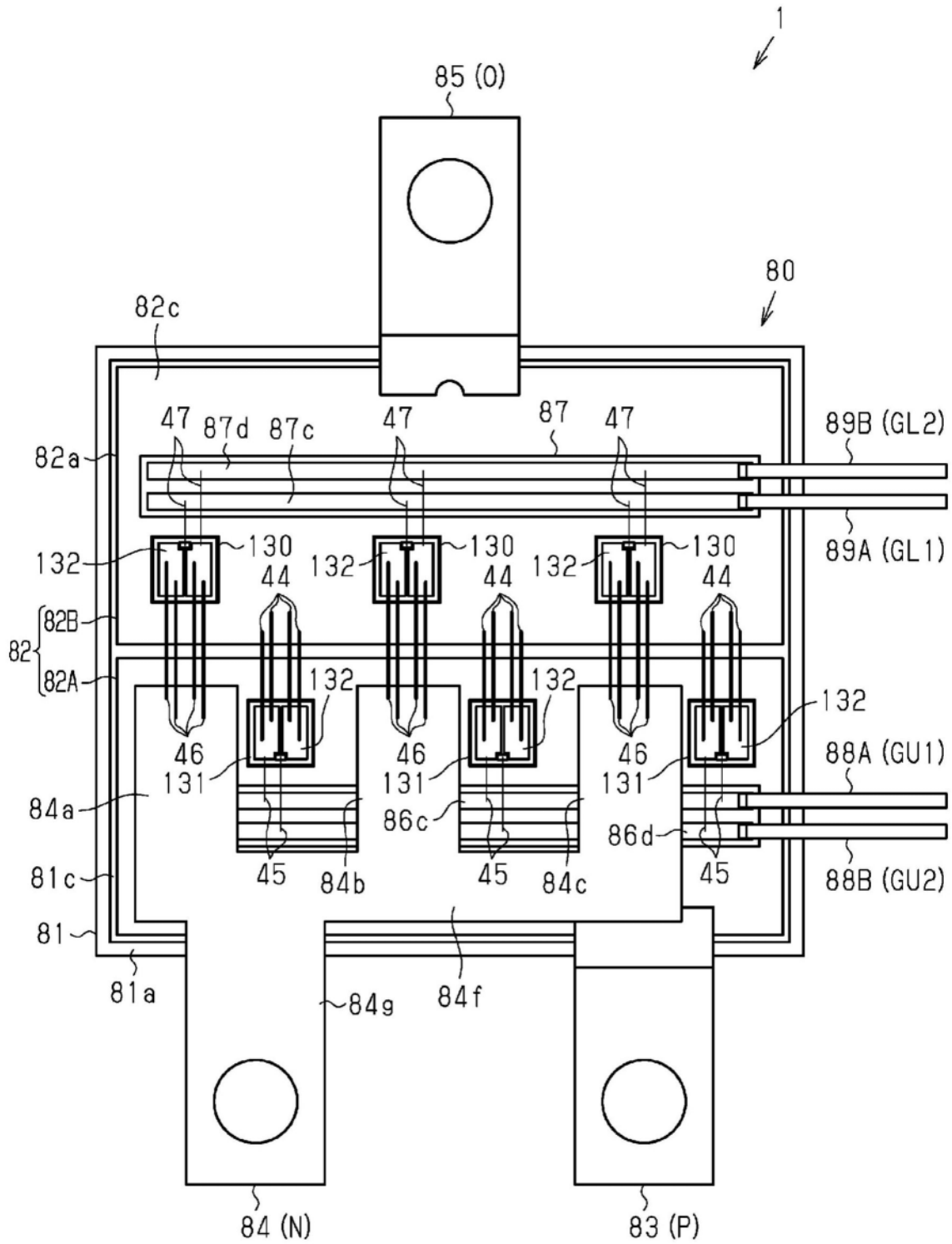


图33

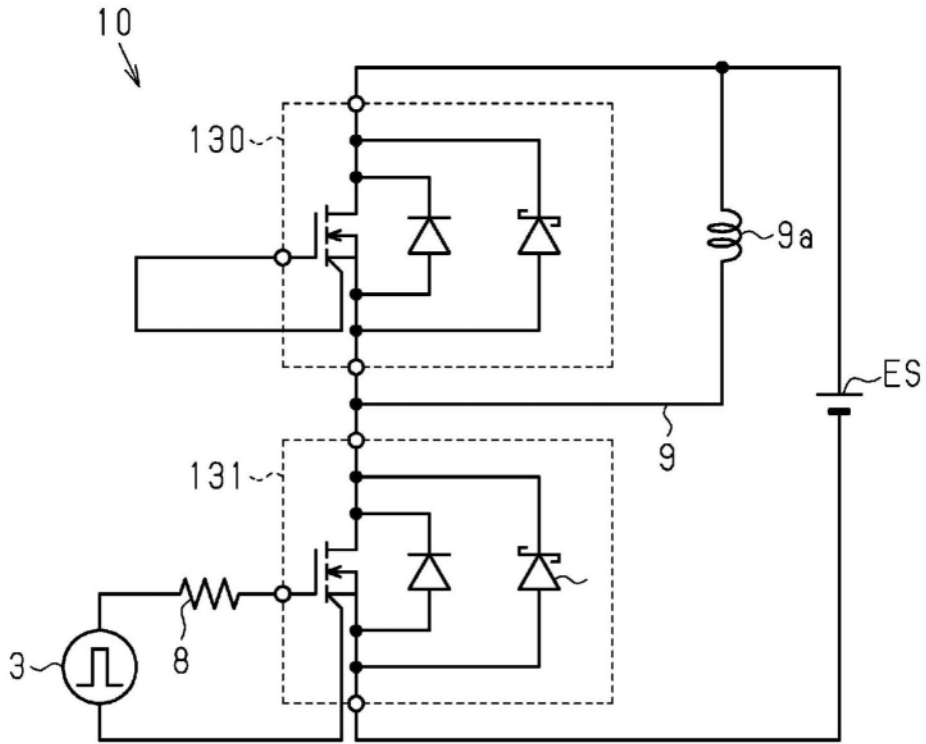


图34

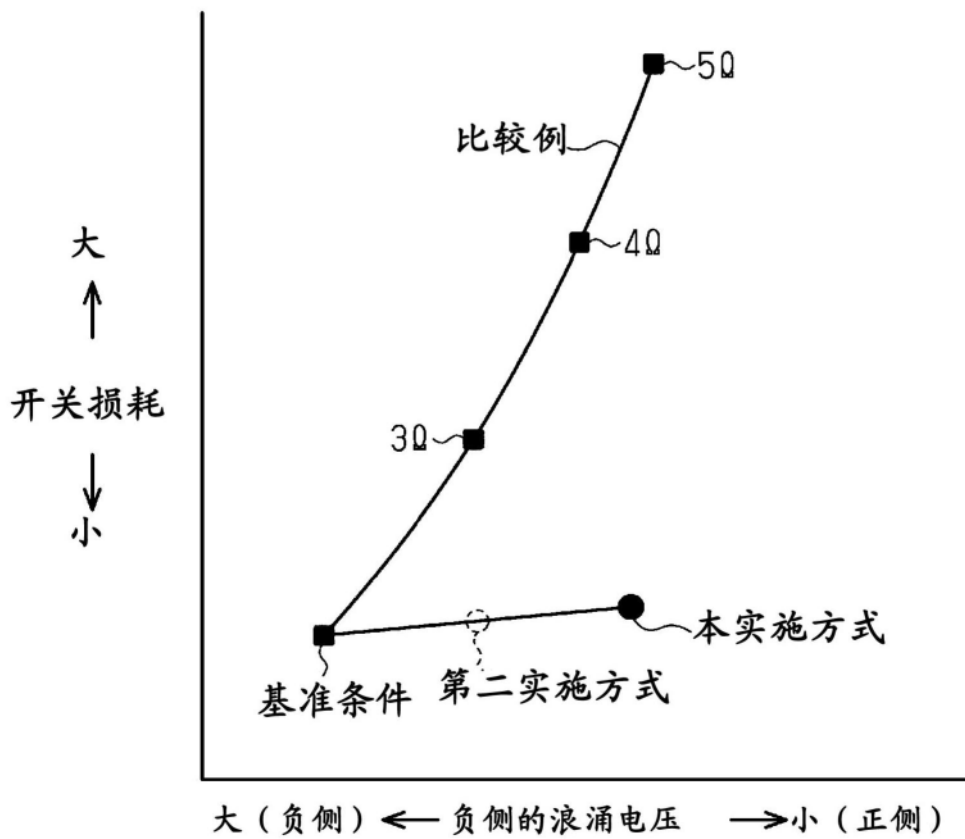


图35

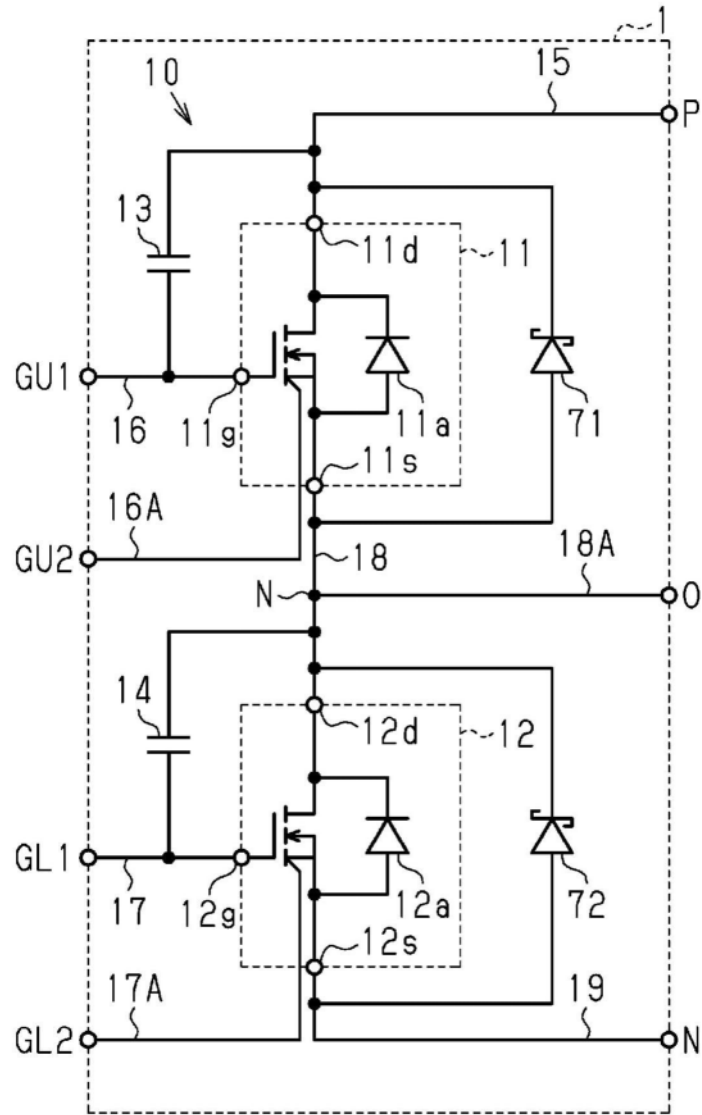


图36

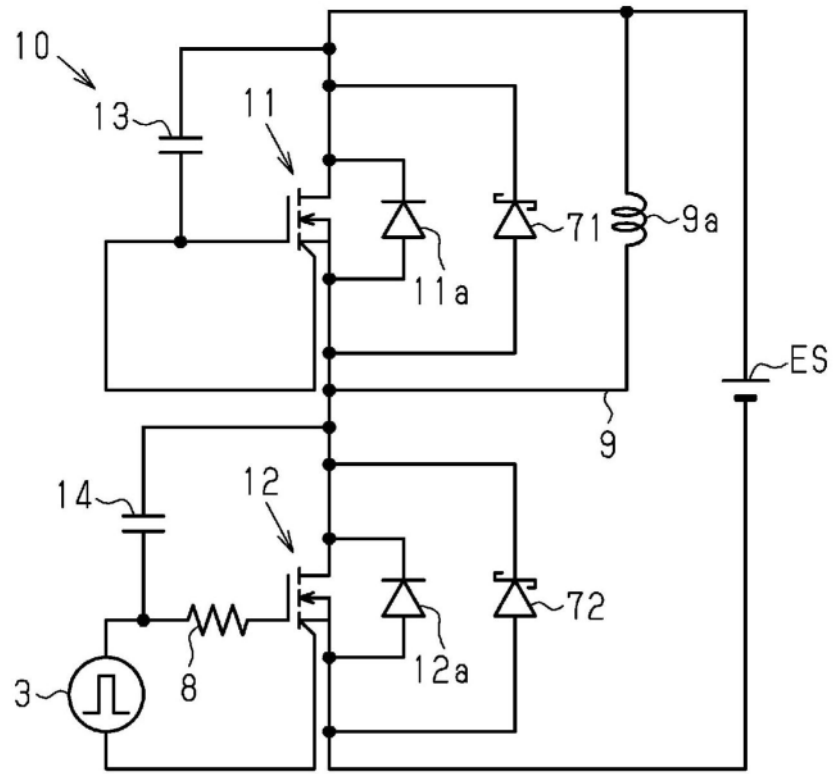


图38

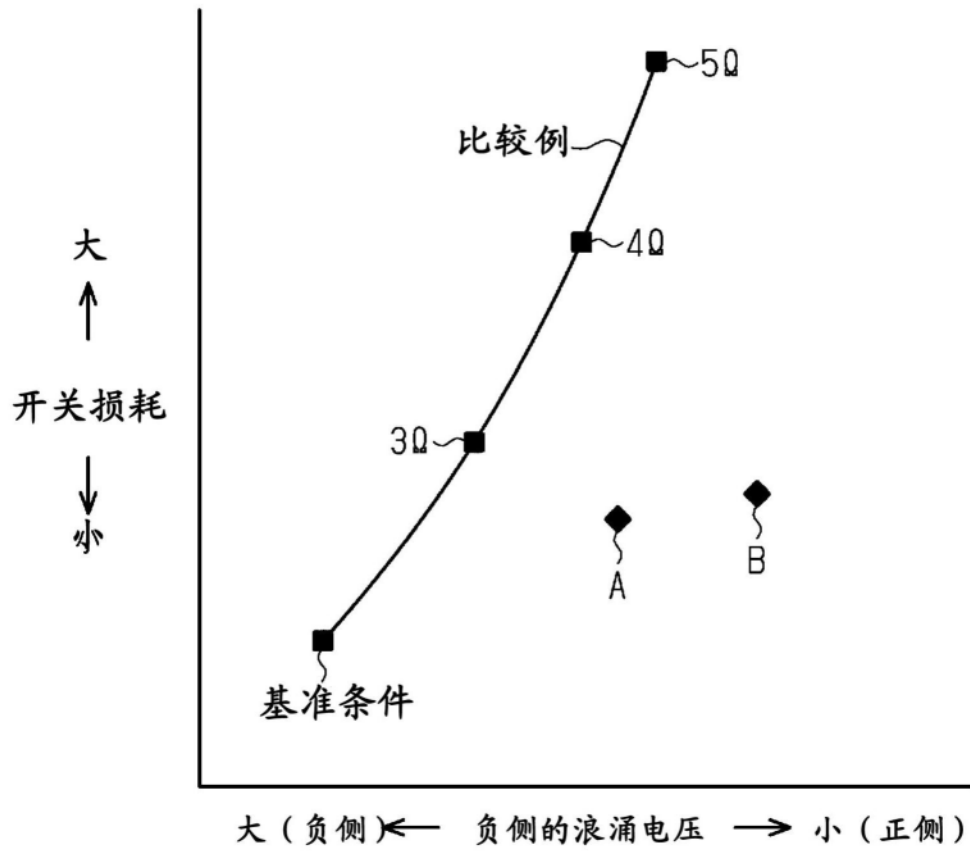


图39

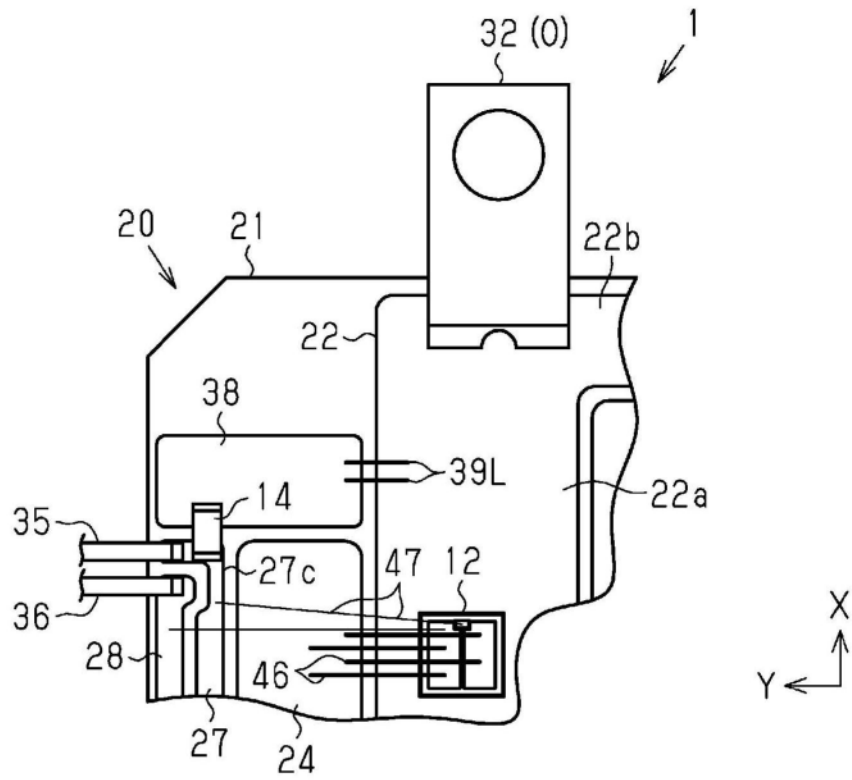


图40

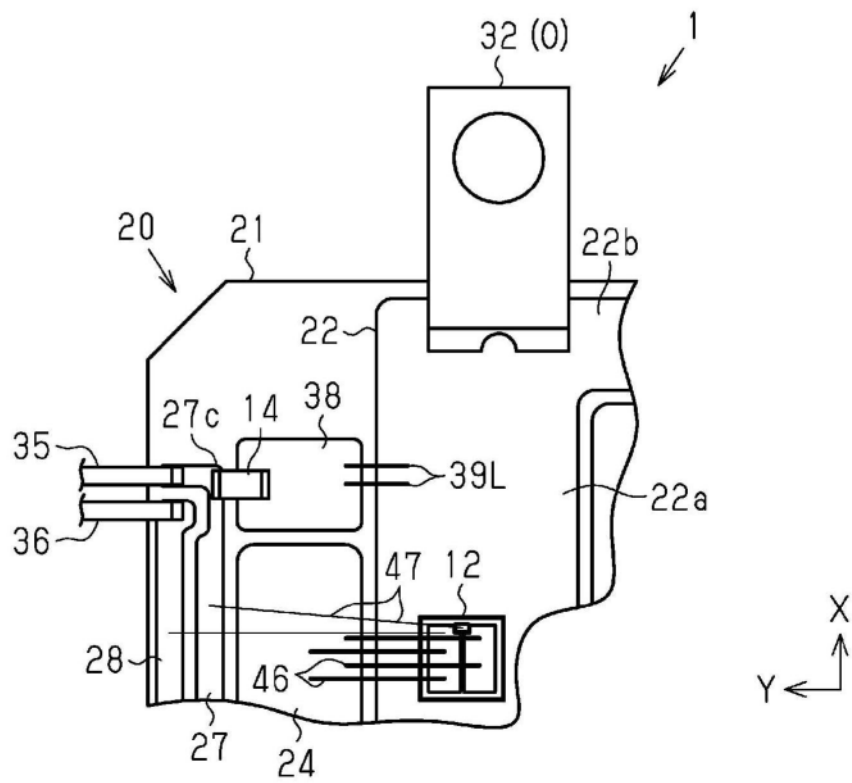


图41

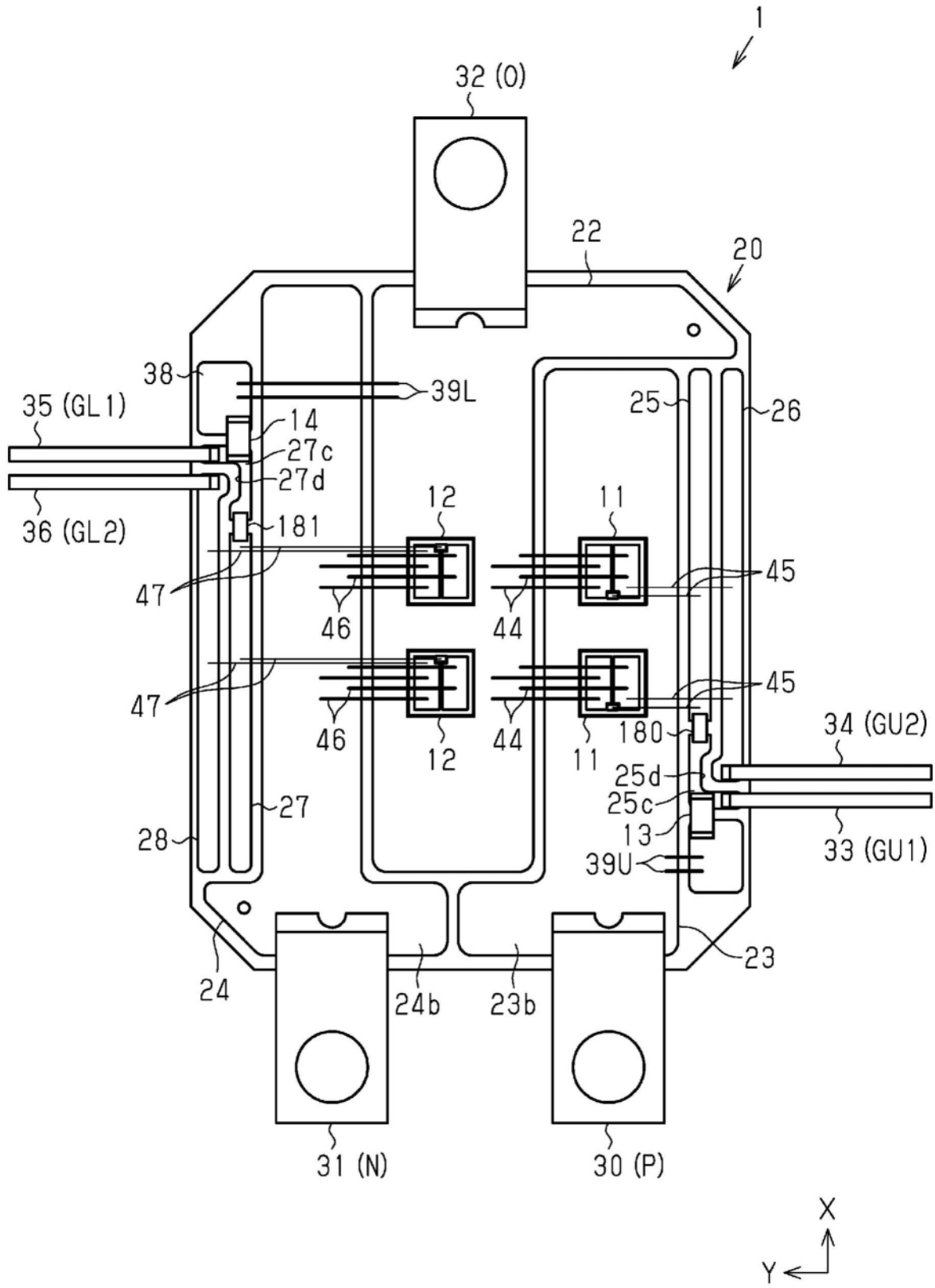


图42

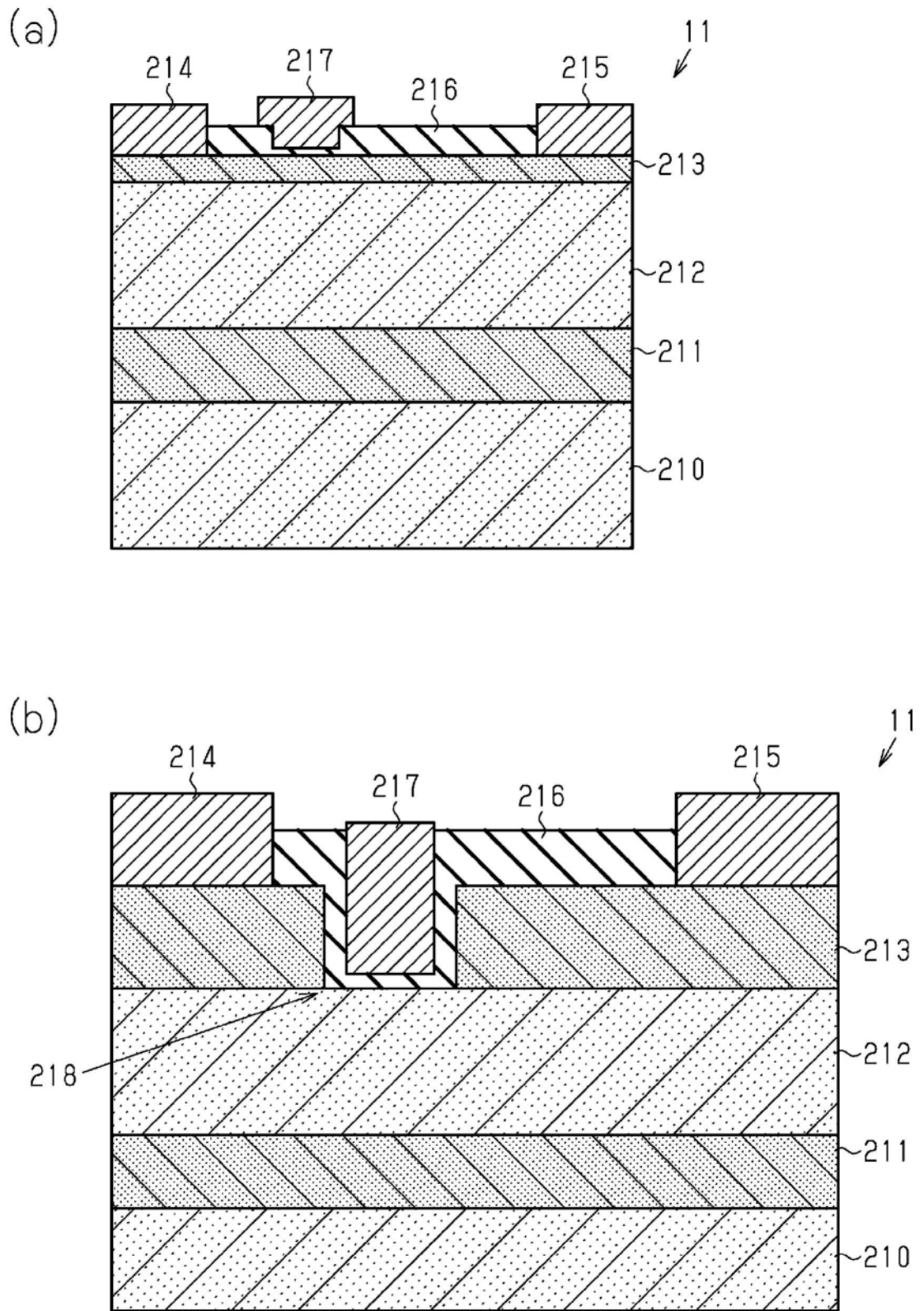


图43

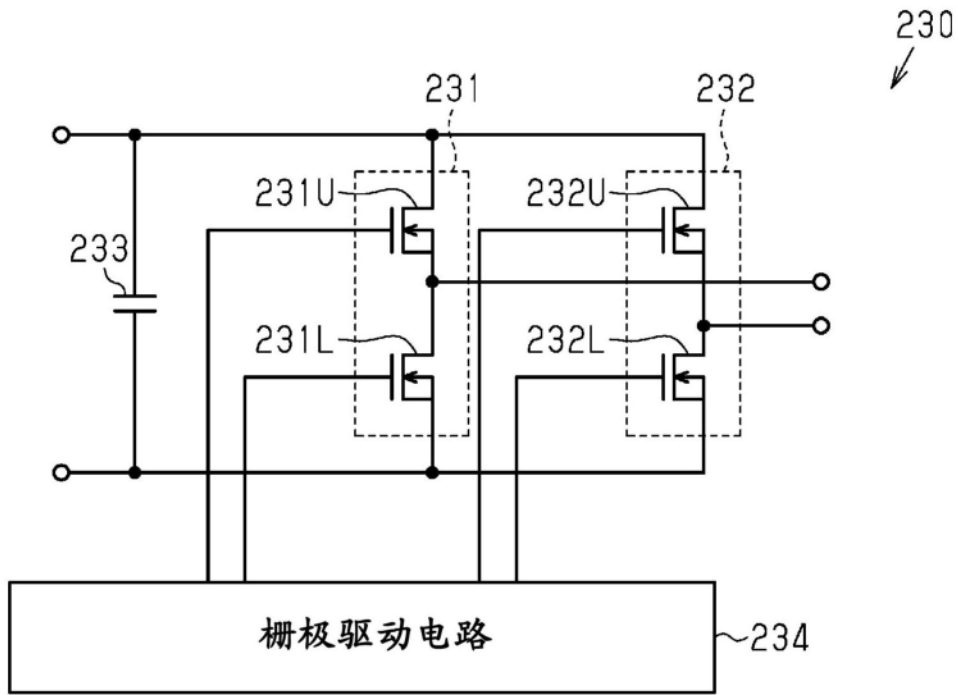


图44

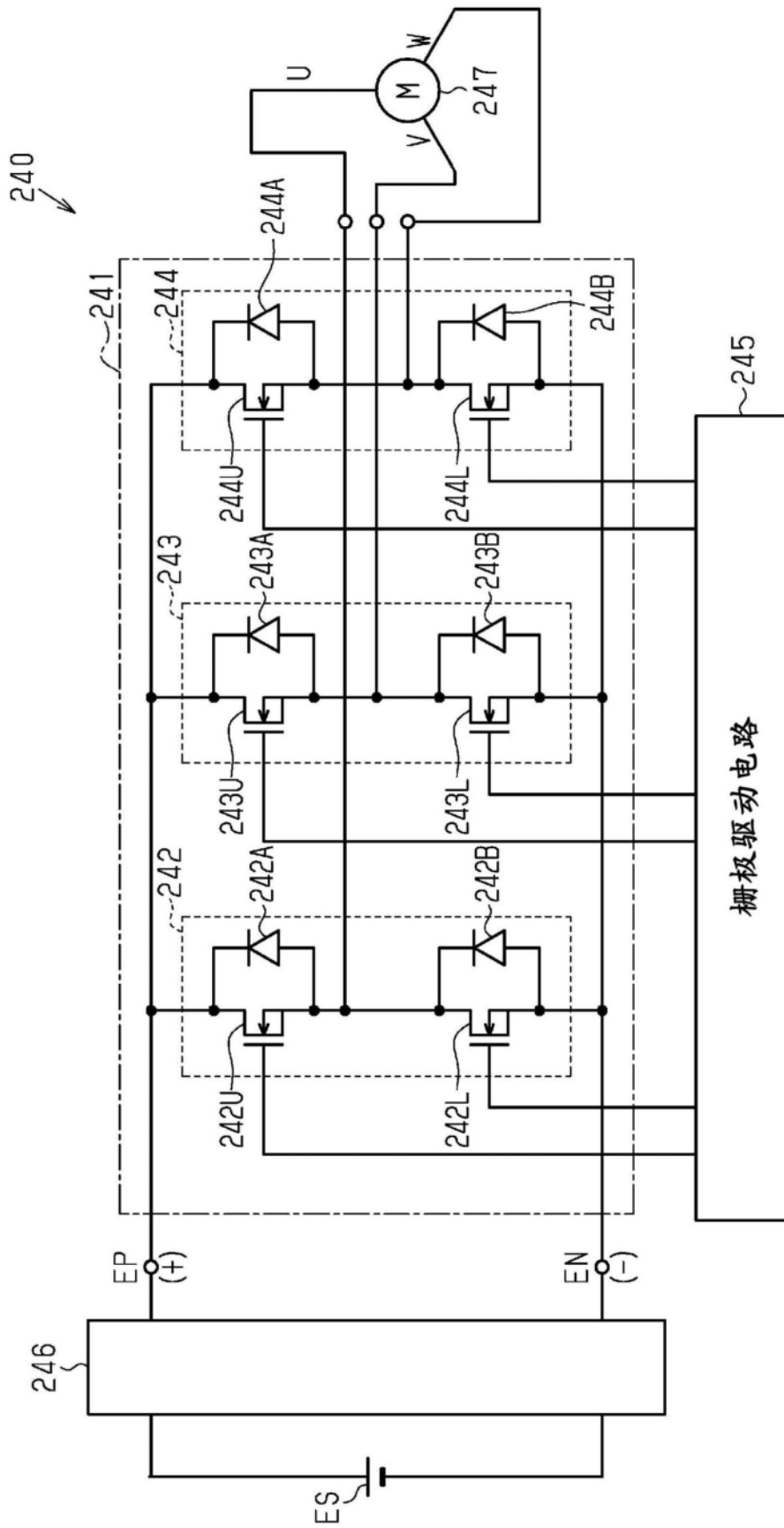


图45