



있는 Si 웨이퍼의 직경이 최대 5인치이기 때문에 5인치 이상의 브라운관에 해당하는 크기의 화면은 만들 수가 없었다. 넓이가 큰 화면을 만들 수 없다는 것은 화상장치로서 큰 결점이다.

이와 같은 결점을 없애기 위하여 비정질 기판위에 비정질 반도체막 또는 다결정 반도체막을 형성하고, 이들 비정질 반도체 또는 다결정 반도체를 소재로 하여 상기와 같은 집적회로소자를 형성하여 평면표시장치의 구동에 사용되는 방법도 제안되어 있다. 이 경우에는 비정질 기판위에 진공증착등의 방법에 의해 형성된 반도체의 박막을 사용하는 것이기 때문에 직경이 5인치를 넘는 큰 면적의 것을 만들 수가 있어 평면표시장치의 면적을 크게 할 수 있게 된다.

그러나, 비정질 반도체막을 사용한 경우에는 비정질 반도체막의 캐리어의 이동도가 현저하게 낮기 때문에 비정질의 반도체 박막을 소재로 하여 형성된 트랜지스터는 그 특징이 나빠진다는 결점이 있었다. 한편, 다결정 반도체 박막을 사용한 경우에 캐리어의 이동도는 표시소자로서 사용할 수 있을 정도로 충분히 높지만, 결정 입자의 직경과 소자의 전류 통로(채널)의 길이가 대략 동일한 정도의 경우에는 결정 입자의 경계 존재하기 때문에 만들어진 소자마다 그 특성에 차이가 발생한다는 결점이 있었다. 즉, 어떤 소자의 전류통로는 결정 입자가 경계를 횡단하지만, 다른 소자의 전류 통로는 결정 입자의 경계를 횡단하지 못하는 일이 생기게 되어 각각의 소자에 따라서 캐리어의 전도가 결정 입자의 경계의 영향을 받는 것이 있고, 영향을 받지 않는 것도 있게 된다. 따라서 각 소자에 따라서 트랜지스터의 특징, 예를 들면 트랜스 콘덕턴스가 달라지게 되는 결과도 된다.

다결정 실리콘 장치의 예로써, 다음과 같은 참고 문헌에 설명되어 있다.

1. THIN-SOLID FILMS, vol. 35, No. 2, 1976. 6, PP.149-153.
2. ELECTRICAL DESIGN NEWS, vol. 18, No. 13, 1973. 6. PP.30-31.
3. IBM TECHNICAL DISCLOSURE BULLETIN, vol. 14, No. 10, 1972. PP. 2900-290.
4. APPLIED PHYSICS LETTERS, vol. 35, No. 2, 1979. 6. 15, PP. 173-175.
5. IBM TECHNICAL DISCLOSURE BULLETINE, vol. 17, No. 8, 1975. 1, PP.2455-2456.
6. SOLID STATE ELECTRONICS, vol. 15, No. 10, 1972. 10, PP.1103-1106.

본 발명의 목적은 상기한 종래의 기술의 결점을 없애어 트랜지스터의 특성이 우수하고, 균일한 특성의 박막 트랜지스터를 제공하는데 있다.

본 발명은 소정의 기판위에 다결정 실리콘막을 형성하고, 상기 다결정 반도체막에 캐리어를 주행시키기 위한 한쌍의 전극 영역과 상기 캐리어를 제어하는 수단을 적어도 포함하는 다결정 박막 트랜지스터에 있어서, 상기 캐리어를 주행시키는 영역의 길이가 실질적인 캐리어의 주행방향으로 상기 다결정 실리콘의 결정입자의 평균직경의 10배 이상이 되고, 또 캐리어를 주행시키는 영역의 결정 입자의 평균직경이 적어도 150 nm 이상으로 되는 다결정 박막 트랜지스터이다. 또한, 기판의 열팽창 계수와 상기 다결정 반도체 박막의 열팽창 계수의 비를 0.3~3.0의 범위로 설정하는 것이 바람직하다.

본 발명은 상술한 바와 같이 소정의 기판위에 다결정 반도체막을 형성하고, 이 다결정 반도체막을 이용하여 반도체장치를 형성할 때에 캐리어가 주행하는 영역의 길이(채널의 길이)가 결정 입자의 직경(결정 입자의 직경이 평평한 형상일 때에는 긴폭의 직경)의 적어도 10배 이상으로 되는 특징이 있다.

또한, 본 발명의 기판, 상기 기판위에 마련된 주변주사회로, 상기 기판위에 마련된 액정, 상기 기판위에 마련된 트랜지스터로 되는 2차원 스위칭 매트릭스를 구성하는 트랜지스터는 상기 기판위에 다결정 실리콘막이 형성되어 상기 다결정 실리콘막에 캐리어를 주행시키기 위한 한쌍의 전극영역과 상기 캐리어를 제어하는 수단을 적어도 포함하고, 상기 캐리어를 주행시키는 영역의 길이가 캐리어의 주행 방향으로 상기 다결정 실리콘의 결정 입자의 직경의 10배 이상이고, 상기 캐리어를 주행시키는 영역의 각 결정 입자의 직경이 적어도 150nm 이상이고, 또 상기 기판의 열팽창 계수와 상기 다결정 실리콘 박막의 열팽창 계수의 비가 0.3~3.0의 범위로 되도록 선택되며, 또 상기 기판은 비결정질 기판이고, 상기 평면 표시장치의 화면은 5인치 형의 브라운관의 화면보다 크게 하는 평면 표시장치이다. 그리고, 본 명세서에서 결정 입자의 직경은 "결정 입자의 평균직경"을 의미하는 것으로 한다. 즉, 캐리어의 주행중에 조우하는 입자의 경계의 수에 소자의 특성에 의존한다는 의미이다. 다시말하면, 캐리어의 주행길이를 결정 입자의 직경에 비해 크게 하면 캐리어의 주행중에 조우하는 입자의 경계의 수가 많아져 소자마다의 특성의 차이를 저감시키는 것이다. 따라서 캐리어가 주행하는 영역에 충분한 다수의 결정 입자가 존재하기 때문에, 캐리어는 다수의 결정 입자의 경계의 영향을 받게 되므로 다수의 반도체장치를 제조하였을 경우, 그 특성의 균일성이 양호하게 된다. 이와 같이 특성상의 차이를 적게 하려면 캐리어가 주행하는 영역의 길이가 결정 입자의 직경의 50배 이상인 것이 보다 바람직하며, 이것에 의해 특성의 차이를 좀더 양호하게 억제할 수 있다.

그러나, 각 결정 입자의 직경이 너무 적을 경우에는 반도체 재료 자체의 특성(예를 들면, 캐리어의 이동도)에 나빠지게 되므로, 적어도 150nm이상인 것이 보다 바람직하다. 물론 이보다 적은 결정입자 일지라도 각 소자의 특성의 차이를 적게 하여 소자의 균일성을 도모한다는 점에 있어서, 상기한 캐리어의 주행영역의 길이와 결정 입자의 직경과의 관계가 유용하게 된다는 것은 설명할 필요가 없는 것이다.

또, 결정 입자의 평균 직경으로써 300nm정도 이하의 반도체 막으로 하는 것은 제조상의 용이함에도 매우 유용하다. 즉, 다음에 설명하는 것과 같이 초 고진공중에서의 증착법만에 의하여 충분히 실현할 수가 있고, 또 제어할 수가 있기 때문이다.

반도체장치의 회로 설계상 캐리어의 주행영역의 길이(예를 들면, 전계 효과 트랜지스터의 경우 그 채널길이에 해당한다)가 정하여져 있을 때에는 다결정 입자의 직경을 조절한다. 한편, 다결정 박막의 형성 조건상의 제약에서 결정 입자의 직경이 제한을 받을 때에는 이에 맞추어서 소자의 설계와

회로의 설계를 실행할 필요가 있다. 이와 같이 다결정 반도체의 결정 입자의 평균직경, 즉 대부분의 결정 입자의 직경이 150nm이상되는 다결정을 사용하고, 또 캐리어를 주행시키는 영역의 길이가 실질적인 캐리어의 주행 방향으로 결정 입자의 평균 직경의 10배 이상으로 되도록 반도체장치를 구성하는 것이 중요하다.

캐리어의 주행영역의 길이의 상한은 설계상 없지만 실용적으로는 100nm이하일 것이다. 또, 결정 입자의 직경의 하한도 특히 설정하기가 어렵지만 실용적으로는 100Å 이상에서 캐리어의 이동도를 확보할 수가 있다. 따라서, 캐리어의 주행 영역의 길이와 결정 입자의 직경과의 비는 실용적으로 10000배 정도가 상한이 될 것이다. 반도체 층의 두께로서는 채널이 형성되면 되는 것이기 때문에 최소한 100nm 이상이면 되고, 500nm 이상인 것이 보다 바람직하다.

기판으로써는 유리기판을 비롯하여 세라믹기판등의 비정질 또는 다결정 기판이 유용하다. 특히 가격 면에서, 유리기판은 저렴하다. 또한, 기판으로써 투광성이 것을 사용할 수가 있다. 또, 기판의 열팽창 계수(Csub)와 형성하는 반도체 물질의 열팽창 계수(Csemi)의 비(Csub/Csemi)를 0.3~3.0의범위로 설정하는 것이 산포가 없는 반도체장치를 실현하는데 중요하다. 물리적인 상세한 이유에 대해서는 잘 알 수 없지만 기판과 반도체 층의 열팽창 계수의 차에 따라서 반도체층으로의 스트레스가 가해지기 때문인 것으로 추정하고 있다.

또한, 양호한 다결정 반도체막의 증착방법은 다음과 같다.

초 고진공을 달성할 수 있는 진공증착장치는 통상의 초 진공장치를 갖는 증착장치이면 사용할 수가 있다. 증착중인 진공도는  $1 \times 10^{-8}$  Torr미만의 고진공으로 된다. 또, 특히 증착중의 잔류기체인 O<sub>2</sub>는 특성에 나쁜 영향을 미치게 되므로, 산소 분압은  $1 \times 10^{-9}$  Torr 미만으로 된다.

증착속도는 1000Å/hour 내지 10000Å/hour를 사용한다.

결정 입자의 직경에 제1도는 증착막의 두께, 기판온도, 증착속도 및 진공도를 제어함으로 우선적인 목적을 달성할 수가 있다. 제1도는 기판온도를 600°C, 증착속도를 5000Å/hour, 증착중의 진공도를  $8 \times 10^{-9}$  Torr의 조건하에서의 실리콘 증착막의 두께와 결정 입자의 평균직경과의 관계를 도시한 도면이다. 막의 두께는 수정 진동자를 사용하여 측정하였다. 또, 경우에 따라서는 레이저 어닐등의 수단 에 따라서 결정 입자의 직경을 제어하여도 된다.

다결정 실리콘막을 가공하여 반도체장치를 제작하기 위해서는 몇 단계의 공정을 거치지 않으면 안되는데 이들 공정에서의 열처리 온도를 초결정 유리의 연화점인 820°C 보다 낮게 하는 것에 따라서 본 발명의 이점을 충분히 발휘시킬 수 있다. 연화점이 낮은 유리기판을 사용하였을 때에는 더욱 낮게, 예를 들면 550°C 이하로 억제하는 것이 가능하다. 다음에는 트랜지스터의 예로써 연화점이 낮은 유리기판 위에 MOS형 전계효과 트랜지스터를 형성하는 경우의 예에 대하여 설명한다.

게이트 산화막을 얻기 위해서는 일반적으로 실리콘 기판의 열산화법에 따르고 있지만, 열산화의 경우 1000°C 이상의 고온을 필요로 하므로 현재의 목적에는 사용할 수가 없다. 이 예에서는 300°C 이상 500°C 이하의 온도에서 SiH<sub>4</sub>와 O<sub>2</sub>를 반응시키다가 400°C 이상 800°C 이하의 온도에서 SiH<sub>4</sub>와 NO<sub>2</sub>를 반응시켜서 SiO<sub>2</sub>막을 기상 성장시키고, 이 기상 성장된 SiO<sub>2</sub> 막을 게이트 산화막으로써 사용한다.

또, 종래에는 소오스영역과 드레인영역을 형성하기 위하여 열확산에 따라서 P<sup>+</sup> 층과 N<sup>+</sup> 층을 형성하는 방법이 일반적으로 사용되고 있다. 그러나 이 방법은 1150°C정도의 열처리를 필요로 하므로 낮은 연화점을 갖는 유리기판위에 트랜지스터를 형성한다는 현재의 목적에는 사용할 수가 없다. 본 발명에서는 열확산 대신에 이온주입법에 따라서 P<sup>+</sup> 층 또는 N<sup>+</sup> 층을 형성하는 방법을 사용한다. 이온주입후에, 전기적으로 활성화학 위하여 열처리하지만, 이때 열처리온도는 사용하는 기판의 연화점 보다 낮게 억제할 필요가 있다. 그래서, 예를 들면 BF<sub>3</sub>와 같은 550°C정도의 저온 열처리에 의해 높은 활성화를 할 수 있는 이온주입을 하든가 또는, 예를 들면 B<sup>+</sup> 이온등을 주입한 다음에 리버스 어닐링 효과(reverse annealing effect)가 일어나기 직전의 500°C~600°C정도의 온도에서 열처리를 실행하는 등의 방향을 채용한다. P<sup>+</sup> 이온, As<sup>+</sup> 이온등의 경우에, 리버스 어닐링 효과는 B<sup>+</sup> 이온일 때만큼 현저하게 나타나지는 않지만 500°C~600°C정도의 열처리에서 충분히 활성화할 수 있다. 따라서, 500°C~600°C정도의 저온공정으로 P<sup>+</sup> 층, N<sup>+</sup> 층 어느 것이든지 형성할 수가 있다. 초 경질 유리와 같이 연화점 온도가 800°C 보다도 더 높은 기판을 사용할 경우에는 800°C의 온도에서 열처리를 하여도 좋은 것은 물론이다.

이상과 같은 제조방법을 사용하는 것에 따라서 면적을 넓게 하는 것 또는 길이를 길게 하는 것이 가능하고, 또 캐리어의 이동도가 1cm<sup>2</sup>/V. SEC 이상의 반도체재료를 얻을 수가 있다.

이하, 본 발명을 실시예에 따라서 상세하게 설명한다.

[실시예]

유리기판위에 다결정 실리콘막을 형성하고, 이 다결정 실리콘막의 표면층에 채널을 마련한 구조의 N 채널 MOS형 전계효과 트랜지스터를 제작하는 경우의 실시예를 제2a도~제2h도의 공정 설명용 단면도를 사용하여 설명한다.

먼저 기판을 초 고진공으로 달성할 수 있는 진공 증착 장치내에 장착한다. 장치는 일반적인 장치로 충분하다.

유리기판(규산알루미늄 유리 : 열팽창 계수= $32 \times 10^{-7}$  /°C(1)위에 기판온도 600°C, 증착중의 진공도 8

$\times 10^{-9}$  Torr, 증착속도 5000 Å/horr)의 조건에서 진공증착을 하는 것에 의해 실리콘막(2)을 1.5 $\mu$ m의 두께로 피착시킨다(제2a도). 형성된 실리콘막(2)은 붕소가 약간 도우프된 P형의 다결정 실리콘이며, 결정 입자의 직경은 약 2000 Å, 캐리어의 이동도는 약 2cm<sup>2</sup>/V. SEC이다. 실리콘막의 열팽창 계수는 약  $25 \times 10^{-7}/^{\circ}\text{C}$ (300° K)이다.

다음에 기판온도 400°C에서 기상성장법에 의하여 SiO<sub>2</sub> 막(3)을 5000 Å의 두께로 피착한다(제2b도). 다음에 제2c도에 도시한 것과 같이 이 SiO<sub>2</sub> 막에 소오스영역과 드레인영역의 구멍을 만든다. 소오스 영역과 드레인영역 사이의 간격은 20 $\mu$ m로 되게 한다. 따라서, 채널의 길이는 20 $\mu$ m로 된다. 다음에 100KeV의 에너지의 P<sup>+</sup> 이온을  $1 \times 10^{16}/\text{cm}^2$ 의 도우스량으로 주입하고 N<sup>2</sup>의 분위기중에서, 600°C에서 30분 동안 열처리하는 것에 따라서 소오스영역과 드레인 영역에 N<sup>+</sup> 층(4)을 형성한다(제2d도). 다음에 제 2e도에 도시한 것과 같이 필드용 산화막(5)을 남겨두고 SiO<sub>2</sub> 막을 제거한다. 재차 기상성장법에 의해 게이트산화막용 SiO<sub>2</sub> 막(6)을 7500 Å의 두께로 피착한다(제2도f). 또한 포토에칭공정에 의하여 전극 접촉용 구멍을 제2g도에 도시한 것과 같이 만들고나서 전면에 A1을 증착한다. 다음에 포토에칭공정에 의하여 A1을 가공하여서 소오스전극(7), 드레인전극(8), 게이트전극(9)을 형성한다(제2h도). 그 다음에 H<sub>2</sub> 분위기중에서, 400°C에서 30분간 열처리를 실행한다. 이상과 같은 공정에 의하여 다결정 실리콘막의 표면층에 길이가 20 $\mu$ m인 채널이 마련된 구조의 박막 MOS 전계효과 트랜지스터가 제작된다. 이 반도체장치는 트랜지스터로 양호하고 안정한 특성을 갖는다.

제3도에 시험 제작된 MOSFET의 실온에 있어서의 특성예를 도시한다. 게이트전압 V<sub>G</sub>를 피라미터로 한 드레인 전류 I<sub>D</sub>대 드레인전압 V<sub>DS</sub>와의 특성이다.

본 예에서 채널의 길이가 10 $\mu$ m에 대해서 결정 입자의 직경은 약 2000 Å이다. 따라서, 캐리어의 주행 방향으로 충분히 다수의 결정 입자가 존재하여 캐리어의 다수의 결정 입자의 경계의 영향을 받고, 그 영향에 의한 효과는 많은 소자를 제조하였을 때에 특성이 균일화된다.

제4도는 여러가지 종류의 결정 입자의 평균직경의 실리콘막을 형성하고, 상술한 것과 같은 반도체장치를 제조하여 그 트랜스 콘덕턴스를 비교한 결과를 도시한 것이다. 트랜스 콘덕턴스의 값은 입자의 평균직경이 150nm일 때를 대표값(1)로 하여 상대값으로서 나타내었다. 결정 입자의 평균직경이 150 nm이하로 되면 트랜스 콘덕턴스는 대폭적으로 낮아지는 것을 알 수가 있다. 결정 입자의 평균직경이 150nm, 200nm, 300nm의 반도체층을 사용하여 여러가지 종류의 게이트의 길이를 갖는 MOS형 전계효과 트랜지스터를 제조하고, 그 트랜스 콘덕턴스의 산포를 테스트하였다. 캐리어의 주행 거리의 결정 입

자의 직경과의 비가 10배 미만일 때에는 트랜스 콘덕턴스(상대값)=1에 대하여 ( $\pm 1$ ) 정도의 산포를 나타내었다. 트랜스 콘덕턴스=0의 조건은 실질적으로 동작 불능을 의미하고 있다. 한편 캐리어의 주행 거리에 대한 결정 입자의 직경과의 비가 10배~50배로 되면  $\pm 0.7 \sim \pm 0.8$  정도의 산포이고, 그의 비가 50배를 넘으면  $\pm 0.3 \sim \pm 0.4$  정도의 산포이고, 또 그의 비가 200~1000배 정도 일지라도  $\pm 0.3 \sim \pm 0.4$  정도의 산포이었다.

따라서, 캐리어의 주행 거리와 결정 입자의 평균직경과의 비를 적어도 10배 이상으로, 보다 바람직하게는 50배이상으로 해야 한다는 것을 알 수가 있다.

표 1은 여러가지 종류의 기판 예를 사용하며 마찬가지로의 MOS형 전계효과 트랜지스터를 제조하고, 그 트랜스 콘덕턴스(gm)를 측정 한 결과를 나타낸 것이다. 또, 가열처리는 500°C이하의 온도에서 실행하였다. 석영유리(quartz glass)나 소다석회유리(soda lime glass)로써는 양호한 특성의 트랜지스터를 얻을 수가 없었다. 기판과 그 위에 탑재되는 반도체층과의 열팽창 계수의 비를 소정의 값으로 설정하는 것이 바람직하다.

[표 1]

기판	기판의 열팽창 계수 (0~300°C) ( $\times 10^{-7}$ )	비 - $\frac{\text{Co(Sub)}}{\text{Co(Semi)}}$	트랜스 콘덕턴스 gm (V <sub>e</sub> =10V)
석영유리	5.5	0.22	1~9 $\mu$ s
붕규산유리(I)	32	1.28	10~50 $\mu$ s
붕규산유리(II)	46	1.84	10~100 $\mu$ s
붕규산유리(III)	50	2.0	10~100 $\mu$ s
규산알루미늄유리	54	2.16	10~100 $\mu$ s
소다석회유리(I)	87	3.48	...
소다석회유리(II)	94	3.76	...

(57) 청구의 범위

청구항 1

기판(1)위에 다결정 실리콘막(2)을 형성하고, 상기 다결정 실리콘막(2)가 캐리어를 주행시키기 위한 한쌍의 전극영역(4)와 상기 캐리어를 제어하는 수단(7, 8, 9)을 적어도 포함하는 다결정 박막 트랜지스터에 있어서, 상기 캐리어를 주행시키는 영역의 길이는 캐리어의 주행방향으로 상기 다결정 실리콘의 결정 입자의 평균직경의 10배 이상이고, 상기 캐리어를 주행시키는 영역내의 상기 결정 입자의 평균직경은 적어도 150nm이상인 다결정 박막 트랜지스터.

청구항 2

특허청구의 범위 제1항에 있어서, 상기 캐리어를 주행시키는 영역의 길이는 캐리어의 주행방향으로 상기 결정 입자의 평균직경의 적어도 50배 이상인 다결정 박막 트랜지스터.

**청구항 3**

특허청구의 범위 제1항에 있어서, 상기 기판의 열팽창 계수와 상기 다결정 실리콘막의 열팽창 계수와의 비는 0.3~3.0범위내에 있는 다결정 박막 트랜지스터.

**청구항 4**

특허청구의 범위 제1항에 있어서, 상기 다결정 실리콘막은 초 고진공에서 진공증착에 의해 형성된 다결정막인 다결정 박막 트랜지스터.

**청구항 5**

특허청구의 범위 제1항에 있어서, 상기 결정 입자의 직경은 300nm이하인 다결정 박막 트랜지스터.

**청구항 6**

특허청구의 범위 제1항에 있어서, 상기 캐리어를 주행시키는 영역은 100 $\mu$ m이하인 다결정 박막 트랜지스터.

**청구항 7**

특허청구의 범위 제1항에 있어서, 상기 캐리어를 주행시키는 길이는 캐리어의 주행방향으로 결정 입자의 직경이 10000배 이하인 다결정 박막 트랜지스터.

**청구항 8**

특허청구의 범위 제1항에 있어서, 상기 캐리어를 주행시키는 영역의 두께는 100nm이상인 다결정 박막 트랜지스터.

**청구항 9**

특허청구의 범위 제1항에 있어서, 상기 캐리어를 주행시키는 영역의 두께는 500nm이상인 다결정 박막 트랜지스터.

**청구항 10**

특허청구의 범위 제1항에 있어서, 상기 기판은 유리기판인 다결정 박막 트랜지스터.

**청구항 11**

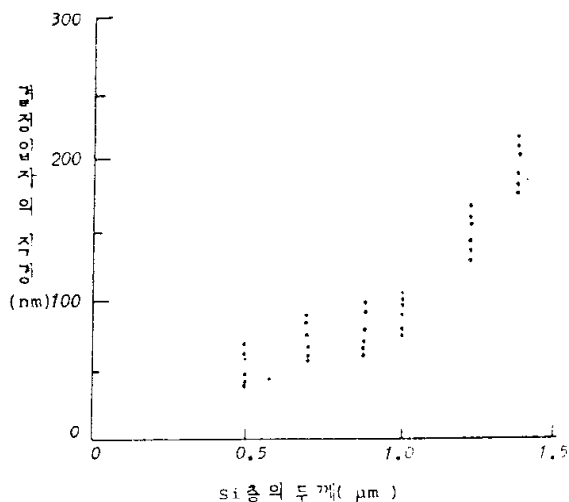
특허청구의 범위 제1항에 있어서, 상기 기판은 세라믹스 기판인 다결정 박막 트랜지스터.

**청구항 12**

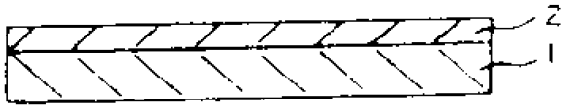
특허청구의 범위 제1항에 있어서, 상기 기판은 투광성 기판인 다결정 박막 트랜지스터.

**도면**

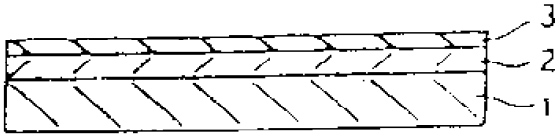
**도면1**



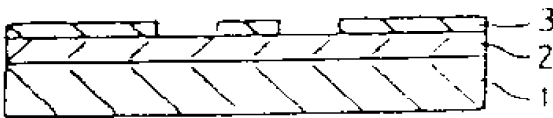
도면2a



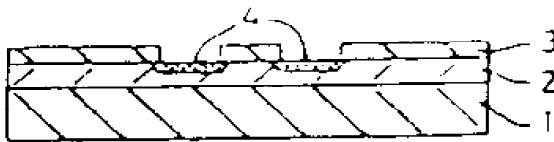
도면2b



도면2c



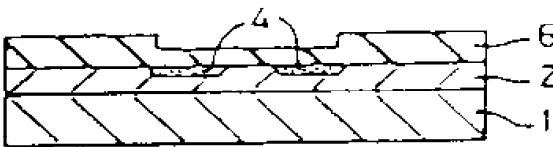
도면2d



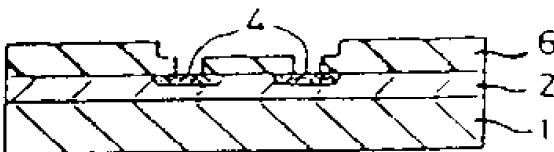
도면2e



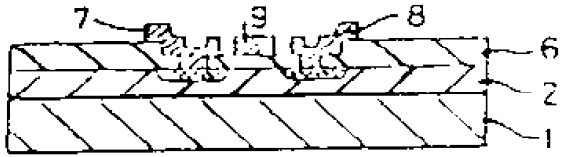
도면2f



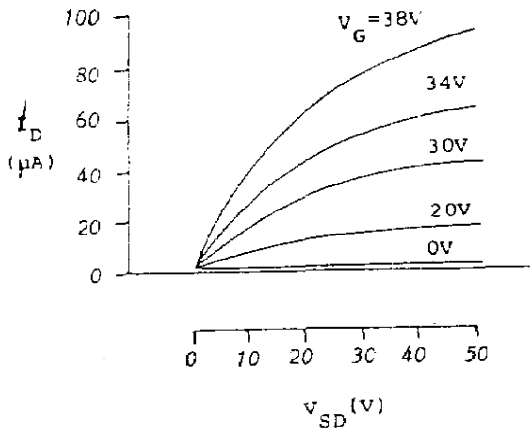
도면2g



도면2h



도면3



도면4

