

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4223092号  
(P4223092)

(45) 発行日 平成21年2月12日(2009.2.12)

(24) 登録日 平成20年11月28日(2008.11.28)

(51) Int.Cl. F I  
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 2 7 G  
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 7 V  
 HO 1 L 21/20 (2006.01) HO 1 L 21/20

請求項の数 12 (全 15 頁)

<p>(21) 出願番号 特願平10-136316                  (22) 出願日 平成10年5月19日(1998.5.19)                  (65) 公開番号 特開平11-330478                  (43) 公開日 平成11年11月30日(1999.11.30)                  審査請求日 平成17年5月10日(2005.5.10)</p>	<p>(73) 特許権者 000153878                  株式会社半導体エネルギー研究所                  神奈川県厚木市長谷398番地                  (72) 発明者 前川 慎志                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                  (72) 発明者 大谷 久                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                    審査官 河本 充雄                    (56) 参考文献 特開平02-111035(JP,A)                  特開平06-209108(JP,A)</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上に結晶性半導体膜を形成し、  
 前記結晶性半導体膜上に非晶質半導体膜を形成し、  
 前記非晶質半導体膜を熱酸化して熱酸化膜を形成する工程を有し、  
 前記非晶質半導体膜には結晶化を抑制する不純物が  $1 \times 10^{19} \text{ atoms/cm}^3$  以上  $5 \times 10^{21} \text{ atoms/cm}^3$  以下の濃度で添加されていることを特徴とする半導体装置の作製方法。

【請求項2】

基板上に半導体膜を形成し、  
 前記半導体膜を結晶化し結晶性半導体膜を形成し、  
 前記結晶性半導体膜上に非晶質半導体膜を形成し、  
 前記非晶質半導体膜を熱酸化して熱酸化膜を形成する工程を有し、  
 前記非晶質半導体膜には結晶化を抑制する不純物が  $1 \times 10^{19} \text{ atoms/cm}^3$  以上  $5 \times 10^{21} \text{ atoms/cm}^3$  以下の濃度で添加されていることを特徴とする半導体装置の作製方法。

【請求項3】

基板上に半導体膜を形成し、  
 前記半導体膜を結晶化し結晶性半導体膜を形成し、  
 前記結晶性半導体膜上に非晶質半導体膜を形成し、

前記非晶質半導体膜に結晶化を抑制する不純物を  $1 \times 10^{19} \text{ atoms/cm}^3$  以上  $5 \times 10^{21} \text{ atoms/cm}^3$  以下の濃度で添加した後、前記非晶質半導体膜を熱酸化して熱酸化膜を形成する工程を有することを特徴とする半導体装置の作製方法。

【請求項 4】

基板上に結晶性半導体膜を形成し、  
 前記結晶性半導体膜上に非晶質半導体膜を形成し、  
 前記非晶質半導体膜を酸化性雰囲気中で  $800 \sim 1100$  の温度で加熱処理する工程を有し、  
 前記非晶質半導体膜には結晶化を抑制する不純物が  $1 \times 10^{19} \text{ atoms/cm}^3$  以上  $5 \times 10^{21} \text{ atoms/cm}^3$  以下の濃度で添加されていることを特徴とする半導体装置の作製方法。

10

【請求項 5】

基板上に結晶性半導体膜を形成し、  
 前記結晶性半導体膜上に非晶質半導体膜を形成し、  
 前記非晶質半導体膜を酸化性雰囲気中で  $800 \sim 1100$  の温度で熱酸化して熱酸化膜を形成した後、前記熱酸化膜を除去し、  
 前記結晶性半導体膜上にゲート絶縁膜を形成する工程を有し、  
 前記非晶質半導体膜には結晶化を抑制する不純物が  $1 \times 10^{19} \text{ atoms/cm}^3$  以上  $5 \times 10^{21} \text{ atoms/cm}^3$  以下の濃度で添加されていることを特徴とする半導体装置の作製方法。

20

【請求項 6】

基板上に結晶性半導体膜を形成し、  
 前記結晶性半導体膜上に非晶質半導体膜を形成し、  
 前記非晶質半導体膜に結晶化を抑制する不純物を  $1 \times 10^{19} \text{ atoms/cm}^3$  以上  $5 \times 10^{21} \text{ atoms/cm}^3$  以下の濃度で添加し、  
 前記非晶質半導体膜を酸化性雰囲気中で  $800 \sim 1100$  の温度で加熱処理する工程を有することを特徴とする半導体装置の作製方法。

【請求項 7】

基板上に結晶性半導体膜を形成し、  
 前記結晶性半導体膜上に非晶質半導体膜を形成し、  
 前記非晶質半導体膜に結晶化を抑制する不純物を  $1 \times 10^{19} \text{ atoms/cm}^3$  以上  $5 \times 10^{21} \text{ atoms/cm}^3$  以下の濃度で添加し、  
 前記非晶質半導体膜を酸化性雰囲気中で  $800 \sim 1100$  の温度で熱酸化して熱酸化膜を形成した後、前記熱酸化膜を除去し、  
 前記結晶性半導体膜上にゲート絶縁膜を形成する工程を有することを特徴とする半導体装置の作製方法。

30

【請求項 8】

請求項 1 乃至 7 のいずれか一において、前記不純物は窒素、酸素または炭素から選ばれた不純物であることを特徴とする半導体装置の作製方法。

【請求項 9】

基板上に結晶性珪素膜を形成し、  
 前記結晶性珪素膜上に非晶質珪素膜を形成し、  
 前記非晶質珪素膜を熱酸化して熱酸化膜を形成する工程を有し、  
 前記非晶質珪素膜には、窒素、酸素または炭素から選ばれた不純物が  $1 \times 10^{19} \text{ atoms/cm}^3$  以上  $5 \times 10^{21} \text{ atoms/cm}^3$  以下の濃度で添加されていることを特徴とする半導体装置の作製方法。

40

【請求項 10】

基板上に結晶性珪素膜を形成し、  
 前記結晶性珪素膜上に非晶質珪素膜を形成し、  
 前記非晶質珪素膜を熱酸化してゲート絶縁膜を形成する工程を有し、

50

前記非晶質珪素膜には、窒素、酸素または炭素から選ばれた不純物が  $1 \times 10^{19} \text{ atoms/cm}^3$  以上  $5 \times 10^{21} \text{ atoms/cm}^3$  以下の濃度で添加されていることを特徴とする半導体装置の作製方法。

【請求項 1 1】

基板上に結晶性半導体膜を形成し、

前記結晶性半導体膜上に非晶質半導体膜を形成し、

前記非晶質半導体膜に結晶化を抑制する不純物を  $1 \times 10^{19} \text{ atoms/cm}^3$  以上  $5 \times 10^{21} \text{ atoms/cm}^3$  以下の濃度で添加した後、前記非晶質半導体膜を熱酸化して熱酸化膜を形成する工程を有し、

前記不純物は窒素、酸素または炭素から選ばれた不純物であることを特徴とする半導体装置の作製方法。

10

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか一において、前記非晶質珪素膜は CVD 法により形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は半導体膜を用いた半導体装置の作製方法に関する技術であり、特に結晶性珪素膜を利用した薄膜トランジスタ (Thin Film Transistor: 以下 T F T と略称する) を有する半導体装置の作製方法に関する。

20

【0002】

なお、本明細書において、半導体装置とは半導体を用いて機能する装置全般を指すものであり、T F T の如き単体素子のみならず、電気光学装置や半導体回路及びそれを搭載した電子機器をも半導体装置に含むものとする。

【0003】

【従来の技術】

近年、アクティブマトリクス型液晶表示装置の様な電気光学装置に用いられる T F T の開発が活発に進められている。

【0004】

アクティブマトリクス型液晶表示装置は、同一基板上に液晶表示部と駆動回路部とを設けたモノリシック型表示装置が主流となりつつある。また、さらに補正回路、メモリ回路、クロック発生回路等のロジック回路部を内蔵したシステムオンパネルの開発も進められている。このような駆動回路部やロジック回路部は高移動度が要求されることから結晶性珪素膜 (ポリシリコン膜) を用いた T F T が用いられている。特に、結晶性珪素膜の結晶粒径が大きい場合には非常に高移動度な T F T が得られる。

30

【0005】

結晶性珪素膜を用いた T F T は一般にコプラナ型であり、熱酸化やイオン注入などの半導体技術を応用することができる。特に、熱酸化工程を用いると、珪素膜の欠陥が補償されるため、移動度、サブスレッショルド係数、しきい値電圧等の T F T 特性が向上し、極めて優れたスイッチング特性および高速動作特性が実現可能であると考えられる。

40

【0006】

熱酸化による欠陥補償の機構は以下のように考えられている。珪素膜の熱酸化は酸素が熱酸化膜 (酸化珪素膜) 中を拡散し、 $\text{SiO}_2 / \text{Si}$  界面に到達して、そこで酸化反応が起こり、新しい熱酸化膜が形成される。また、シリコンが酸化されて酸化珪素となると約 2 倍の体積膨張が起こる。界面という閉ざされた状態で酸化が進行するためには、体積の膨張分を確保する必要がある。その一部は、余分なシリコン原子が未反応のまま格子間シリコン原子として、酸化珪素膜中もしくは珪素膜中を拡散していく。熱酸化工程によって、結晶性珪素膜を用いた T F T の特性が向上する理由は、この格子間シリコン原子が結晶性珪素膜の粒界や粒内欠陥などの格子欠陥に供給され、欠陥を補償するためと考えられている。熱酸化工程によって欠陥の補償された結晶性珪素膜を作製できるため、高移動度な T

50

F Tを作製するにあたって、熱酸化工程は非常に有用な技術である。

【 0 0 0 7 】

しかし、図 2 ( A ) に示す結晶性珪素膜 3 0 1 を熱酸化すると、図 2 ( B ) のように熱酸化膜 3 0 2 と結晶性珪素膜 3 0 3 の界面や熱酸化膜 3 0 2 の表面に凹凸が発生し、活性層として用いる結晶性珪素膜 3 0 3 の膜厚が不均一となり、そのため同一基板内での T F T 特性のばらつきが生じる等の問題点が発生し、このままでは熱酸化工程を用いることはできなかつた。また、熱酸化膜は緻密な膜のため絶縁性がよく、ゲート絶縁膜として用いるのに好適な膜であるが、結晶性珪素膜を熱酸化した熱酸化膜 3 0 2 をゲート絶縁膜として用いようとするに凹凸の発生によって膜厚が均一とならないため、膜厚の薄い部分にゲート電圧が集中し、絶縁破壊を引き起こす原因となりかねなかつた。

10

【 0 0 0 8 】

熱酸化膜の凹凸の発生は、結晶性珪素膜の酸化速度が場所により異なることが原因である。酸化速度はそれぞれの結晶の面方位の違いによって異なり、また、結晶と結晶粒界でも異なる。特に結晶と比較して結晶粒界の酸化速度は速く、結晶粒界から選択的に酸化されることが、凹凸の発生に大きく起因している。特に、粒径の大きな結晶を熱酸化すると不規則に凹凸が発生するため好ましくなかつた。しかし上記したように、高移動度の T F T を実現するためには活性層として用いる結晶性珪素膜の結晶粒径を大きくした方が好ましい。従って、活性層を直接熱酸化せず、活性層に用いる結晶性珪素膜上に結晶の粒径を小さく揃えた珪素膜を形成し、この珪素膜を熱酸化する等の対策がなされていた。

20

【 0 0 0 9 】

【 発明が解決しようとする課題 】

このように、活性層に用いる結晶性珪素膜の上に、結晶粒径を小さく揃えた結晶性珪素膜を形成してその粒径の小さい結晶性珪素膜を熱酸化すると、確かに熱酸化膜の凹凸を小さくすることができる。ただし、熱酸化する珪素膜中に粒径の大きな結晶が一つでも含まれていると、その下の活性層の膜厚が不均一となり、同一基板内での T F T 特性のばらつきが生じるため好ましくない。この問題を解決するためには結晶粒径の厳密な制御が不可欠であった。粒径を厳密に制御する方法として、成膜時に成膜スピードや温度をコントロールできる点で、成膜と同時に結晶化する方法が優れている。この方法を用いて条件を厳密にコントロールすることによって、結晶を 1 0 0 nm 以下の粒径に揃えることは可能であったが、コントロール条件が厳しく容易なことではなかつた。また、高速動作の要望に応えるため、活性層やゲート絶縁膜の薄膜化が進み、さらに小さな粒径に揃えることが求められていた。

30

【 0 0 1 0 】

そもそも、非晶質珪素膜を直接熱酸化することができさえすれば、問題なく熱酸化工程を用いることができる。しかし、それは困難なことと考えられていた。それは、一般に非晶質珪素膜を熱酸化するには 8 0 0 以上の温度が必要とされ、その昇温過程の 6 0 0 付近から結晶化が進行してしまうためである。更に、このようにして結晶化された珪素膜は、結晶化工程における核発生や結晶粒径等の制御が困難なためランダムで不均一な結晶となり、この膜を熱酸化すると熱酸化膜に不規則な凹凸が発生するため好ましくなかつた。

40

【 0 0 1 1 】

本発明は上記した問題点を解決し、熱酸化工程によって優れた特性を有する T F T を作製することを課題とする。さらに、その T F T を用いて性能のよい半導体装置を作製することを課題とする。そのため、非晶質珪素膜をできれば直接熱酸化することを課題とする。

【 0 0 1 2 】

【 課題を解決するための手段 】

本発明の構成は、

基板上に結晶性半導体膜を形成する工程と、

前記結晶性半導体膜上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜を熱酸化して熱酸化膜を形成する工程と、

を有し、

50

前記非晶質半導体膜には結晶化を抑制する不純物が添加されていることを特徴とする半導体装置の作製方法である。

【0013】

また、他の本発明の構成は、  
基板上に結晶性珪素膜を形成する工程と、  
前記結晶性珪素膜上に非晶質珪素膜を形成する工程と、  
前記非晶質珪素膜を熱酸化して熱酸化膜を形成する工程と、  
を有し、  
前記非晶質珪素膜には、窒素、酸素または炭素から選ばれた不純物が添加されていることを特徴とする半導体装置の作製方法である。

10

【0014】

また、他の本発明の構成は、  
基板上に結晶性珪素膜を形成する工程と、  
前記結晶性珪素膜上に非晶質珪素膜を形成する工程と、  
前記非晶質珪素膜を熱酸化してゲート絶縁膜を形成する工程と、  
を有し、  
前記非晶質珪素膜には、窒素、酸素または炭素から選ばれた不純物が添加されていることを特徴とする半導体装置の作製方法である。

【0015】

非晶質珪素膜に酸素を添加すると結晶化が抑制されることが本願の発明者により確認されている。結晶化は、隣合うシリコン原子どうしが順々に結合してネットワークを形成していくことにより進行する。このネットワーク形成過程において、シリコン原子間に酸素のような不純物が存在するとシリコン原子間の結合が途切れるため、結晶化の抑制が起こることができる。そのため、意図的に非晶質珪素膜に酸素を添加してやれば、非晶質珪素膜の結晶化を抑制でき、容易に非晶質若しくは微結晶の状態を熱酸化することができる。また、非晶質珪素膜に添加する不純物は酸素でなくとも、シリコン原子間に容易に拡散し、かつシリコン原子と結合することが知られているような原子であってシリコン原子間の結合を途切れさせることができるような原子ならばよく、酸素のほかに窒素や炭素等を用いることができる。

20

【0016】

図1に示すように、本発明は、非晶質珪素膜に結晶化を抑制する不純物を添加して、その非晶質珪素膜401を熱酸化するものであり、その結果、従来と比較して容易に、凹凸がほとんどなく膜厚が概略均一な熱酸化膜402を形成することができる。それは、不純物を添加することによって結晶化が抑制され、非晶質若しくは微結晶の状態の珪素膜を熱酸化できるためである。結晶化の抑制力を高めるためには不純物の添加濃度を高くすればよいが、あまり高すぎると絶縁膜となってしまう熱酸化工程が困難となる。そのため、不純物の濃度をコントロールする必要がある。また、不純物の添加によって結晶化が抑制されるため、もしも不純物の添加されていない部分があるとその部分だけ結晶化されてしまい、熱酸化速度が場所によって異なってしまいうため、熱酸化膜に凹凸が発生する原因となる。そのため、不純物は偏りなく均一に添加される必要がある。これら、不純物の濃度をコントロールし、かつ不純物を偏りなく均一に添加する方法として、非晶質珪素膜の成膜時に成膜ガスに不純物ガスを混合する方法がある。この方法を用いると、目的の濃度の不純物が偏りなく添加された非晶質珪素膜を形成することができる。また、非晶質珪素膜を形成後にイオン注入等の方法によって不純物を添加する方法も有効である。

30

40

【0017】

本発明の作製方法を用いると、微結晶の粒径を20nm以下に揃えることができる。更に不純物の添加濃度や熱酸化時の昇温速度をコントロールすることによって、粒径が10nm以下の結晶に揃えることも可能である。この微結晶珪素膜を熱酸化して形成された熱酸化膜の凹凸の間隔は粒径以下である20nm以下(条件によっては10nm以下)とすることができ、非常に小さく実質的に凹凸のない熱酸化膜を形成することができる。このように本発

50

明は、熱酸化膜の凹凸の大きさを従来の1/10程度にすることができるため、活性層やゲート絶縁膜の薄膜化に対応可能な技術であり、高速動作可能な半導体装置を作製することができる。

【0018】

【発明の実施の形態】

図1に示すように、本発明は、活性層として用いる結晶性珪素膜403の上に、非晶質珪素膜401を形成する。この非晶質珪素膜401には、窒素、酸素、または炭素等の結晶化を抑制する不純物が添加されている。この非晶質珪素膜401が熱酸化されるに従って、即ちSi-O結合が形成されるに従って、未反応の格子間シリコン原子が生成、拡散し、結晶性珪素膜403の格子欠陥に供給される。こうして結晶性珪素膜の格子欠陥が補償され、この結晶性珪素膜を用いたTFETの移動度を向上させることができる。また、この非晶質珪素膜401は不純物の添加により結晶化が抑制されているため、非晶質若しくは微結晶の状態熱酸化でき、凹凸の小さな熱酸化膜402を得ることができる。この熱酸化工程を用いることによって、ゲートリークの発生を抑え、また同一基板内でのTFETの特性のばらつきを最小限に抑え、高速動作可能な半導体装置を作製することができる。

10

【0019】

ここで、窒素、酸素、または炭素等の不純物が添加された非晶質珪素膜を形成する方法は、成膜ガスにこれらの不純物を混合し、減圧CVD法、プラズマCVD法等により成膜と同時に添加する方法を用いればよい。混合する不純物ガスとしては、CO、CO<sub>2</sub>等の酸化炭素、メタン等の炭化水素、NO、NO<sub>2</sub>、N<sub>2</sub>O等の窒化酸素、アンモニア、ヒドラジン等の窒化水素や、窒素ガス、酸素ガス等がある。また、非晶質珪素膜を成膜後に、イオン注入、イオンドーピング、イオンプランテーション、プラズマドーピング、レーザードーピング等によって不純物を添加する方法を用いてもよいし、前記の成膜と同時に添加する方法とこの方法を組み合わせてもよい。また、添加する不純物の濃度はSIMS(2次イオン分析法)によって得られる最小値が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{21} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下であることが望ましい。

20

【0020】

【実施例】

〔実施例1〕

30

【0021】

本実施例では、結晶性珪素膜を覆う熱酸化膜をゲート絶縁膜として用いた例を図1、および図3~図5を用いて説明する。まず、図3(A)に示すように、耐熱性の高い基板(本実施例では石英基板)101を用意し、その上に下地膜として300nm厚の絶縁膜102を形成する。絶縁膜は、酸化珪素膜(SiO<sub>x</sub>)、窒化珪素膜(Si<sub>x</sub>N<sub>y</sub>)、酸化窒化珪素膜(SiO<sub>x</sub>N<sub>y</sub>)のいずれか若しくはそれらの積層膜である。また石英基板の代わりにシリコン基板を用いても良い。その場合、下地膜は熱酸化膜としても良い。

【0022】

こうして絶縁表面を有する基板が準備できたら、減圧熱CVD法により非晶質珪素膜103を形成する。非晶質珪素膜の膜厚は20~100nm(好ましくは40~75nm)とすれば良い。本実施例では成膜膜厚を50nmとする。なお、減圧熱CVD法で形成した非晶質珪素膜と同等の膜質が得られるのであればプラズマCVD法を用いても良い。また、非晶質珪素膜の代わりに非晶質珪素膜中にゲルマニウムを含有させたSi<sub>x</sub>Ge<sub>1-x</sub>(0<x<1)等の他の非晶質半導体膜を用いても良い。

40

【0023】

その後、450~1時間程度の水素出しの後、不活性雰囲気、水素雰囲気、または酸素雰囲気において500~700(代表的には550~650、好ましくは570)の温度で4~24時間の加熱処理を加えて非晶質の結晶化を行う。本実施例では570、14時間の加熱処理を行い、結晶化を進行させる。なお、結晶性珪素膜の形成方法はレーザーアニールを用いた方法など公知のあらゆる手段を用いることができる。その後、図3

50

(B)に示すように、結晶性珪素膜をパターンングし、活性層403a、403b、403cを得る。

【0024】

得られた活性層403a、403b、403cを覆うようにしてプラズマCVD法または減圧CVD法により非晶質珪素膜401を形成する(図3(C))。成膜ガスとして $N_2O$ と $SiH_4$ を用い、導入する $N_2O$ と $SiH_4$ の比をR比( $R比 = N_2O / SiH_4$ )とし、R比を1~10程度にして、酸素と窒素が添加された非晶質珪素膜401を得る。本実施例では、この非晶質珪素膜401を熱酸化した熱酸化膜をゲート絶縁膜として用いるため、この非晶質珪素膜401の膜厚を20~100nmとする必要がある。本実施例では、その膜厚を50nmとした。

10

【0025】

その後、図1および図3(D)に示すように、この非晶質珪素膜401を酸化性雰囲気中800~1100(好ましくは950~1050)の温度で加熱処理し、熱酸化膜402を形成する。この熱酸化工程において、熱酸化する非晶質珪素膜401の結晶化を抑制するために、目的の加熱処理温度まで速やかに昇温させることが重要である。非晶質珪素膜401が熱酸化されるに従って、即ちSi-O結合が形成されるに従って、未反応の格子間シリコン原子が生成、拡散し、結晶性珪素膜403からなる活性層の格子欠陥に供給される。こうして結晶性珪素膜の格子欠陥を補償し、この結晶性珪素膜を活性層としたTFTの移動度を向上させることができる。なお、酸化性雰囲気はドライ $O_2$ 雰囲気、ウェット $O_2$ 雰囲気又はハロゲン元素(代表的には塩化水素)を含む雰囲気とすれば良い。熱酸化工程の温度と時間は、本実施例では100nmの熱酸化膜を形成する条件(950 60min)とする。

20

【0026】

なお、この様に、活性層を覆って非晶質珪素膜を形成し、熱酸化工程を行う構成は本発明において重要である。なぜならば、活性層の結晶粒径は大きいため、活性層を熱酸化すると大きくて不規則な凹凸が発生してしまい、同一基板内のTFT特性にばらつきが生じるという問題が発生するからである。

【0027】

また、本発明における熱酸化工程は、加熱によって生ずる基板の歪みや、変形等が許容可能な条件下で実施する必要がある。例えば、加熱温度の上限は基板の歪み点を目安にすればよく、石英基板を用いる場合は1000程度となる。

30

【0028】

以上の様にして結晶性珪素膜の欠陥の補償を行ったら、図4(A)に示す、導電性を呈する結晶性珪素膜でなるゲート電極114~116を形成する。本実施例ではN型を呈する不純物(リン)を含む結晶性珪素膜(膜厚は200~300nm)を用いる。

【0029】

ゲート電極114~116を形成したら、ゲート電極114~116をマスクとしてドライエッチング法により熱酸化膜402をエッチングする。本実施例では酸化珪素膜をエッチングするために $CHF_3$ ガスを用いる。

【0030】

この工程によりゲート電極(及びゲート配線)の直下のみにゲート絶縁膜が形成される。勿論、ゲート電極の下に残った部分が実際にゲート絶縁膜として機能する部分である。

40

【0031】

次に、PTFTとなる領域をレジストマスク117で隠し、N型を付与する不純物(本実施例ではリン)をイオンインプランテーション法またはプラズマドーピング法により添加する。この時形成される低濃度不純物領域118、119の一部は後にLDD(Lightly Doped Drain)領域となるので、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンを添加しておく。(図4(B))

【0032】

次に、レジストマスク117を除去した後、NTFTとなる領域をレジストマスク120で隠し、P型を付与する不純物(本実施例ではボロン)をイオンインプランテーション法

50

またはプラズマドーピング法により添加する。この時も、リンの場合と同様に低濃度不純物領域121を形成する。(図4(C))

【0033】

こうして図4(C)の状態が得られたら、レジストマスク120を除去した後、エッチバック法を用いてサイドウォール122~124を形成する。本実施例ではサイドウォール122~124を窒化珪素膜を用いて構成する。他にも酸化珪素膜や酸化窒化珪素膜を用いても良い。(図4(D))

【0034】

こうしてサイドウォール122~124を形成したら、再びPTFTとなる領域をレジストマスク125で隠し、リンを添加する。この時は先程の添加工程よりもドーズ量を高くする。

10

【0035】

このリンの添加工程によりCMOS回路を構成するNTFTのソース領域126、ドレイン領域127、低濃度不純物領域(LDD領域)128、チャネル形成領域129が画定する。また、画素マトリクス回路を構成するNTFTのソース領域130、ドレイン領域131、低濃度不純物領域(LDD領域)132、チャネル形成領域133が画定する。(図5(A))

【0036】

次に、レジストマスク125を除去した後、レジストマスク134でNTFTとなる領域を隠し、ボロンを先程よりも高いドーズ量で添加する。このボロンの添加工程によりCMOS回路を構成するPTFTのソース領域135、ドレイン領域136、低濃度不純物領域(LDD領域)137、チャネル形成領域138が画定する。(図5(B))

20

【0037】

以上のようにして、活性層への不純物の添加工程が終了したら、ファーネスアニール、レーザーアニールまたはランプアニールによって熱処理を行い、添加した不純物の活性化を行う。また、この時、不純物の添加時に活性層が受けた損傷も回復される。

【0038】

なお、チャネル形成領域129、133、138は全く不純物元素が添加されず、真性または実質的に真性な領域である。ここで実質的に真性であるとは、N型又はP型を付与する不純物濃度がチャネル形成領域のスパイン密度以下であること、或いは同不純物濃度が  $1 \times 10^{14} \sim 1 \times 10^{17} \text{ atoms/cm}^3$  の範囲に収まっていることを指す。

30

【0039】

次に、25nm厚の窒化珪素膜と900nm厚の酸化珪素膜との積層膜からなる第1の層間絶縁膜139を形成する。そして、Ti/Al/Ti(膜厚は順に100/500/100nm)からなる積層膜で構成されるソース電極140~142、ドレイン電極143、144を形成する。

【0040】

次に、50nm厚の窒化珪素膜145、20nm厚の酸化珪素膜(図示せず)、1 $\mu\text{m}$ 厚のポリイミド膜146の積層構造からなる第2の層間絶縁膜を形成する。なお、ポリイミド以外にもアクリル、ポリアミド等の他の有機性樹脂膜を用いることができる。また、この場合の20nm厚の酸化珪素膜はポリイミド膜146をドライエッチングする際のエッチングストッパーとして機能する。

40

【0041】

第2の層間絶縁膜を形成したら、後に補助容量を形成する領域においてポリイミド膜146をエッチングして開口部を設ける。この時、開口部の底部には窒化珪素膜145のみ残すか、窒化珪素膜145と酸化珪素膜(図示せず)を残すかのいずれかの状態とする。

【0042】

そして、300nm厚のチタン膜を成膜し、パターンングによりブラックマスク147を形成する。このブラックマスク147は画素マトリクス回路において、TFTや配線部など遮光を要する部分に配置される。

【0043】

50



この時、前述の開口部では画素マトリクス回路のドレイン電極 144 とブラックマスク 147 とが窒化珪素膜 145 (又は窒化珪素膜と酸化珪素膜との積層膜) を挟んで近接した状態となる。本実施例ではブラックマスク 147 を固定電位に保持して、ドレイン電極 144 を下部電極、ブラックマスク 147 を上部電極とする補助容量 148 を構成する。この場合、誘電体が非常に薄く比誘電率が高いため、大きな容量を確保することが可能である。

【0044】

こうしてブラックマスク 147 及び補助容量 148 を形成したら、1 μm 厚のポリミド膜を形成して第 3 の層間絶縁膜 149 とする。そして、コンタクトホールを形成して透明導電膜 (代表的には ITO) で構成される画素電極 150 を 120nm の厚さに形成する。

10

【0045】

最後に、水素雰囲気中で 350 2 時間程度の加熱処理を行い、素子全体の水素化を行う。こうして図 5 (C) に示す様なアクティブマトリクス基板が完成する。後は、公知のセル組み工程によって対向基板との間に液晶層を挟持すればアクティブマトリクス型の液晶表示装置 (透過型) が完成する。

【0046】

なお、アクティブマトリクス基板の構造は本実施例に限定されず、あらゆる構造とすることができる。即ち、本発明の構成要件を満たしうる構造であれば、TFT 構造や回路配置等は実施者が自由に設計することができる。

【0047】

例えば、本実施例では画素電極として透明導電膜を用いているが、これをアルミニウム合金膜など反射性の高い材料に変えれば容易に反射型のアクティブマトリクス型液晶表示装置を実現することができる。また、透過型ではアクティブマトリクス基板として透光性基板を用いる必要があるが、反射型の場合には透光性基板を用いる必要はなく、遮光性の基板を用いても構わない。

20

【0048】

本実施例の熱酸化工程を用いることによって、熱酸化膜の凹凸を小さくすることができるので、欠陥が補償された活性層と、緻密で絶縁性の高いゲート絶縁膜を、信頼性よく得ることができる。即ち、ゲートリークの発生を抑え、同一基板内での TFT の特性のばらつきを最小限に抑え、高速動作が可能な半導体装置を作製することができる。なお、本実施例では非晶質珪素膜に添加する不純物として酸素と窒素を用いたが、窒素、酸素、または炭素から選ばれた一種類以上の不純物が添加された非晶質珪素膜を用いれば、本実施例と同様の効果が得られる。

30

【0049】

〔実施例 2〕

実施例 1 に示した作製工程では、不純物が添加された非晶質珪素膜を形成する方法として、成膜ガスに不純物を混合し、減圧 CVD 法により成膜と同時に添加する方法を用いたが、非晶質珪素膜を成膜後に、イオン注入法等によって不純物を添加する方法を用いてもよい。その場合、非晶質珪素膜に例えば NH<sub>3</sub> をイオン化し、注入すればよい。また、アンモニアのかわりに、窒素、酸素、または炭素を含む物質をイオン化し、注入してもよい。

40

〔実施例 3〕

実施例 1 に示した作製工程では、熱酸化膜をゲート絶縁膜として用いているが、この熱酸化膜は必ずしもゲート絶縁膜として機能するものでなくても良い。その場合、格子欠陥の低減を図るために結晶性珪素膜を非晶質珪素膜で覆い熱酸化工程を行う。

【0050】

そして、一旦、熱酸化膜を除去した後に改めてゲート絶縁膜を形成する様な構成とすることも可能である。なお、改めてゲート絶縁膜を形成した後に、再び熱酸化工程を行っても良い。

【0051】

〔実施例 4〕

50

実施例 1 乃至 3 に示した構成を有するアクティブマトリクス基板を用い、液晶表示装置を構成した例を図 6 に示す。図 6 は液晶表示装置の本体に相当する部位であり、液晶モジュールとも呼ばれる。

【 0 0 5 2 】

図 6 において、5 0 1 は基板（石英、シリコンウェハ、結晶化ガラスのいずれでも良い）、5 0 2 は下地となる絶縁膜であり、その上に本発明の作製工程に従って作製された半導体膜でもって複数の T F T が形成されている。

【 0 0 5 3 】

これらの T F T は基板上に画素マトリクス回路 5 0 3、ゲート側駆動回路 5 0 4、ソース側駆動回路 5 0 5、ロジック回路 5 0 6 を構成する。その様なアクティブマトリクス基板に対して対向基板 5 0 7 が貼り合わされる。アクティブマトリクス基板と対向基板 5 0 7 との間には液晶層（図示せず）が挟持される。

【 0 0 5 4 】

また、図 6 に示す構成では、アクティブマトリクス基板の側面と対向基板の側面とをある一辺を除いて全て揃えることが望ましい。こうすることで大版基板からの多面取り数を効率良く増やすことができる。

【 0 0 5 5 】

また、その一辺では、対向基板の一部を除去してアクティブマトリクス基板の一部を露出させ、そこに F P C（フレキシブル・プリント・サーキット）5 0 8 を取り付ける。ここには必要に応じて I C チップ（単結晶シリコン上に形成された MOSFET で構成される半導体回路）を搭載しても構わない。

【 0 0 5 6 】

本発明で利用する半導体膜を活性層とした T F T は極めて高い動作速度を有しているため、数百 MHz ~ 数 GHz の高周波数で駆動する信号処理回路を画素マトリクス回路と同一の基板上に一体形成することが可能である。即ち、図 6 に示す液晶モジュールはシステム・オン・パネルを具現化したものである。

【 0 0 5 7 】

なお、本実施例では本発明を液晶表示装置に適用した場合について記載しているが、アクティブマトリクス型 E L（エレクトロルミネッセンス）表示装置などを構成することも可能である。また、光電変換層を具備したイメージセンサ等を同一基板上に形成することも可能である。

【 0 0 5 8 】

なお、上述の液晶表示装置、E L 表示装置及びイメージセンサの様に光学信号を電気信号に変換する、又は電気信号を光学信号に変換する機能を有する装置を電気光学装置と定義する。本発明は絶縁表面を有する基板上に半導体膜を利用して形成しうる電気光学装置ならば全てに適用することができる。

【 0 0 5 9 】

〔実施例 5〕

本発明は実施例 4 に示した様な電気光学装置だけでなく、機能回路を集積化した薄膜集積回路（または半導体回路）を構成することもできる。例えば、マイクロプロセッサ等の演算回路や携帯機器用の高周波回路（MMIC：マイクロウェーブ・モジュール・IC）などを構成することもできる。

【 0 0 6 0 】

さらには、薄膜を用いる T F T の利点を生かして三次元構造の半導体回路を構成し、超高密度に集積化された V L S I 回路を構成することも可能である。この様に、本発明の T F T を用いて非常に機能性に富んだ半導体回路を構成することが可能である。なお、本明細書中において、半導体回路とは半導体特性を利用して電気信号の制御、変換を行う電気回路と定義する。

【 0 0 6 1 】

〔実施例 6〕

10

20

30

40

50

本実施例では、実施例 4 や実施例 5 に示された電気光学装置や半導体回路を搭載した電子機器（応用製品）の一例を図 7 に示す。なお、電子機器とは半導体回路および/または電気光学装置を搭載した製品と定義する。

【0062】

本発明を適用しうる電子機器としてはビデオカメラ、電子スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、PHS等）などが挙げられる。

【0063】

図 7 (A) は携帯電話であり、本体 2001、音声出力部 2002、音声入力部 2003、表示装置 2004、操作スイッチ 2005、アンテナ 2006 で構成される。本発明は音声出力部 2002、音声出力部 2003、表示装置 2004 等に適用することができる。

10

【0064】

図 7 (B) はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本発明は表示装置 2102、音声入力部 2103、受像部 2106 等に適用することができる。

【0065】

図 7 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成される。本発明はカメラ部 2202、受像部 2203、表示装置 2205 等に適用できる。

20

【0066】

図 7 (D) はヘッドマウントディスプレイであり、本体 2301、表示装置 2302、バンド部 2303 で構成される。本発明は表示装置 2302 に適用することができる。

【0067】

図 7 (E) はリア型プロジェクターであり、本体 2401、光源 2402、表示装置 2403、偏光ビームスプリッター 2404、リフレクター 2405、2406、スクリーン 2407 で構成される。本発明は表示装置 2403 に適用することができる。

【0068】

図 7 (F) はフロント型プロジェクターであり、本体 2501、光源 2502、表示装置 2503、光学系 2504、スクリーン 2505 で構成される。本発明は表示装置 2503 に適用することができる。

30

【0069】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、電気光学装置や半導体回路を必要とする製品であれば全てに適用できる。

【0070】

【発明の効果】

本発明により、熱酸化膜の凹凸を非常に小さくすることができ、実質的に凹凸のない熱酸化膜を得ることができる。その結果、高移動度を有し、ゲートリークの発生を抑え、TFT の特性のばらつきを最小限に抑え、高速動作可能な半導体装置を得ることができる。

40

【図面の簡単な説明】

【図 1】 本発明の熱酸化工程の概念図

【図 2】 従来熱酸化工程の概念図

【図 3】 実施例 1 の TFT の作製工程

【図 4】 実施例 1 の TFT の作製工程

【図 5】 実施例 1 の TFT の作製工程

【図 6】 実施例 3 の液晶モジュール

【図 7】 実施例 5 の電子装置

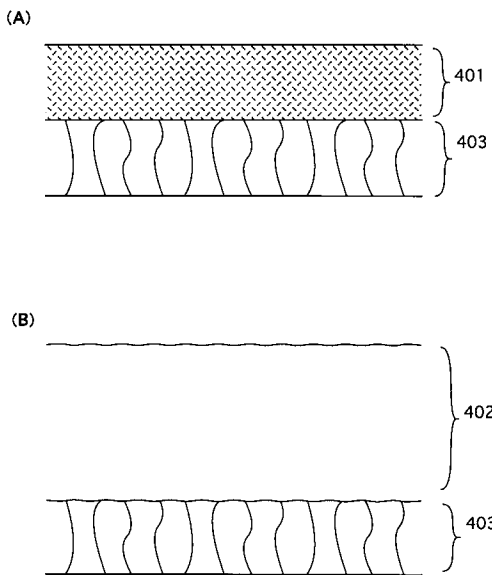
【符号の説明】

401 非晶質珪素膜

50

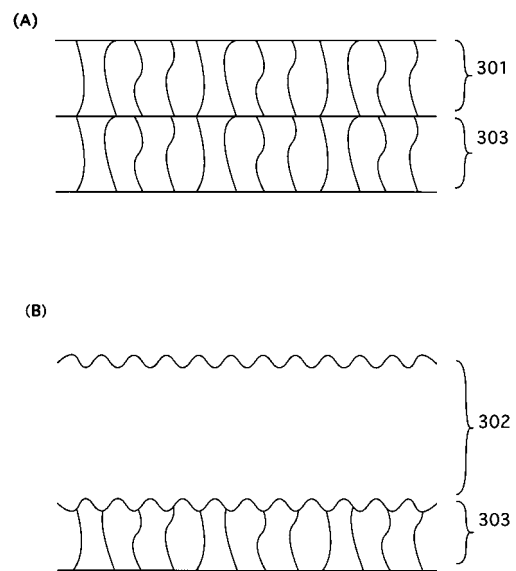
- 4 0 2 熱酸化膜
- 4 0 3 結晶性珪素膜
- 3 0 1 結晶性珪素膜
- 3 0 2 熱酸化膜
- 3 0 3 結晶性珪素膜
- 1 0 1 基板
- 1 0 2 絶縁膜

【図 1】



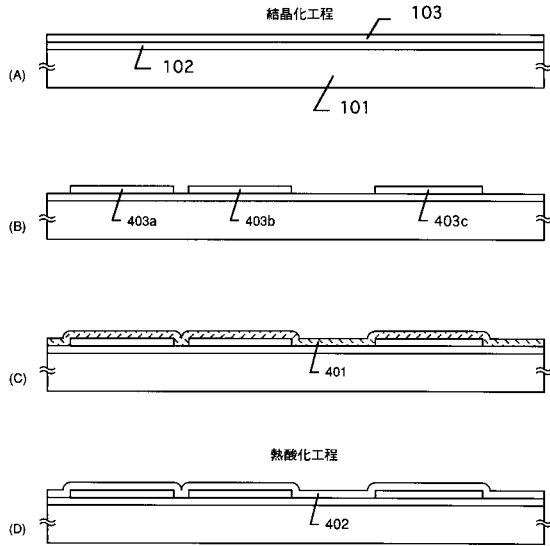
- 401 非晶質珪素膜
- 402 熱酸化膜
- 403 結晶性珪素膜

【図 2】



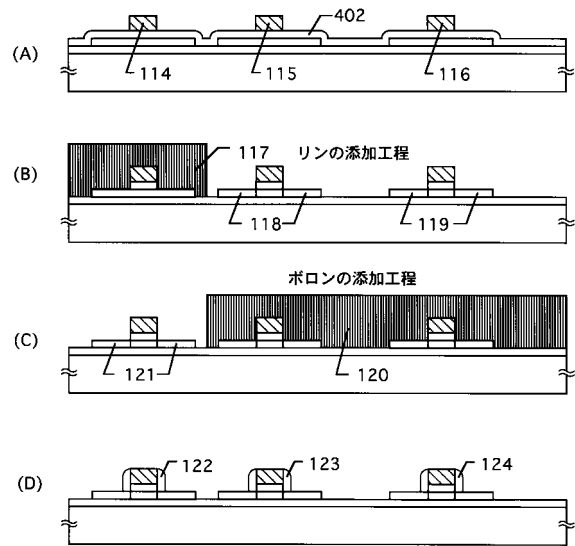
- 301 結晶性珪素膜
- 302 熱酸化膜
- 303 結晶性珪素膜

【図3】



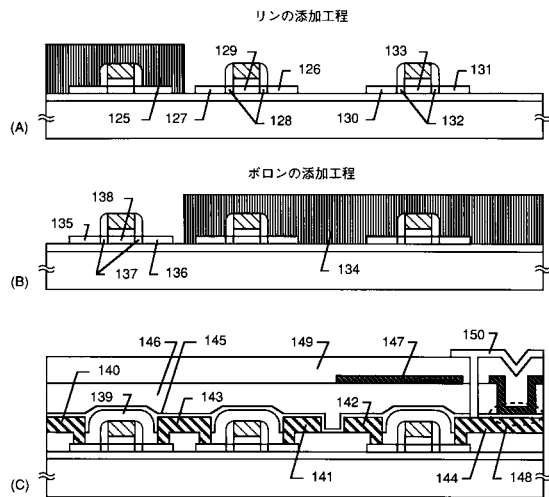
- 101 基板
- 102 絶縁膜
- 103 非晶質珪素膜
- 403a~c 活性層
- 401 非晶質珪素膜
- 402 熱酸化膜

【図4】



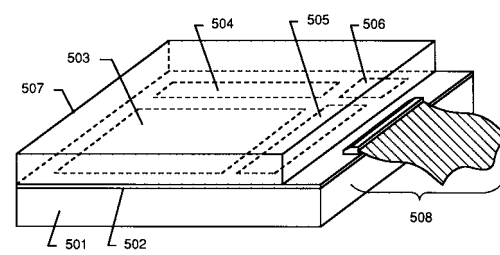
- 402 熱酸化膜
- 114~116 ゲート電極
- 117, 120 レジストマスク
- 118, 119 低濃度不純物領域 (リン)
- 121 低濃度不純物領域 (ボロン)
- 122~124 サイドウォール

【図5】



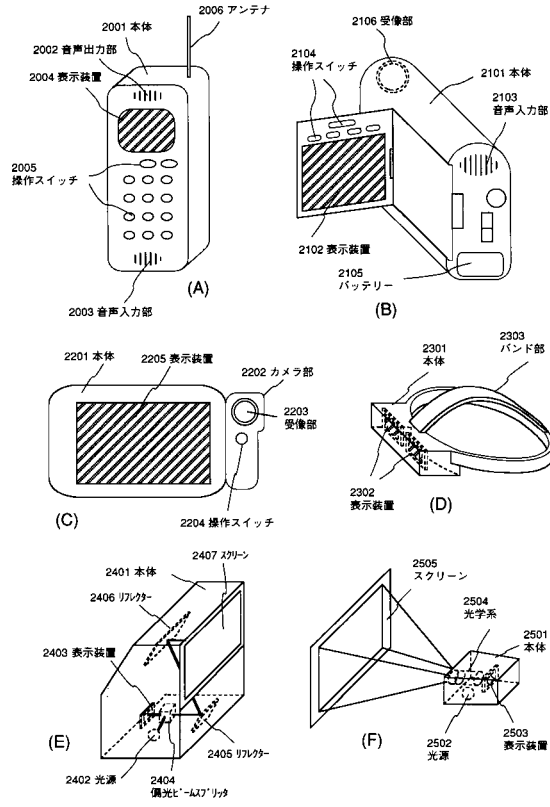
- 125, 134 レジストマスク
- 126, 130, 135 ソース領域
- 127, 131, 136 ドレイン領域
- 128, 132, 137 低濃度不純物領域
- 129, 133, 138 チャンネル形成領域
- 139 第1の層間絶縁膜
- 140, 141, 142 ソース電極
- 143, 144 ドレイン電極
- 145 窒化珪素膜
- 146 ポリイミド膜
- 147 ブラックマスク
- 148 補助容量
- 149 第3の層間絶縁膜
- 150 画素電極

【図6】



- 501 基板
- 502 絶縁膜
- 503 画素マトリクス回路
- 504 ゲイト側駆動回路
- 505 ソース側駆動回路
- 506 ロジック回路
- 507 対向基板
- 508 F P C

【図7】



---

フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H01L 29/786

H01L 21/336

H01L 21/20