

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-253249

(P2009-253249A)

(43) 公開日 平成21年10月29日(2009.10.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 C	4M104
HO 1 L 21/28 (2006.01)	HO 1 L 21/90 A	5F033
HO 1 L 21/8242 (2006.01)	HO 1 L 21/28 L	5F083
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 621C	

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2008-103284 (P2008-103284)
 (22) 出願日 平成20年4月11日 (2008.4.11)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100096231
 弁理士 稲垣 清
 (72) 発明者 小林 宏尚
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内
 Fターム(参考) 4M104 BB01 BB18 DD04 DD07 GG09
 GG10 GG14 GG16 HH14
 5F033 HH08 HH19 JJ04 JJ19 KK01
 KK19 NN40 PP06 QQ09 QQ28
 QQ31 QQ37 QQ48 QQ49 RR04
 RR06 SS11 TT06 TT08 XX03
 5F083 AD24 JA39 JA56 MA02 MA06
 MA17 NA01 PR29

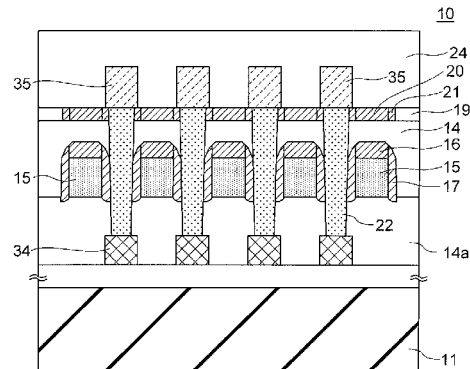
(54) 【発明の名称】 半導体装置、その製造方法、及び、データ処理システム

(57) 【要約】

【課題】配線層の表面を被覆する配線保護膜の設計厚みを小さくし、配線層とセルフアラインプロセスで形成されるビアプラグの間隔を縮小し、半導体装置を微細化する。

【解決手段】キャップ層16及びサイドウォール層17から成る保護膜で被覆された配線層15の上部に、配線層15と同じレイアウトパターンで延びるダミーマスク層20、21を形成する。ビアプラグ22を、配線層15及びその保護膜16、17と自己整合的に形成するセルフアラインプロセスに際して、エッチングされるキャップ層16の膜厚を小さくし、ビアプラグ22の設計間隔を縮小することで、半導体装置10を微細化する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

それぞれの表面が絶縁保護膜で被覆される複数の配線を含み、全体が第 1 の層間絶縁膜に覆われた第 1 の配線層と、

前記第 1 の層間絶縁膜と異なる材料で形成され、それぞれが前記第 1 の層間絶縁膜の上部で前記複数の配線と同じレイアウトで延びる複数のダミー絶縁膜と、

前記複数の配線のうち隣接する 2 つの配線の間で、前記第 1 の層間絶縁膜を貫通し、前記隣接する 2 つの配線及び対応する絶縁保護膜と自己整合的に形成された導電性プラグとを備えることを特徴とする半導体装置。

【請求項 2】

前記導電性プラグは、前記隣接する 2 つの配線の上部に形成された、隣接する 2 つのダミー絶縁膜と自己整合的に形成されている、請求項 1 に記載の半導体装置。

【請求項 3】

前記絶縁保護膜がシリコン窒化膜であり、前記第 1 の層間絶縁膜がシリコン酸化膜である、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

D R A M 装置として構成される、請求項 1 ~ 3 の何れかーに記載の半導体装置。

【請求項 5】

前記絶縁保護膜が、前記複数の配線の上部を覆うキャップ層と、前記複数の配線の側面を覆うサイドウォール層とを含み、前記複数のダミー絶縁膜が、前記キャップ層の上方で延びる中央部分と、前記サイドウォール層の上方で延びるサイド部分とを含む、請求項 1 ~ 3 の何れかーに記載の半導体装置。

【請求項 6】

前記ダミー絶縁膜を覆う第 2 の層間絶縁膜を更に備え、該第 2 の層間絶縁膜の内部には、前記導電性プラグに接続されたキャパシタが形成されている、請求項 1 ~ 5 の何れかーに記載の半導体装置。

【請求項 7】

データプロセッサ、及び、前記データプロセッサに接続されたメモリを有するデータ処理システムであって、

前記メモリが、

それぞれの表面が絶縁保護膜で被覆される複数の配線を含み、全体が第 1 の層間絶縁膜に覆われた第 1 の配線層と、

前記第 1 の層間絶縁膜と異なる材料で形成され、それぞれが前記第 1 の層間絶縁膜の上部で前記複数の配線と同じレイアウトで延びる複数のダミー絶縁膜と、

前記複数の配線のうち隣接する 2 つの配線の間で、前記第 1 の層間絶縁膜を貫通し、前記隣接する 2 つの配線及び対応する絶縁保護膜と自己整合的に形成された導電性プラグとを備えることを特徴とするデータ処理システム。

【請求項 8】

表面が絶縁保護膜で被覆された複数の配線を含む第 1 の配線層を形成する工程と、

前記第 1 の配線層を覆って第 1 の層間絶縁膜を形成する工程と、

前記第 1 の層間絶縁膜上で前記複数の配線と同じレイアウトで延びるダミー絶縁膜を形成する工程と、

前記複数の配線及び該複数の配線を被覆する絶縁保護膜と自己整合的に、前記第 1 の層間絶縁膜を貫通するビアホールを形成する工程と、

前記ビアホール内にビアプラグを形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、その製造方法、及び、データ処理システムに関し、更に詳しく

10

20

30

40

50

は、表面が保護絶縁膜で被覆された配線を有する半導体装置、その製造方法、及び、前記半導体装置を含むデータ処理システムに関する。

【背景技術】

【0002】

近年、半導体装置の微細化が進むにつれ、ホールパターンをフォトリソグラフィ単独で形成することが困難になっている。特に、DRAM装置のようなメモリ製品のセルアレイ内では、最小ピッチで配置された配線層のスペース部に、同じく最小ピッチで並んだホールパターンを、その配線層とショートさせずに形成する必要がある。そのため、ホールサイズの微細化は顕著となり、フォトリソグラフィでの形成が困難な状況となってきた。従来は、その解決方法として、配線層の表面を被覆するようにして形成されたシリコンナイトライド(SiN)保護膜をマスクとして、それに直交する形のスリットパターンを用いて選択エッチングすることによりホールパターンを形成する微細ホールパターン形成方法が採用されている。選択エッチングでは、SiNに対して高い選択比で層間絶縁膜をエッチングして、スリットパターンに対応するスリット溝を形成し、そのスリット溝の中に導電性材料を埋め込む。次いで、配線層の表面を被覆するSiN膜をストップとして、余分な導電性材料をCMPによって除いて、導電性材料を個々のビアプラグに分離する。しかし、この方法では、マスクとなるSiN膜が、配線層加工時のエッチング、スリット溝の開口時のエッチング、及び、CMPによる研磨と、複数回にわたって削られるため、最終的に配線層を露出させないようにSiNの残膜を確保することが困難であった。また、残膜を確保するために、このSiN膜の初期膜厚を増やすと、最小ピッチで配置された配線層間の狭スペースを絶縁膜で埋めることが困難になる。このため、配線を保護するSiN膜の膜厚の確保が、半導体装置の微細化に障害となるという問題があった。

10

20

【0003】

特許文献1は、上記問題を解決する手法を記載している。該特許文献では、DRAM装置のビット線を構成する配線層の表面を被覆するSiN保護膜を覆う層間絶縁膜の上に、NSG(non-siliconglass)から成るエッチストップ膜を全面に形成し、その上にストレージノードを収容する厚い層間絶縁膜を形成している。層間絶縁膜のエッチングに際しては、エッチストップ膜がSiN保護膜のエッチングを防止するので、SiN保護膜の膜厚減少が防止できる。層間絶縁膜がエッチングされたら、次いでエッチストップ膜をエッチングし、更に、ビット線に対して自己整合エッチングを行って、シリコン基板の拡散層に達するコンタクトホールを形成する。エッチストップ膜には、Si₃N₄膜などが使用される。

30

【特許文献1】特開2001-298082号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記特許文献に記載の方法によると、キャパシタと下地ノードを接続するためのコンタクトを形成する際のエッチングにおいては、配線層の表面を被覆するSiN保護膜のエッチング量は少なくなる。しかし、微細化が進むと、ストレージノードの穴径は小さくなり、その深さはますます増加するため、このようなキャパシタ形成用のエッチングと、下地ノードと接続するためのコンタクトを形成するエッチングとを同時に行う方法では、エッチング時のアスペクト比が大幅に増加してしまい、エッチングそのものが困難となる上に、他のノードとのショートや下地接続ノードに対する踏み外しを回避するための合わせ、寸法制御が困難になり、メモリセルの微細化にとって障害となる。

40

【0005】

本発明は、上記に鑑み、コンタクトホール形成の際の自己整合エッチングにあたり、まずホールパターンの代わりにスリットパターンを採用することにより、微細化した際のフォトリソグラフィでの解像性を向上させるとともに、スリットの延在方向への寸法精度、合わせずれの問題も回避することを可能とする。深さ方向もコンタクト形成だけを考慮した深さに設定可能でエッチング時のアスペクト比を最小限に抑えることが出来、更にその

50

スリット分離の際に行うCMP用のマスクとなるダミー絶縁膜を配線を被覆する絶縁保護膜とは別に設けることにより、SiN保護膜の残膜を確保することを可能とし、これらによって微細化を容易にした半導体装置、その製造方法、及び、そのような半導体装置を含むデータシステムを提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明は、それぞれの表面が絶縁保護膜で被覆される複数の配線を含み、全体が第1の層間絶縁膜に覆われた第1の配線層と、

前記第1の層間絶縁膜と異なる材料で形成され、それぞれが前記第1の層間絶縁膜の上部で前記複数の配線と同じレイアウトで延びる複数のダミー絶縁膜と、

前記複数の配線のうち隣接する2つの配線の間で、前記第1の層間絶縁膜を貫通し、前記隣接する2つの配線及び対応する絶縁保護膜と自己整合的に形成された導電性プラグとを備えることを特徴とする半導体装置を提供する。

【0007】

また、本発明は、データプロセッサ、及び、前記データプロセッサに接続されたメモリを有するデータ処理システムであって、

前記メモリが、

それぞれの表面が絶縁保護膜で被覆される複数の配線を含み、全体が第1の層間絶縁膜に覆われた第1の配線層と、

前記第1の層間絶縁膜と異なる材料で形成され、それぞれが前記第1の層間絶縁膜の上部で前記複数の配線と同じレイアウトで延びる複数のダミー絶縁膜と、

前記複数の配線のうち隣接する2つの配線の間で、前記第1の層間絶縁膜を貫通し、前記隣接する2つの配線及び対応する絶縁保護膜と自己整合的に形成された導電性プラグとを備えることを特徴とするデータ処理システムを提供する。

【0008】

更に、本発明は、表面が絶縁保護膜で被覆された複数の配線を含む第1の配線層を形成する工程と、

前記第1の配線層を覆って第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜上で前記複数の配線と同じレイアウトで延びるダミー絶縁膜を形成する工程と、

前記複数の配線及び該複数の配線を被覆する絶縁保護膜と自己整合的に、前記第1の層間絶縁膜を貫通するビアホールを形成する工程と、

前記ビアホール内にビアプラグを形成する工程とを有することを特徴とする半導体装置の製造方法を提供する。

【発明の効果】

【0009】

本発明の半導体装置、データ処理システム、及び、本発明の製造方法で得られた半導体装置では、導電性プラグを収容するコンタクトホールや、ビアホールの形成のための第1の層間絶縁膜のエッチングに際して、そのパターンが第1の配線層と直交するスリットパターンであるため、その方向への合わせずれは問題とならず、また、ラインパターンであるため、微細化に対するフォトリソグラフィの解像マージン、エッチングでの開口性確保も容易である。更にスリットエッチング時、及びコンタクト分離用CMPの際に、第1の配線層と同じレイアウトで各配線の上方に形成されたダミー絶縁膜によって、各配線の絶縁保護膜が保護されるので、絶縁保護膜の膜厚の減少が抑制できる。このため、配線、導電性プラグの寸法、間隔を縮小していった際の加工マージンを確保することができ、半導体装置やデータ処理システムのメモリの微細化が容易になる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の例示的な実施形態について詳細に説明する。なお、全図を通して同様な要素には同様な符号を付して示した。図1は、本発明の第1の実施形態に係る半導体装置

10

20

30

40

50

の断面図である。図 2 は、その半導体装置のパターンレイアウトを示す。なお、図 1 は図 2 の I - I 線に沿う断面図である。

【 0 0 1 1 】

図 1 及び図 2 において、半導体装置 1 0 は、半導体基板 1 1 と、その上部に形成される第 1 ~ 第 3 の配線層 3 4、1 5、3 5 と、これら配線層の間を絶縁する第 1 ~ 第 4 の層間絶縁膜 1 4 a、1 4、1 9、2 4 と、第 2 の層間絶縁膜 1 4 と第 4 の層間絶縁膜 2 4 との間に挟まれ、第 2 の配線層 1 5 の各配線の上方に形成されたダミーマスク層 2 0、2 1 と、第 1 の配線層 3 4 と第 3 の配線層 3 5 とを接続するビアプラグ 2 2 とを有する。ビアプラグ 2 2 は、第 2 の配線層 1 5 に含まれる隣接する各 2 つの配線間を貫通している。

【 0 0 1 2 】

第 2 の配線層 1 5 の各配線には、S i N 膜からなるキャップ層 1 6、及び、サイドウォール層 1 7 を含むシシリコンナイトライド (S i N) 保護膜が形成されており、これらの S i N 保護膜によって第 2 の配線層 1 5 の各配線の表面が覆われている。ダミーマスク層は、S i N 膜から成り、第 2 の配線層 1 5 の各配線を上方から覆い、且つ、各配線と同じパターンレイアウトを有し、各配線のルート上に延びている。ダミーマスク層 2 0、2 1 は、S i N 保護膜のキャップ層 1 6 に平面的に重なる位置に形成された中央部分 2 0 と、サイドウォール層 1 7 に平面的に重なる位置に形成されたサイド部分 2 1 とから構成される。

【 0 0 1 3 】

本実施形態の半導体装置 1 0 では、まず、ビアホールを形成する際にホールパターンの代わりにスリットパターン 2 8 を採用している。これにより、微細化した際のフォトリソグラフィでの解像性を向上させるとともに、スリットの延在方向への寸法精度、合わせずれの問題を回避することを可能としている。更に、狭いピッチで配線された第 2 の配線層 1 5 の上方に、その配線層のレイアウトと同じレイアウトを有するダミーマスク層 2 0、2 1 を形成している。この構成により、第 2 の配線層 1 5 及び S i N 保護膜 1 6、1 7 を含む配線構造と自己整合的にビアホールを形成するためのスリットパターン 2 8 をセルフアラインエッチングする際、ダミーマスク層 2 0、2 1 がそのエッチストップ層となるだけでなく、その後のビア分離の際に行われる C M P のストップ層としても機能する。このため、その下方で第 2 の配線層 1 5 を保護する S i N 保護膜 1 6、1 7 の膜厚減少を最小限にすることが出来る。こうすることにより、スリット開口と C M P でのすりきりを組み合わせたビア開口プロセスにとって、最も問題となる S i N 保護膜の膜厚減少を最小限にすることを可能とし、半導体装置の微細化が容易になる。

【 0 0 1 4 】

図 2 に示すように、第 2 の配線層 1 5 の各配線とダミーマスク層の中央部分 2 0 とは、同じレイアウト上に位置し、第 1 の配線層 3 4 と第 3 の配線層 3 5 とは、同じレイアウト上に位置し、図示しないビアプラグ 2 2 は、第 1 の配線層と第 3 の配線層とを接続している。なお、同図に示した符号 2 8 は、ビアプラグ 2 2 を収容するホールパターンを形成する際に用いるスリットパターンを示し、また、そのスリットパターンによって第 3 の絶縁膜 1 9 に形成されるスリット溝を示している。

【 0 0 1 5 】

本実施形態では、上記構造の作製にあたり、ビアプラグ 2 2 を収容するビアホールをエッチング形成する際に、第 3 の層間絶縁膜 1 9 の部分では、第 2 の配線層 1 5 の各配線と直交する方向に延びるスリット溝 2 8 (図 2) を形成し、第 1 及び第 2 の層間絶縁膜 1 4 a、1 4 の部分では、絶縁膜を貫通するビアホールとして形成する。本明細書では、以下、スリット溝 2 8 とスルーホール 2 9 とを含むパターンをホールパターンと呼ぶ。このホールパターンを形成した後に、全面に導電材料を堆積し、スルーホール 2 9 及びスリット溝 2 8 を埋め込む。次いで、C M P プロセスを用いて、堆積した導電材料を研磨し、この際に S i N 膜から成るダミーマスク層 2 0、2 1 をエッチストップ層として用いる。この C M P 研磨によって、スリット溝 2 8 の部分の導電材料が除かれて各ビアプラグが分離される。この工程により、第 1 の配線層 3 4 の各配線と、第 3 の配線層 3 5 の対応する配線

10

20

30

40

50

とを接続するビアプラグ 22 が得られることになる。

【0016】

図3及び図4を参照して、上記実施形態に係る半導体装置を製造するプロセスを更に詳細に説明する。なお、これらの図では、半導体基板を含む、第1の配線層の下層構造の図示を省略している。まず、半導体基板の上方に、パターニングされた第1の配線層34、及び、第1の配線層34を覆う第1の層間絶縁膜14aを形成する(図3(a))。次いで、その上に、パターニングされたキャップ層16及び第2の配線層15を形成し、更に、このキャップ層16及び第2の配線層15の側壁にCVD法及びエッチバック法でサイドウォール層17を形成し、キャップ層16と共に、配線層15のSiN保護膜とする(図3(b))。

10

【0017】

その後、第2の層間絶縁膜14を堆積し、その上に、第2の配線層15の各配線と同じレイアウトパターンを有するダミーマスク層20、21を形成する(図3(c))。ダミーマスク層20、21の形成では、まず、中央部分20をSiN膜の堆積及びパターニングで形成し、次いでサイド部分21をSiN膜の堆積及びエッチバックによって形成する。引き続き、第3の層間絶縁膜19を堆積した後、その上に後のエッチング用ハードマスク層としてアモルファスカーボン、プラズマSiON膜を堆積し(図示せず)、図2に示したスリット溝28のパターンを有するフォトレジストパターン(図示せず)を形成する。このフォトレジストパターン、及び前記ハードマスク層をマスクとして、且つ、ダミーマスク層20、21、及び、SiN保護膜16、17を含む第2の配線層15と自己整合的にエッチングを行い、第3～第1の層間絶縁膜19、14、14aを貫通するビアホールを形成する。このエッチングでは、SiN膜に対して高い選択性を有するエッチングプロセスを適用する。このエッチングによって、第3の層間絶縁膜19内で第2の配線層15の各配線と直交方向に延びるスリット溝28と、第2の配線層15の隣接する各2つの配線の間で第2及び第1の層間絶縁膜14、14aを貫通するスルーホール29とから成るホールパターン30が形成される(図3(d))。

20

【0018】

その後、タンゲステン(W)層22Aを全面に堆積する(図4(e))。引き続き、CMP法によってW層22Aを研磨し、ダミーマスク層20、21をストップとすることで、分離されたビアプラグ22が得られる(図4(f))。その後、ビアプラグ22の頂部に接する第3の配線層35を、研磨されたダミーマスク層20、21及び第3の層間絶縁膜19上に形成する。次いで、第4の層間絶縁膜24を全面に堆積する(図4(g))。

30

【0019】

上記実施形態では、第2の配線層15の下部構造は、任意の構造のものが採用できる。また、第2の配線層をゲート電極として構成し、第1の配線層を半導体基板内に形成された拡散層として構成することも出来る。

【0020】

図5及び図6はそれぞれ、本発明の第2の実施形態に係る半導体装置の断面図、及び、その半導体装置のレイアウトパターンを示す平面図である。図5は、図6のV-V線に沿う断面図である。なお、図6には、エッチングの際に形成されるスリット溝28が示してある。本実施形態の半導体装置は、DRAM装置として構成される。DRAM装置10Aは、半導体基板11上に形成されており、半導体基板11は、素子分離領域12を構成する絶縁膜によって活性領域が区画されている。DRAM装置10Aは、第1～第5の層間絶縁膜14a、14、18、19、24と、ゲート電極26を構成する第1の配線層と、第2の層間絶縁膜14上に形成され、ビット線を構成する第2の配線層15と、第3の層間絶縁膜18上に、第2の配線層15の各配線に対応して配設されるダミーマスク層20、21と、ダミーマスク層20、21上に形成されたランディングパッド23と、ランディングパッド23上に形成されたキャパシタノード25を有するキャパシタとを備える。

40

【0021】

素子分離領域12で区画された活性領域の拡散層上には、下部電極(コンタクトプラグ

50

) 13が形成される。下部電極13とランディングパッド23とは、ビアプラグ22を介して接続される。下部電極13とランディングパッド23とに上下方向に挟まれた位置には、第2の配線層15が形成されている。ビアプラグ22は、第2の配線層15を構成する隣接する各2つのビット線の間、セルフアラインプロセスを利用して形成されている。

【0022】

第2の配線層15を構成する各ビット線は、配線のパターンニングに際してマスクとなるキャップ層16と、サイドウォール層17とによって覆われ、保護されている。キャップ層16及びサイドウォール層17は、第2の配線層15を保護するSiN保護膜を構成する。ダミーマスク層は、第2の配線層15のキャップ層16及びサイドウォール層17にそれぞれ対応する中央部分20及びサイド部分21から成り、ビット線と同じレイアウトパターンで配置されている。キャップ層16及びサイドウォール層17は、ビット線15とダミーマスク層の中央部分20とにミスアライメントが生じた際には、ビット線15とビアプラグ22とのショートを防止する配線保護層として機能する。図6には、半導体装置の全体レイアウトを示すために、第2の配線層と直交方向に延びるゲート電極26と、ゲート電極の間にこれらとセルフアライメントで形成されるソースコンタクト27とが示されている。

【0023】

本実施形態のDRAM装置10Aでは、狭いピッチで配線されたビット線を構成する第2の配線層15の上方に、ビット線のレイアウトと同じレイアウトを有するダミーマスク層20、21を形成している。この構成により、ビット線15及びSiN保護膜16、17を含む配線構造と自己整合的にビアホールを形成する際、スリット開口とCMPでのすりきりを組み合わせたビア開口プロセスにて最も問題となるCMPすりきり時のビット線15を保護するSiN保護膜16、17の膜厚減少が防止できる。このため、ビット線15を覆うSiN保護膜16、17の設計厚みを小さくでき、ビアプラグ22の設計上の間隔を小さくできるので、半導体装置の微細化が容易になる。

【0024】

図7及び図8を参照しながら、第2の実施形態に係る半導体装置であるDRAM装置の製造プロセスを説明する。まず、半導体基板11の表面部分に、通常の素子分離(STI)領域12を形成し、半導体基板11を、複数の活性領域に区画する(図7(a))。次いで、活性領域に、ソース・ドレイン拡散層及びゲート電極を含むMISFET(図示せず)を形成する。次いで、CVD法によりシリコン酸化膜を成膜し、CMP法により平坦化して第1の層間絶縁膜14aを形成する。その後、フォトリソグラフィ、及び、ドライエッチングにより、第1の層間絶縁膜14aをパターンニングして、活性領域の拡散層上にコンタクトホールを開口する。コンタクトホール内を含む第1の層間絶縁膜14a上にポリシリコンを堆積し、CMP法により分離して下部電極13を形成する。その後、更にCVD法によりシリコン酸化膜を成膜し、CMP法により平坦化して第2の層間絶縁膜14を形成する(図7(b))。

【0025】

その後、CVD法などにより、タンゲステン(W)膜、及び、SiN膜を堆積し、フォトリソグラフィ、及び、ドライエッチングにより、ビット線15、及び、キャップ層16を形成する。更に、CVD法によりSiN膜を堆積し、エッチバックによりサイドウォール層17を形成する。これによって、SiN保護膜によって表面が保護されたビット線から成る第2の配線層15が得られる(図7(c))。続いて、その上にCVD法などにより、シリコン酸化膜を成膜し、CMP法により平坦化することにより第3の層間絶縁膜18を形成する。

【0026】

次に、CVD法などによりSiN膜を堆積し、フォトリソグラフィ、及び、ドライエッチングによりダミーマスク層の中央部分20を形成する。中央部分20は、ビット線15と同じレイアウトパターンとなるようにパターンニングする。次いで、CVD法などにより

10

20

30

40

50

S i N膜を堆積し、エッチバック法によりダミーマスク層のサイド部分 2 1 を形成する (図 7 (d)) 。次に、C V D法などによりシリコン酸化膜を成膜し、C M P法により平坦化することにより、第 4 の層間絶縁膜 1 9 を形成する。その上に、後のドライエッチング用ハードマスク層としてアモルファスカーボン、プラズマ S i O N膜を堆積した後 (図示せず) 、フォトリソグラフィ、及び、ドライエッチングにより、第 4 ~ 第 2 の層間絶縁膜 1 9 、 1 8 、 1 4 をエッチングする。このエッチングには、図 6 に示したスリット溝 2 8 のパターンを有するフォトレジストマスク、及び前記ハードマスク層をエッチングマスクとし、且つ、S i Nに対して高い選択比で第 4 ~ 第 2 の層間絶縁膜 1 9 、 1 8 、 1 4 をパターンニングする。これにより、第 4 の層間絶縁膜 1 9 に形成されたスリット溝 2 8 と、第 2 及び第 3 の層間絶縁膜に形成されたスルーホール 2 9 とから成るホールパターン 3 0 が形成される (図 7 (e)) 。これによって、下部電極 1 3 の頂部が開口する。

10

【 0 0 2 7 】

次いで、スリット溝 2 8 及びスルーホール 2 9 を含むホールパターン 3 0 内を含む全面にタングステン層 2 2 A を堆積する (図 8 (f)) 。更に、ダミーマスク層 2 0 、 2 1 をストッパとして、タングステン層 2 2 A を C M P法により研磨することで、スリット溝 2 8 内のタングステン層を除去し、相互に分離されたビアプラグ 2 2 を形成する (図 8 (g)) 。次に、C V D法によりタングステン膜を成膜し、フォトリソグラフィ、及び、ドライエッチングによりランディングパッド 2 3 を形成する。その後は、通常の D R A M のキャパシタ形成プロセスにより、キャパシタを収容する第 5 の層間絶縁膜 2 4 、及び、キャパシタノード 2 5 を形成する (図 8 (h)) 。その後は、公知のプロセスを採用することにより、D R A M 装置を完成させる。

20

【 0 0 2 8 】

図 9 は、本発明の第 3 の実施形態に係る半導体装置を示す断面図である。また、図 1 0 は、図 2 などと同様に、本実施形態の半導体装置のレイアウトパターンを示している。なお、図 9 は、図 1 0 の I X - I X 線に沿う断面図である。

【 0 0 2 9 】

本実施形態の半導体装置は、本発明の構成をロジック回路に適用した例であり、第 2 の実施形態における下部電極 1 3 、ビット線 1 5 、ランディングパッド 2 3 を、タングステンやアルミニウム、銅などで形成された配線層に置き換えている。半導体装置 1 0 B は、以下の工程により製造される。まず、半導体基板 1 1 上に、通常の半導体装置の製造工程で用いられる S T I プロセスにより素子分離領域 1 2 を形成して、活性領域を区画する。その後、活性領域にソース・ドレイン拡散層、及び、ゲート電極を有する M I S F E T (図示せず) を形成する。次いで、C V D法などによりシリコン酸化膜を成膜し、C M P法により平坦化することにより、第 1 の層間絶縁膜 1 4 a を形成する。

30

【 0 0 3 0 】

次に、フォトリソグラフィ、及びドライエッチングにより活性領域内の拡散層上にコンタクトホールを開口する。次いで、C V D法などにより、このコンタクトホール内にタングステンを埋め込み、C M P法などを用い、第 1 の層間絶縁膜 1 4 a 上のタングステンを除去することにより、コンタクトプラグ 1 3 を形成する。次に、C V D法などによりタングステンを成膜し、フォトリソグラフィ、及び、ドライエッチングにより第 1 の配線層 3 1 を形成する。その後、C V D法などによりシリコン酸化膜を成膜し、C M P法により平坦化することにより第 2 の層間絶縁膜 1 4 を形成する。

40

【 0 0 3 1 】

次に、C V D法などによりタングステン及び S i N膜を堆積し、フォトリソグラフィ、及び、ドライエッチングにより第 2 の配線層 1 5 、S i N膜から成るキャップ層 1 6 を形成する。その後、C V D法などにより S i N膜を堆積し、エッチバック法によりサイドウォール層 1 7 を形成する。次に、C V D法などによりシリコン酸化膜を成膜し、C M P法により平坦化することにより第 3 の層間絶縁膜 1 8 を形成する。その後、C V D法などにより S i N膜を堆積しフォトリソグラフィ、及び、ドライエッチングによりダミーマスク層の中央部分 2 0 を形成する。ダミーマスク層の中央部分 2 0 は、前記第 2 配線層 1 5 と

50

全く同じレイアウトパターンに形成する。その後、CVD法などによりSiN膜を堆積し、エッチバック法によりダミーマスク層のサイド部分21を形成する。

【0032】

次に、CVD法などによりシリコン酸化膜を成膜し、CMP法により平坦化することにより第4の層間絶縁膜19を形成する。その上に、後のドライエッチング用ハードマスク層としてアモルファスカーボン、プラズマSiON膜を堆積した後(図示せず)、フォトリソグラフィ、及び、ドライエッチングにより、第2の配線層15及びダミーマスク層20、21に直交したスリットパターン28とスルーホール29とを含むホールパターンを、第4～第2絶縁膜19、18、14中に開口する。このドライエッチングでは、SiNに対して高選択性を有するエッチングプロセスを採用する。このドライエッチングでは、
10

【0033】

引き続き、スリットパターンを含むホールパターン内を、CVD法などによりタングステンで埋め込む。次いで、ダミーマスク層20、21をストッパとしてCMPを行い、各スルーホール29内のタングステンを相互から切り離して、ビアプラグ22を形成する。

【0034】

次に、アルミニウム膜を成膜し、フォトリソグラフィ、及び、ドライエッチングにより第3の配線層32を形成し、その後、CVD法などによりシリコン酸化膜を成膜し、CMP法により平坦化することにより、第5の層間絶縁膜24を形成する。これによって、図9に示すロジック回路を構成する半導体装置10Bを得る。
20

【0035】

本実施形態では、半導体製品で用いられるロジック回路の信号線において、狭スペースで形成された信号配線層のスペース部に、その信号線とショートすることなくセルフアラインでビアプラグを形成することが出来る。このため、狭いスペースで信号配線層を挟んで形成された上下層の信号線の間接続が可能になる。掛かる構成により、信号線の接続にあたり、より多様な接続関係を可能とし、レイアウト面積を減少させることも出来る。

【0036】

また、上記実施形態において、配線層やビアプラグに用いられる材料も、銅などといった導電性材料であれば使用可能である。さらに、スリットパターンを含むホールパターンをセルフアラインプロセスで開口するにあたっては、上記実施形態で用いたSiN以外であってもよく、ドライエッチングやCMPに際して、酸化膜のエッチングレートや研磨レートよりも遅い絶縁膜であればストッパ膜として採用できる。
30

【0037】

従来は、配線層の保護膜の厚みについては、配線層加工時、ビアホール開口時、及び、CMP時の全ての工程段階での膜厚の減少を考慮してその膜厚を設定する必要があったが、本実施形態では、実質的に配線層のパターニングの際の膜厚減少のみを考慮した膜厚に設定できる。このため、ビアホール内に形成されるビアプラグの配列ピッチを小さく設計でき、半導体装置の更なる高密度化が可能になる。また、本発明の構造を、半導体製品のロジック回路内の配線構造に用いることにより、信号線の接続にあたり、より多様な接続関係を可能とするため、ロジック回路においても、レイアウト面積を縮小させることが出来る。
40

【0038】

図11は、本発明の第4の実施形態に係る半導体装置の構成を示すブロック図である。本半導体装置は、前記第2の実施形態に係るDRAM装置(半導体記憶装置)を含むデータ処理システムを構成する。データ処理システム100は、CPU(Central Processing Unit)110と、半導体記憶装置120と、半導体記憶装置以外の記憶装置140と、入出力装置150とを備えている。図11では、CPU110はシステムバス130を介して半導体記憶装置120に接続されているが、システムバス130を介さずにローカル
50

なバスによって接続されても良い。システムバス 130 は、図面の簡略化のため 1 本のみを描いているが、実際は複数のバスを含み、これらは必要に応じてコネクタなどを介し、シリアルないしパラレルに接続される。なお、図示したように、必要に応じて第 2 の実施形態の半導体記憶装置以外の記憶装置 140 や、入出力装置 150 がシステムバス 130 に接続される。

【0039】

入出力装置 150 には、例えば液晶ディスプレイなどのディスプレイデバイスが含まれる。半導体記憶装置以外の記憶装置 140 には、ハードディスクや MO ドライブなどが含まれる。しかし、これらには限定されない。入出力装置 150 には、入力装置と出力装置のいずれか一方のみの場合も含まれる。半導体記憶装置 120 は、例えば RAM (Random Access Memory) や ROM (Read Only Memory) であり、具体的には SRAM (Static Random-Access-Memory)、SDRAM (Synchronous Dynamic Random-Access-Memory)、DDR - SDRAM (Double Data Rate Synchronous Dynamic Random-Access-Memory)、DDR2 - SDRAM (Double Data Rate 2 Synchronous Dynamic Random-Access-Memory)、DDR3 - SDRAM (Double Data Rate 3 Synchronous Dynamic Random-Access-Memory) 等の DRAM、フラッシュメモリ等の半導体素子から構成される記憶媒体である。さらに、各構成要素の個数は、図 11 では簡略化のため、1 つの記載にとどめているが、それには限定されず、全てまたはいずれかの要素が複数個の場合も含まれる。

10

【0040】

本発明の半導体装置としては、DRAM 装置の他に、NAND 型フラッシュメモリなどのメモリ機能を有する半導体記憶装置、マイクロプロセッサなどのロジック機能を有する半導体装置、それらの 2 つ以上が混載された任意のシステムを構成する半導体装置などが挙げられる。

20

【0041】

本発明を特別に示し且つ例示的な実施形態を参照して説明したが、本発明は、その実施形態及びその変形に限定されるものではない。当業者に明らかなように、本発明は、添付のクレームに規定される本発明の精神及び範囲を逸脱することなく、種々の変更が可能である。

【図面の簡単な説明】

【0042】

30

【図 1】本発明の第 1 の実施形態に係る半導体装置の断面図。

【図 2】図 1 の半導体装置のパターンレイアウトを示す平面図。

【図 3】(a) ~ (d) は、第 1 の実施形態の半導体装置の製造工程を順次に示す断面図。

【図 4】(e) ~ (g) は、図 3 に続く工程を順次に示す断面図。

【図 5】本発明の第 2 の実施形態に係る半導体装置の断面図。

【図 6】図 5 の半導体装置のパターンレイアウトを示す平面図。

【図 7】(a) ~ (e) は、第 2 の実施形態の半導体装置の製造工程を順次に示す断面図。

【図 8】(f) ~ (h) は、図 7 に続く工程を順次に示す断面図。

40

【図 9】本発明の第 3 の実施形態に係る半導体装置の断面図。

【図 10】図 9 の半導体装置のパターンレイアウトを示す平面図。

【図 11】本発明の第 4 の実施形態に係る半導体装置のブロック図。

【符号の説明】

【0043】

10, 10A, 10B : 半導体装置

11 : 半導体基板

12 : 素子分離領域

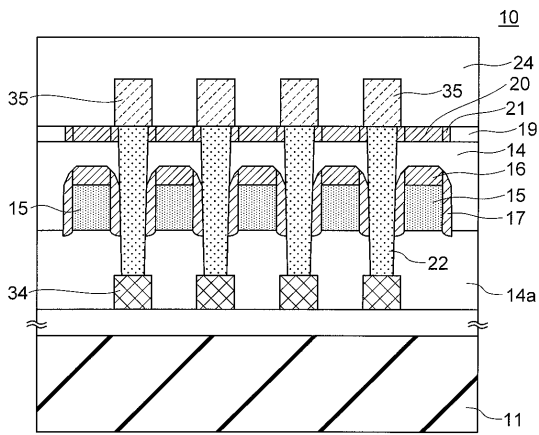
13 : 下部電極 (コンタクトプラグ)

14a, 14, 18, 19, 24 : 絶縁膜

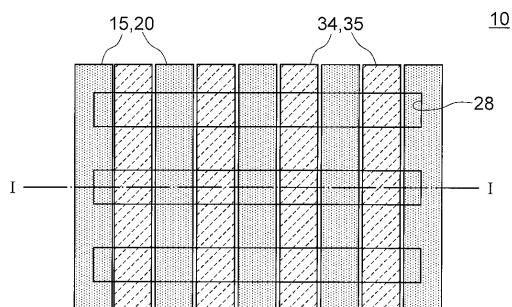
50

- 15 : 第2の配線層
- 16 : キャップ層
- 17 : サイドウォール層
- 20、21 : ダミーマスク層
- 22 : ピアプラグ
- 23 : ランディングパッド
- 25 : キャパシタノード
- 26 : ゲート電極
- 27 : ソースコンタクト
- 28 : スリット溝 (スリットパターン)
- 29 : スルーホール
- 30 : ホールパターン
- 31 : 第1の配線層
- 32 : 第3の配線層
- 34 : 第1の配線層
- 35 : 第3の配線層

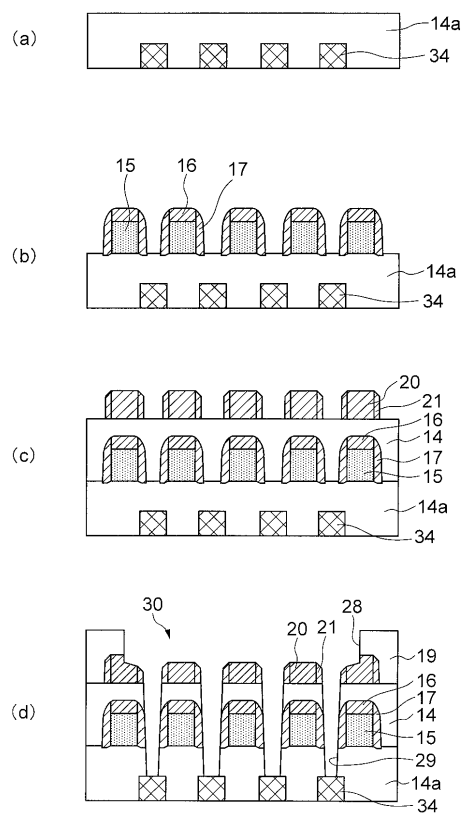
【 図 1 】



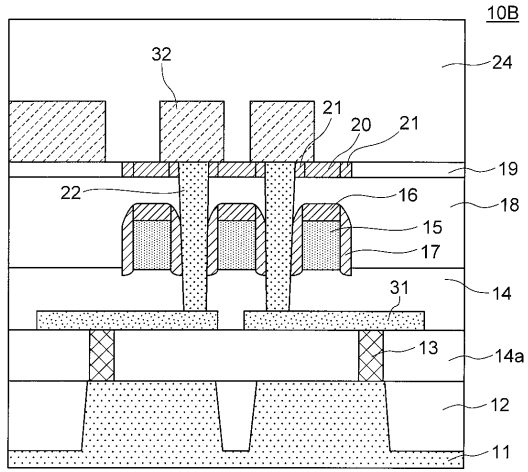
【 図 2 】



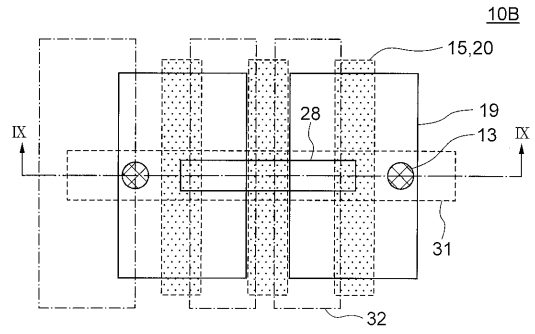
【 図 3 】



【 図 9 】



【 図 1 0 】



【 図 1 1 】

