

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： P2104fr

※申請日期： P2.3.7 ※IPC 分類： H01L 23/48 (2006.01)

壹、發明名稱：(中文/英文)

半導體裝置及其製造方法

A SEMICONDUCTOR DEVICE AND A METHOD OF
MANUFACTURING THE SAME

貳、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 日商日立製作所股份有限公司
HITACHI, LTD.
2. 日商日立超愛爾·愛斯·愛系統股份有限公司
HITACHI ULSI SYSTEMS CO., LTD.

代表人：(中文/英文)

1. 庄山 悦彦/ETSUHIKO SHOYAMA
2. 小切間 正彦/MASAHIKO OGIRIMA

住居所或營業所地址：(中文/英文)

1. 日本國東京都千代田區神田駿河台四丁目6番地
6, KANDA SURUGADAI 4-CHOME, CHIYODA-KU, TOKYO
101-8010, JAPAN
2. 日本國東京都小平市上水本町5丁目22番1號
22-1, JOSUIHONCHO 5-CHOME, KODAIRA-SHI, TOKYO, JAPAN

國籍：(中文/英文)

1. 日本/JAPAN
2. 日本/JAPAN

參、發明人：(共 5 人)

姓名：(中文/英文)

1. 中島 靖之/
2. 守田 俊章/
3. 松澤 朝夫/
4. 友井 晴一/
5. 川邊 直樹/

住居所地址：(中文/英文)

1. 日本國東京都千代田區丸內一丁目5番1號新丸大樓日立製作所股份有限公司知的財產權本部
c/o HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO 100-8220, JAPAN
2. 日本國東京都千代田區丸內一丁目5番1號新丸大樓日立製作所股份有限公司知的財產權本部
c/o HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO 100-8220, JAPAN
3. 日本國東京都小平市上水本町五丁目 22 番 1 號超愛爾·愛斯·愛系統股份有限公司
c/o HITACHI ULSI SYSTEMS CO., LTD. 22-1, JOSUIHONCHO
5-CHOME, KODAIRA-SHI, TOKYO, JAPAN
4. 日本國東京都千代田區丸內一丁目5番1號新丸大樓日立製作所股份有限公司知的財產權本部
c/o HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO 100-8220, JAPAN
5. 日本國東京都千代田區丸內一丁目5番1號新丸大樓日立製作所股份有限公司知的財產權本部
c/o HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO 100-8220, JAPAN

國籍：(中文/英文)

- 1-5 均日本/JAPAN

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002年03月07日；特願2002-061765
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置及其製造技術，特別係關於可有效適用於具有連接半導體晶片(pellet)與外部連接端子之金屬線之半導體裝置及其製造方法之技術。

【先前技術】

為了使IC (Integrated Circuit; 積體電路)晶片發揮其機能，有必要將電訊號之輸出入取出於外部。因此，有利用金線(焊接線)連接IC晶片之焊接墊部與導線框等之外部引出用端子，然後以樹脂封裝IC晶片及金線等之安裝方法。

例如，在日本特開平1-215030號公報曾經揭示下列技術：將利用連接器用金屬線連接半導體晶片與導線框，並以樹脂予以封裝之半導體裝置構成其金屬線前端之球部之厚度(t)與焊接寬(S)之比(t/S)為0.2以下之構造，藉以防止焊接墊部之下部所發生之裂痕14。

發明所欲解決之問題

本發明人等一向從事半導體裝置之研究・開發，且採用利用前述金線及樹脂之半導體裝置之安裝方法。

例如，利用使金線之一端熔融壓接(第一焊接)在IC晶片之最上層之Al膜(配線)之露出部之焊接墊部上，以連接IC晶片與金線，並將金線之他端同樣地熱壓接(第二焊接)在配線基板上之外部連接用端子上。再利用樹脂等密封IC晶片與金線等而完成封裝體。

在此種安裝工序中，利用在焊接墊部形成鋁與金之合

金，以連接Al膜(配線)與金線之前端(球部)。

另一方面，隨著LSI (Large Scale Integrated Circuit；大型積體電路)之多機能化，接腳(外部連接用端子數)不斷地增加，更配合LSI之高積體化之發展，使得接腳(外部連接用端子)之間距也愈來愈傾向狹窄化，且在LSI之微細化之同時，配線也逐漸趨向薄膜化。

將前述焊接方法適用於此種多機能化、高積體化之裝置之結果，在施行評價(試驗)半導體裝置之耐用性之溫度循環試驗後，卻頻頻發生斷線瑕疵。

因此，針對此種瑕疵，經本發明人等銳意探討之結果，獲悉其原因在於鋁與金之合金層內之破壞現象(裂痕、龜裂)。又，如前述日本特開平1-215030號公報所示，由於在該部位之破壞現象以焊接墊部之下部之裂痕較多，因此，更進一步加以探討時，如後面所詳細說明一般，得知鋁與金之合金層之情形異於以往之合金層。

本發明之目的係在於提高焊接墊部(配線)與球部之接著性。尤其係以在配線之膜厚小時，也可確保配線與球部之接著性為目的。

又，本發明之另一目的在於利用提高配線與球部之接著性，以增進半導體裝置之可靠性，且提高半導體裝置之製成率。

又，本發明之另一目的在於提供可適用於焊接墊部之間距較窄之半導體裝置及其製造方法之合適之技術。

本發明之前述及其他目的與新穎之特徵可由本專利說明

書之說明及附圖獲得更明確之瞭解。

【發明內容】

本案所揭示之發明中，較具有代表性之發明之概要可簡單說明如下：

(1)本發明之半導體裝置係包含形成於半導體晶片之上方之第一金屬膜、與形成於前述第一金屬膜上之第二金屬組成之球部，形成於此等之間之第一金屬與第二金屬之合金層達到前述第一金屬膜之底部。又，也可利用樹脂覆蓋前述球部。又，前述球部之高度 h 與前述金球部之最大外周直徑 D 之關係也可設定為 $9 \geq D/h \geq 2$ 。

(2)本發明之半導體裝置係包含形成於半導體晶片之上方之第一金屬膜、形成於前述第一金屬膜上之第二金屬組成之球部、及形成於前述第一金屬膜與前述球部之間之前述第一金屬與第二金屬之合金層，前述第一金屬膜與前述球部之接觸區域之直徑 d 、與前述合金層形成區域之直徑 g 之關係可設定為 $g \geq 0.8d$ 。又，前述第一金屬膜與前述球部之接觸區域之直徑 d 與前述球部之最大外周直徑 D 之關係也可設定為 $d \geq 0.8D$ 。

(3)本發明之半導體裝置之製造方法係包含將墊部開口之絕緣膜形成於半導體晶片之上方之第一金屬膜上後，利用使用頻率110 kHz以上之超音波之超音波熱壓接法，將第二金屬組成之球部接著於前述墊部上之工序。

(4)本發明之半導體裝置之製造方法係包含將墊部開口之絕緣膜形成於半導體晶片之上方之第一金屬膜上後，利用

將前述第一金屬與第二金屬之合金層形成於前述第一金屬膜與前述球部之接觸區域之70%以上之區域，以便在前述第一金屬膜上將第二金屬組成之球部接著於前述墊部上。此後，以樹脂覆蓋前述球部，又，也可將樹脂覆蓋之半導體晶片置於高溫下以後，檢查其特性。又，也可將第二金屬組成之球部以前述接觸區域之直徑 d 、與球部之最大外周直徑 D 保持 $d \geq 0.8D$ 之關係之方式加以成形。

【實施方式】

以下，依據圖式詳細說明有關本發明之實施形態。又，在說明實施形態之所有圖中，對於具有同一機能之構件，附以同一符號予以表示，而省略其重複之說明。

茲將本發明之實施形態之半導體裝置(半導體積體電路裝置)，依照其製造方法予以說明之。

如圖1所示，準備形成氧化矽膜11及第二層配線M2之半導體基板1。又，在氧化矽膜11中，形成有MISFET (Metal Insulator Semiconductor Field Effect Transistor；金屬絕緣體半導體場效電晶體)等半導體元件及第一層配線、連接元件與第一層配線之插塞、連接第一層配線與後述第二層配線之插塞等，惟在此省略其圖示。又，在半導體基板1中，也適當地形成有由氧化矽膜等構成之元件分離部，惟在此也省略其圖示。

其次，如圖2所示，在第二層配線M2上，以CVD (Chemical Vapor Deposition；化學氣相沉積)法沉積氧化矽膜12，以作為層間絕緣膜。接著，利用乾式蝕刻除去第二層配線M2上

之氧化矽膜12，以形成接觸孔C3。接著，在包含接觸孔C3內之氧化矽膜11上，以CVD法沉積例如鎢(W)膜，以作為導電性膜。接著，例如以CMP (Chemical Mechanical Polishing；化學機械研磨)法除去接觸孔C3外部之W膜，以形成插塞P3。

接著，如圖3及圖4所示，在含插塞P3上之氧化矽膜12上，例如以濺射法依次沉積50 nm程度之TiN(氮化鈦)膜M3a、700 nm程度之Al(鋁)膜M3b及50 nm程度之TiN膜M3c，以作為導電性膜。在此，所稱之Al膜為以Al為主成分之薄膜，也包含與其他金屬之合金膜。

形成TiN膜M3a及M3c之目的係為確保1)提高Al膜M3b與氧化矽膜12等之絕緣膜之接著性、及2)提高Al合金構成之第二層配線M2之電子遷移耐性等配線之可靠性。又，除了TiN膜外，也可使用Ti(鈦)膜、TiW(鈦鎢)膜、Ta(鉭)膜、W膜或WN(氮化鎢)膜之單層膜、或此等膜之疊層膜。

接著，以光阻膜(未圖示)作為光罩，將TiN膜M3a、Al膜M3b及TiN膜M3c乾式蝕刻，以形成第三層配線M3。又，圖4係圖3之A-A部之剖面圖(第三層配線M3之延伸方向之剖面圖)(在圖6及圖8也同)。

接著，如圖5及圖6所示，在第三層配線M3上，例如以CVD法依序沉積氮化矽膜及氧化矽膜，以作為保護膜，而形成此等之疊層膜構成之鈍化膜41。又，鈍化膜41也可利用單層予以構成。

接著，如圖7及圖8所示，在鈍化膜41之上層形成有在特

定位置具有開口部之聚醯亞胺樹脂膜43。為了形成此聚醯亞胺樹脂膜43，首先，利用旋轉塗敷法塗敷 $5\mu\text{m}$ 程度之感光性聚醯亞胺樹脂膜，施以熱處理(預烘烤)。接著，將聚醯亞胺樹脂膜曝光、顯影而形成開口後，施以熱處理(後烘烤)，使聚醯亞胺樹脂膜硬化(熟化)。

其次，以上述聚醯亞胺樹脂膜43作為光罩，乾式蝕刻下層之鈍化膜41，再將TiN膜M3c乾式蝕刻，其結果，露出Al膜M3b之表面之一部分。此Al膜M3b之露出區域稱為焊接墊部BP。圖9係表示焊接墊部BP形成後之基板(晶片區域)之要部平面圖。

在此之前之工序多半在所謂晶圓狀態下執行。此時，將具有多數略呈矩形之半導體晶片區域之晶圓(半導體基板)切斷(切割)成各個半導體晶片。

接著，在半導體晶片上之焊接墊部BP上接著(第一焊接)金線WR，有關此工序，茲一面參照圖10、圖11，一面說明如下：

首先，如圖10所示，準備軸心貫通金線WR用之細孔之毛細管CA，其內部貫通金線WR。接著，利用電焊炬(未圖示)將來自電極之放電能施加至突出毛細管CA之前端之金線WR，使金線WR融化而形成球MB。

其次，如圖11及圖12所示，使熔融球MB接著於焊接墊部BP。此接著工序係利用一面以毛細管CA加壓熔融球MB，一面對毛細管CA施加超音波之方式施行。此時，焊接墊部BP係被未圖示之加熱器所加熱。此種處理方法稱為超音波

熱壓接法。其後，拉起金線WR時，即可將金線WR接著於焊接墊部BP上。又，如圖12所示，被接著之金線WR之前端稱為球部B或金球部B。此球部B與焊接墊部BP (Al膜M3b)係利用在此等之界面形成Al-Au合金層之方式加以接著。

圖13係表示毛細管CA之高度Z與時間T之關係。如圖13所示，毛細管CA由時間T0開始下降，但在時間T1中，其速度變小。接著，在時間T2中，熔融球MB被搭載於焊接墊部BP上，保持該狀態一定期間(時間T2~T3)。此期間稱為焊接期間。其後(時間T3以後)，毛細管CA上升，拉起金線WR。又，如圖14所示，拉起之金線WR例如被超音波熱壓接於配線基板60上之印刷配線(未圖示)上(第二焊接)。

茲說明有關本發明人所探討之技術。

首先，針對在膜厚t為700 nm程度之Al膜M3b上接合金線WR時，在溫度循環試驗後發生斷線的瑕疵之情形，探求斷線處之結果，如圖15所示，獲悉在Al-Au合金層50中已經發生裂痕(crack)。因此，更詳細分析Al-Au合金層50之結果，發現Al-Au合金層50由下層算起，係由AlAu₂膜50a、Al₂Au₅膜50b、及AlAu₄膜50c所組成(參照圖16及圖17)。且確認在金球部B與焊接墊部BP(Al膜M3b)之界面有未形成Al-Au合金層50之區域53。又，在組成Al-Au合金層50之AlAu₂膜50a、Al₂Au₅膜50b、及AlAu₄膜50c中，最穩定的是Al₂Au₅。圖16及圖17係圖15之圓圈圍成之區域E部之放大圖。

由於在Al膜M3b之膜厚較大，例如為1000 nm程度時，並未確認到有AlAu₄存在，因此認為此現象可能係由於Al膜

M3b(配線)之薄膜化，減少Al之供應量，而在金球部B側產生Al之組成比小之AlAu₄膜所致。

其結果，如圖16所示，在Al-Au合金層50之形成時，在Al₂Au₅膜50b與AlAu₄膜50c之間，產生合金化反應之非整合部，而成為空隙(空孔)55。

此種空隙因溫度循環試驗而擴大，成為如圖17所示之裂痕，終於演變成斷線瑕疵。又，在裂痕部有產生Al及Au等之氧化物O_x。此係由於後述之封裝樹脂中所含之微量氧氣所引起。

為了避免斷線之發生，固然可考慮採用擴大融化金球部B之範圍，以增加Al膜M3b之接著面積之方法，但，擴大融化金球部B之範圍時，即無法再確保與相鄰之焊接墊及在其上之別的金球之短路容許範圍，而增加短路(short)不良之發生。特別因半導體裝置之微細化，使焊接墊部BP之間隙變小時，此短路不良之問題會變得更為嚴重，且擴大融化金球部B之範圍時，有時焊接條件對焊接墊造成之傷害有可能加大。

因此，本發明人等乃探討在不大幅變更金球部B之形狀下，可一面將其變形量控制於技術規格值以內，一面確保接合強度之金球部B之形狀及其製造工序。

首先，一面參照圖18，一面說明有關金球部B之形狀。如圖18所示，將金球部B之連接區域直徑d、與金球部B之最大外周直徑D之關係設定為 $d \geq 0.8D$ 。所謂連接區域Ad係指金球部B與Al膜M3b(配線)之接觸區域。所謂連接區域直徑d

係指金球部B與Al膜M3b(配線)之接觸區域之直徑。

利用此種關係，可確保短路容許範圍，並確保接觸面積。

又，利用金球部B之連接區域 A_d 與金球部B之最大外周所劃分之區域 A_D 之關係來表示 $d \geq 0.8D$ 之關係時，為 $A_d \geq 0.64A_D$ 。又，如將製造之墊部之表面狀態及焊接條件之差異列入考慮時，滿足 $A_d \geq 0.7A_D$ 之關係更為理想。

又，金球部B之高度 h 以 $9 \geq D/h \geq 2$ 之範圍為宜，且 D 在 $65 \mu\text{m}$ 以下時，以在 $5 \mu\text{m}$ 以上 $15 \mu\text{m}$ 以下為宜。又，金球部B之直徑(寬) W 以在 $25 \mu\text{m}$ 以下為宜。

又，金球部B之連接區域直徑 d 與Al-Au合金層50之形成區域直徑 g 之關係設定為 $g \geq 0.8d$ 。

構成此種關係時，可確保金球部B與Al膜M3b(配線)之Al-Au合金層50之接合強度，降低前述空隙及裂痕之影響，其結果，可降低連接不良。

又，利用金球部B之連接區域 A_d 與Al-Au合金層50之形成區域 A_g 之關係來表示 $g \geq 0.8d$ 之關係時，為 $A_g \geq 0.64A_d$ 。又，依據後述之資料(圖23)，以滿足 $A_g \geq 0.7A_d$ 之關係更為理想。

因此，即使Al膜M3b之膜厚例如在 700 nm 以下且形成Al之組成比小之合金層(AlAu_4)時，也可確保接合強度。

在此，Al膜M3b為薄膜時，Al-Au合金層50會延伸至Al膜M3b之底部，因此，Al-Au合金層50之下層有TiN膜M3a存在(參照圖27)。

又，本實施形態之連接區域直徑 d 、金球部B之最大外周

直徑D及Al-Au合金層50之形成區域直徑g無必要為正圓之直徑，只要屬於此等區域之中心部之線段即已足夠。

對此，本發明人將Al膜之膜厚較大，且焊接墊部BP之間距較大時所探討之焊接條件，例如，利用將此條件中焊接溫度、焊接期間設定為相同，而將毛細管與金線直徑變更為對應於所希望之墊距之直徑(初期球體積)，調整焊接載重與超音波施加輸出，以所希望之壓接球徑之方式，在薄的Al膜上施行焊接時，呈現圖19所示之形狀。

此時，金球部B之連接區域直徑d、與金球部B之最大外周直徑D之關係為 $d \leq 0.8D$ ，又，金球部B之連接區域直徑d與Al-Au合金層50之形成區域直徑g之關係為 $g \leq 0.8d$ 。

因此，難以確保金球部B與Al膜M3b(配線)之Al-Au合金層50之接合強度。尤其Al膜較薄時，會產生較厚之Al組成比小的AlAu₄膜，受到其後之溫度循環試驗之影響時，即容易在AlAu₄膜之界面發生裂痕。

此現象例如如圖20所示，也可能在焊接墊部BP之間距寬達130 μm之情形中發生。但，此時，由於可確保較大之絕對的接合區域及Al-Au合金層之形成區域直徑，故可避免發生斷線瑕疵。在此，所稱之焊接墊部BP之間距，係指焊接墊部BP之中心部間之距離而言。

但，如直接將圖19所示之球部B之形狀縮小，以適用於窄間距(例如70 μm以下)時，卻會發生接觸不良。且欲在此形狀下，確保連接區域時，由於金球部B之連接區域直徑d、與金球部B之最大外周直徑D之差較大，故會發生短路不

良。

對此，採用圖18所示之本實施形態之構成時，可確保金球部B與Al膜M3b(配線)之Al-Au合金層之接合強度，且可確保短路容許範圍。尤其可有效適用於窄間距之焊接墊部BP及薄Al膜(配線)上之焊接墊部BP。

其次，說明圖18所示之形狀之金球形成用之焊接工序之一例。

例如，在熔融球MB搭載於焊接墊部BP上之焊接期間(圖13之時間T2~T3)施加110 kHz以上之超音波。

圖21係表示各超音波頻率之壓接球部之直徑(μm)與抗剪強度(N)之關係。又，接合溫度為 200°C ，初期之球徑為 $35 \pm 5 \mu\text{m}$ 。所謂抗剪強度(N)係指由橫方向對球部B施加應力，在增加其應力之際，使球部B達到剝離時之應力而言。

如圖21所示，例如，施加120 kHz及180 kHz之頻率之超音波之抗剪強度比施加60 kHz之頻率之超音波之抗剪強度更大。在120 kHz與180 kHz中，180 kHz之超音波方面之抗剪強度稍大。又，施加例如60 kHz之頻率之超音波在壓接球徑 $50 \mu\text{m}$ 程度時之抗剪強度為0.35N，但施加例如180 kHz之頻率之超音波在壓接球徑 $42 \mu\text{m}$ 程度時，也可確保同等之抗剪強度(0.35N)。

圖22係表示各超音波頻率之超音波振幅(μm)與抗剪強度(N)之關係。如圖22所示，可知：頻率愈高時，振幅(μm)愈小，且屬於點振幅。振幅(μm)小時，也具有降低焊接傷害之效果。

其次，依據圖21所示之抗剪強度之結果，調查各超音波頻率之壓接球部直徑(μm)與合金形成面積率(%)之關係，其結果如圖23所示。所謂合金形成面積率，係指對抗剪結果顯現於焊接墊部BP上之壓接印面積L之合金形成面積S之比例(%)。

如圖23所示，例如，施加120 kHz之超音波(曲線圖(b))及施加180 kHz之超音波(曲線圖(c))之合金形成面積率(%)比施加60 kHz之頻率之超音波(曲線圖(a))之情形更大。又，在120 kHz與180 kHz中，施加180 kHz之合金形成面積率(%)較大。又，施加例如180 kHz之頻率之超音波在壓接球徑 $65\ \mu\text{m}\sim 50\ \mu\text{m}$ 程度時，可獲得70%以上之合金形成面積率(%)，但施加例如120 kHz之頻率之超音波在壓接球徑 $65\ \mu\text{m}\sim 55\ \mu\text{m}$ 程度時，也可獲得70%之合金形成面積率(%)。

在此，雖係利用增大超音波之頻率，形成圖18所示之構造之金球部B及 Al-Au合金層，但作為可調整金球部B及 Al-Au合金層之形狀之要素，仍可考慮使用圖25所示之要素。

例如，在超音波方面，除了頻率(f)以外，尚有振幅(a)及施加超音波之時間(s)以及毛細管所引起之載重(F)及焊接墊部BP之加熱溫度($^{\circ}\text{C}$)等。

具體而言，除了增大超音波之頻率之方法以外，仍可考慮採用在焊接期間(時間 $T_2\sim T_3$)使毛細管CA所引起之載重(F)緩慢上升或階段地增大等方法，且在超音波之施加時間方面，除了時間之長短以外，可考慮採用在焊接期間以前

即施加超音波等之方法及組合此等條件之方法(參照圖26)。

圖24係表示焊接墊部之間距(pad pitch)、和金球部B之連接區域直徑 d 與Al-Au合金層之形成區域直徑 g 之比(g/d)之關係。曲線圖(a)之上部區域表示可確保金球部B之可靠性之區域Q, 曲線圖(a)之下部區域表示發生斷線瑕疵之區域NQ。又, Al膜之膜厚為700 nm。

如圖24所示, 比值(g/d)在80%以上時, 即使焊接墊部之間距在 $60\mu\text{m}$ 以下, 仍可確保可靠性。

圖27係表示將金線WR接著(第一焊接)於焊接墊部BP上之後之基板之要部剖面圖。

接著, 如參照圖14所說明, 將金線WR超音波熱壓接(第二焊接)於玻璃環氧等配線基板60上之印刷配線(未圖示)上。圖28係表示第二焊接後之IC晶片1及配線基板60之狀態(立體圖)。圖29係圖28之圓圈部之要部放大圖。

接著, 如圖30所示, 利用樹脂封裝體64, 將金線WR及IC晶片周圍密封。例如, 前述樹脂封裝體64係利用以模具夾持配線基板60, 將熔融樹脂注入模具內, 使其硬化而予以密封之傳送模塑法所形成。前述樹脂例如係含有二氧化矽作為填料之環氧系熱硬化性樹脂。

在此樹脂之注入或硬化之際, 需將應力施加至金線WR及其球部B, 但依據本實施形態, 由於將金球部B之連接區域直徑 d 、與Al-Au合金層50之形成區域直徑 g 之關係設定為 $g \geq 0.8d$, 故可確保金球部B與Al膜M3b(配線)之Al-Au合金層50之接合強度。

前述樹脂封裝體64形成後，在配線基板60之背面形成凸塊電極62。此凸塊電極連接於形成在前述配線基板60之背面之背面電極，惟此並未予以圖示。

前述背面電極經由配線基板60之內部配線而電性連接於金線WR。前述凸塊電極62例如係用來施行對搭載有可攜式機器等所使用之多數電子零件之安裝基板之電性連接。又，圖30所示之實施形態稱為BGA (ball grid array：球柵陣列)。

此後，為了保證製品壽命，利用未出貨之樣品執行溫度循環試驗等品質試驗。在此溫度循環試驗中，將半導體裝置施以例如顧客安裝時之熱歷程處理($260^{\circ}\text{C} \times 10\text{s} \times 3$ 次)後，置於 150°C 之高溫下10分鐘，接著，置於 -55°C 之低溫下10分鐘，如此交互施行1000次(1000個週期)。

此時，由於樹脂64、IC晶片1及配線基板60之熱膨脹係數不同，故樹脂64與IC晶片因熱而變形之程度也不同，其結果，在每1週期均會對金球部B施加應力。

但，在本實施形態中，由於將金球部B之連接區域直徑 d 、與Al-Au合金層50之形成區域直徑 g 之關係設定為 $g \geq 0.8d$ ，故可確保金球部B與Al膜M3b(配線)之Al-Au合金層50之接合強度，防止應力所引起之斷線。

又，縱使在Al膜M3b(配線)薄膜化，因AlAu₄膜之產生而形成較難承受應力之部分時，也可確保接合強度，防止斷線。對此，為了防止AlAu₄膜之產生，固然也可考慮在金線WR之第一焊接之前，在焊接墊部BP上增加一層Al膜。但，

此情形卻會因增加一層Al膜而使工序複雜化。對此，依據本實施形態，可避免因增加一層Al膜而使工序複雜化。

又，一般，焊接墊與墊以外之配線圖案雖係同時形成，但適用本實施形態時，連有利於細化IC晶片上之配線寬之薄的Al膜也可獲得充分之強度。

因此，可利用形成更微細之圖案，以提高晶片之積體度，故可增加每1塊晶圓所能取得之晶片數，降低製造成本。

又，由於半導體裝置之微細化及高機能化可達成多接腳化，故在焊接墊部BP已變小之情形下，仍可確保接合強度，防止斷線。

又，由於半導體裝置之微細化及高機能化可達成多接腳化，故在焊接墊部BP之間距已變小之情形下，仍可確保接合強度，防止斷線。

另外，如將金球部B之連接區域直徑 d 、與金球部B之最大外周直徑 D 之關係設定為 $d \geq 0.8D$ ，則由於半導體裝置之微細化及高機能化可達成多接腳化，在焊接墊部BP之間距已變小之情形下，仍可確保金球之短路容許範圍。

以上，已就本發明人所創見之發明，依據實施形態予以具體說明，但本發明並不僅限定於前述實施形態，在不脫離其要旨之範圍內，當然可作種種適當之變更。

特別在前述實施形態中，雖將本發明應用於Al膜與金球部B之接合，但除此之外，也可廣泛適用於利用形成合金層方式接合金屬配線與金球部(例如也可為凸塊電極)之半導體裝置。

本實施形態不僅適用於BGA，也可適用於使用導線框之QFP (quad flat package：扁平式四邊有接腳型封裝體)之半導體裝置。

發明之效果

本案所揭示之發明中，較具有代表性之發明所能獲得之效果可簡單說明如下：

在利用第一金屬與第二金屬之合金層接合形成於半導體晶片之上方之第一金屬膜、與形成於第二金屬組成之球部之際，由於將前述第一金屬膜與前述球部之接觸區域之直徑 d 、與前述合金層形成區域之直徑 g 之關係設定為 $g \geq 0.8d$ ，且將接觸區域之直徑 d 與球部之最大外周直徑 D 之關係設定為 $d \geq 0.8D$ ，故可確保具有第一金屬膜之配線與球部之接著性。

又，可提高半導體裝置之可靠性。

又，可提高半導體裝置之製成率。

又，一般，焊接墊與墊以外之配線圖案雖係同時形成，但適用本實施形態之構成時，連有利於細化IC晶片上之配線寬之薄的Al膜也可獲得充分之強度。

因此，可利用形成更微細之圖案，提高晶片之積體度，故可增加每1塊晶圓所能取得之晶片數，降低製造成本。

【圖式簡單說明】

圖1係表示本發明之實施形態之半導體裝置之製造工序之基板之要部剖面圖。

圖2係表示本發明之實施形態之半導體裝置之製造工序

之基板之要部剖面圖。

圖3係表示本發明之實施形態之半導體裝置之製造工序之基板之要部剖面圖。

圖4係表示本發明之實施形態之半導體裝置之製造工序之基板之要部剖面圖。

圖5係表示本發明之實施形態之半導體裝置之製造工序之基板之要部剖面圖。

圖6係表示本發明之實施形態之半導體裝置之製造工序之基板之要部剖面圖。

圖7係表示本發明之實施形態之半導體裝置之製造工序之基板之要部剖面圖。

圖8係表示本發明之實施形態之半導體裝置之製造工序之基板之要部剖面圖。

圖9係表示本發明之實施形態之半導體裝置之製造工序之基板之要部平面圖。

圖10係表示使用於本發明之實施形態之半導體裝置之製造工序之毛細管之圖。

圖11係表示本發明之實施形態之半導體裝置之製造工序之基板(焊接墊部)之要部剖面圖。

圖12係表示本發明之實施形態之半導體裝置之製造工序之基板(焊接墊部)之要部剖面圖。

圖13係表示使用於本發明之實施形態之半導體裝置之製造工序之毛細管之動作之曲線圖。

圖14係表示本發明之實施形態之半導體裝置之製造工序

之基板(焊接墊部)之要部剖面圖。

圖15係說明本發明之實施形態之效果之半導體裝置之焊接墊部之要部剖面圖。

圖16係說明本發明之實施形態之效果之半導體裝置之焊接墊部之要部剖面圖。

圖17係說明本發明之實施形態之效果之半導體裝置之焊接墊部之要部剖面圖。

圖18係本發明之實施形態之半導體裝置之焊接墊部之要部剖面圖。

圖19係說明本發明之實施形態之效果之半導體裝置之焊接墊部之要部剖面圖。

圖20係說明本發明之實施形態之效果之半導體裝置之焊接墊部之要部剖面圖。

圖21係表示各超音波頻率之壓接球部之直徑(μm)與抗剪強度(N)之關係之曲線圖。

圖22係表示各超音波頻率之超音波振幅(μm)與抗剪強度(N)之關係之曲線圖。

圖23係表示各超音波頻率之壓接球部直徑(μm)與合金形成面積率(%)之關係之曲線圖。

圖24係表示焊接墊部之間距、和金球部B之連接區域直徑d與Al-Au合金層之形成區域直徑g之比(g/d)之關係之曲線圖。

圖25係表示本發明之實施形態之半導體裝置之製造工序之基板(焊接墊部)之要部剖面圖。

圖26係表示使用於本發明之實施形態之半導體裝置之製造工序之毛細管之動作等之曲線圖。

圖27係表示本發明之實施形態之半導體裝置之製造工序之基板之要部剖面圖。

圖28係表示本發明之實施形態之半導體裝置之製造工序之基板等之立體圖圖。

圖29係表示本發明之實施形態之半導體裝置之製造工序之圖28之局部放大圖。

圖30係表示本發明之實施形態之半導體裝置之製造工序之基板等之立體圖圖。

圖式代表符號說明

- | | |
|-----|-----------------------------------|
| 1 | 半導體基板 |
| 11 | 氧化矽膜 |
| 12 | 氧化矽膜 |
| 41 | 鈍化膜 |
| 43 | 聚醯亞胺樹脂膜 |
| 50 | Al-Au合金層 |
| 50a | AlAu ₂ 膜 |
| 50b | Al ₂ Au ₅ 膜 |
| 50c | AlAu ₄ 膜 |
| 53 | 區域 |
| 55 | 空隙(空孔) |
| 60 | 配線基板 |
| 62 | 凸塊電極 |

64	樹脂
B	金球部(球部)
BP	焊接墊部
C3	接觸孔
CA	毛細管
E	區域
M2	第二層配線
M3	第三層配線
M3a	TiN膜
M3b	Al膜
M3c	TiN膜
MB	熔融球
O _x	氧化物
P3	插塞
T0~T3	時間
WR	金線
L	壓接印面積
S	合金形成面積
d	金球部與Al膜之連接(接觸)區域直徑
Ad	金球部與Al膜之連接(接觸)區域
g	Al-Au合金層之形成區域直徑
Ag	Al-Au合金層之形成區域
D	金球部之最大外周直徑
AD	金球部之最大外周所規定之區域

I290761

h 金球部之高度
WW 金球部之直徑(寬)

伍、中文發明摘要：

本發明之目的在於提高配線之焊接墊部與焊接線之球部之接著性，並增進半導體裝置之可靠性。

在半導體基板上由TiN膜、Al膜M3b及TiN膜構成之第3層配線上，使焊接線之球部B接著於露出Al膜M3b之焊接墊部BP上之際，將Al膜M3b與金球部B之連接區域d、和形成於Al膜M3b與金球部B間之Al-Au合金層50之形成區域之直徑g之關係設定為 $g \geq 0.8d$ ，將接觸區域之直徑d與金球部B之最大外周直徑D之關係設定為 $d \geq 0.8D$ 。結果，即使Al膜M3b（第3層配線）為薄膜，也可確保與金球部B之接著性，且確保短路容許範圍。

陸、日文發明摘要：

【課題】 配線のボンディングパッド部とボンディングワイヤのボール部との接着性を向上させ、半導体装置の信頼性を向上させる。

【解決手段】 半導体基板上の、TiN膜、Al膜M3bおよびTiN膜からなる第3層配線上であって、Al膜M3bが露出したボンディングパッド部BP上に、ボンディングワイヤのボール部Bを接着させる際、Al膜M3bと金ボール部Bとの接続領域dと、Al膜M3bと金ボール部Bとの間に形成されるAl-Au合金層50の形成領域の径gとの関係を、 $g \geq 0.8d$ とし、接触領域の径dと金ボール部Bの最大外周径Dとの関係を、 $d \geq 0.8D$ とする。その結果、Al膜M3b（第3層配線）が薄膜であっても、金ボール部Bとの接着性を確保することができ、また、ショートマージンを確保することができる。

拾壹、圖式：

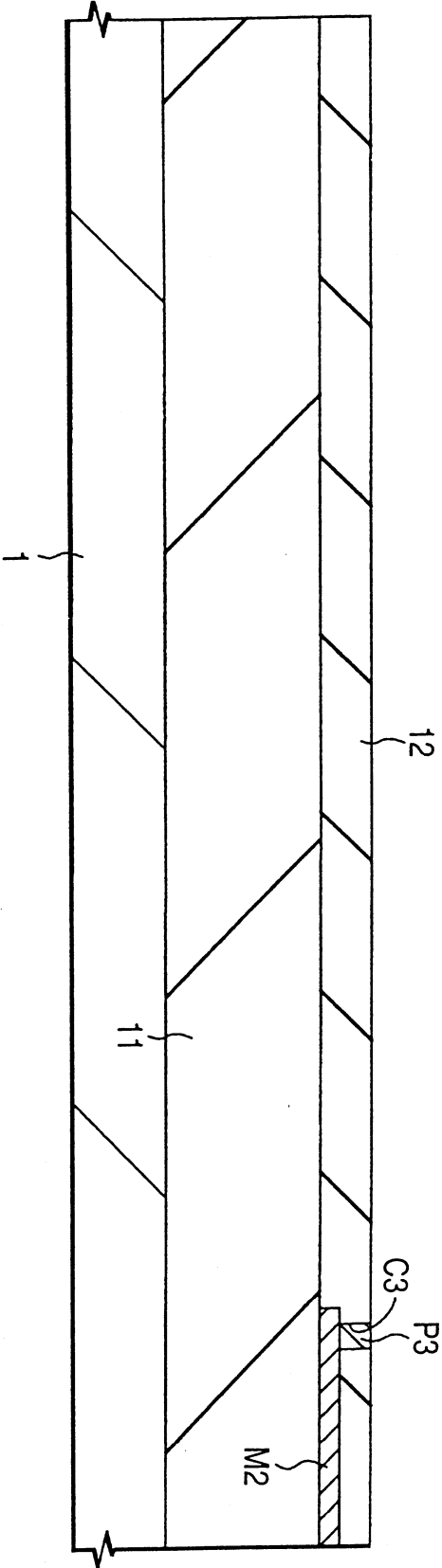


圖 1

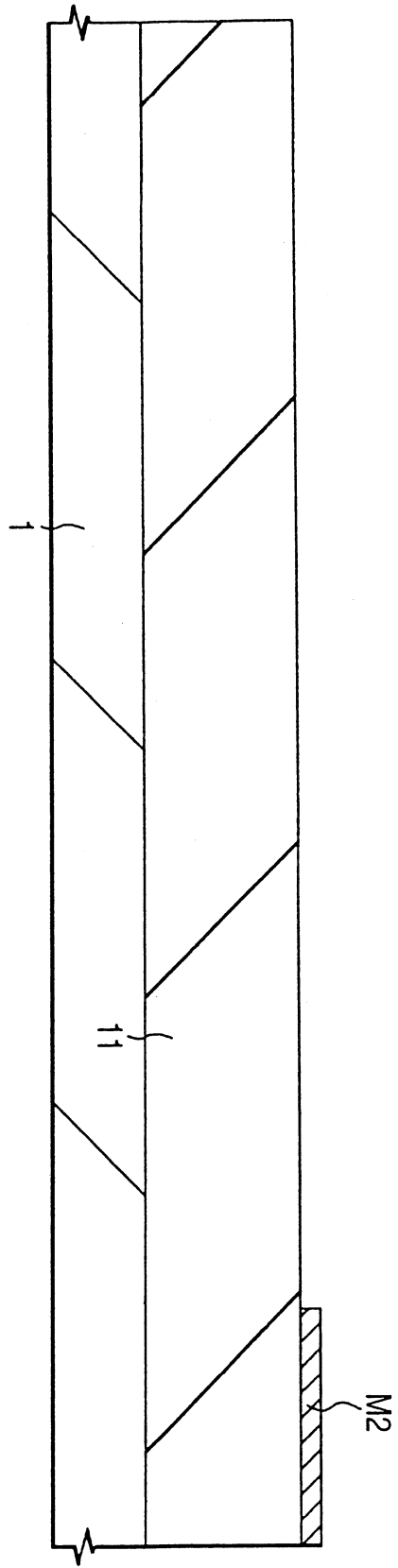


圖 2

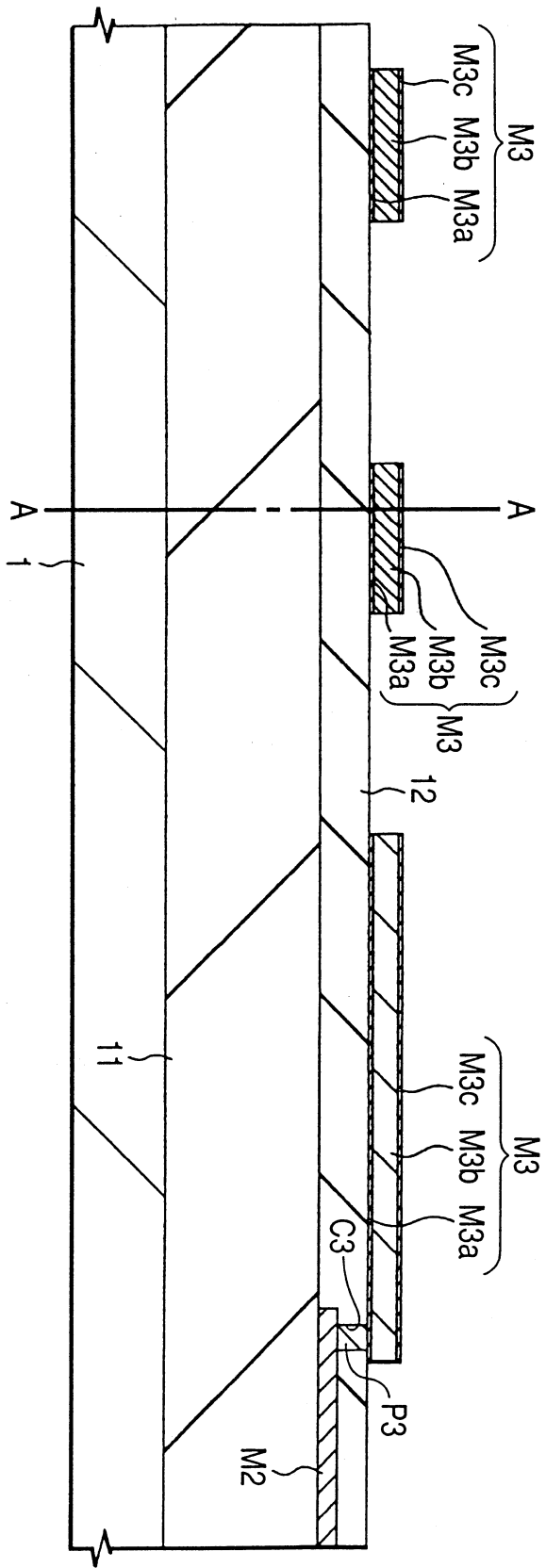


圖 3

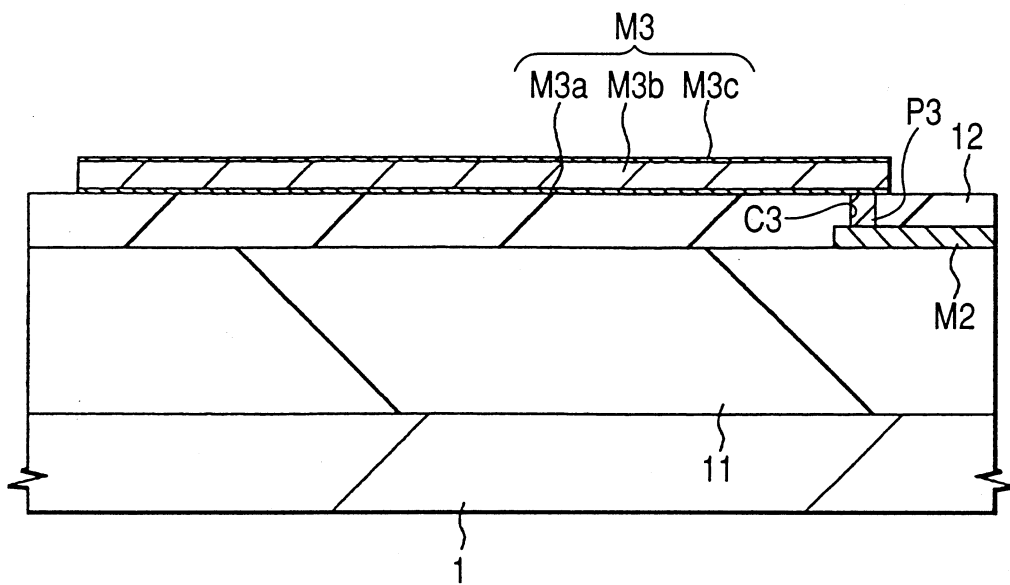


圖 4

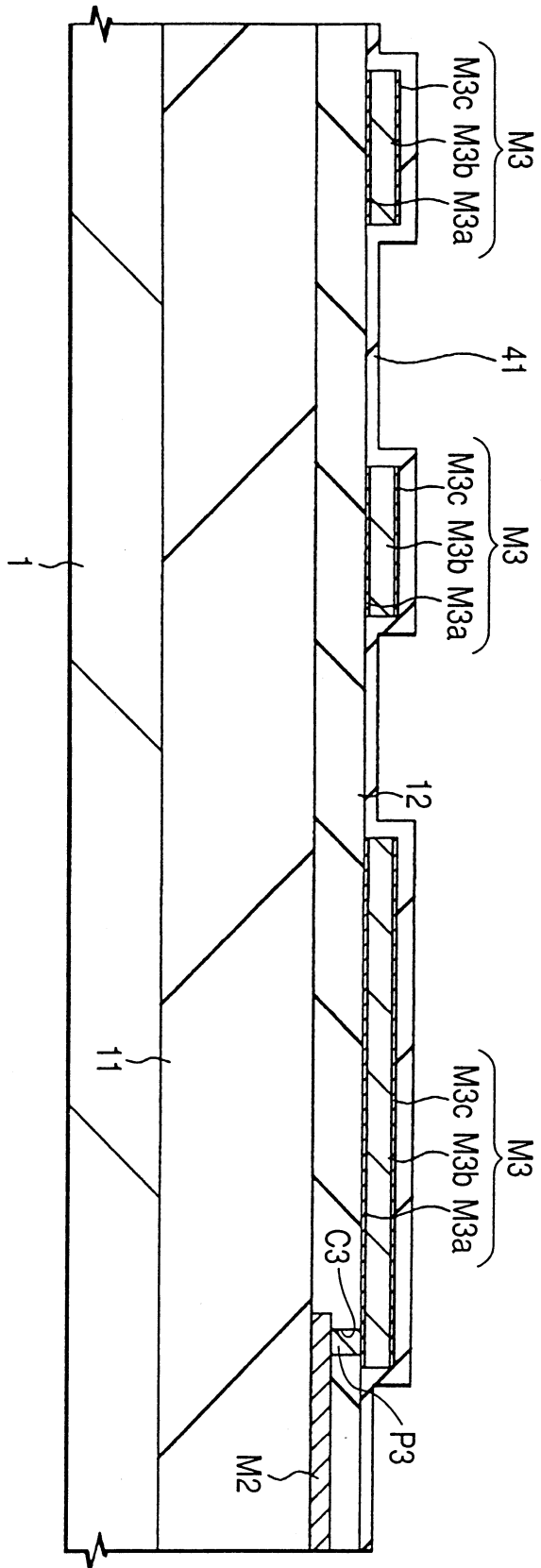


圖 5

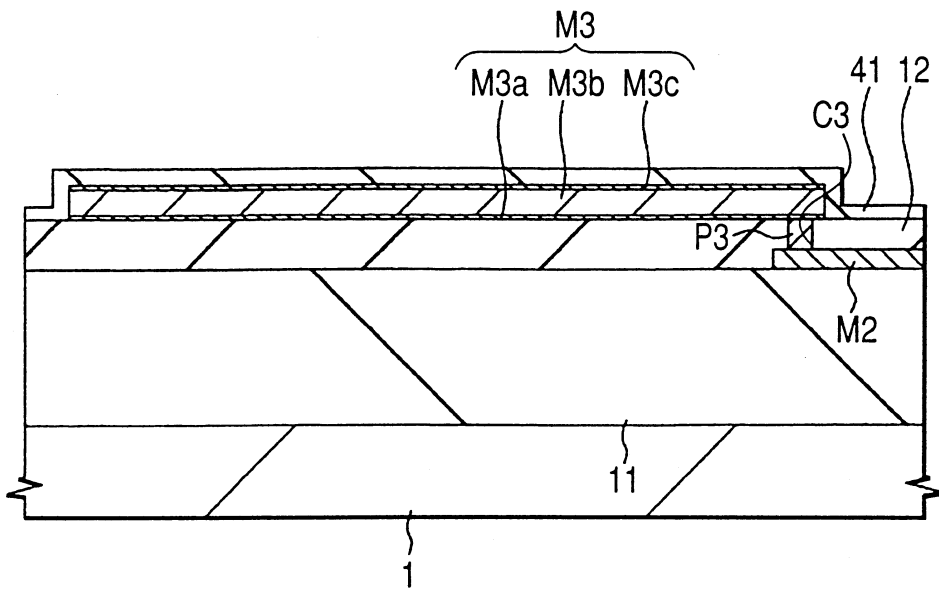


圖 6

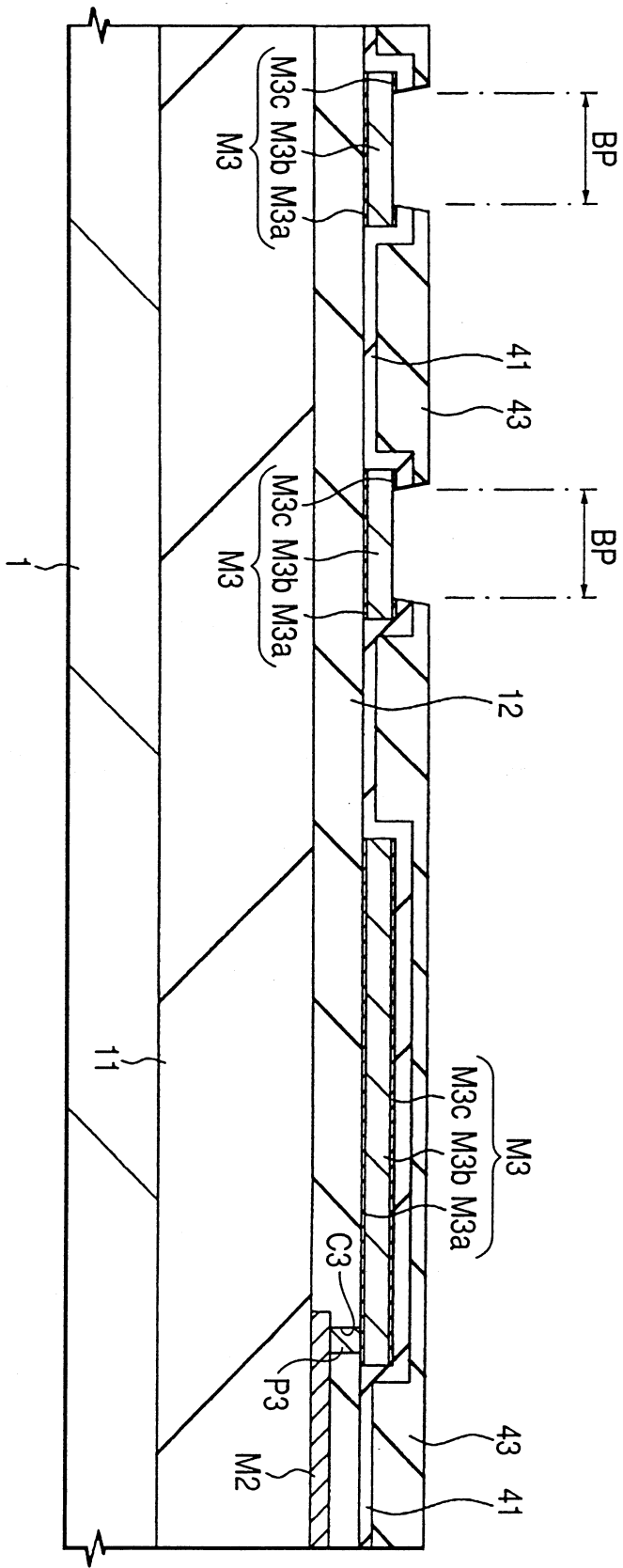


圖 7

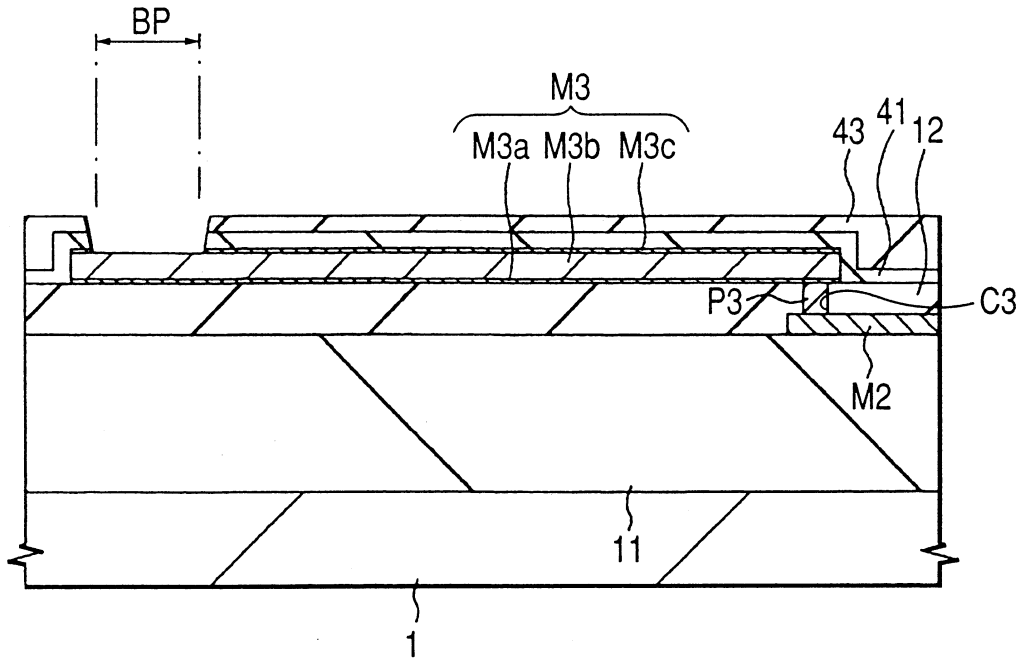


圖 8

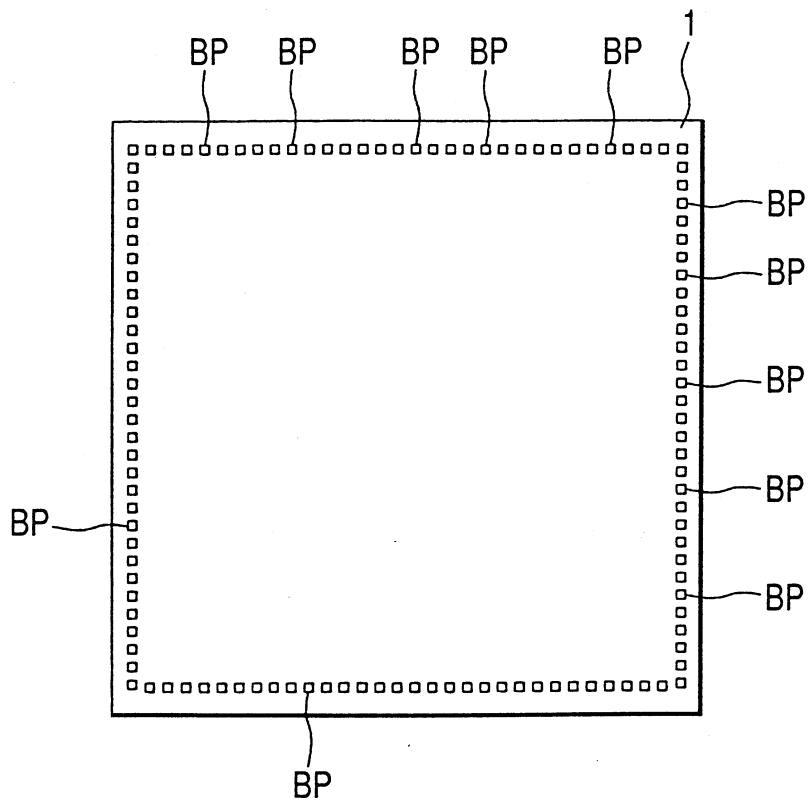


圖 9

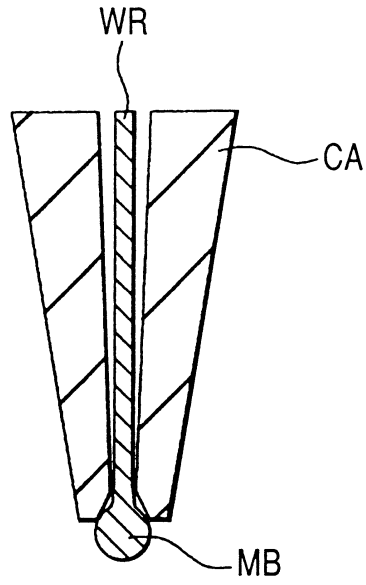


圖 10

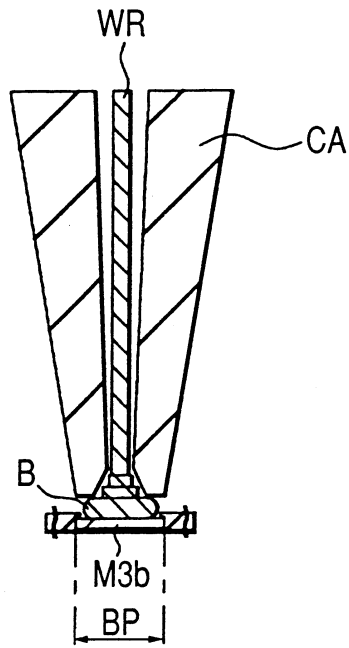


圖 11

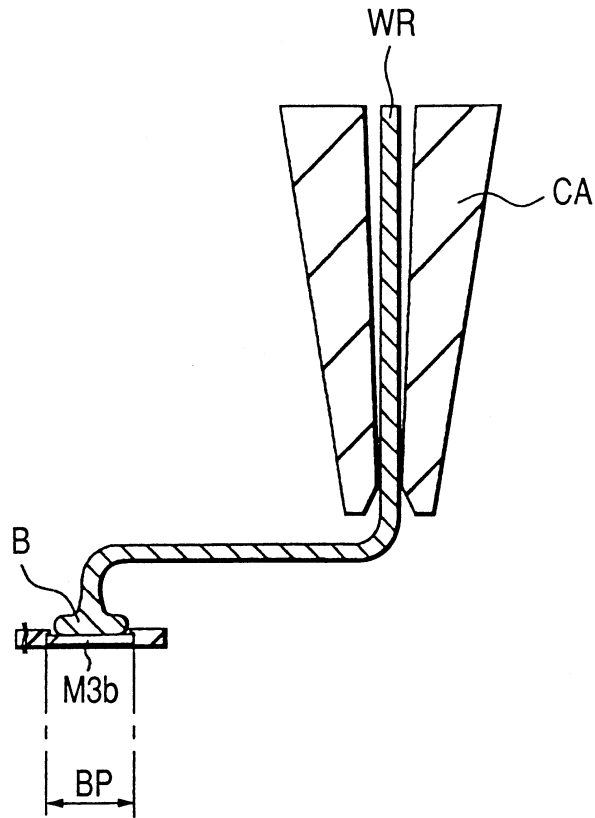


圖 12

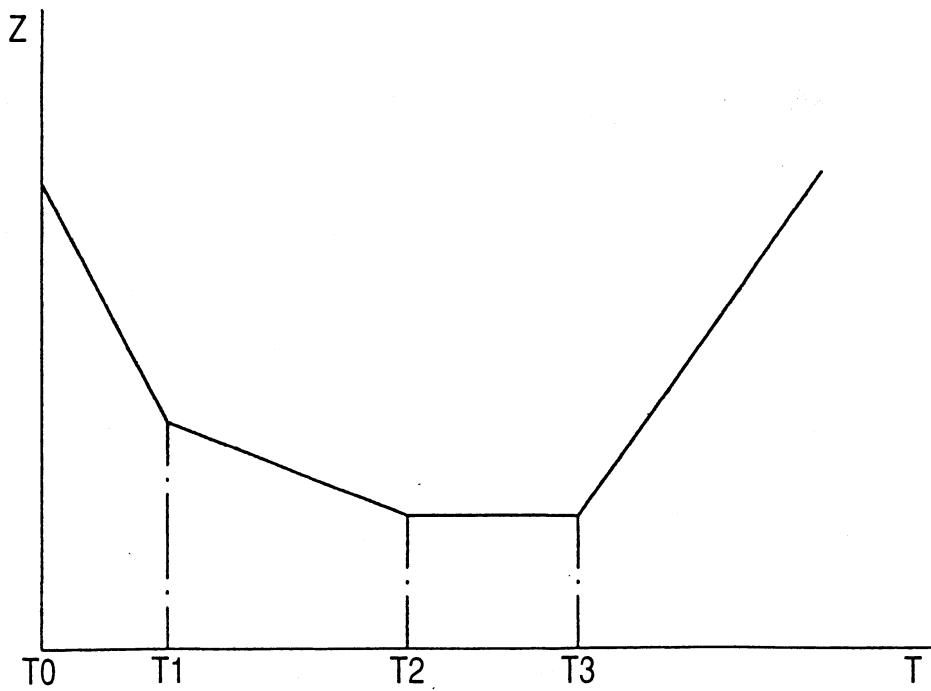


圖 13

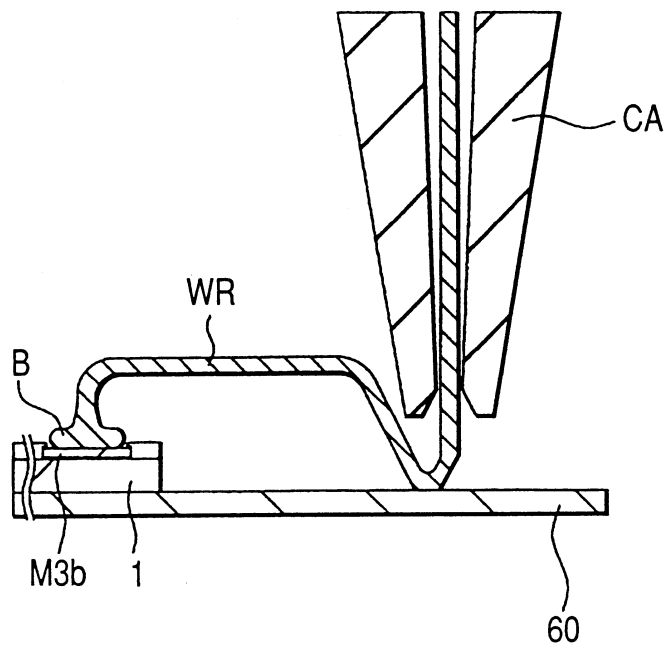


圖 14

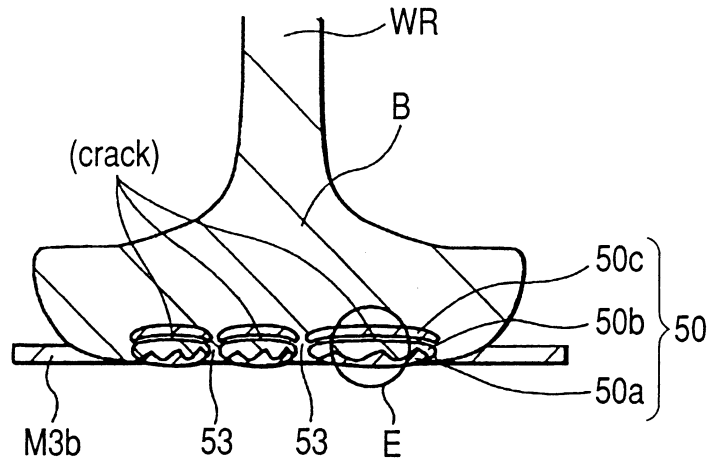


圖 15

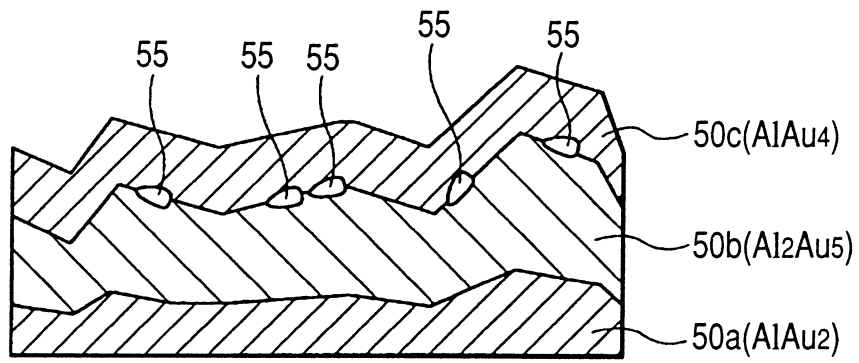


圖 16

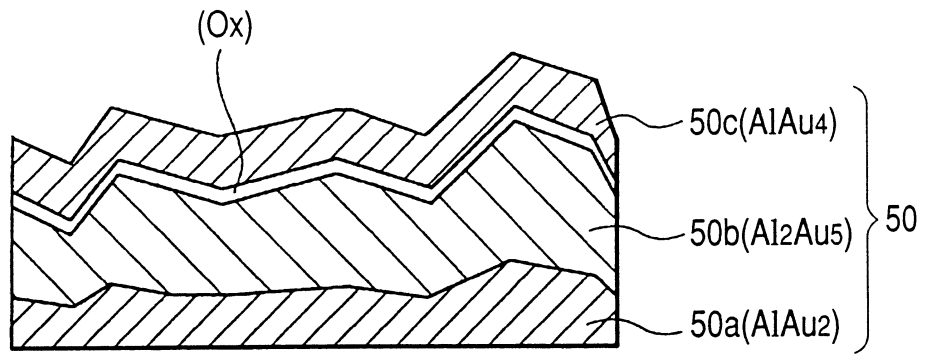


圖 17

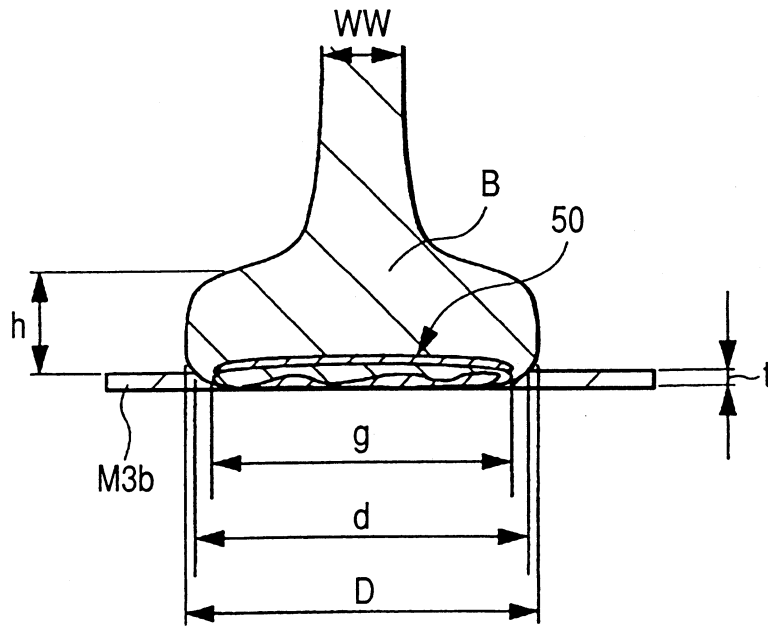


圖 18

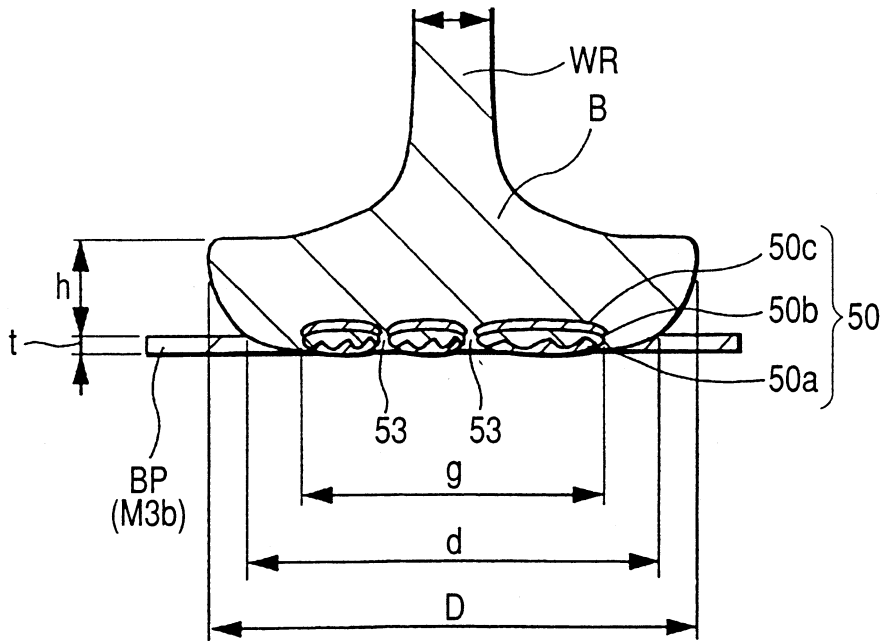


圖 19

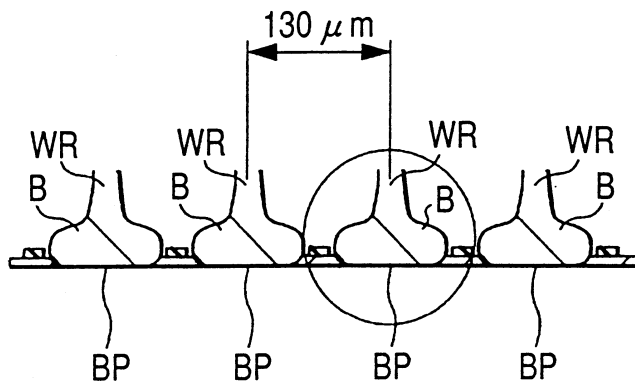


圖 20

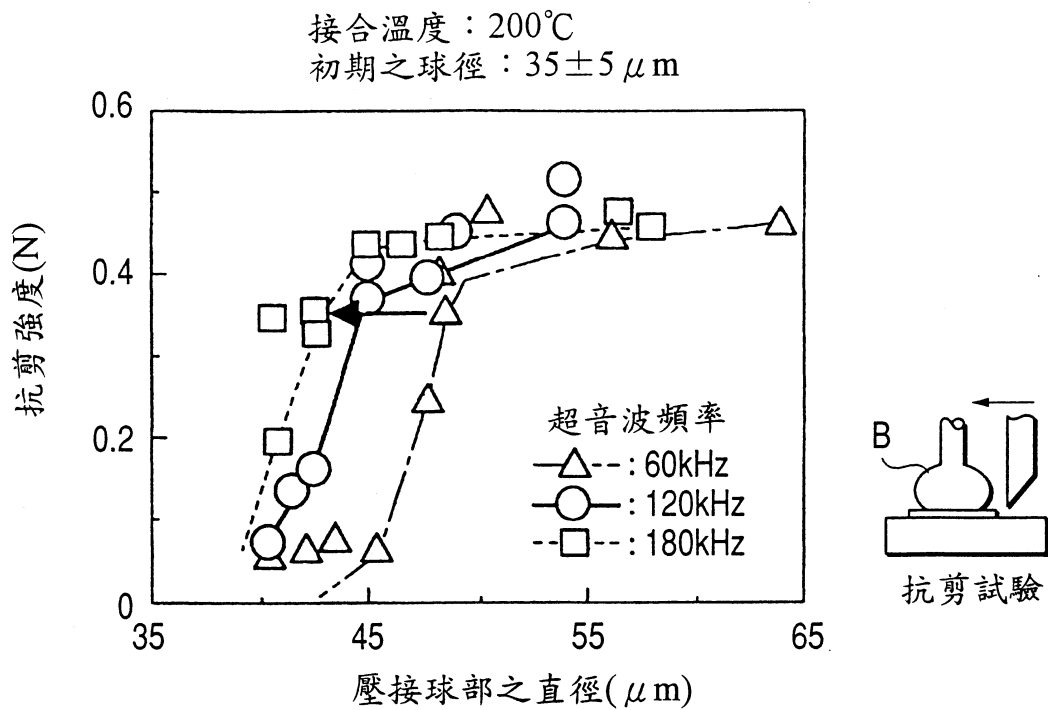


圖 21

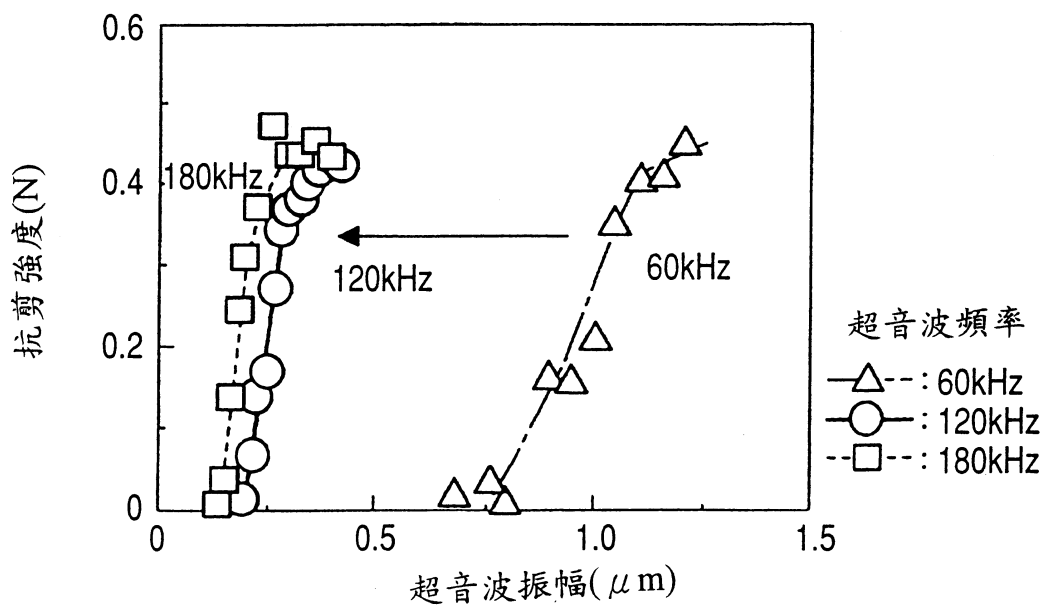


圖 22

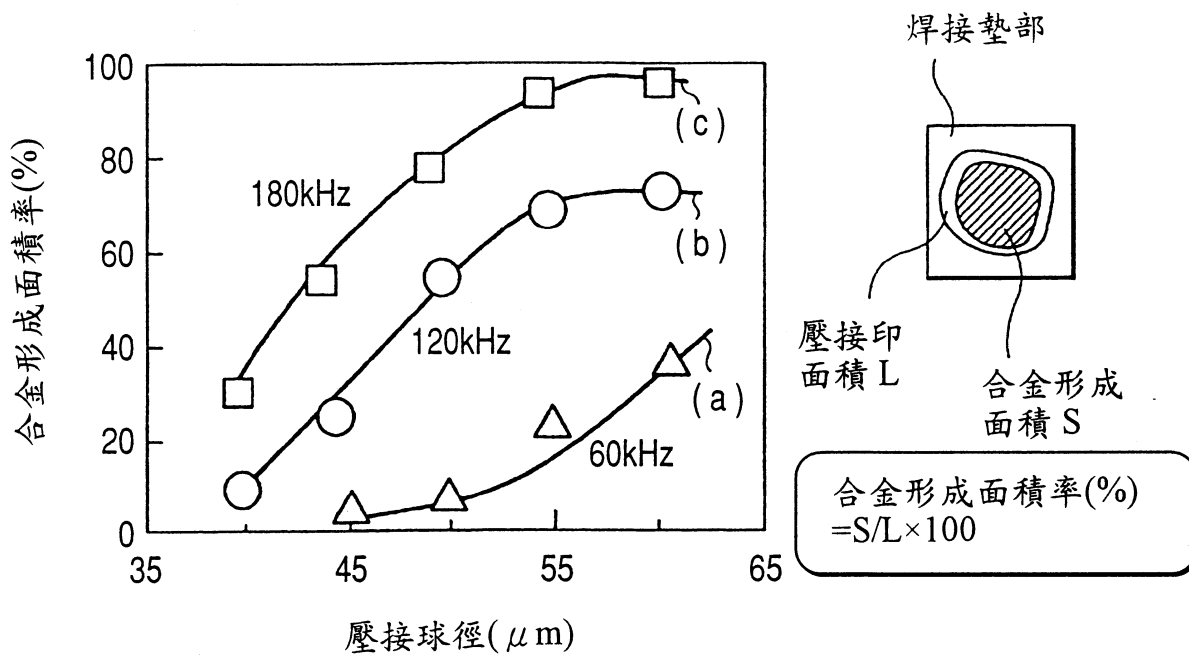


圖 23

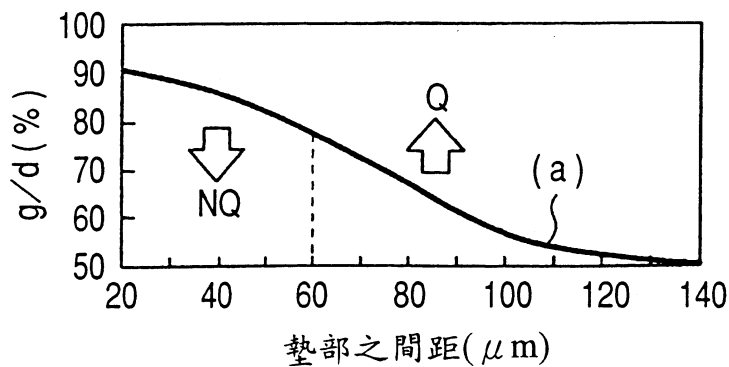


圖 24

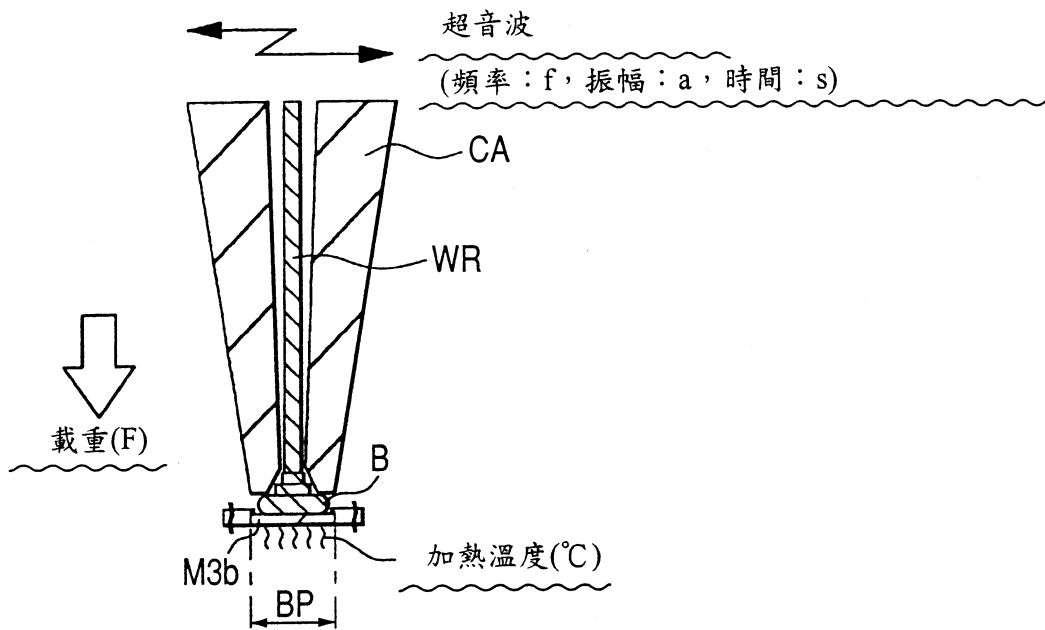


圖 25

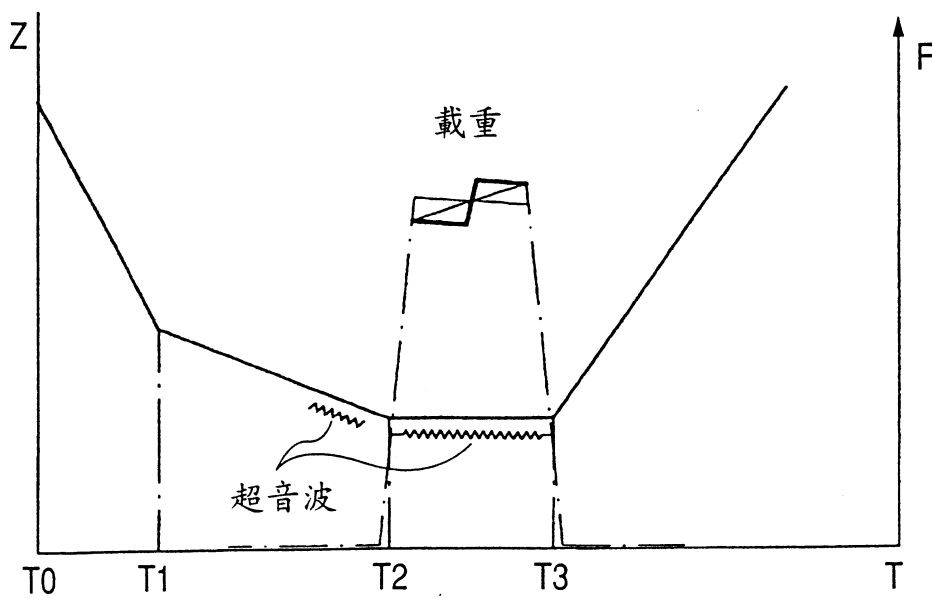


圖 26

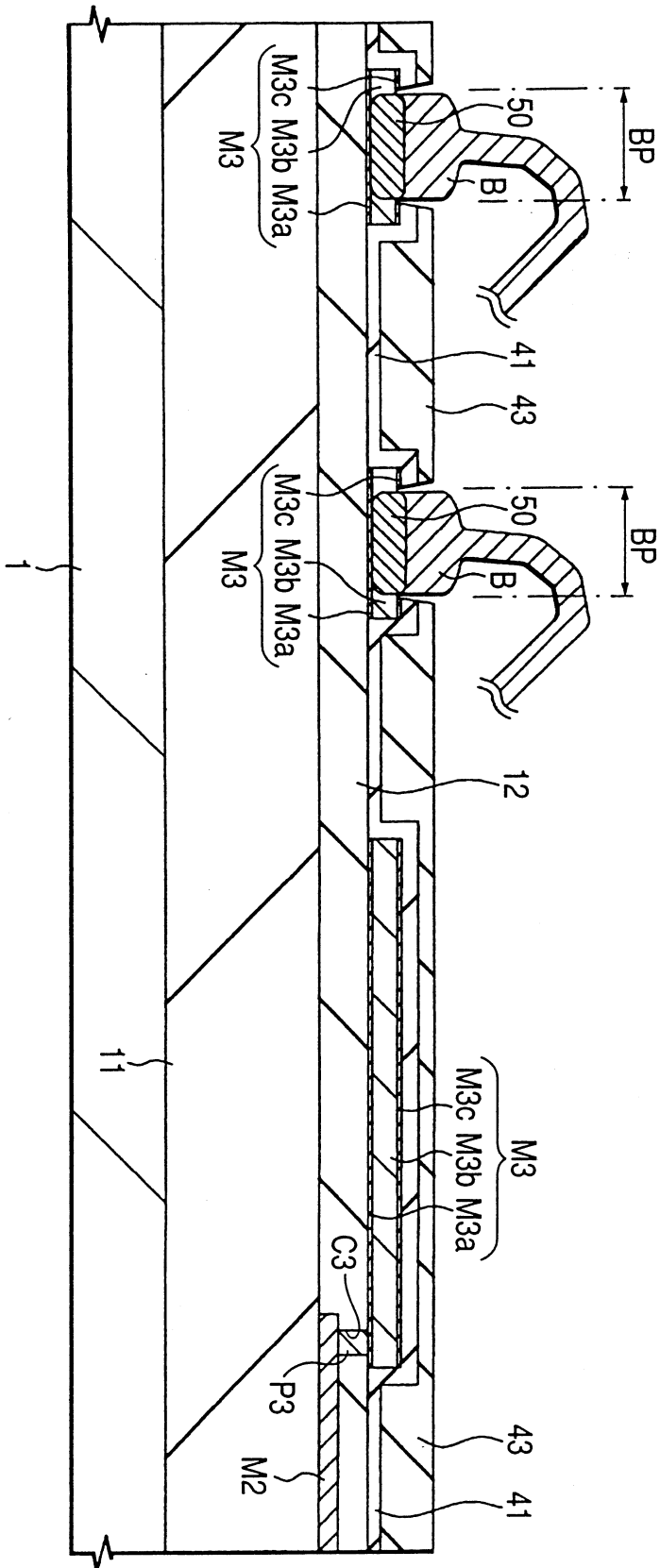


圖 27

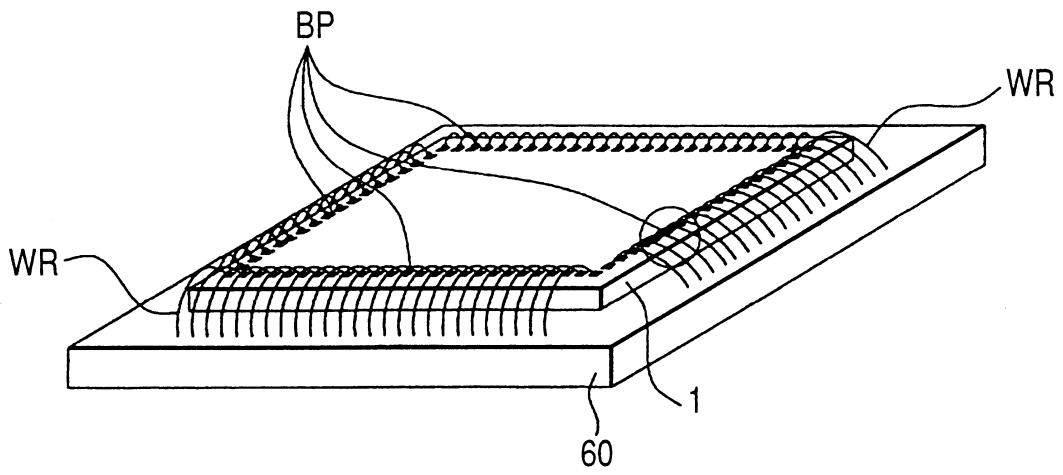


圖 28

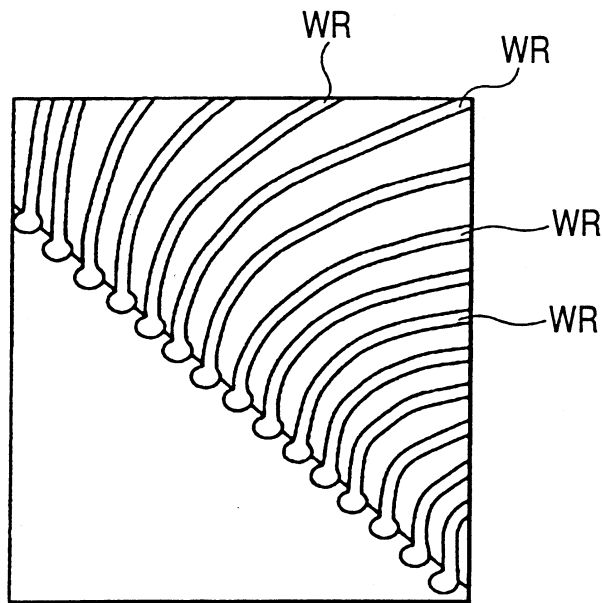


圖 29

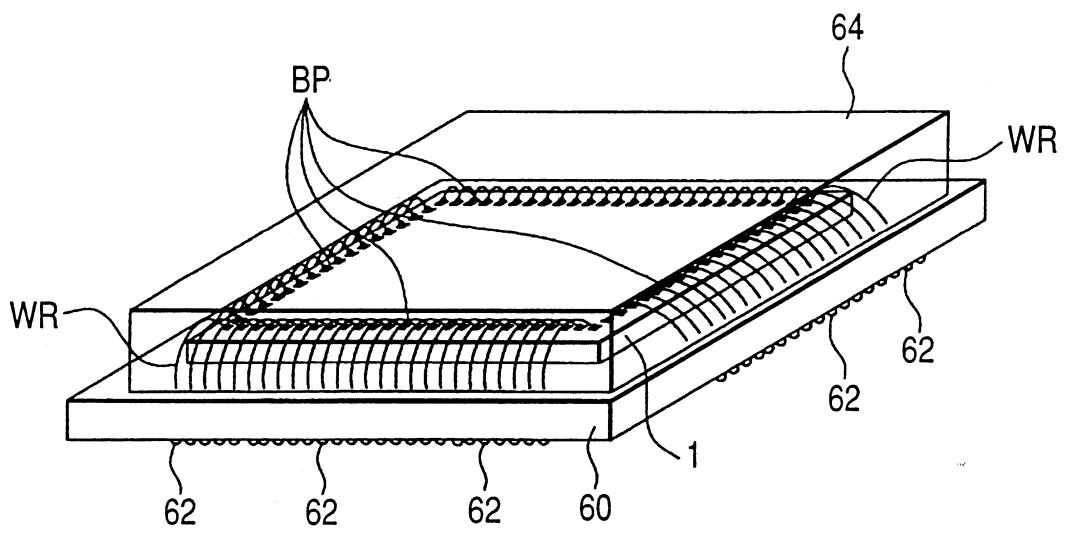


圖 30

柒、指定代表圖：

(一)本案指定代表圖為：第 (18) 圖。

(二)本代表圖之元件代表符號簡單說明：

50	Al-Au合金層
B	金球部
d	金球部與Al膜之連接(接觸)區域直徑
D	金球部之最大外周直徑
g	Al-Au合金層之形成區域直徑
h	金球部之高度
M3b	Al膜
t	膜厚
WW	金球部之直徑(寬)

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種半導體裝置，其特徵在於包含：
 - (a)形成於半導體晶片上方之第一金屬膜；
 - (b)由形成於前述第一金屬膜上之第二金屬所組成之球部；及
 - (c)形成於前述第一金屬膜與前述球部之間之前述第一金屬與第二金屬之合金層；其中
 - (d)前述合金層達到前述第一金屬膜之底部；
 - (e)前述球部係被樹脂所覆蓋。
2. 一種半導體裝置，其特徵在於包含：
 - (a)形成於半導體晶片上方而以鋁(Al)為主成分之Al膜；
 - (b)形成於前述Al膜上而以金(Au)為主成分之金球部；及
 - (c)形成於前述Al膜與前述金球部之間之鋁與金之合金層；其中
 - (d)前述合金層達到前述Al膜之底部；
 - (e)前述金球部係被樹脂所覆蓋。
3. 如申請專利範圍第2項之半導體裝置，其中前述合金層中包含AlAu₄膜。
4. 如申請專利範圍第2項之半導體裝置，其中前述合金層係包含疊層膜，在前述疊層膜中，相對於鋁之金之組成比由下層向上層增大。
5. 如申請專利範圍第2項之半導體裝置，其中前述合金層

係由下層起包含AlAu₂膜、Al₂Au₅膜及AlAu₄膜。

6. 如申請專利範圍第2項之半導體裝置，其中前述Al膜之膜厚在700 nm以下。
7. 如申請專利範圍第2項之半導體裝置，其中
前述半導體裝置係包含多數之前述Al膜，
前述多數Al膜係被將墊區域開口之絕緣膜所覆蓋，
前述墊區域之最短距離在70 μm以下。
8. 如申請專利範圍第2項之半導體裝置，其中前述金球部之最大外周直徑在65 μm以下。
9. 如申請專利範圍第2項之半導體裝置，其中前述金球部之高度h與前述金球部之最大外周直徑D之關係為 $9 \geq D/h \geq 2$ 。
10. 如申請專利範圍第2項之半導體裝置，其中前述金球部之高度在15 μm以下。
11. 如申請專利範圍第2項之半導體裝置，其中前述金球部之高度在5 μm以上15 μm以下。
12. 如申請專利範圍第2項之半導體裝置，其中金線係由前述金球部上延伸至外部連接端子。
13. 一種半導體裝置，其特徵在於包含：
 - (a)形成於半導體晶片上方之第一金屬膜；
 - (b)由形成於前述第一金屬膜上之第二金屬所組成之球部；及
 - (c)形成於前述第一金屬膜與前述球部之間之前述第一金屬與第二金屬之合金層；其中

(d)前述合金層達到前述第一金屬膜之底部；

(e)前述球部之高度 h 與前述金球部之最大外周直徑 D 之關係為 $9 \geq D/h \geq 2$ 。

14. 如申請專利範圍第13項之半導體裝置，其中前述第一金屬膜係以鋁(Al)為主成分之膜，前述球部係以金(Au)為主成分之球部。
15. 如申請專利範圍第14項之半導體裝置，其中前述合金層中包含 $AlAu_4$ 膜。
16. 如申請專利範圍第14項之半導體裝置，其中前述合金層係包含疊層膜，在前述疊層膜中，相對於鋁之金之組成比由下層向上層增大。
17. 如申請專利範圍第14項之半導體裝置，其中前述合金層係由下層起包含 $AlAu_2$ 膜、 Al_2Au_5 膜及 $AlAu_4$ 膜。
18. 如申請專利範圍第14項之半導體裝置，其中前述Al膜之膜厚在700 nm以下。
19. 如申請專利範圍第14項之半導體裝置，其中
前述半導體裝置係包含多數之前述Al膜，
前述多數Al膜係被將墊區域開口之絕緣膜所覆蓋，
前述墊區域之最短距離在70 μ m以下。
20. 如申請專利範圍第14項之半導體裝置，其中前述金球部之最大外周直徑在65 μ m以下。
21. 如申請專利範圍第14項之半導體裝置，其中前述金球部之高度在15 μ m以下。
22. 如申請專利範圍第14項之半導體裝置，其中前述金球部

之高度在 $5\mu\text{m}$ 以上 $15\mu\text{m}$ 以下。

23. 如申請專利範圍第14項之半導體裝置，其中金線係由前述金球部上延伸至外部連接端子。
24. 一種半導體裝置，其特徵在於包含：
 - (a) 形成於半導體晶片上方之第一金屬膜；
 - (b) 由形成於前述第一金屬膜上之第二金屬所組成之球部；及
 - (c) 形成於前述第一金屬膜與前述球部之間之前述第一金屬與第二金屬之合金層；其中
 - (d) 前述第一金屬膜與前述球部之接觸區域之直徑 d 與前述合金層形成區域之直徑 g 之關係為 $g \geq 0.8d$ 。
25. 如申請專利範圍第24項之半導體裝置，其中前述第一金屬膜係以鋁(Al)為主成分之膜，前述球部係以金(Au)為主成分之球部。
26. 如申請專利範圍第24項之半導體裝置，其中前述合金層達到前述第一金屬膜之底部。
27. 如申請專利範圍第24項之半導體裝置，其中前述接觸區域之直徑 d 與前述球部之最大外周直徑 D 之關係為 $d \geq 0.8D$ 。
28. 如申請專利範圍第24項之半導體裝置，其中前述接觸區域係以前述球部之最大外周所劃分之區域之70%以上。
29. 如申請專利範圍第25項之半導體裝置，其中前述合金層中包含 AlAu_4 膜。
30. 如申請專利範圍第25項之半導體裝置，其中前述合金層

係包含疊層膜，在前述疊層膜中，相對於鋁之金之組成比由下層向上層增大。

31. 如申請專利範圍第25項之半導體裝置，其中前述合金層係由下層起包含AlAu₂膜、Al₂Au₅膜及AlAu₄膜。
32. 如申請專利範圍第25項之半導體裝置，其中前述Al膜之膜厚在700 nm以下。
33. 如申請專利範圍第25項之半導體裝置，其中
前述半導體裝置係包含多數之前述Al膜，
前述多數Al膜係被將墊區域開口之絕緣膜所覆蓋，
前述墊區域之最短距離在70 μm以下。
34. 如申請專利範圍第25項之半導體裝置，其中前述以金(Au)為主成分之球部之最大外周直徑在65 μm以下。
35. 如申請專利範圍第25項之半導體裝置，其中前述以金(Au)為主成分之球部之高度h與前述金球部之最大外周直徑D之關係為 $9 \geq D/h \geq 2$ 。
36. 如申請專利範圍第25項之半導體裝置，其中前述以金(Au)為主成分之球部之高度在15 μm以下。
37. 如申請專利範圍第25項之半導體裝置，其中前述以金(Au)為主成分之球部之高度在5 μm以上15 μm以下。
38. 如申請專利範圍第25項之半導體裝置，其中金線係由前述以金(Au)為主成分之球部上延伸至外部連接端子。
39. 一種半導體裝置，其特徵在於包含：
 - (a)形成於半導體晶片上方之第一金屬膜；
 - (b)由形成於前述第一金屬膜上之第二金屬所組成之

球部；及

(c)形成於前述第一金屬膜與前述球部之間之前述第一金屬與第二金屬之合金層；其中

(d)在前述第一金屬膜與前述球部之接觸區域之70%以上之區域形成合金層。

40. 如申請專利範圍第39項之半導體裝置，其中前述接觸區域之直徑 d 與前述球部之最大外周直徑 D 之關係為 $d \geq 0.8D$ 。

41. 一種半導體裝置，其特徵在於包含：

(a)形成於半導體晶片之上方之第一金屬膜；

(b)由形成於前述第一金屬膜上之第二金屬所組成之球部；及

(c)形成於前述第一金屬膜與前述球部之間之前述第一金屬與第二金屬之合金層；其中

(d)前述第一金屬膜與前述球部之接觸區域之直徑 d 與前述球部之最大外周直徑 D 之關係為 $d \geq 0.8D$ 。

42. 一種半導體裝置，其特徵在於包含：

(a)形成於半導體晶片上方之第一金屬膜；

(b)由形成於前述第一金屬膜上之第二金屬所組成之球部；及

(c)形成於前述第一金屬膜與前述球部之間之前述第一金屬與第二金屬之合金層；其中

(d)前述第一金屬膜與前述球部之接觸區域係以前述球部之最大外周所劃分之區域之70%以上。

43. 一種半導體裝置之製造方法，其特徵在於包含：
- (a)在半導體晶片區域上方形成第一金屬膜之工序；
 - (b)於前述第一金屬膜上形成使前述第一金屬膜上之墊部開口之絕緣膜之工序；及
 - (c)利用超音波熱壓接法，將由第二金屬所組成之球部接著於前述墊部之工序，其係使用頻率110 kHz以上之超音波進行接著。
44. 如申請專利範圍第43項之半導體裝置之製造方法，其中前述(c)工序係在施加前述超音波之期間，使施加在前述墊部之加壓力上升。
45. 如申請專利範圍第43項之半導體裝置之製造方法，其中在前述(c)工序之後，包含(d)以樹脂覆蓋前述球部，以施行封裝之工序。
46. 一種半導體裝置之製造方法，其特徵在於包含：
- (a)在半導體晶片區域上方形成第一金屬膜之工序；
 - (b)於前述第一金屬膜上形成使前述第一金屬膜上之墊部開口之絕緣膜之工序；
 - (c)利用超音波熱壓接法，將由第二金屬所組成之球部接著於前述墊部之工序，其係使用頻率110 kHz以上之超音波進行接著；
 - (d)以樹脂覆蓋前述球部，以施行封裝之工序；及
 - (e)在前述(d)工序之後，準備多數個被封裝之半導體晶片，將前述多數個半導體晶片之一部分置於高溫下，以檢查其特性之工序。

47. 一種半導體裝置之製造方法，其特徵在於包含：
- (a) 在半導體晶片區域上方形成第一金屬膜之工序；
 - (b) 於前述第一金屬膜上形成使前述第一金屬膜上之墊部開口之絕緣膜之工序；
 - (c) 將由第二金屬所組成之球部形成於前述第一金屬膜上之工序，其係將前述第一金屬與第二金屬之合金層形成於前述第一金屬與前述球部之接觸區域之70%以上之區域，藉以將前述球部接著於前述墊部上；
 - (d) 利用樹脂覆蓋前述球部，以施行封裝之工序；及
 - (e) 在前述(d)工序之後，準備多數個被封裝之半導體晶片，將前述多數個半導體晶片之一部分置於高溫下，以檢查其特性之工序。
48. 一種半導體裝置之製造方法，其特徵在於包含：
- (a) 在半導體晶片區域上方形成第一金屬膜之工序；
 - (b) 於前述第一金屬膜上形成使前述第一金屬膜上之墊部開口之絕緣膜之工序；
 - (c) 將由第二金屬所組成之球部形成於前述第一金屬膜上之工序，其係將前述第一金屬與第二金屬之合金層形成於前述第一金屬與前述球部之接觸區域之70%以上之區域，藉以將球部接著於前述第一金屬膜上，前述接觸區域之直徑 d 與球部之最大外周直徑 D 之關係為 $d \geq 0.8D$ ；及
 - (d) 利用樹脂覆蓋前述球部，以施行封裝之工序。
49. 一種半導體裝置之製造方法，其特徵在於包含：

(a)在半導體晶片區域上方形成第一金屬膜之工序；

(b)於前述第一金屬膜上形成使前述第一金屬膜上之墊部開口之絕緣膜之工序；

(c)將第二金屬組成之球部形成於前述第一金屬膜上之工序，其係將前述第一金屬與第二金屬之合金層形成於前述第一金屬膜與前述球部之接觸區域之70%以上之區域，藉以將球部接著於前述第一金屬膜上，前述接觸區域之直徑 d 與球部之最大外周直徑 D 之關係為 $d \geq 0.8D$ ；

(d)利用樹脂覆蓋前述球部，以施行封裝之工序；及

(e)在前述(d)工序之後，準備多數個被封裝之半導體晶片，將前述多數個半導體晶片之一部分曝露在高溫下，以檢查其特性之工序。

50. 一種半導體裝置之製造方法，其特徵在於包含：(a)在半導體晶片區域上方形成第一金屬膜之工序；

(b)於前述第一金屬膜上形成使前述第一金屬膜上之墊部開口之絕緣膜之工序；及

(c)利用超音波熱壓接法，將由第二金屬組成之球部接著於前述墊部上之工序，其係以前述球部之一部份到達前述第一金屬膜底部之方式接著，並使用頻率110 kHz以上之超音波進行接著；

其中在前述工序(c)中，在施加上述超音波期間，使施加在前述墊部之加壓力上升。

51. 如申請專利範圍第50項之半導體裝置之製造方法，其中

在前述(c)工序之後，包含(d)以樹脂覆蓋前述球部，以施行封裝之工序。

52. 如申請專利範圍第50項之半導體裝置之製造方法，其中在前述球部與前述墊部接觸前施加前述超音波。

53. 一種半導體裝置之製造方法，其特徵在於包含：(a)在半導體晶片區域上方形成第一金屬膜之工序；

(b)於前述第一金屬膜上形成使前述第一金屬膜上之墊部開口之絕緣膜之工序；

(c)利用超音波熱壓接法，將由第二金屬組成之球部接著於前述墊部上之工序，其係以前述球部之一部份到達前述第一金屬膜底部之方式接著，並使用頻率110 kHz以上之超音波進行接著；

(d)利用樹脂覆蓋前述球部，以施行封裝之工序；及

(e)在前述(d)工序之後，準備多數個經封裝之半導體晶片，將前述多數個半導體晶片之一部分曝露在高溫下，以檢查其特性之工序；

其中在前述工序(c)中，在施加上述超音波期間，使施加在前述墊部之加壓力上升。

54. 一種半導體裝置之製造方法，其特徵在於包含：(a)在半導體晶片區域上方形成第一金屬膜之工序；

(b)於前述第一金屬膜上形成使前述第一金屬膜上之墊部開口之絕緣膜之工序；

(c)將由第二金屬組成之球部形成於前述第一金屬膜上之工序，其係以前述球部之一部份到達前述第一金屬

膜底部之方式接著，且藉由將前述第一金屬與第二金屬之合金層形成於前述第一金屬膜與前述球部之接觸區域之70%以上之區域，將前述球部接著於前述第一金屬膜上；

(d)利用樹脂覆蓋前述球部，以施行封裝之工序；及

(e)在前述(d)工序之後，準備多數個經封裝之半導體晶片，將前述多數個半導體晶片之一部分曝露在高溫下，以檢查其特性之工序；

其中在前述工序(c)中，在施加上述超音波期間，使施加在前述墊部之加壓力上升。

55. 如申請專利範圍第54項之半導體裝置之製造方法，其中在前述球部與前述墊部接觸前施加前述超音波。

56. 一種半導體裝置之製造方法，其特徵在於包含：(a)在半導體晶片區域上方形成第一金屬膜之工序；

(b)於前述第一金屬膜上形成使前述第一金屬膜上之墊部開口之絕緣膜之工序；

(c)將由第二金屬組成之球部形成於前述第一金屬膜上之工序，其係以前述球部之一部份到達前述第一金屬膜底部之方式接著，且藉由將前述第一金屬與第二金屬之合金層形成於前述第一金屬膜與前述球部之接觸區域之70%以上之區域，將球部接著於前述第一金屬膜上，前述接觸區域之直徑 d 與球部之最大外周直徑 D 之關係為 $d \geq 0.8D$ ；及

(d)利用樹脂覆蓋前述球部，以施行封裝之工序；

其中在前述工序(c)中，在施加上述超音波期間，使施加在前述墊部之加壓力上升。

57. 一種半導體裝置之製造方法，其特徵在於包含：(a)在半導體晶片區域上方形成第一金屬膜之工序；

(b)於前述第一金屬膜上形成使前述第一金屬膜上之墊部開口之絕緣膜之工序；

(c)將由第二金屬組成之球部形成於前述第一金屬膜上之工序，其係以前述球部之一部份到達前述第一金屬膜底部之方式接著，且藉由將前述第一金屬與第二金屬之合金層形成於前述第一金屬膜與前述球部之接觸區域之70%以上之區域，將球部接著於前述第一金屬膜上，前述接觸區域之直徑d與球部之最大外周直徑D之關係為 $d \geq 0.8D$ ；

(d)利用樹脂覆蓋前述球部，以施行封裝之工序；及

(e)在前述(d)工序之後，準備多數個經封裝之半導體晶片，將前述多數個半導體晶片之一部分曝露在高溫下，以檢查其特性之工序；

其中在前述工序(c)中，在施加上述超音波期間，使施加在前述墊部之加壓力上升。