



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 199 50 540 B4** 2005.07.21

(12)

Patentschrift

(21) Aktenzeichen: **199 50 540.3**
(22) Anmeldetag: **20.10.1999**
(43) Offenlegungstag: **03.05.2001**
(45) Veröffentlichungstag
der Patenterteilung: **21.07.2005**

(51) Int Cl.7: **H01L 21/8239**

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(71) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
**Patentanwälte Dr. Graf Lambsdorff & Dr. Lange,
81673 München**

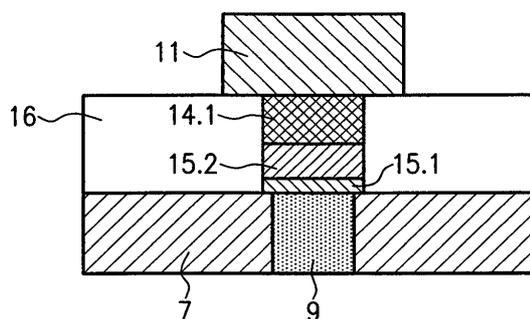
(72) Erfinder:
**Beitel, Gerhard, Dr., 80335 München, DE; Sänger,
Annette, Dr., 81667 München, DE; Kasko, Igor, Dr.,
81543 München, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 199 26 501 A1
DE 100 14 315 A1
US 57 86 259 A
US 57 39 563
EP 10 17 096 A2
WO 99 27 581 A1

(54) Bezeichnung: **Verfahren zur Herstellung einer Kondensator-Elektrode mit Barrierestruktur**

(57) Hauptanspruch: Verfahren zur Herstellung einer Kondensator-Elektrode einer Dicke zwischen 50 nm und 400 nm mit darunterliegend angeordneter Barrierestruktur, in welchem

- auf einem Schichtaufbau (7; 15.1', 15.2') über einem Halbleitersubstrat (1) eine Barrierschicht (14') abgelagert wird;
- aus der Barrierschicht (14') durch einen lithographischen Masken- und Ätzschritt die Barrierestruktur (14.1) herausgebildet wird;
- eine die Barrierestruktur (14.1) bedeckende Barriere-Einlagerungsschicht (16) abgelagert wird;
- die Barriere-Einlagerungsschicht (16) durch CMP abgetragen wird, bis die Barrierestruktur (14.1) freiliegt; und
- über der Barrierestruktur (14.1) die an ihrer Oberseite freiliegende, strukturierte Kondensator-Elektrode (11) gebildet wird.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Herstellung einer Kondensator-Elektrode mit darunterliegend angeordneter Barrierestruktur in einer integrierten Halbleiterschaltung.

[0002] Mit zunehmender Integrationsdichte nimmt das Platzangebot für Kondensatoren in integrierten Halbleiterschaltungen, insbesondere Speicherschaltungen, ab. Um dennoch Kondensatoren mit einer hohen Kapazität zu erzielen, ist es bereits bekannt, als Kondensator-Dielektrikum sogenannte Hoch- ϵ -Dielektrika einzusetzen. Eine weitere Zielsetzung besteht gegenwärtig in der Entwicklung von nichtflüchtigen Speichern (FeRAM), die Ferroelektrika als Kondensatormaterial einsetzen.

[0003] Diese neuartigen Kondensatormaterialien müssen in der Regel bei relativ hohen Prozeßtemperaturen und unter Verwendung eines Sauerstoffhaltigen Prozeßgases hergestellt werden. Bei Verwendung einer oxidierbaren Elektrode (beispielsweise aus Polysilizium oder Wolfram) würde dies zu einer Oxidation der Elektrode und einer dadurch bewirkten Kapazitätserniedrigung des Kondensators führen. Es müssen daher auch neuartige, inerte Elektrodenmaterialien, wie z.B. Pt, Ir, Ru, verwendet werden.

[0004] Beim Einsatz solcher Elektrodenmaterialien besteht ein Problem darin, daß der Sauerstoff durch die chemisch stabile Elektrode hindurchdiffundiert und dann am Siliziumsubstrat eine hochohmige Sperr-Oxidschicht aufbaut. Um dies zu verhindern, wird eine Barriere eingesetzt, die zwischen der Elektrode und dem Substrat angeordnet ist.

[0005] Die Herstellung der Barriere sowie auch der darüberliegend angeordneten unteren Elektrode (Bottom-Elektrode) des Kondensators erfolgt üblicherweise durch mehrfache Ausführung geeigneter Photolithographie- und Ätzprozesse.

Stand der Technik

[0006] In der US 5,366,920 A ist ein Verfahren zur Herstellung eines Dünnschichtkondensators beschrieben. Die Barriere sowie die untere Elektrode werden nicht durch einen Photolithographie- und Ätzprozeß hergestellt, sondern es wird auf dem Substrat eine Isolationsschicht abgeschieden, in welcher eine Öffnung eingebracht wird. Nachfolgend wird die Öffnung durch Abscheidung einer Barrierschicht, einer Elektroden-schicht, und weiterer Schichten aufgefüllt. Auf diese Weise wird der Kondensator Schicht für Schicht in der Öffnung der Isolationsschicht aufgebaut.

[0007] In der Schrift WO 99/27581 A1 ist ein Verfahren zur Herstellung einer Kondensator-Elektrode mit

Barrierestruktur beschrieben, bei welchem die Barrierestruktur und die Kondensator-Elektrode in einem einzigen CMP-Planarisierungsschritt strukturiert werden.

[0008] Ein weiteres Verfahren zur Herstellung einer Kondensator-Elektrode mit Barrierestruktur ist der nachveröffentlichten Schrift DE 199 26 501 A1 zu entnehmen.

Aufgabenstellung

[0009] Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung einer Kondensator-Elektrode mit darunterliegend angeordneter Barrierestruktur anzugeben, das einfach und prozeßsicher durchführbar ist.

[0010] Die Erfindung wird durch die Merkmale der Ansprüche 1 und 4 gelöst.

[0011] Ein wesentlicher Aspekt der Erfindung besteht darin, daß zur Herstellung der Barrierestruktur ein CMP (chemical mechanical polishing)-Planarisierungsschritt eingesetzt wird. Die CMP ist in der Halbleitertechnologie ein einfach ausführbarer Prozeßschritt. Nach einem ersten Aspekt der Erfindung gemäß Anspruch 1 wird der CMP-Prozeß zur Erzeugung einer planarisierten Oberfläche der Barriere-Einlagerungsschicht sowie der darin eingelagerten Barrierestruktur eingesetzt. Die planarisierte Oberfläche wird dann als Unterlage für die nachfolgend aufzubauende, an ihrer Oberseite freiliegende Kondensator-Elektrode einer Dicke zwischen 50 nm und 400 nm verwendet.

[0012] Vorzugsweise wird zur Bildung der Kondensator-Elektrode eine Elektroden-Einlagerungsschicht über der planarisierten Barrierestruktur-Einlagerungsschicht abgelagert und es wird durch einen lithographischen Masken- und Ätzschritt ein die Barrierestruktur freilegendes Elektroden-Strukturierungsloch in der Elektroden-Einlagerungsschicht erzeugt. Dann wird eine das Elektroden-Strukturierungsloch auffüllende Schicht aus Elektrodenmaterial in und umliegend des Elektroden-Strukturierungsloches abgelagert, und schließlich wird die Kondensator-Elektrode durch CMP aus der Elektrodenmaterialschicht herausgebildet.

[0013] Demnach können also sowohl zur Herstellung der "vergrabenen" Barrierestruktur als auch zur Herstellung der (unteren) Kondensator-Elektrode CMP-Planarisierungsschritte eingesetzt werden. Grundsätzlich ist es jedoch auch möglich, daß zur Bildung der Kondensator-Elektrode in an sich bekannter Weise ein Schichtabscheidungs-Schritt und ein lithographischer Masken- und Ätzschritt eingesetzt wird.

[0014] Nach einem zweiten Aspekt der Erfindung gemäß Anspruch 4 wird in einer Barriere-Einlagerungsschicht ein Barrierestrukturierungsloch erzeugt, eine Barrierschicht innerhalb und umliegend des Barrierestrukturierungsloches abgelagert und durch eine CMP-Planarisierung eine Barrierestruktur aus der Barrierschicht herausgebildet. Anschließend wird die Kondensator-Elektrode über der herausgebildeten Barrierestruktur gebildet. Anders als nach dem ersten Aspekt der Erfindung wird bei diesem Prozeß der CMP-Planarisierungsschritt unmittelbar zur (lateralen) Strukturierung der Barrierschicht eingesetzt.

[0015] Nach einer Ausführungsvariante kann die Ablagerung der Barrierschicht derart erfolgen, daß das Barrierestrukturierungsloch vollständig aufgefüllt wird. Durch den nachfolgenden CMP-Planarisierungsschritt erhält die Barrierestruktur-Einlagerungsschicht mit eingelagerter Barrierestruktur dann eine ebene Oberfläche, die in der bereits beschriebenen Weise als Unterlage für den nachfolgenden Aufbau der Kondensator-Elektrode dienen kann.

Ausführungsbeispiel

[0016] Die Erfindung wird nachfolgend anhand von drei Ausführungsbeispielen unter Bezugnahme auf die Zeichnung erläutert; in dieser zeigt:

[0017] [Fig. 1](#) in schematischer Weise den Aufbau einer herkömmlich hergestellten DRAM-Speicherzelle mit Schalttransistor und Hoch- ϵ - oder ferroelektrischem Stack-Kondensator;

[0018] [Fig. 2A-D](#) schematische Schnittdarstellungen zur Erläuterung der Herstellung einer vergrabenen Barrierestruktur nach einem ersten Ausführungsbeispiel der Erfindung;

[0019] [Fig. 3A-B](#) schematische Schnittdarstellungen zur Erläuterung einer ersten Möglichkeit der Herstellung einer Kondensator-Elektrode über der Barrierestruktur;

[0020] [Fig. 4A-D](#) schematische Schnittdarstellungen zur Erläuterung einer zweiten Möglichkeit der Herstellung einer Kondensator-Elektrode über der Barrierestruktur; und

[0021] [Fig. 5A-E](#) schematische Schnittdarstellungen zur Erläuterung der Herstellung einer vergrabenen Barrierestruktur gemäß einem zweiten Ausführungsbeispiel der Erfindung.

[0022] Nach [Fig. 1](#) ist auf einem beispielsweise p-dotierten Si-Halbleitersubstrat **1** mittels üblicher planartechnischer Verfahren (Schichtabscheidung, Schichtstrukturierung unter Verwendung von Lithographie- und Ätztechniken, Schichtdotierung) ein

N-Kanal MOS-Transistor aufgebaut. Ein n^+ -dotiertes Drain-Gebiet **2** ist von einem n^+ -dotierten Source-Gebiet **3** über einen zwischenliegenden Kanal **4** aus Substratmaterial getrennt. Oberhalb des Kanals **4** liegt eine dünne Gate-Oxidschicht **5**. Auf der Gate-Oxidschicht **5** ist eine Gate-Elektrode **6** angebracht.

[0023] Oberhalb des beschriebenen MOS-Transistors **2, 3, 4, 5, 6** ist eine Deckoxidschicht **7** abgelagert, welche ein Kontaktloch **8** umfaßt. Das Kontaktloch **8** ist mit einer elektrischen Anschlußstruktur **9** (sogenannter "Plug") bestehend aus Polysilizium gefüllt.

[0024] Aufbau und Herstellungsweise der gezeigten Struktur sind bekannt. Statt des hier dargestellten MOS-Transistors **2, 3, 4, 5, 6** kann auch ein anderes monolithisches Halbleiter-Funktionselement vorgesehen sein.

[0025] Oberhalb der Deckoxidschicht **7** ist ein Kondensator **10** realisiert.

[0026] Der Kondensator weist eine untere Elektrode **11** (sogenannte "Bottom-Elektrode"), eine obere Elektrode **12** und zwischenliegend ein Hoch- ϵ -Dielektrikum/Ferroelektrikum **13** auf.

[0027] Das Hoch- ϵ -Dielektrikum/Ferroelektrikum **13** kann beispielsweise aus $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ [PZT], $\text{SrBi}_2\text{Ta}_2\text{O}_9$ [SBT], SrTiO_3 [ST] und/oder $(\text{Ba},\text{Sr})\text{TiO}_3$ [BST] oder auch aus anderen neuartigen Perowskit-Materialien bestehen. Es wird üblicherweise durch einen MOD (metal organic deposition), einen MOCVD (metal organic chemical vapour decomposition)-Prozess oder einen Sputter-Prozess abgeschieden.

[0028] Nach dem Abscheiden des Hoch- ϵ -Dielektrikums/Ferroelektrikums **13** muß dieses in einer Sauerstoff-haltigen Atmosphäre bei hohen Temperaturen getempert ("konditioniert") werden. Zur Vermeidung einer unerwünschten Reaktion des Hoch- ϵ -Dielektrikums/Ferroelektrikums **13** mit den Elektroden **11, 12** werden diese aus Pt (oder einem anderen ausreichend temperaturstabilen und inerten Material) gefertigt. Darüber hinaus ist zum Schutz der Anschlußstruktur **9** unterhalb der unteren Pt-Elektrode **11** eine durchgängige Barrierestruktur **14** mit (in [Fig. 1](#) nicht dargestellten) unter der Barrierestruktur **14** angeordneten Kontaktschichten vorgesehen.

[0029] Ein erstes erfindungsgemäßes Ausführungsbeispiel zur Herstellung einer Barrierestruktur verdeutlichen die [Fig. 2A-D](#). Dieselben oder vergleichbare Teile wie in der vorhergehenden Figur sind mit denselben Bezugszeichen gekennzeichnet.

[0030] Über der TEOS-Deckoxidschicht **7** wird eine

erste Kontaktschicht **15.1'**, eine zweite Kontaktschicht **15.2'** und eine Barrierschicht **14'** abgeschieden. Die erste Kontaktschicht **15.1'** kann aus Ti einer Dicke zwischen 5 und 50 nm, vorzugsweise 10 nm, die zweite Kontaktschicht **15.2'** kann aus Ir einer Dicke von 10 bis 250 nm, vorzugsweise etwa 50 nm, und die Barrierschicht **14'** kann aus IrO₂ einer Dicke zwischen 20 und 250 nm, vorzugsweise etwa 100 nm, bestehen. Die Ti- und Ir-Kontaktschichten **15.1'**, **15.2'** dienen zur Ausbildung eines guten elektrischen Kontaktes zur Anschlußstruktur **9** und die IrO₂-Barrierschicht **14'** realisiert das bereits erwähnte Diffusionshindernis.

[0031] Die drei Schichten **15.1'**, **15.2'** und **14'** werden durch Ionenätzen gemeinsam strukturiert. Dabei wird eine Barrierestruktur **14.1** sowie eine Ir-Kontaktschichtstruktur **15.2** und eine Ti-Kontaktschichtstruktur **15.1** gebildet. Die Strukturbreite kann im Sub- μ m-Bereich liegen.

[0032] Gemäß [Fig. 2C](#) wird in einem nächsten Schritt eine Barriere-Einlagerungsschicht **16** abgeschieden. Es kann sich bei dieser beispielsweise um eine TEOS-Oxidschicht handeln. Zur Abscheidung kann ein CVD(chemical vapour deposition)-Verfahren eingesetzt werden. Die Dicke der Barriere-Einlagerungsschicht **16** ist abhängig von der Dicke der zu vergrabenden Barrierestruktur **14.1** und kann zwischen 200 und 1500 nm betragen. Die Barriere-Einlagerungsschicht **16** wird nun mittels CMP zurückpoliert. Der Poliervorgang kann auf der Oberfläche der IrO₂-Barrierestruktur **14.1** gestoppt werden. Bei der CMP-Planarisierung wird eine Oberfläche der Barriere-Einlagerungsschicht **16** und der Barrierestruktur **14.1** von ausgezeichneter Planarität hergestellt.

[0033] Eine erste Möglichkeit zur Realisierung der unteren Kondensator-Elektrode **11** ist in den [Fig. 3A-B](#) dargestellt. Beispielsweise mittels PVD (physical vapour deposition) wird eine Elektroden-schicht **11'** auf die planarisierte Oberfläche der Barriere-Einlagerungsschicht **16** sowie der darin gelagerten Barrierestruktur **14.1** aufgebracht. Die Pt-Elektroden-schicht **11'** kann eine Dicke von 50 nm bis 400 nm aufweisen.

[0034] Durch Ionenätzen wird aus der Pt-Elektroden-schicht **11'** die untere Kondensator-Elektrode **11** herausgebildet (siehe [Fig. 3B](#)).

[0035] Da Pt schlecht auf der TEOS Barriere-Einlagerungsschicht **16** haftet, kann vor der Ablagerung der Pt-Elektroden-schicht **11'** eine dünne (5 bis 50 nm) IrO₂-Schicht (nicht dargestellt) als Haftschicht abgelagert werden.

[0036] Eine zweite Möglichkeit zur Herstellung der unteren Kondensator-Elektrode **11** wird anhand der [Fig. 4A-D](#) erläutert. In diesem Fall wird auf die plana-

risierte Oberfläche der Barriere-Einlagerungsschicht **16** (mit eingelagerter Barrierestruktur **14.1**) eine Elektroden-Einlagerungsschicht **17'** erzeugt. Die Elektroden-Einlagerungsschicht **17'** kann ebenfalls eine TEOS-Schicht sein. Ihre Schichtdicke entspricht der gewünschten Dicke der unteren Kondensator-Elektrode **11**, d.h. beträgt vorzugsweise 50 bis 400 nm.

[0037] Gemäß [Fig. 4B](#) wird die Elektroden-Einlagerungsschicht **17'** durch einen Lithographie- und Ätzschritt strukturiert. Am Boden des dabei erzeugten Elektroden-Strukturierungsloches **18** liegt die Oberseite der Barrierestruktur **14.1** frei.

[0038] In einem nächsten Schritt wird ganzflächig die Pt-Elektroden-schicht mittels eines PVD-, CVD- oder Platinierungsverfahrens abgeschieden. Das Elektroden-Strukturierungsloch **18** wird dabei vollständig mit Elektrodenmaterial (Pt) gefüllt.

[0039] Im folgenden wird die Pt-Elektroden-schicht mittels CMP zurückpoliert. Dabei kann die strukturierte Elektroden-Einlagerungsschicht **17'** als Stoppschicht genutzt werden. Es ergibt sich die in [Fig. 4C](#) gezeigte Anordnung mit fertig strukturierter Kondensator-Elektrode **11**.

[0040] Schließlich wird gemäß [Fig. 4D](#) die strukturierte Elektroden-Einlagerungsschicht **17'** naßchemisch entfernt. Es bleibt die in der beschriebenen Weise hergestellte untere Kondensator-Elektrode **11** zurück.

[0041] In beiden Fällen ([Fig. 3A-B](#) bzw. [Fig. 4A-D](#)) werden dann in nachfolgenden Prozessschritten die Hoch- ϵ -Dielektrikum/Ferroelektrikum-Schicht **13** und die obere Kondensator-Elektrode **12** aufgebracht.

[0042] Ein zweites erfindungsgemäßes Ausführungsbeispiel ist in den [Fig. 5A-E](#) dargestellt. Ausgangspunkt ist wiederum eine planarisierte Deckoxidschicht **7** mit einer Polysilizium-Anschlußstruktur **9**. Gemäß [Fig. 5A](#) wird zunächst die Polysilizium-Anschlußstruktur **9** selektiv zurückgeätzt. Dabei entsteht eine Vertiefung **19**, deren Tiefe etwa 50 bis 100 nm beträgt.

[0043] In einem nächsten Schritt wird eine dünne erste Kontaktschicht (beispielsweise aus Ti, Dicke 5 bis 50 nm) und darüber eine zweite dickere Kontaktschicht (beispielsweise aus Ir, Dicke etwa 50 bis 250 nm) ganzflächig abgeschieden. Die Abscheidung der Kontaktschichten wird so gesteuert, daß die Vertiefung **19** nach der Abscheidung der ersten Kontaktschicht erst zum Teil gefüllt ist und durch die Abscheidung der zweiten Kontaktschicht vollständig aufgefüllt wird. Die beiden Kontaktschichten werden dann mittels CMP zurückpoliert. Als Stoppschicht dient hierbei die Deckoxidschicht **7**. Es entsteht eine ganzflächig plane Oberfläche, wobei oberhalb der redu-

zierten Anschlußstruktur **9** eine topfartige erste Kontaktschicht-Struktur **15.1a** aus Ti und innerhalb derselben eine zweite Kontaktschicht-Struktur **15.2a** aus z.B. Ir realisiert ist.

[0044] Anschließend wird eine Barriere-Einlagerungsschicht erzeugt und gemäß der in [Fig. 5C](#) gezeigten Darstellung, siehe Bezugszeichen **16a**, strukturiert. Die Strukturierung erfolgt durch photolithographische und ätztechnische Prozesse. Der Boden des dabei geschaffenen Barriere-Strukturierungsloches **20** wird zumindest teilweise von den Kontaktschicht-Strukturen **15.1a** und **15.2a** gebildet.

[0045] In einem weiteren Schritt wird eine ganzflächige Schicht **14a'** aus Barrierematerial (z.B. IrO₂) abgeschieden, siehe [Fig. 5D](#).

[0046] Die Barrierschicht **14a'** wird anschließend mittels CMP zurückpoliert, wobei als Stoppschicht die Barriere-Einlagerungsschicht **16a** verwendet werden kann. [Fig. 5E](#) zeigt die planarisierte Barriere-Einlagerungsschicht **16a** mit darin eingelagerter Barrierestruktur **14.1a**.

[0047] Die Abscheidung und Strukturierung der unteren Pt-Kondensator-Elektrode **11** kann wiederum entweder nach der in den [Fig. 3A-B](#) oder der in den [Fig. 4A-D](#) dargestellten Weise durchgeführt werden.

[0048] Bei beiden Ausführungsbeispielen können für die obere Kontaktschichtstruktur **15.2**, **15.2a** neben Ir auch andere Materialien wie z.B. Ru, Pd, Re, Os, Rh, Pt, W, Ta, Hf, La, Mo, Nb und Legierungen derselben eingesetzt werden. Für die untere Kontaktschichtstruktur **15.1**, **15.1a** können neben Ti auch Cr, V, Co, Ni oder deren Silizide verwendet werden. Die Barrierschicht **14'**, **14a'** kann neben IrO₂ auch aus den leitenden Oxiden der für die obere Kontaktschichtstruktur genannten Materialien bestehen. Schließlich sind für die Elektrodenmaterialschicht **11'** neben Pt auch Ir, Ru, Re sowie Legierungen dieser Materialien, ihre Oxide sowie ternäre Oxide vom Typ Strontium-Rutheniumoxid (SrRuO₃) einsetzbar.

[0049] Den Ausführungsbeispielen ist gemeinsam, daß die Anwendung der CMP bei der Herstellung der Barrierestruktur **14.1**, **14.1a** die Prozeßführung vereinfacht und darüber hinaus auch die thermische Stabilität der Barrierestruktur **14.1**, **14.1a** erhöht.

Bezugszeichenliste

1	Halbleitersubstrat
2	Drain-Gebiet
3	Source-Gebiet
4	Kanal
5	Gate-Oxidschicht
6	Gate-Elektrode
7	Deckoxidschicht

8	Kontaktloch
9	Anschlußstruktur
10	Kondensator
11	untere Kondensator-Elektrode
11'	Pt-Elektrodenschicht
12	obere Kondensator-Elektrode
13	Dielektrikum/Ferroelektrikum
14	Barrierestruktur
14', 14a'	Barrierschicht
14.1, 14.1a	Barrierestruktur
15.1	erste Kontaktschichtstruktur
15.2	zweite Kontaktschichtstruktur
15.1a	erste Kontaktschichtstruktur
15.2a	zweite Kontaktschichtstruktur
16, 16a	Barriere-Einlagerungsschicht
17'	Elektroden-Einlagerungsschicht
18	Elektroden-Strukturierungsloch
19	Vertiefung
20a	Barriere-Strukturierungsloch

Patentansprüche

1. Verfahren zur Herstellung einer Kondensator-Elektrode einer Dicke zwischen 50 nm und 400 nm mit darunterliegend angeordneter Barrierestruktur, in welchem

– auf einem Schichtaufbau (**7**; **15.1'**, **15.2'**) über einem Halbleitersubstrat (**1**) eine Barrierschicht (**14'**) abgelagert wird;

– aus der Barrierschicht (**14'**) durch einen lithographischen Masken- und Ätzschritt die Barrierestruktur (**14.1**) herausgebildet wird;

– eine die Barrierestruktur (**14.1**) bedeckende Barriere-Einlagerungsschicht (**16**) abgelagert wird;

– die Barriere-Einlagerungsschicht (**16**) durch CMP abgetragen wird, bis die Barrierestruktur (**14.1**) freiliegt; und

– über der Barrierestruktur (**14.1**) die an ihrer Oberseite freiliegende, strukturierte Kondensator-Elektrode (**11**) gebildet wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Bildung der Kondensator-Elektrode (**11**)

– eine Elektroden-Einlagerungsschicht (**17'**) über der planarisierten Barriere-Einlagerungsschicht (**16**) abgelagert wird;

– durch einen lithographischen Masken- und Ätzschritt ein die Barrierestruktur (**14.1**) freiliegendes Elektroden-Strukturierungsloch (**18**) in der Elektroden-Einlagerungsschicht (**17'**) erzeugt wird;

– eine das Elektroden-Strukturierungsloch (**18**) vollständig auffüllende Schicht aus Elektrodenmaterial innerhalb und umliegend des Elektroden-Strukturierungsloches (**18**) abgelagert wird; und

– die Kondensator-Elektrode (**11**) durch CMP aus der Elektrodenmaterialschicht herausgebildet wird.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Bildung der Kondensator-Elektrode

(11)

– eine Schicht (11') aus Elektrodenmaterial über der planarisierten Barriere-Einlagerungsschicht (16) abgelagert wird; und
 – durch einen lithographischen Masken- und Ätzschritt aus der Elektrodenmaterialschiicht (11') die Kondensator-Elektrode (11) herausgebildet wird.

4. Verfahren zur Herstellung einer Kondensator-Elektrode mit darunterliegend angeordneter Barrierestruktur, in welchem

– auf einem Schichtaufbau (7) über einem Halbleiter-substrat (1) eine Barriere-Einlagerungsschicht (16a) abgelagert wird;
 – durch einen lithographischen Masken- und Ätzschritt ein Barriere-Strukturierungsloch (20a) in der Barriere-Einlagerungsschicht (16a) erzeugt wird;
 – eine in dem Barriere-Strukturierungsloch (20a) bis zu dem darunterliegenden Schichtaufbau (7) reichende Barrierschicht (14a') abgelagert wird;
 – die Barrierestruktur (14.1a) durch CMP-Planarisierung aus der Barrierschicht (14a') herausgebildet wird; und anschließend
 – die Kondensator-Elektrode (11) über der herausgebildeten Barrierestruktur (14.1a) gebildet wird.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet,

– daß bei der Ablagerung der Barrierschicht (14a') das Barriere-Strukturierungsloch (20a) vollständig aufgefüllt wird.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß zur Bildung der Kondensator-Elektrode (11)

– eine Elektroden-Einlagerungsschicht (17') über der planarisierten Barriere-Einlagerungsschicht abgelagert wird;
 – durch einen lithographischen Masken- und Ätzschritt ein die Barrierenstruktur (14.1a) freiliegendes Elektroden-Strukturierungsloch (18) in der Elektroden-Einlagerungsschicht (17') erzeugt wird;
 – eine das Elektroden-Strukturierungsloch (18) vollständig auffüllende Schicht aus Elektrodenmaterial innerhalb und umliegend des Elektroden-Strukturierungsloches (18) erzeugt wird; und
 – die Kondensator-Elektrode (11) durch CMP aus der Elektrodenmaterialschiicht herausgebildet wird.

7. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß zur Bildung der Kondensator-Elektrode (11)

– eine Schicht (11') aus Elektrodenmaterial über der planarisierten Barriere-Einlagerungsschicht (16a) abgelagert wird; und
 – durch einen lithographischen Masken- und Ätzschritt aus der Elektrodenmaterialschiicht (11') die Kondensator-Elektrode (11) herausgebildet wird.

8. Verfahren nach einem der vorhergehenden

Ansprüche, dadurch gekennzeichnet,

– daß aus einer zwei Kontaktschichten enthaltenden Schichtfolge eine unterhalb der Barrierestruktur (14.1, 14.1a) angeordnete Kontaktschichtstruktur (15.1, 15.1a; 15.2, 15.2a) gebildet wird.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet,

– daß die obere Schicht (15.2, 15.2a) der Kontaktschichtstruktur (15.1, 15.1a; 15.2, 15.2a) aus Ir und/oder die untere Schicht (15.1, 15.1a) der Kontaktschichtstruktur (15.1, 15.1a; 15.2, 15.2a) aus Ti besteht.

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,

– daß die Barrierschicht (14', 14a') aus IrO₂ besteht.

11. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,

– daß die Elektrodenmaterialschiicht (11') aus Pt besteht.

Es folgen 5 Blatt Zeichnungen

Stand der Technik

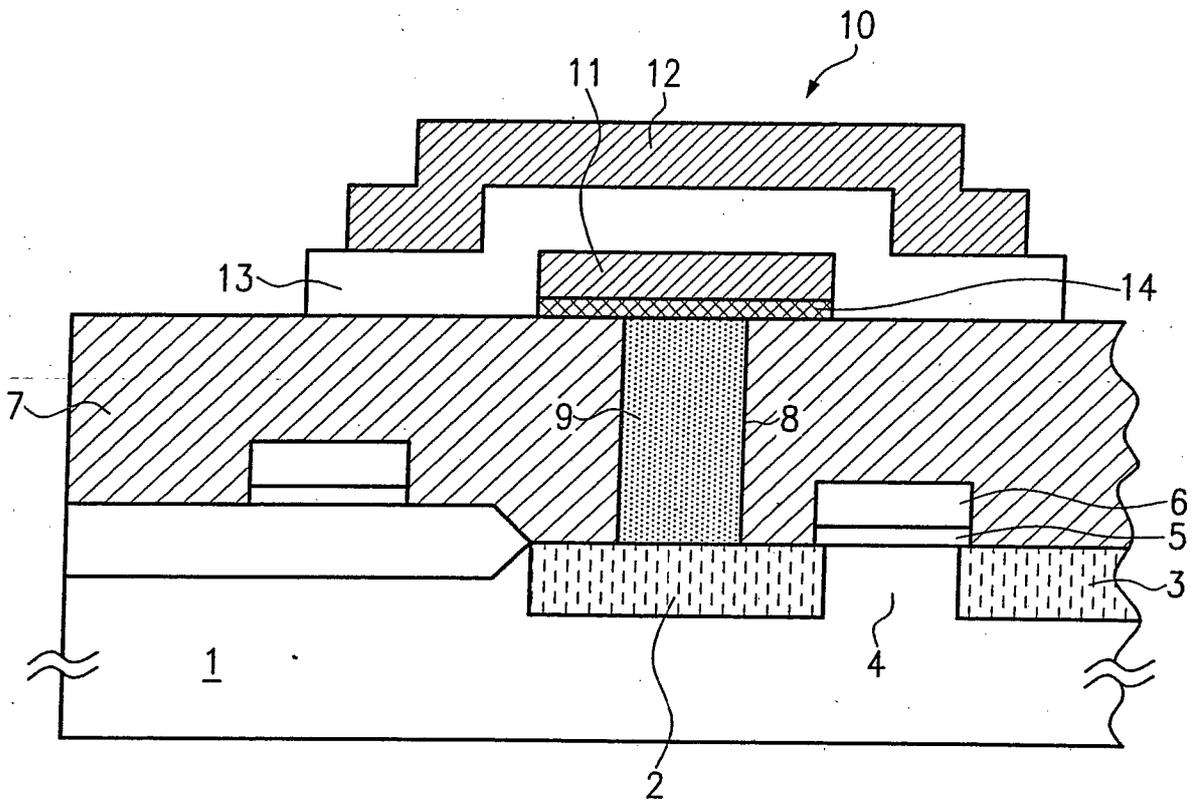


Fig.1

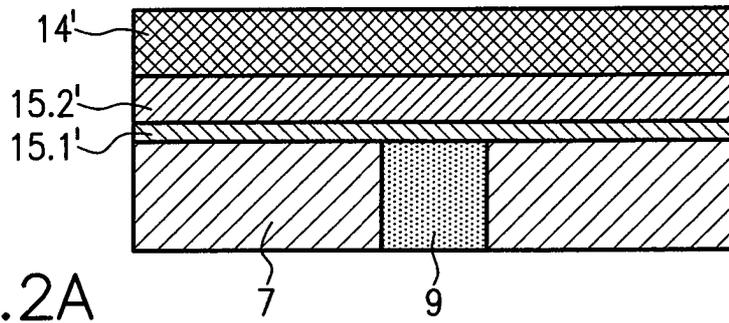


Fig. 2A

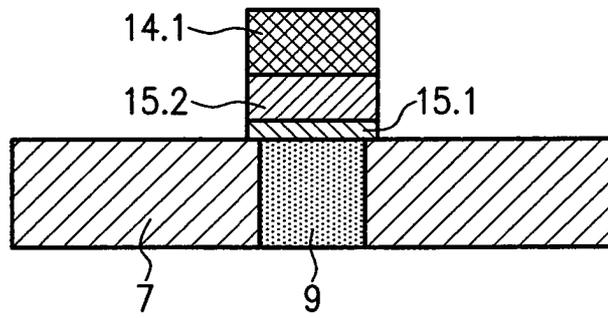


Fig. 2B

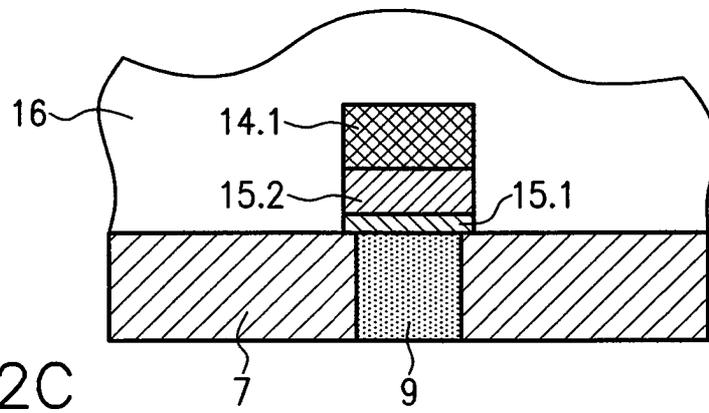


Fig. 2C

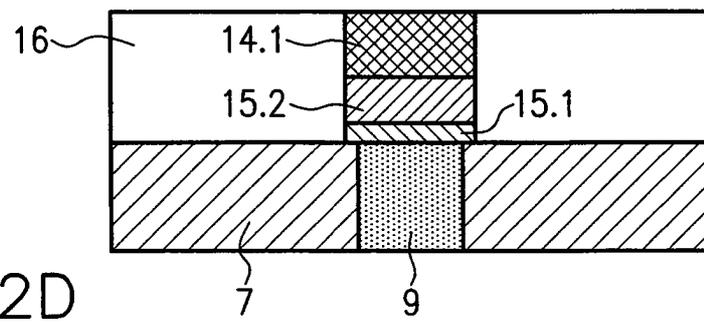


Fig. 2D

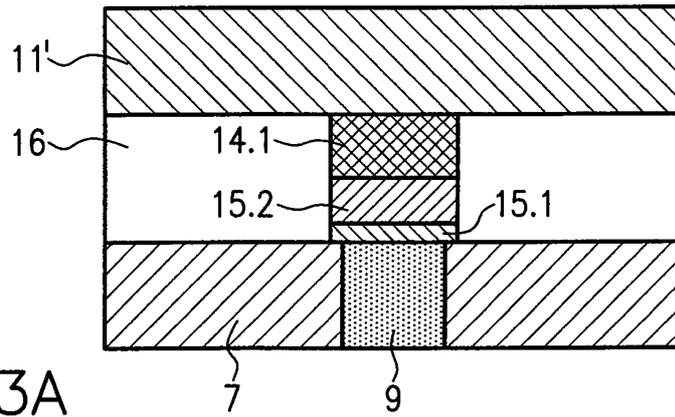


Fig.3A

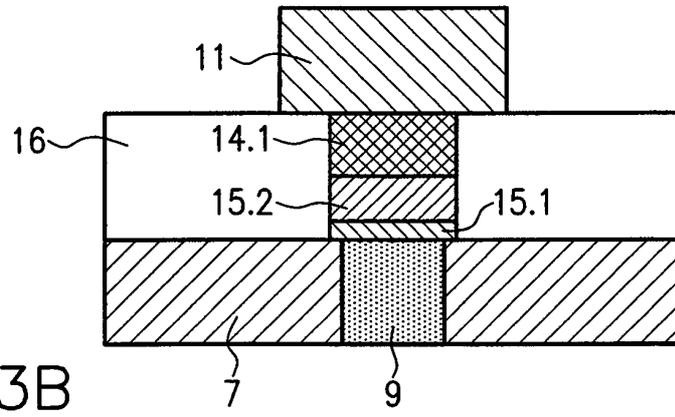


Fig.3B

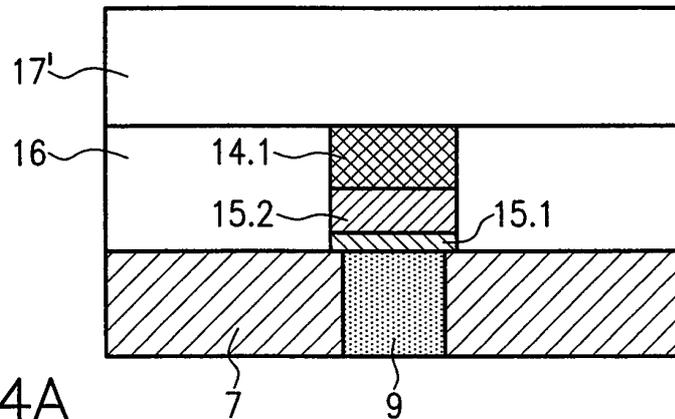


Fig.4A

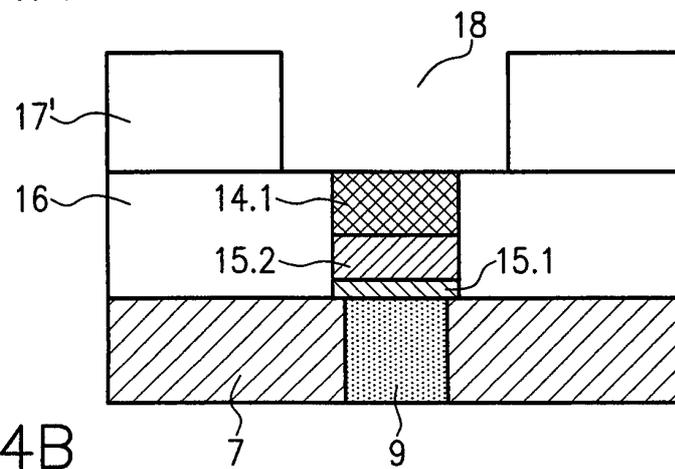


Fig.4B

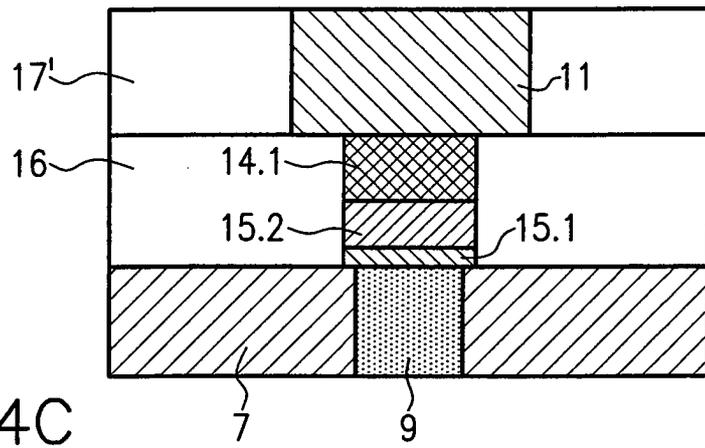


Fig. 4C

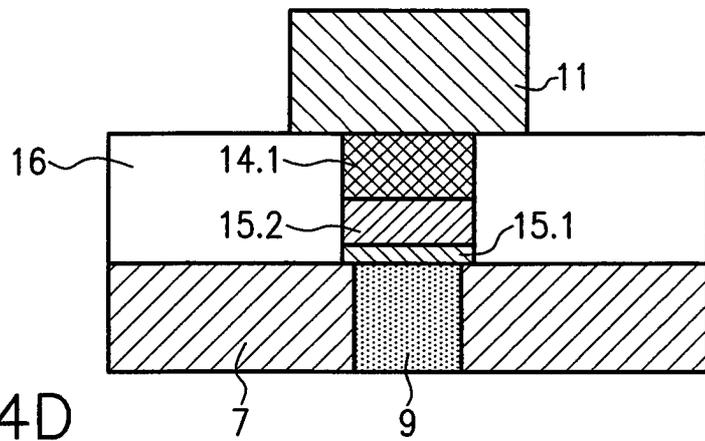


Fig. 4D

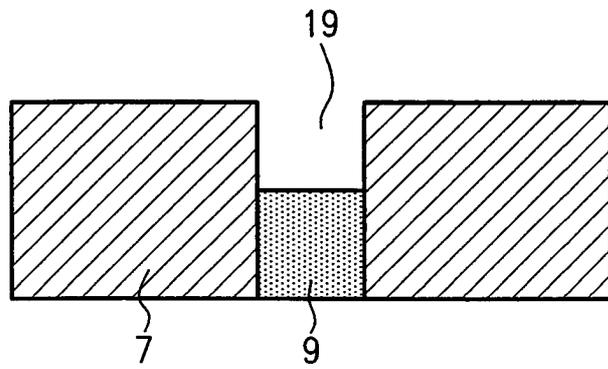


Fig. 5A

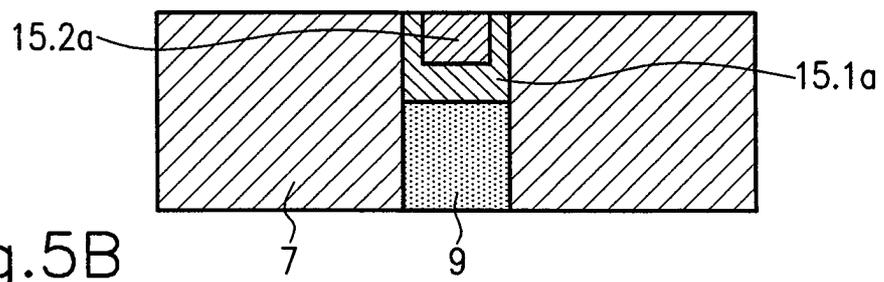


Fig. 5B

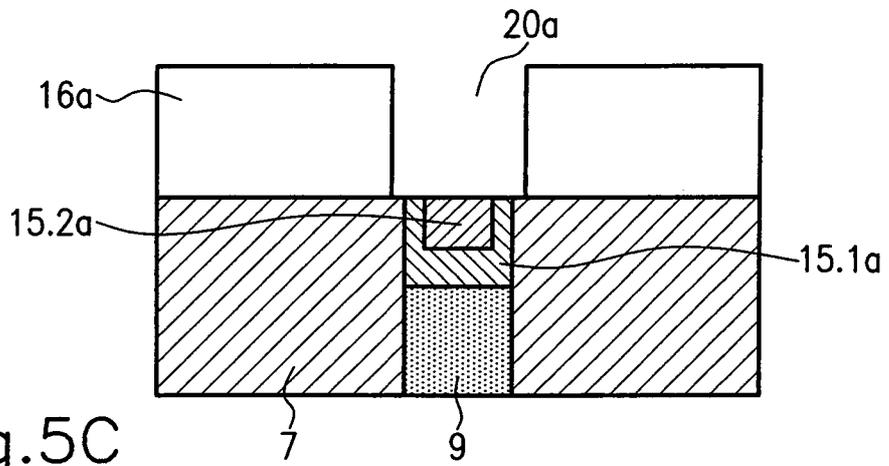


Fig. 5C

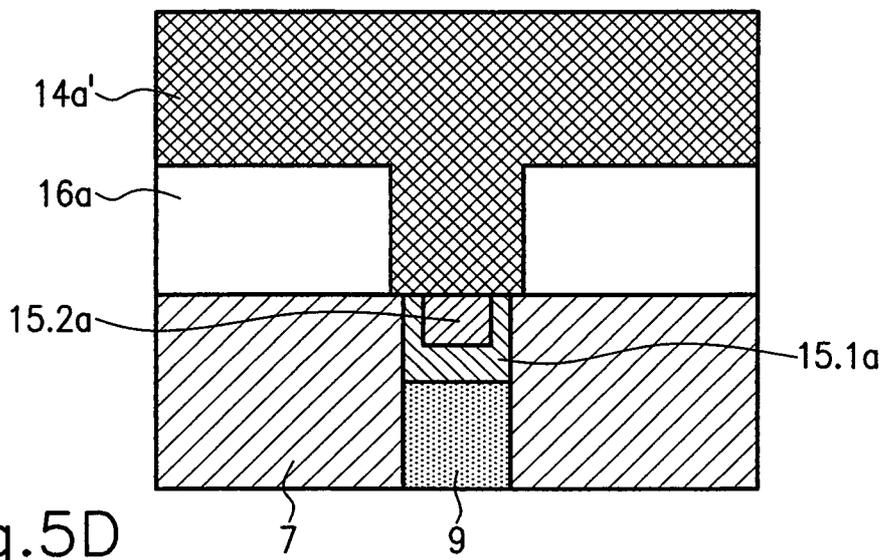


Fig. 5D

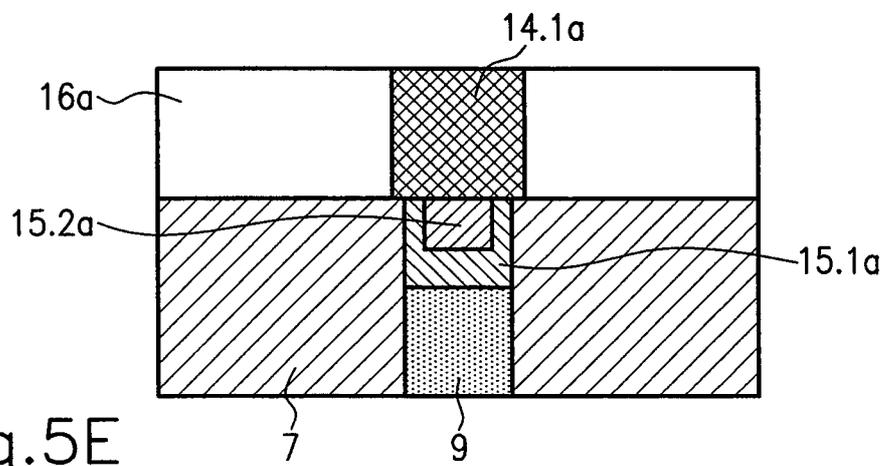


Fig. 5E