

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6117138号
(P6117138)

(45) 発行日 平成29年4月19日(2017.4.19)

(24) 登録日 平成29年3月31日(2017.3.31)

(51) Int. Cl.	F I
G06F 3/041 (2006.01)	G06F 3/041 410
G06F 3/044 (2006.01)	G06F 3/041 512
G09G 3/36 (2006.01)	G06F 3/041 522
G09G 3/20 (2006.01)	G06F 3/044 Z
G02F 1/1368 (2006.01)	G06F 3/041 470
請求項の数 7 (全 17 頁) 最終頁に続く	

(21) 出願番号 特願2014-58134 (P2014-58134)
 (22) 出願日 平成26年3月20日(2014.3.20)
 (65) 公開番号 特開2015-184741 (P2015-184741A)
 (43) 公開日 平成27年10月22日(2015.10.22)
 審査請求日 平成28年4月4日(2016.4.4)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100087653
 弁理士 鈴江 正二
 (72) 発明者 倉澤 隼人
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内

最終頁に続く

(54) 【発明の名称】 センサ付き表示装置

(57) 【特許請求の範囲】

【請求項1】

画像を表示する表示領域に配置された共通電極及び画素電極と、前記表示領域の端部に配置されたシールド電極と、前記共通電極と対向する検出電極と、前記表示領域の外側の非表示領域に配置されるとともに前記検出電極と電気的に接続され前記検出電極からのセンサ出力値を出力するリード線と、を備えた表示パネルと、

前記共通電極に対して、前記画素電極を用いて画像を表示する表示駆動時にコモン駆動信号を供給し、前記検出電極を用いてセンシングを行うセンシング駆動時にセンサ駆動信号を供給する第1駆動回路と、

前記シールド電極に対して、前記表示駆動時に前記コモン駆動信号を供給し、前記センシング駆動時に前記センサ駆動信号とは異なる電位に維持する第2駆動回路と、
 を備えたセンサ付き表示装置。

【請求項2】

前記第2駆動回路は、前記センシング駆動時に前記シールド電極を接地電位に維持する、請求項1に記載のセンサ付き表示装置。

【請求項3】

前記第2駆動回路は、前記センシング駆動時に前記シールド電極を電気的にフローティング状態に切り替える、請求項1に記載のセンサ付き表示装置。

【請求項4】

前記表示パネルは、間隔をおいて対向配置された第1基板及び第2基板を備え、

前記共通電極、前記画素電極、及び、前記シールド電極は、前記第1基板の前記第2基板と対向する内面側に位置し、

前記検出電極及び前記リード線は、前記第2基板の前記第1基板と対向する側とは反対の外面側に位置する、請求項1に記載のセンサ付き表示装置。

【請求項5】

前記共通電極は、第1方向に間隔をおいて並び第1方向に交差する第2方向にそれぞれ延出した第1分割電極及び第2分割電極を含み、前記第2分割電極が前記第1分割電極よりも前記表示領域の端部側に位置し、

前記シールド電極は、第2方向に延出し、前記表示領域と前記非表示領域との境界と、前記第2分割電極との間に設けられている、請求項1に記載のセンサ付き表示装置。

10

【請求項6】

前記第1分割電極は第1方向に第1電極幅を有し、前記第2分割電極は第1方向に前記第1電極幅よりも小さい第2電極幅を有する、請求項5に記載のセンサ付き表示装置。

【請求項7】

前記シールド電極は第1方向に第3電極幅を有し、前記第2電極幅と前記第3電極幅の和が前記第1電極幅と同等であり、前記第3電極幅は前記第1電極幅の半分以下である、請求項6に記載のセンサ付き表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、センサ付き表示装置に関する。

20

【背景技術】

【0002】

近年、物体の接触あるいは接近を検出するセンサ（あるいは、タッチパネルと称される場合もある）を備えたセンサ付き表示装置が実用化されている。センサの一例として、静電容量の変化に基づいて物体の接触あるいは接近を検出する静電容量型センサがある。このようなセンサを構成する検出電極及びセンサ駆動電極は、画像を表示する表示領域に配置され、誘電体を介して対向している。検出電極は、表示領域の外側に位置するリード線と電気的に接続されている。

【0003】

表示領域が拡大する一方で表示装置の小型化への要求が高まっており、表示領域よりも外側の周辺は狭額縁化する傾向にある。このため、センサ駆動電極とリード線とが接近して配置されることがある。この場合、センサ駆動電極とリード線との間の容量結合によって、リード線がセンサの如く機能してしまう。例えば、表示領域の最外周付近に被検出物が接触あるいは接近した場合に、当該リード線での静電容量の変化が検出されてしまう。このため、本来被検出物を検出すべき位置の検出電極とは異なる位置で、当該リード線に接続された検出電極があたかも被検出物を検出したかの如く、誤動作してしまう。

30

【0004】

そこで、センサ駆動電極と外周配線（リード線）との間の表示領域外に、接地された導電体素材を設け、センサ駆動電極と外周配線との容量結合を遮る技術が提案されている。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2012-208749号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本実施形態の目的は、センサの誤動作を抑制することが可能なセンサ付き表示装置を提供することにある。

【課題を解決するための手段】

50

【0007】

本実施形態によれば、

画像を表示する表示領域に配置された共通電極及び画素電極と、前記表示領域の端部に配置されたシールド電極と、前記共通電極と対向する検出電極と、前記表示領域の外側の非表示領域に配置されるとともに前記検出電極と電氣的に接続され前記検出電極からのセンサ出力値を出力するリード線と、を備えた表示パネルと、前記共通電極に対して、前記画素電極を用いて画像を表示する表示駆動時にコモン駆動信号を供給し、前記検出信号によってセンシングを行うセンシング駆動時にセンサ駆動信号を供給する第1駆動回路と、前記シールド電極に対して、前記表示駆動時に前記コモン駆動信号を供給し、前記センシング駆動時に前記センサ駆動信号とは異なる電位に維持する第2駆動回路と、を備えたセンサ付き表示装置が提供される。

10

【図面の簡単な説明】

【0008】

【図1】図1は、本実施形態に係るセンサ付き表示装置の構成を概略的に示す斜視図である。

【図2】図2は、図1に示した液晶表示装置DSPの基本構成及び等価回路を概略的に示す図である。

【図3】図3は、図2に示した画素PXを示す等価回路図である。

【図4】図4は、液晶表示装置DSPの一部の構造を概略的に示す断面図である。

【図5】図5は、本実施形態におけるセンサSEの構成を概略的に示す平面図である。

20

【図6】図6は、図5に示したセンサSEの一部を拡大して概略的に示す平面図である。

【図7】図7は、図6に示したセンサSEの一部を含む液晶表示パネルPNLの構造を概略的に示す断面図である。

【図8】図8は、センシング方法の一例の原理を説明するための図である。

【図9】図9は、配線ノイズ量及びタッチシグナルを測定する実験の実験結果を示す図である。

【図10】図10は、本実施形態におけるセンサSEの他の構成を概略的に示す平面図である。

【発明を実施するための形態】

【0009】

30

以下、本実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

【0010】

図1は、本実施形態に係るセンサ付き表示装置の構成を概略的に示す斜視図である。なお、本実施形態においては、表示装置が液晶表示装置である場合について説明するが、これに限らず、有機エレクトロルミネッセンス表示装置等の自発光型表示装置、あるいは電気泳動素子等を有する電子ペーパー型表示装置等、あらゆるフラットパネル型の表示装置であっても良い。

40

【0011】

液晶表示装置DSPは、アクティブマトリクス型の液晶表示パネルPNL、液晶表示パネルPNLを駆動する駆動ICチップIC1、静電容量型のセンサSE、センサSEを駆動する駆動ICチップIC2、液晶表示パネルPNLを照明するバックライトユニットBL、制御モジュールCM、フレキシブル配線基板FPC1、FPC2、FPC3などを備えている。

50

【 0 0 1 2 】

液晶表示パネル PNL は、平板状の第 1 基板 SUB 1 と、第 1 基板 SUB 1 に対向配置された平板状の第 2 基板 SUB 2 と、第 1 基板 SUB 1 と第 2 基板 SUB 2 との間に挟持された液晶層（後述する液晶層 LQ）と、を備えている。なお、本実施形態において、第 1 基板 SUB 1 をアレイ基板と、第 2 基板 SUB 2 を対向基板と、それぞれ言い換えることができる。液晶表示パネル PNL は、画像を表示する表示領域（アクティブエリア）DA を備えている。この液晶表示パネル PNL は、バックライトユニット BL からのバックライト光を選択的に透過することで画像を表示する透過表示機能を備えた透過型である。なお、液晶表示パネル PNL は、透過表示機能に加えて、外光を選択的に反射することで画像を表示する反射表示機能を備えた半透過型であってもよい。

10

【 0 0 1 3 】

バックライトユニット BL は、第 1 基板 SUB 1 の背面側に配置されている。このようなバックライトユニット BL としては、種々の形態が適用可能であり、また、光源として発光ダイオード（LED）を利用したものや冷陰極管（CCFL）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。なお、液晶表示パネル PNL が反射表示機能のみを備えた反射型である場合には、バックライトユニット BL は省略される。

【 0 0 1 4 】

センサ SE は、複数の検出電極 Rx を備えている。これらの検出電極 Rx は、例えば液晶表示パネル PNL の表示面上に設けられている。図示した例では、各検出電極 Rx は、概ね第 1 方向 X に延出し、第 2 方向 Y に並んでいる。なお、各検出電極 Rx は、第 2 方向 Y に延出し第 1 方向 X に並んでいても良いし、島状に形成され第 1 方向 X 及び第 2 方向 Y にマトリクス状に配置されていてもよい。ここでは、第 1 方向 X 及び第 2 方向 Y は、互いに直交している。第 3 方向 Z は、第 1 方向 X 及び第 2 方向 Y のそれぞれと互いに直交している。

20

【 0 0 1 5 】

駆動 IC チップ IC 1 は、液晶表示パネル PNL の第 1 基板 SUB 1 上に搭載されている。フレキシブル配線基板 FPC 1 は、液晶表示パネル PNL と制御モジュール CM とを接続している。フレキシブル配線基板 FPC 2 は、センサ SE の検出電極 Rx と制御モジュール CM とを接続している。駆動 IC チップ IC 2 は、フレキシブル配線基板 FPC 2 上に搭載されている。フレキシブル配線基板 FPC 3 は、バックライトユニット BL と制御モジュール CM とを接続している。ここで、制御モジュール CM をアプリケーションプロセッサと言い換えることができる。

30

駆動 IC チップ IC 1 及び駆動 IC チップ IC 2 は、フレキシブル配線基板 FPC 2 等を介して接続されている。例えば、フレキシブル配線基板 FPC 2 が第 1 基板 SUB 1 上に接続された分岐部 FPCB を有している場合、駆動 IC チップ IC 1 及び駆動 IC チップ IC 2 は、上記分岐部 FPCB に含まれる配線及び第 1 基板 SUB 1 上の配線を介して接続されていてもよい。また、駆動 IC チップ IC 1 及び駆動 IC チップ IC 2 は、フレキシブル配線基板 FPC 1 及びフレキシブル配線基板 FPC 2 のそれぞれに含まれる配線を介して接続されていてもよい。駆動 IC チップ IC 2 は、センサ SE の駆動時期を知らせるタイミング信号を駆動 IC チップ IC 1 に与えることができる。又は、駆動 IC チップ IC 1 は、後述する共通電極 CE の駆動時期を知らせるタイミング信号を駆動 IC チップ IC 2 に与えることができる。又は、制御モジュール CM は、駆動 IC チップ IC 1 及び IC 2 にタイミング信号を与えることができる。上記タイミング信号により、駆動 IC チップ IC 1 の駆動と、駆動 IC チップ IC 2 の駆動との同期化を図ることができる。

40

【 0 0 1 6 】

図 2 は、図 1 に示した液晶表示装置 DSP の基本構成及び等価回路を概略的に示す図である。

【 0 0 1 7 】

液晶表示装置 DSP は、液晶表示パネル PNL などに加えて、表示領域 DA の外側の非

50

表示領域 N D A において、ソース線駆動回路 S D、ゲート線駆動回路 G D、共通電極駆動回路 C D などを備えている。一例では、ソース線駆動回路 S D 及び共通電極駆動回路 C D の少なくとも一部は、駆動 I C チップ I C 1 に内蔵されている。なお、非表示領域 N D A は、表示領域 D A を囲む額縁状に形成されている。

【 0 0 1 8 】

液晶表示パネル P N L は、表示領域 D A において、複数の画素 P X を備えている。複数の画素 P X は、第 1 方向 X 及び第 2 方向 Y にマトリクス状に設けられ、 $m \times n$ 個配置されている（但し、 m 及び n は正の整数である）。また、液晶表示パネル P N L は、表示領域 D A において、 n 本のゲート線 G (G 1 ~ G n)、 m 本のソース線 S (S 1 ~ S m)、共通電極 C E などを備えている。

10

【 0 0 1 9 】

ゲート線 G は、第 1 方向 X に略直線的に延出し、表示領域 D A の外側に引き出され、ゲート線駆動回路 G D に接続されている。また、ゲート線 G は、第 2 方向 Y に間隔を置いて並べられている。ソース線 S は、第 2 方向 Y に略直線的に延出し、表示領域 D A の外側に引き出され、ソース線駆動回路 S D に接続されている。また、ソース線 S は、第 1 方向 X に間隔を置いて並べられ、ゲート線 G と交差している。なお、ゲート線 G 及びソース線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。共通電極 C E は、表示領域 D A の外側に引き出され、共通電極駆動回路 C D に接続されている。この共通電極 C E は、複数の画素 P X で共用されている。共通電極 C E の詳細については後述する。

20

【 0 0 2 0 】

図 3 は、図 2 に示した画素 P X を示す等価回路図である。

【 0 0 2 1 】

各画素 P X は、画素スイッチング素子 P S W、画素電極 P E、共通電極 C E、液晶層 L Q などを備えている。画素スイッチング素子 P S W は、例えば薄膜トランジスタで形成されている。画素スイッチング素子 P S W は、ゲート線 G 及びソース線 S と電気的に接続されている。画素スイッチング素子 P S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、画素スイッチング素子 P S W の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンや酸化物半導体などによって形成されていても良い。画素電極 P E は、画素スイッチング素子 P S W に電気的に接続されている。画素電極 P E は、共通電極 C E と対向している。共通電極 C E、絶縁膜及び画素電極 P E は、保持容量 C S を形成している。

30

【 0 0 2 2 】

図 4 は、液晶表示装置 D S P の一部の構造を概略的に示す断面図である。

【 0 0 2 3 】

すなわち、液晶表示装置 D S P は、上述した液晶表示パネル P N L 及びバックライトユニット B L に加えて、第 1 光学素子 O D 1 及び第 2 光学素子 O D 2 等も備えている。なお、図示した液晶表示パネル P N L は、表示モードとして F F S (F r i n g e F i e l d S w i t c h i n g) モードに対応した構成を有しているが、I P S (I n - P l a n e S w i t c h i n g) モード、T N (T w i s t e d N e m a t i c) モード、O C B (O p t i c a l l y C o m p e n s a t e d B e n d) モード、V A (V e r t i c a l A l i g n e d) モード等の他の表示モードに対応した構成を有していても良い。F F S モードや I P S モードは、主として基板主面に略平行な横電界を利用する表示モードである。横電界を利用する表示モードでは、例えば第 1 基板 S U B 1 に画素電極 P E 及び共通電極 C E の双方が備えられた構成が適用可能である。T N モード、O C B モード、V A モードは、主として基板主面に略垂直な縦電界を利用する表示モードである。縦電界を利用する表示モードでは、例えば第 1 基板 S U B 1 に画素電極 P E が備えられ、第 2 基板 S U B 2 に共通電極 C E が備えられた構成が適用可能である。なお、ここでの基板主面とは、互いに直交する第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面と平行な面である。

40

50

【0024】

液晶表示パネルPNLは、第1基板SUB1、第2基板SUB2、及び、液晶層LQを備えている。第1基板SUB1と第2基板SUB2とは所定の間隙を形成した状態で貼り合わされている。液晶層LQは、第1基板SUB1と第2基板SUB2との間隙に封入されている。

【0025】

第1基板SUB1は、ガラス基板や樹脂基板などの光透過性を有する第1絶縁基板10を用いて形成されている。第1基板SUB1は、第1絶縁基板10の第2基板SUB2に対向する側に、ソース線S、共通電極CE、画素電極PE、第1絶縁膜11、第2絶縁膜12、第3絶縁膜13、第1配向膜AL1などを備えている。

10

【0026】

第1絶縁膜11は、第1絶縁基板10の上に配置されている。なお、詳述しないが、本実施形態では、例えばトップゲート構造の画素スイッチング素子が適用されている。このような実施形態では、第1絶縁膜11は、第3方向Zに積層された複数の絶縁層を含んでいる。例えば、第1絶縁膜11は、第1絶縁基板10と画素スイッチング素子の半導体層との間に介在するアンダーコート層、半導体層とゲート電極との間に介在するゲート絶縁層、ゲート電極とソース・ドレイン電極との間に介在する層間絶縁層などの各種絶縁層を含んでいる。ゲート配線は、ゲート電極と同様に、ゲート絶縁層と層間絶縁層との間に配置されている。ソース線Sは、第1絶縁膜11の上に形成されている。また、画素スイッチング素子のソース・ドレイン電極なども第1絶縁膜11の上に形成されている。図示した例では、ソース線Sは、第2方向Yに延出している。

20

【0027】

第2絶縁膜12は、ソース線S及び第1絶縁膜11の上に配置されている。共通電極CEは、第2絶縁膜12の上に形成されている。このような共通電極CEは、インジウム・ティン・オキサイド(ITO)やインジウム・ジnk・オキサイド(IZO)などの透明な導電材料によって形成されている。なお、図示した例では、共通電極CEの上に金属層MLが形成され、共通電極CEを低抵抗化しているが、金属層MLは省略してもよい。

【0028】

第3絶縁膜13は、共通電極CE及び第2絶縁膜12の上に配置されている。画素電極PEは、第3絶縁膜13の上に形成されている。各画素電極PEは、隣接するソース線Sの間にそれぞれ位置し、共通電極CEと対向している。また、各画素電極PEは、共通電極CEと対向する位置にスリットSLを有している。このような画素電極PEは、例えば、ITOやIZOなどの透明な導電材料によって形成されている。第1配向膜AL1は、画素電極PE及び第3絶縁膜13を覆っている。

30

【0029】

一方、第2基板SUB2は、ガラス基板や樹脂基板などの光透過性を有する第2絶縁基板20を用いて形成されている。第2基板SUB2は、第2絶縁基板20の第1基板SUB1に対向する側に、ブラックマトリクスBM、カラーフィルタCFR、CFG、CFB、オーバーコート層OC、第2配向膜AL2などを備えている。

【0030】

ブラックマトリクスBMは、第2絶縁基板20の内面に形成され、各画素を区画している。カラーフィルタCFR、CFG、CFBは、それぞれ第2絶縁基板20の内面に形成され、それらの一部がブラックマトリクスBMに重なっている。カラーフィルタCFRは、赤色画素に配置された赤色カラーフィルタであり、赤色の樹脂材料によって形成されている。カラーフィルタCFGは、緑色画素に配置された緑色カラーフィルタであり、緑色の樹脂材料によって形成されている。カラーフィルタCFBは、青色画素に配置された青色カラーフィルタであり、青色の樹脂材料によって形成されている。図示した例は、カラー画像を構成する最小単位である単位画素が赤色画素、緑色画素、及び、青色画素の3個の色画素によって構成された場合に相当する。但し、単位画素は、上記の3個の色画素の組み合わせによるものに限らない。例えば、単位画素は、赤色画素、緑色画素、青色画素

40

50

に加えて、白色画素の4個の色画素によって構成されても良い。この場合、白色あるいは透明のカラーフィルタが白色画素に配置されても良いし、白色画素のカラーフィルタそのものを省略しても良い。オーバーコート層OCは、カラーフィルタCFR、CFG、CFBを覆っている。オーバーコート層OCは、透明な樹脂材料によって形成されている。第2配向膜AL2は、オーバーコート層OCを覆っている。

【0031】

検出電極Rxは、第2絶縁基板20の外面ES側に形成されている。図示した例では、検出電極Rxは、第2絶縁基板20の外面ESに接しているが、外面ESから離間していても良い。検出電極Rxが外面ESから離間している構成では、外面ESと検出電極Rxとの間に絶縁部材が介在している。この検出電極Rxの詳細な構造については後述する。また、ここでは、簡略化して図示しており、後述するリード線Lの図示を省略している。このような検出電極Rxは、例えば、後述するアルミニウムなどの金属材料によって形成されている。なお、検出電極Rxは、ITOやIZOなどの透明な導電材料によって形成されていてもよく、さらには、金属材料（例えば、微細な金属線）と透明な導電材料（例えば、帯状の導電層）との組合せ（集合体）によって形成されていてもよい。各検出電極Rxは、第3絶縁膜13、第1配向膜AL1、液晶層LQ、第2配向膜AL2、オーバーコート層OC、カラーフィルタCFR、CFG、CFB、第2絶縁基板20といった誘電体を介して共通電極CEと対向している。

10

【0032】

第1光学素子OD1は、第1絶縁基板10とバックライトユニットBLとの間に配置されている。第2光学素子OD2は、検出電極Rxの上方に配置されている。第1光学素子OD1及び第2光学素子OD2は、それぞれ少なくとも偏光板を含んでおり、必要に応じて位相差板を含んでいても良い。第1光学素子OD1に含まれる偏光板及び第2光学素子OD2に含まれる偏光板は、例えば、それぞれの吸収軸が直交するクロスニコルの位置関係となるように配置される。

20

【0033】

次に、本実施形態の液晶表示装置DSPに搭載される静電容量型のセンサSEについて説明する。

【0034】

図5は、本実施形態におけるセンサSEの構成を概略的に示す平面図である。本実施形態では、センサSEは、第1基板SUB1の共通電極CE及び第2基板SUB2の検出電極Rxを備えている。つまり、共通電極CEは、表示用の電極として機能するとともに、センサ駆動電極として機能する。

30

【0035】

すなわち、液晶表示パネルPNLは、上記の共通電極CE及び検出電極Rxに加えて、さらにシールド電極SLE及びリード線Lを備えている。共通電極CE及び検出電極Rxは、表示領域DAに配置されている。図示した例では、共通電極CEは、表示領域DAにおいて、それぞれ第1方向Xに間隔を置いて並び、第2方向Yに略直線的に延出した複数の分割電極Cを備えている。検出電極Rxは、表示領域DAにおいて、それぞれ第2方向Yに間隔を置いて並び、第1方向Xに略直線的に延出している。つまり、ここでは、検出電極Rxは、分割電極Cと交差する方向に延出している。これらの共通電極CE及び検出電極Rxは、上記の通り、各種誘電体を挟んで対向している。

40

【0036】

なお、分割電極Cの個数やサイズ、形状は特に限定されるものではなく種々変更可能である。また、共通電極CEは、後述する例のように、第2方向Yに間隔を置いて並び、第1方向Xに略直線的に延出していても良い。さらには、共通電極CEは、分割されることなく、表示領域DAにおいて連続的に形成された単個の平板電極であっても良い。

【0037】

シールド電極SLEは、表示領域DAの端部に配置されている。図示した例では、シールド電極SLEは、表示領域DAにおける第1方向Xに沿った両端部（図面の左側端部及

50

び右側端部)にそれぞれ配置されている。シールド電極SLEは、それぞれ第2方向Yに略直線的に延出し、分割電極Cと間隔をおいて並んでいる。このようなシールド電極SLEは、例えば、共通電極CEと同様に、第1基板SUB1に配置されている。

【0038】

リード線Lは、非表示領域NDAに配置され、検出電極Rxと一対一で電氣的に接続されている。リード線Lの各々は、検出電極Rxからのセンサ出力値を出力する。図示した例では、リード線Lは、表示領域DAを挟んで非表示領域NDAの両側にそれぞれ配置されている。例えば、第2方向Yに並んだ検出電極Rxのうち、奇数番目の検出電極Rxに接続されたリード線Lは図面の左側の非表示領域NDAに配置され、また、偶数番目の検出電極Rxに接続されたリード線Lは図面の右側の非表示領域NDAに配置されている。このようなリード線Lのレイアウトは、非表示領域NDAの両側の幅の均一化、及び、狭額縁化に対応したものである。このようなリード線Lは、例えば、検出電極Rxと同様に、第2基板SUB2に配置されている。

10

なお、リード線Lは、表示領域上にY方向に並ぶ複数の検出電極Rxに対し、上半分の複数の検出電極Rxに対応するリード線Lを非表示領域NDAの一方の端部に配置し、下半分の複数の検出電極Rxに対応するリード線Lを非表示領域NDAの他方の端部に配置する構成を採用することも可能である。

【0039】

液晶表示装置DSPは、さらに、非表示領域NDAに配置された共通電極駆動回路(第1駆動回路)CD及びシールド電極駆動回路(第2駆動回路)SLDを備えている。一例では、共通電極駆動回路CD及びシールド電極駆動回路SLDの少なくとも一部は、駆動ICチップIC1に内蔵されているが、この例に限らず、共通電極駆動回路CDまたはシールド電極駆動回路SLDのみが駆動ICチップIC1に内蔵されていても良いし、共通電極駆動回路CD及びシールド電極駆動回路SLDの双方が駆動ICチップIC1の外部に設けられても良い。分割電極Cのそれぞれは、共通電極駆動回路CDに電氣的に接続されている。シールド電極SLEのそれぞれは、シールド電極駆動回路SLDに電氣的に接続されている。共通電極駆動回路CDは、共通電極CEに対して、画像を表示する表示駆動時にコモン駆動信号を供給し、センシングを行うセンシング駆動時にセンサ駆動信号を供給する。シールド電極駆動回路SLDは、シールド電極SLEに対して、表示駆動時にコモン駆動信号を供給し、センシング駆動時にセンサ駆動信号とは異なる電位に維持する。例えば、シールド電極駆動回路SLDは、センシング駆動時にシールド電極SLEを接地電位に維持する。あるいは、シールド電極駆動回路SLDは、センシング駆動時にシールド電極SLEを電氣的にフローティング状態に切り替える。あるいは、シールド電極駆動回路SLDは、センシング駆動時にシールド電極SLEに対してコモン駆動信号を供給する。なお、シールド電極駆動回路SLDは、上記の例以外にも、センシング駆動時にシールド電極SLEが所望電位となるように駆動しても良い。

20

30

【0040】

フレキシブル配線基板FPC2は、第2基板SUB2に接続され、リード線Lの各々と電氣的に接続されている。検出回路RCは、例えば、駆動ICチップIC2に内蔵されている。この検出回路RCは、検出電極Rxからのセンサ出力値に基づいて、液晶表示装置DSPへの被検出物の接触あるいは接近を検出する。さらに、検出回路RCは、被検出物が接触あるいは接近した箇所の位置情報を検出することも可能である。なお、検出回路RCは、制御モジュールCMに備えられていても良い。

40

【0041】

図6は、図5に示したセンサSEの一部を拡大して概略的に示す平面図である。

【0042】

非表示領域NDAには、周辺遮光層LSが配置されている。この周辺遮光層LSは、非表示領域NDAの略全域に亘って延在している。共通電極CEに含まれる分割電極C1及びC2は、表示領域DAにおいて、第1方向Xにこの順に並んでいる。分割電極C2は、分割電極C1よりも表示領域DAの端部側に位置している。シールド電極SLEは、分割

50

電極 C 2 に並び、表示領域 D A の端部に配置されている。より具体的には、シールド電極 S L E は、表示領域 D A と非表示領域 N D A との境界 B と、分割電極 C 2 との間に設けられている。ここでは、表示領域 D A と非表示領域 N D A との境界 B は、周辺遮光層 L S の表示領域側のエッジの位置に相当する。表示領域 D A の端部とは、表示領域内の領域のうち、境界 B の近傍の領域である。

【 0 0 4 3 】

分割電極 C 1 は第 1 方向 X に電極幅 W 1 を有し、分割電極 C 2 は第 1 方向 X に電極幅 W 2 を有している。電極幅 W 2 は、電極幅 W 1 よりも小さい。なお、図示しない表示領域 D A の反対側についても同様に、表示領域 D A の端部（図 5 の左側端部）側に位置する分割電極は分割電極 C 2 と同じ電極幅 W 2 を有している。つまり、複数の分割電極 C のうち、

10

両端部側に位置する分割電極は電極幅 W 2 を有するのに対して、その間に位置する他の分割電極は電極幅 W 1 を有している。

【 0 0 4 4 】

シールド電極 S L E は、第 1 方向 X に電極幅 W 3 を有している。例えば、電極幅 W 2 と電極幅 W 3 との和は、電極幅 W 1 と同等である。電極幅 W 3 は、電極幅 W 1 を超えない範囲で種々設定可能である。後述する発明者による検討結果によれば、電極幅 W 3 は、電極幅 W 1 の半分以下であることが望ましい。但し、電極幅 W 1 乃至 W 3 は、いずれも画素 P X の第 1 方向 X に沿った画素ピッチ P u の整数倍であることが望ましい。ここでの画素ピッチ P u とは、図 4 に示した隣接するソース線 S の中心の第 1 方向 X のピッチである。

【 0 0 4 5 】

リード線 L は、非表示領域 N D A に配置されている。つまり、リード線 L は、周辺遮光層 L S と重なる位置に配置されている。リード線 L の各々は、非表示領域 N D A において、概ね第 2 方向 Y に延出し、第 1 方向 X に略等間隔に並んでいる。

20

【 0 0 4 6 】

本実施形態では、検出電極 R x は、接続線 L C、及び、複数の検出線 L B によって形成されている。接続線 L C は、非表示領域 N D A に配置されている。この接続線 L C は、リード線 L に接続され、第 2 方向 Y に延出している。検出線 L B は、非表示領域 N D A から表示領域 D A に亘って配置されている。検出線 L B の各々は、非表示領域 N D A において接続線 L C に接続され、表示領域 D A において概ね第 1 方向 X に延出している。図示した例では、検出線 L B の各々は、波形（より具体的には三角波形）に形成されている。これら

30

らの検出線 L B は、第 2 方向 Y に略等間隔に並んでいる。

【 0 0 4 7 】

隣接する検出電極 R x の間には、ダミー電極 D R が配置されている。ダミー電極 D R は、検出線 L B と平行に、且つ、略等間隔に配置されている。このようなダミー電極 D R は、リード線 L などの配線には接続されず、電氣的にフローティング状態にある。

【 0 0 4 8 】

図 7 は、図 6 に示したセンサ S E の一部を含む液晶表示パネル P N L の構造を概略的に示す断面図である。なお、ここでは説明に必要な主要部のみを図示している。

【 0 0 4 9 】

共通電極 C E、画素電極 P E、及び、シールド電極 S L E は、第 1 基板 S U B 1 の第 2 基板 S U B 2 と対向する内面側に位置している。すなわち、共通電極 C E 及びシールド電極 S L E は、いずれも第 2 絶縁膜 1 2 の上に形成され、第 3 絶縁膜 1 3 によって覆われている。シールド電極 S L E は、共通電極 C E と同様に、I T O や I Z O などの透明な導電材料によって形成されている。画素電極 P E は、第 3 絶縁膜 1 3 の上に形成され、共通電極 C E またはシールド電極 S L E と対向している。図示した例では、共通電極 C E のうちの分割電極 C 2 の直上には、5 画素分の画素電極 P E が配置され、シールド電極 S L E の直上には、3 画素分の画素電極 P E が配置されているが、共通電極 C E 及びシールド電極 S L E の直上に位置する画素電極の個数はこの例に限らない。なお、ソース線などの各種配線や第 1 配向膜の図示は省略している。

40

【 0 0 5 0 】

50

ブラックマトリクスBM、カラーフィルタCFR、CFG、CFB、オーバーコート層OC、及び、周辺遮光層LSは、第2基板SUB2の第1基板SUB1と対向する内面側に位置している。すなわち、表示領域DAにおいては、各画素電極PEと対向する位置にカラーフィルタCFR、CFG、CFBが形成されている。ブラックマトリクスBMは、これらのカラーフィルタCFR、CFG、CFBの境界に位置している。非表示領域NDAにおいて、周辺遮光層LSは、第2絶縁基板20の内面に形成されている。この周辺遮光層LSは、ブラックマトリクスBMと同様の材料によって形成されている。オーバーコート層OCは、表示領域DA及び非表示領域NDAに亘って延在している。なお、第2配向膜の図示は省略している。

【0051】

検出電極Rx及びリード線Lは、第2基板SUB2の第1基板SUB1と対向する側とは反対の外面側に位置している。検出電極Rx及びリード線Lは、アルミニウム(Al)、チタン(Ti)、銀(Ag)、モリブデン(Mo)、タングステン(W)、銅(Cu)、クロム(Cr)などの金属材料によって形成されている。なお、表示領域DAに位置する検出電極Rxは、上記の不透明な金属材料によって形成されているが、例えば3~5μm程度の幅の細線からなる検出線LBによって形成されているため、各画素の透過率を著しく低下させることはない。また、各検出線LBは、画素の配列方向(第1方向X及び第2方向Y)とは異なる方向に延出した細線からなるため、画素レイアウトとのモアレが抑制され、表示品位の劣化が抑制されている。なお、検出電極Rxは、金属材料からなる複数の検出線LBに代えて、ITOなどの透明な導電材料からなる帯状電極によって構成されていても良い。

【0052】

次に、上記したFFSモードの液晶表示装置DSPにおいて画像を表示する表示駆動時の動作について説明する。

【0053】

まず、液晶層LQに電圧が印加されていないオフ状態について説明する。オフ状態は、画素電極PEと共通電極CEとの間に電位差が形成されていない状態に相当する。また、表示駆動時において、シールド電極SLEは共通電極CEと同様に機能するため、画素電極PEとシールド電極SLEとの間にも電位差は形成されない。

【0054】

このようなオフ状態では、液晶層LQに含まれる液晶分子は、第1配向膜AL1及び第2配向膜AL2の配向規制力によりX-Y平面内において一方向に初期配向している。バックライトユニットBLからのバックライト光の一部は、第1光学素子OD1の偏光板を透過し、液晶表示パネルPNLに入射する。液晶表示パネルPNLに入射した光は、偏光板の吸収軸と直交する直線偏光である。このような直線偏光の偏光状態は、オフ状態の液晶表示パネルPNLを通過した際にほとんど変化しない。このため、液晶表示パネルPNLを透過した直線偏光のほとんどが、第2光学素子OD2の偏光板によって吸収される(黒表示)。このようにオフ状態で液晶表示パネルPNLが黒表示となるモードをノーマリーブラックモードという。

【0055】

続いて、液晶層LQに電圧が印加されたオン状態について説明する。オン状態は、画素電極PEと共通電極CEとの間に電位差が形成された状態に相当する。また、表示駆動時において、シールド電極SLEは共通電極CEと同様に機能するため、画素電極PEとシールド電極SLEとの間にも電位差が形成される。つまり、共通電極CEに対しては共通電極駆動回路CDからコモン駆動信号が供給され、シールド電極SLEに対してはシールド電極駆動回路SLDからコモン駆動信号が供給される。本実施形態においては、シールド電極SLEの隣の分割電極C2と同じコモン駆動信号が当該シールド電極SLEに供給される。その一方で、画素電極PEには、コモン電位に対して電位差を形成するような映像信号が供給される。これにより、オン状態では、画素電極PEと共通電極CE及びシールド電極SLEとの間にフリンジ電界が形成される。

10

20

30

40

50

【 0 0 5 6 】

このようなオン状態では、液晶分子は、 $X - Y$ 平面内において、初期配向方向とは異なる方位に配向する。オン状態では、第1光学素子OD1の偏光板の吸収軸と直交する直線偏光は、液晶表示パネルPNLに入射し、その偏光状態は、液晶層LQを通過する際に液晶分子の配向状態に応じて変化する。このため、オン状態においては、液晶層LQを通過した少なくとも一部の光は、第2光学素子OD2の偏光板を透過する（白表示）。

【 0 0 5 7 】

このような構成により、ノーマリーブラックモードが実現される。表示領域DAにおいては、共通電極CEと画素電極PEとが対向する領域のみならず、シールド電極SLEと画素電極PEとが対向する領域についても、表示に寄与する。

10

【 0 0 5 8 】

次に、上記した液晶表示装置DSPにおいて被検出物の接触あるいは接近を検出するためのセンシングを行うセンシング駆動時の動作について説明する。

【 0 0 5 9 】

すなわち、共通電極CEに対しては、共通電極駆動回路CDからセンサ駆動信号が供給される。このとき、シールド電極SLEは、センサ駆動信号とは異なる電位に維持される。例えば、シールド電極駆動回路SLDは、シールド電極SLEを接地電位に維持する、あるいは、シールド電極SLEを電氣的にフローティング状態に切り替える。このような状態で、センシングが行われる。

【 0 0 6 0 】

ここで、センシング方法の一例の原理について図8を参照しながら説明する。

20

【 0 0 6 1 】

分割電極Cと検出電極Rxとの間には、容量Ccが存在する。分割電極Cの各々には、順次、所定の周期でパルス状の書込信号（センサ駆動信号）Vwが供給される。この例では、被検出物となる利用者の指が特定の検出電極Rxと分割電極Cとが交差する位置に近接して存在するものとする。検出電極Rxに近接している利用者の指により、容量Cxが生ずる。分割電極Cにパルス状の書込信号Vwが供給されたときに、特定の検出電極Rxからは、他の検出電極から得られるパルスよりもレベルの低いパルス状の読取信号（センサ出力値）Vrが得られる。

【 0 0 6 2 】

図5に示した検出回路RCでは、書込信号Vwが分割電極Cに供給されるタイミングと、各検出電極Rxからの読取信号Vrとに基づいて、センサSEの $X - Y$ 平面内での指の2次元位置情報を検出することができる。また、上記の容量Cxは、指が検出電極Rxに近い場合と、遠い場合とで異なる。このため、読取信号Vrのレベルも指が検出電極Rxに近い場合と、遠い場合とで異なる。したがって、検出回路RCでは、読取信号Vrのレベルに基づいて、センサSEに対する指の近接度（センサSEの法線方向の距離）を検出することもできる。

30

【 0 0 6 3 】

また、表示領域DAの最外周付近には、シールド電極SLEと検出電極Rxとの交差部が含まれる。このような領域に被検出物が接触あるいは接近した場合であっても分割電極C2のシールド電極端縁側では、当該交差部に向けての容量が発生することとなり、これによって、当該交差部のタッチ検出も確実に検出されるものとなる。

40

すなわち、タッチ検出時には、シールド電極SLEにセンサ駆動信号以外の信号が供給されることにより、当該シールド電極SLEと検出電極Rxとの間には容量が形成されることはなく、さらに、当該シールド電極SLEとリード線Lとの間にも容量が形成されるものとはならない。これにより、検出電極Rxとの間で容量を形成する分割電極C2とリード線Lとの間には、シールド電極SLEの幅分の間隔が形成されることとなり、当該間隔により生じる物理的距離により、分割電極C2とリード線Lとの間の容量発生が抑制されることとなるのである。他方、当該シールド電極SLE上の検出電極Rxとの距離は斜め方向で比較的短いので、これらの間には容量が発生し、ひいては被検出物の接触あるいは

50

は近接を検出することが可能となるのである。

【 0 0 6 4 】

本実施形態によれば、このようなセンシング駆動時において、共通電極 C E とリード線 L との間に位置するシールド電極 S L E は、固定電位に維持されているあるいはフローティング状態に切り替えられている。このため、狭額縁化の要望によって共通電極 C E とリード線 L とが接近して配置された構成であっても、共通電極 C E とリード線 L との寄生容量を低減することが可能となる。したがって、共通電極 C E とリード線 L との間の容量結合に起因したセンサ S E の誤動作を抑制することが可能となる。なお、センシング駆動時におけるシールド電極 S L E の電位については、共通電極 C E とリード線 L との寄生容量の低減が可能であれば、上記の例に限らない。

10

【 0 0 6 5 】

また、シールド電極 S L E は、表示領域 D A に配置され、表示駆動時には共通電極 C E と同様に機能する。このため、本実施形態は、シールド電極 S L E を非表示領域 N D A に配置した場合と比較して、シールド電極 S L E を配置するスペースを非表示領域 N D A に確保する必要がなく、狭額縁化が可能となる。しかも、シールド電極 S L E は、共通電極 C E とともに、第 2 絶縁膜 1 2 の上に配置されるため、共通電極 C E と同一材料を用いて同一工程で形成することが可能であり、シールド電極 S L E を形成するための別途の工程が不要である。

【 0 0 6 6 】

また、検出電極 R x の検出線 L B 及びリード線 L は、第 2 絶縁基板 2 0 の外面に配置されるため、これらは同一材料を用いて同一工程で形成することが可能である。しかも、検出線 L B 及びリード線 L は、透明導電材料よりも電気抵抗値の非常に低い金属材料で形成可能であるため、線幅を細くすることができ、しかも、細い線幅を維持しつつ長い距離を引き回すことが可能である。リード線 L の線幅が細いため、非表示領域 N D A に接触あるいは接近した被検出物との間に不所望な容量の形成を抑制することができ、ノイズを低減することが可能となる。

20

【 0 0 6 7 】

本実施形態において、シールド電極 S L E の電極幅 W 3 は、分割電極 C 1 の電極幅 W 1 の半分以下であることが望ましい。すなわち、共通電極 C E の各分割電極 C は、等ピッチで配置され、しかも、シールド電極 S L E に隣接する分割電極 C 2 を除いて、均一な電極幅 W 1 を有している。分割電極 C 2 の電極幅 W 2 は、シールド電極 S L E を配置した分だけ細くなっている。シールド電極 S L E の電極幅 W 3 が大きいほど、共通電極 C E とリード線 L との距離を確保することができ、共通電極 C E とリード線 L との寄生容量に起因したノイズを低減することが可能である一方、シールド電極 S L E はセンサ駆動電極としては機能しないため、表示領域 D A の最外周付近でのセンシング感度の低下を招く。

30

【 0 0 6 8 】

そこで、発明者は、電極幅 W 1 を一定値とし、電極幅 W 3 を種々変更して、リード線 L での配線ノイズ量、及び、表示領域 D A の最外周付近で被検出物が接触した際のタッチシグナルを測定する実験を行った。図 9 に実験結果を示す。

なお、ここで言う電極幅 W 1 , W 3 と分割電極 C 2 の電極幅 W 2 は、 $W 1 = W 2 + s + W 3$ となり、電極幅 W 1 は、分割電極 C 1 の幅であって且つシールド電極と分割電極の幅の合計のことを言う。なお、s はこれらシールド電極と分割電極の隙間であって、数 μm ~ 十数 μm で設定されており、W 1 の幅に対して無視できる程度の大きさである。

40

【 0 0 6 9 】

まず、電極幅 W 1 を $4200\ \mu\text{m}$ に設定した場合に、電極幅 W 3 を $0\ \mu\text{m} \sim 3000\ \mu\text{m}$ の範囲で変更し、配線ノイズ量及びタッチシグナルを測定した。この実験結果によれば、 $W 3 / W 1$ の値が 0 . 5 以下の場合に配線ノイズ量が略ゼロとなり、且つ、タッチシグナルの劣化が抑えられることが確認できた。但し、 $W 3 / W 1$ の値が 0 . 1 3 以下の場合には、共通電極 C E とリード線 L とが接近するため、配線ノイズを生ずることが確認された。

50

【 0 0 7 0 】

また、電極幅 W_1 を $2325\mu\text{m}$ に設定した場合に、電極幅 W_3 を $0\mu\text{m}\sim 1500\mu\text{m}$ の範囲で変更し、配線ノイズ量及びタッチシグナルを測定した。この実験結果によれば、 W_3/W_1 の値が 0.5 以下の場合に配線ノイズ量が略ゼロとなり、且つ、タッチシグナルの劣化が抑えられることが確認できた。但し、 W_3/W_1 の値が 0.32 以下の場合には、共通電極 CE とリード線 L とが接近するため、配線ノイズを生ずることが確認された。

【 0 0 7 1 】

上記の実験結果によれば、配線ノイズ及びセンシング感度の観点から、電極幅 W_3 は、電極幅 W_1 の 0.5 倍以下であることが望ましく、さらには、 0.3 倍以上であることが望ましい。

10

【 0 0 7 2 】

次に、本実施形態の液晶表示装置 DSP に搭載される静電容量型のセンサ SE の変形例について説明する。

【 0 0 7 3 】

図10は、本実施形態におけるセンサ SE の他の構成を概略的に示す平面図である。

【 0 0 7 4 】

図10に示した例は、図5などに示した例と比較して、共通電極 CE の各分割電極 C 及びシールド電極 SLE が第1方向 X に延出し、検出電極 R_x が概ね第2方向 Y に延出している点で相違している。

20

【 0 0 7 5 】

すなわち、共通電極 CE は、表示領域 DA において、それぞれ第2方向 Y に間隔を置いて並び、第1方向 X に略直線的に延出した複数の分割電極 C を備えている。検出電極 R_x は、表示領域 DA において、それぞれ第1方向 X に間隔をおいて並び、第2方向 Y に略直線的に延出している。これらの共通電極 CE 及び検出電極 R_x は、上記の通り、各種誘電体を挟んで対向している。分割電極 C のそれぞれは、共通電極駆動回路 CD に電氣的に接続されている。

【 0 0 7 6 】

シールド電極 SLE は、表示領域 DA の端部に配置されている。図示した例では、シールド電極 SLE は、表示領域 DA における一端部(図面の下側端部)に配置されている。シールド電極 SLE は、第1方向 X に略直線的に延出し、分割電極 C と間隔をおいて並んでいる。このようなシールド電極 SLE は、例えば、共通電極 CE と同様に、第1基板 $SUB1$ に配置されている。シールド電極 SLE のそれぞれは、シールド電極駆動回路 SLD に電氣的に接続されている。

30

【 0 0 7 7 】

リード線 L は、非表示領域 NDA に配置され、検出電極 R_x と一対一で電氣的に接続されている。図示した例では、リード線 L は、表示領域 DA の一端部に沿った非表示領域 NDA に配置されている。このようなリード線 L は、例えば、検出電極 R_x と同様に、第2基板 $SUB2$ に配置されている。リード線 L のそれぞれは、フレキシブル配線基板 $PC2$ を介して、検出回路 RC に電氣的に接続されている。

40

【 0 0 7 8 】

このような変形例においても、上記の例と同様の効果が得られる。加えて、図5に示した例と比較して、各検出電極 R_x とフレキシブル配線基板 $PC2$ との間を接続するリード線 L の長さを短縮することができ、リード線 L のノイズをさらに低減することが可能となる。

【 0 0 7 9 】

以上説明したように、本実施形態によれば、センサの誤動作を抑制することが可能なセンサ付き表示装置を提供することができる。

【 0 0 8 0 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示

50

したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0081】

DSP ... 液晶表示装置

SE ... センサ Rx ... 検出電極 LC ... 接続線 LB ... 検出線 L ... リード線

PNL ... 液晶表示パネル DA ... 表示領域 NDA ... 非表示領域

CE ... 共通電極 C ... 分割電極

SLE ... シールド電極

PE ... 画素電極

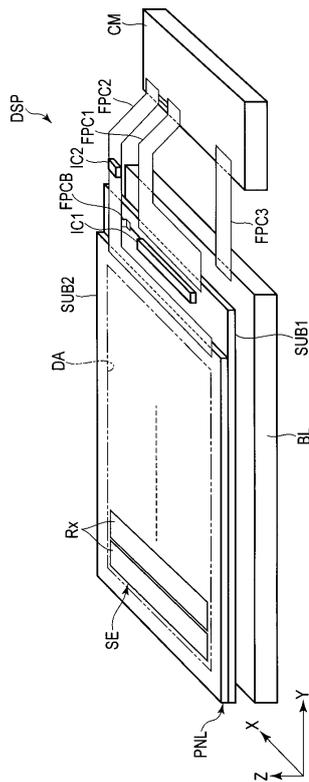
CD ... 共通電極駆動回路

SLD ... シールド電極駆動回路

RC ... 検出回路

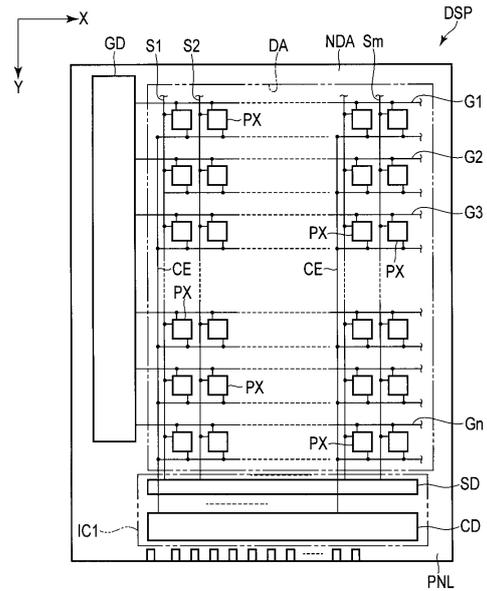
【図1】

図1



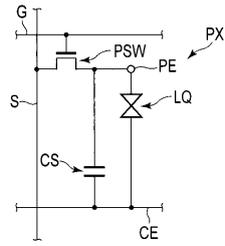
【図2】

図2



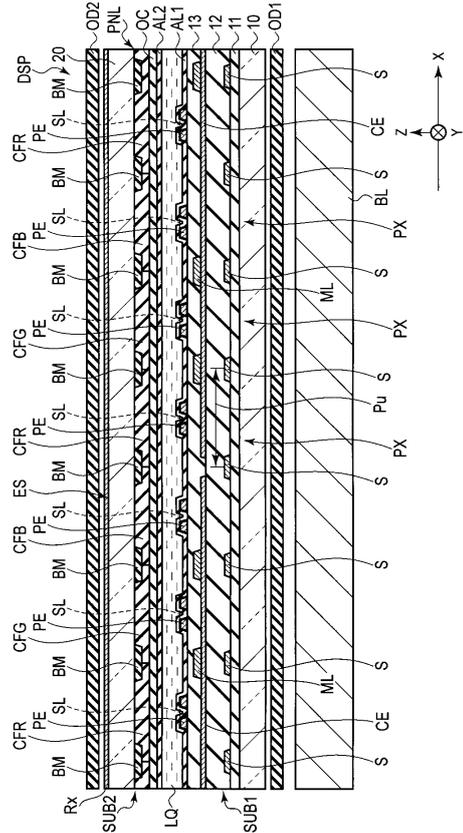
【 図 3 】

図 3



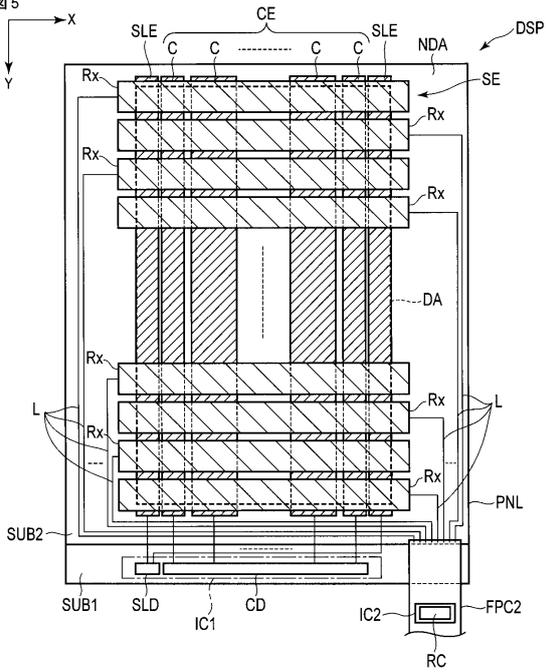
【 図 4 】

図 4



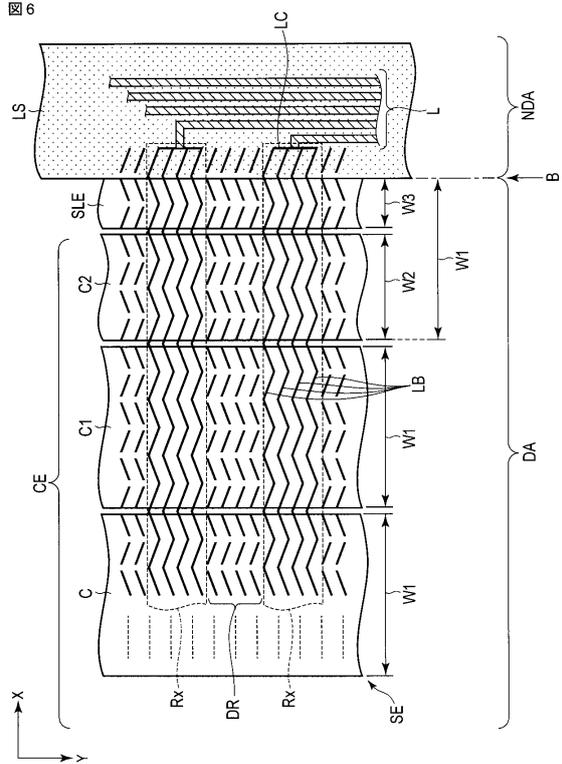
【 図 5 】

図 5



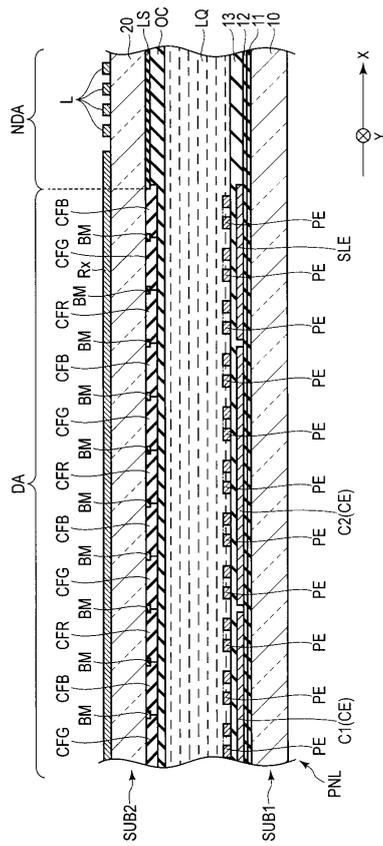
【 図 6 】

図 6



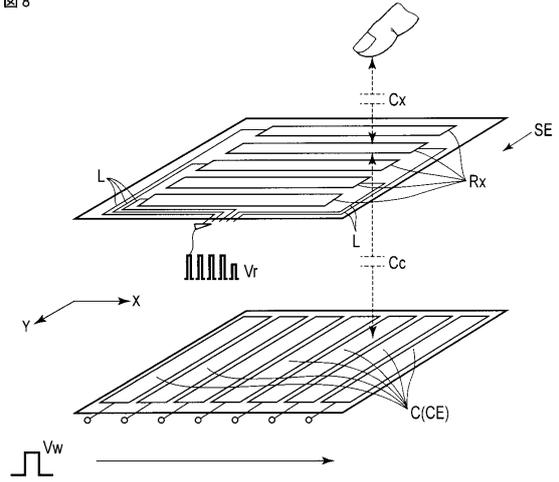
【図7】

図7



【図8】

図8



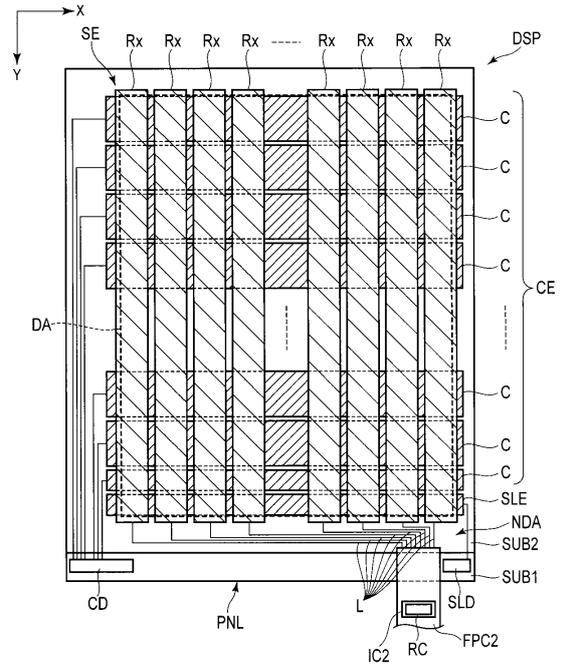
【図9】

図9

W1	W3	W3/W1	タッチゲナル	配線ノイズ量
4200	3000	0.71	20	0
4200	2550	0.61	55	0
4200	2325	0.55	80	0
4200	2175	0.52	85	0
4200	1950	0.46	94	0
4200	1875	0.45	90	0
4200	1725	0.41	93	0
4200	1500	0.36	98	0
4200	1125	0.27	101	0
4200	750	0.18	100	0
4200	525	0.13	97	2
4200	225	0.05	105	2.3
4200	0	0	100	10
2325	1500	0.65	55	0
2325	1425	0.61	72	0
2325	1200	0.52	90	0
2325	1125	0.48	92	0
2325	975	0.42	95	0
2325	750	0.32	99	0.5
2325	525	0.23	99	1.5
2325	300	0.13	100	3
2325	0	0	100	10

【図10】

図10



フロントページの続き

- (51)Int.Cl. F I
G 0 9 G 3/36
G 0 9 G 3/20 6 1 1 C
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/20 6 9 1 D
G 0 2 F 1/1368
- (72)発明者 水橋 比呂志
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
- (72)発明者 石崎 剛司
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

審査官 山崎 慎一

- (56)参考文献 特開2012-068981(JP,A)
特開2012-048295(JP,A)
特開2013-134317(JP,A)
特開2013-254515(JP,A)
特開2014-016403(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G 0 6 F 3 / 0 4 1
G 0 2 F 1 / 1 3 6 8
G 0 6 F 3 / 0 4 4
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6