



(12) 发明专利申请

(10) 申请公布号 CN 103545370 A

(43) 申请公布日 2014. 01. 29

(21) 申请号 201210436625. 3

(22) 申请日 2012. 11. 05

(30) 优先权数据

13/546, 824 2012. 07. 11 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 苏柏智 周学良 伍震威 柳瑞兴

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社泉 孙征

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 27/06 (2006. 01)

H01L 21/336 (2006. 01)

H01L 21/82 (2006. 01)

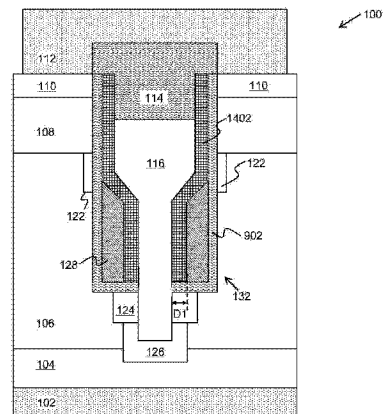
权利要求书2页 说明书8页 附图22页

(54) 发明名称

用于功率 MOS 晶体管的装置和方法

(57) 摘要

一种功率 MOS 晶体管包括形成在衬底的第一面上方的漏极接触塞 ;形成在衬底的第二面上方的源极接触塞和形成在第一漏极 / 源极区和第二漏极 / 源极区之间的沟槽。沟槽包括第一栅电极、第二栅电极, 其中第一栅电极和第二栅电极的顶面与漏极区的底面对准。沟槽进一步包括形成在第一栅电极和第二栅电极之间的场板, 其中, 场板电连接至源极区。本发明提供用于功率 MOS 晶体管的装置和方法。



1. 一种装置,包括:

第一漏极/源极接触塞,形成在衬底的第一面的上方,其中,所述第一漏极/源极接触塞连接至第一漏极/源极区;

第二漏极/源极接触塞,形成在所述衬底的第二面的上方,其中,所述第二漏极/源极接触塞连接至第二漏极/源极区;以及

沟槽,形成在所述第一漏极/源极接触塞和所述第二漏极/源极接触塞之间,其中,所述沟槽包括:

第一栅电极;

第二栅电极,其中:

所述第一栅电极和所述第二栅电极形成在所述沟槽的下部中;以及

沿着所述沟槽的上部的侧壁形成两个漂移区;以及

场板,形成在所述第一栅电极和所述第二栅电极之间,其中,所述场板电连接至所述第二漏极/源极区。

2. 根据权利要求1所述的装置,进一步包括:

第一扩散区,包括第一n型漏极漂移区;以及

第二扩散区,包括第二n型漏极漂移区,其中,所述第一n型漏极漂移区和所述第二n型漏极漂移区相对于所述沟槽是对称的。

3. 根据权利要求1所述的装置,进一步包括:

p型外延层,形成在所述衬底上方;以及

p+区域,形成在所述p型外延层中,其中,所述p+区域电连接至所述场板。

4. 根据权利要求3所述的装置,进一步包括:

第二n+区域,形成在所述沟槽的底面和所述p+区域之间。

5. 一种器件,包括:

漏极区,具有第一导电类型,所述漏极区形成在具有第二导电类型的衬底上方;

源极区,具有所述第一导电类型,所述源极区形成在所述衬底上方;以及

沟槽,形成在所述漏极区和所述源极区之间,其中,所述沟槽包括:

第一栅电极;

场板,邻近所述第一栅电极形成,其中,所述第一栅电极和所述场板通过第一介电膜分开,并且,所述场板电连接至所述源极区;以及

第二栅电极,邻近所述场板形成,其中,所述第一栅电极和所述第二栅电极相对于所述场板是对称的。

6. 根据权利要求5所述的器件,进一步包括:

第一漏极漂移区,连接至所述漏极区域;以及

第二漏极漂移区,连接至所述漏极区域,其中,所述第一漏极漂移区和所述第二漏极漂移区相对于所述沟槽是对称的。

7. 根据权利要求5所述的器件,进一步包括:

第一外延层,具有所述第二导电类型,所述第一外延层形成在所述衬底上方;以及

第二外延层,具有所述第一导电类型,所述第二外延层形成在所述第一外延层上方。

8. 一种方法,包括:

- 提供具有第二导电类型的衬底；
生长具有所述第二导电类型的第一外延层；
生长具有第一导电类型的第二外延层；
在所述第一外延层和所述第二外延层中形成沟槽；
在所述沟槽中形成第一栅电极；
在所述沟槽中形成第二栅电极；
分别使用所述第一栅电极和所述第二栅电极作为离子注入掩模实施离子注入工艺以形成第一漏极漂移区和第二漏极漂移区；
在所述沟槽中形成场板，其中，所述场板位于所述第一栅电极和所述第二栅电极之间；
在所述第二外延层中形成漏极区，其中，所述漏极区具有所述第一导电类型；以及
在所述第一外延层中形成源极区，其中，所述源极区具有所述第一导电类型，并且其中所述源极区电连接至所述场板。
9. 根据权利要求 8 所述的方法，进一步包括：
沿着所述沟槽的第一侧壁形成所述第一漏极漂移区；以及
沿着所述沟槽的第二侧壁形成所述第二漏极漂移区，其中，所述第一栅电极和所述第二栅电极的上部与所述第一漏极漂移区和所述第二漏极漂移区的底部对准。
10. 根据权利要求 8 所述的方法，进一步包括：
用第一介电膜填充所述场板和所述第一栅电极之间的空闲空间。

用于功率 MOS 晶体管的装置和方法

技术领域

[0001] 本发明涉及用于功率 MOS 晶体管的装置和方法。

背景技术

[0002] 由于在各种电气元件（例如，晶体管、二极管、电阻器、电容器等）的集成密度方面的改进，半导体产业经历了快速增长。对于大多数情况，集成密度的这种改进源于收缩半导体工艺节点（例如，朝着 sub-20nm 节点收缩工艺节点）。随着半导体器件按比例缩小，需要新技术来维持电气元件从一代到下一代的性能。例如，对于高功率应用，期望低接通电阻、低栅极电荷和高击穿电压功率晶体管。

[0003] 随着半导体技术的进展，金属氧化物半导体（MOS）晶体管已广泛用于现今的集成电路中。MOS 晶体管是电压控制型器件。当对 MOS 晶体管的栅极施加控制电压，并且控制电压大于 MOS 晶体管的阈值时，在 MOS 晶体管的漏极和源极之间建立导电沟道。结果，电流在 MOS 晶体管的漏极和源极之间流动。另一方面，当对 MOS 晶体管的栅极施加的控制电压小于 MOS 晶体管的阈值时，相应地关闭 MOS 晶体管。

[0004] MOS 晶体管可以包括两大类。一类是 n 沟道 MOS 晶体管；另一类是 p 沟道 MOS 晶体管。根据结构差异，MOS 晶体管可以进一步分成两个子类：平面 MOS 晶体管和垂直 MOS 晶体管。

[0005] 垂直功率 MOS 晶体管由于它们的低栅极驱动功率、快速开关速率和低导通电阻而广泛用于高电压和电流应用中。在垂直功率 MOSFET 中，漏极和栅极被设置在晶圆的相对面上。在垂直功率 MOS 晶体管的漏极和源极之间可能形成有沟槽结构。

发明内容

[0006] 为了解决现有技术中存在的问题，根据本发明的一个方面，提供了一种装置，包括：第一漏极/源极接触塞，形成在衬底的第一面的上方，其中，所述第一漏极/源极接触塞连接至第一漏极/源极区；第二漏极/源极接触塞，形成在所述衬底的第二面的上方，其中，所述第二漏极/源极接触塞连接至第二漏极/源极区；以及沟槽，形成在所述第一漏极/源极接触塞和所述第二漏极/源极接触塞之间，其中，所述沟槽包括：第一栅电极；第二栅电极，其中：所述第一栅电极和所述第二栅电极形成在所述沟槽的下部中；以及沿着所述沟槽的上部的侧壁形成两个漂移区；以及场板，形成在所述第一栅电极和所述第二栅电极之间，其中，所述场板电连接至所述第二漏极/源极区。

[0007] 在上述装置中，进一步包括：第一扩散区，包括第一 n 型漏极漂移区；以及第二扩散区，包括第二 n 型漏极漂移区，其中，所述第一 n 型漏极漂移区和所述第二 n 型漏极漂移区相对于所述沟槽是对称的。

[0008] 在上述装置中，进一步包括：p 型外延层，形成在所述衬底上方；以及 p+ 区域，形成在所述 p 型外延层中，其中，所述 p+ 区域电连接至所述场板。

[0009] 在上述装置中，进一步包括：p 型外延层，形成在所述衬底上方；以及 p+ 区域，形成

在所述 p 型外延层中,其中,所述 p+ 区域电连接至所述场板,进一步包括:第二 n+ 区域,形成在所述沟槽的底面和所述 p+ 区域之间。

[0010] 在上述装置中,进一步包括:p 型外延层,形成在所述衬底上方;以及 p+ 区域,形成在所述 p 型外延层中,其中,所述 p+ 区域电连接至所述场板,进一步包括:第二 n+ 区域,形成在所述沟槽的底面和所述 p+ 区域之间,其中,所述第二 n+ 区域通过所述场板、所述 p+ 区域和所述衬底连接至所述第二漏极/源极接触塞。

[0011] 在上述装置中,进一步包括:第一介电膜,形成在所述第一栅电极和所述场板之间;以及第二介电膜,形成在所述第二栅电极和所述场板之间。

[0012] 在上述装置中,进一步包括:第一介电膜,形成在所述第一栅电极和所述场板之间;以及第二介电膜,形成在所述第二栅电极和所述场板之间,其中:所述第一介电膜和所述第二介电膜由氧化物形成并具有介于约 0.1 μm 至约 0.5 μm 范围内的厚度。

[0013] 在上述装置中,其中:所述第一漏极/源极区是沟槽功率晶体管的漏极;以及所述第二漏极/源极区是所述沟槽功率晶体管的源极。

[0014] 根据本发明的另一方面,还提供了一种器件,包括:漏极区,具有第一导电类型,所述漏极区形成在具有第二导电类型的衬底上方;源极区,具有所述第一导电类型,所述源极区形成在所述衬底上方;以及沟槽,形成在所述漏极区和所述源极区之间,其中,所述沟槽包括:第一栅电极;场板,邻近所述第一栅电极形成,其中,所述第一栅电极和所述场板通过第一介电膜分开,并且,所述场板电连接至所述源极区;以及第二栅电极,邻近所述场板形成,其中,所述第一栅电极和所述第二栅电极相对于所述场板是对称的。

[0015] 在上述器件中,进一步包括:第一漏极漂移区,连接至所述漏极区域;以及第二漏极漂移区,连接至所述漏极区域,其中,所述第一漏极漂移区和所述第二漏极漂移区相对于所述沟槽是对称的。

[0016] 在上述器件中,进一步包括:第一外延层,具有所述第二导电类型,所述第一外延层形成在所述衬底上方;以及第二外延层,具有所述第一导电类型,所述第二外延层形成在所述第一外延层上方。

[0017] 在上述器件中,其中:所述第一导电类型是 n 型导电性;以及所述第二导电类型是 p 型导电性。

[0018] 在上述器件中,其中:所述第一导电类型是 p 型导电性;以及所述第二导电类型是 n 型导电性。

[0019] 在上述器件中,进一步包括:漏极接触塞,连接至所述漏极区,其中,所述漏极接触塞形成在所述衬底的第一面的上方;以及源极接触塞,连接至所述源极区,其中,所述源极接触塞形成在所述衬底的第二面的上方。

[0020] 根据本发明的又一方面,还提供了一种方法,包括:提供具有第二导电类型的衬底;生长具有所述第二导电类型的第一外延层;生长具有第一导电类型的第二外延层;在所述第一外延层和所述第二外延层中形成沟槽;在所述沟槽中形成第一栅电极;在所述沟槽中形成第二栅电极;分别使用所述第一栅电极和所述第二栅电极作为离子注入掩模实施离子注入工艺以形成第一漏极漂移区和第二漏极漂移区;在所述沟槽中形成场板,其中,所述场板位于所述第一栅电极和所述第二栅电极之间;在所述第二外延层中形成漏极区,其中,所述漏极区具有所述第一导电类型;以及在所述第一外延层中形成源极区,其中,所述

源极区具有所述第一导电类型,并且其中所述源极区电连接至所述场板。

[0021] 在上述方法中,进一步包括:沿着所述沟槽的第一侧壁形成所述第一漏极漂移区;以及沿着所述沟槽的第二侧壁形成所述第二漏极漂移区,其中,所述第一栅电极和所述第二栅电极的上部与所述第一漏极漂移区和所述第二漏极漂移区的底部对准。

[0022] 在上述方法中,进一步包括:用第一介电膜填充所述场板和所述第一栅电极之间的空闲空间。

[0023] 在上述方法中,进一步包括:用第一介电膜填充所述场板和所述第一栅电极之间的空闲空间,其中:所述第一介电膜由氧化物形成;以及所述第一介电膜的厚度介于约 $0.1\mu\text{m}$ 至约 $0.5\mu\text{m}$ 的范围内。

[0024] 在上述方法中,进一步包括:形成连接至所述漏极区的漏极接触塞,其中,所述漏极接触塞形成在所述衬底的第一面的上方;以及形成连接至所述源极区的源极接触塞,其中,所述源极接触塞形成在所述衬底的第二面的上方。

[0025] 在上述方法中,进一步包括:形成连接至所述漏极区的漏极接触塞,其中,所述漏极接触塞形成在所述衬底的第一面的上方;以及形成连接至所述源极区的源极接触塞,其中,所述源极接触塞形成在所述衬底的第二面的上方,进一步包括:在所述第一外延层中形成 p^+ 区域,其中,所述源极区通过所述场板、所述 p^+ 区域和所述衬底连接至所述源极接触塞。

附图说明

[0026] 为了更充分地理解本发明及其优点,现将参考结合附图所进行的以下描述,其中:

[0027] 图1是根据实施例的底部源极沟槽功率 MOSFET 的截面图;

[0028] 图2示出根据实施例的包括底部源极沟槽功率 MOSFET 的半导体器件的截面图;

[0029] 图3示出根据实施例的衬底的截面图;

[0030] 图4示出根据实施例从衬底生长外延层后图3所示的半导体器件的截面图;

[0031] 图5示出根据实施例从 p 型外延层生长另一外延层后图4所示的半导体器件的截面图;

[0032] 图6示出根据实施例在半导体器件上沉积介电层后图5所示的半导体器件的截面图;

[0033] 图7示出根据实施例在介电层上沉积硬掩模层后图6所示的半导体器件的截面图;

[0034] 图8示出根据实施例在外延层中形成第一沟槽后图7所示的半导体器件的截面图;

[0035] 图9示出根据实施例在沟槽中形成第一栅极介电层后图8所示的半导体器件的截面图;

[0036] 图10示出根据实施例在沟槽中形成栅电极层后图9所示的半导体器件的截面图;

[0037] 图11示出根据实施例对栅电极层实施蚀刻工艺后图10所示的半导体器件的截面图;

- [0038] 图 12 示出根据实施例在形成 n⁺ 区域后图 11 所示的半导体器件的截面图；
- [0039] 图 13 示出根据实施例在形成两个 n 型漏极漂移区后图 12 所示的半导体器件的截面图；
- [0040] 图 14 示出根据实施例在沟槽中和在半导体器件的表面上沉积氧化层后图 13 所示的半导体器件的截面图；
- [0041] 图 15 示出根据实施例对氧化层的底部实施各向异性蚀刻工艺后图 14 所示的半导体器件的截面图；
- [0042] 图 16 示出根据实施例在形成第二沟槽后图 15 所示的半导体器件的截面图；
- [0043] 图 17 示出根据实施例在形成 p⁺ 区域后图 16 所示的半导体器件的截面图；
- [0044] 图 18 示出根据实施例在沟槽中形成场板后图 17 所示的半导体器件的截面图；
- [0045] 图 19 示出根据实施例对场板实施回蚀工艺后图 18 所示的半导体器件的截面图；
- [0046] 图 20 示出根据实施例对半导体器件的顶面实施硬掩模去除工艺后图 19 所示的半导体器件的截面图；
- [0047] 图 21 示出根据实施例在 n 型外延层中形成 n⁺ 区域后图 20 所示的半导体器件的截面图；
- [0048] 图 22 示出根据实施例在沟槽中形成介电区域后图 21 所示的半导体器件的截面图；以及
- [0049] 图 23 示出根据实施例在形成漏极和源极接触塞后图 22 所示的半导体器件的截面图。
- [0050] 除非另有说明，不同附图中的相应数字和符号通常是指相应的部件。绘制附图用于清楚地示出各个实施例的相关方面而不必按比例绘制。

具体实施方式

[0051] 在下面详细讨论本发明实施例的制造和使用。然而，应该理解，本发明提供了许多可以在各种具体环境中实现的可应用的发明构思。所讨论的具体实施例仅是制造和使用本发明实施例的示例性具体方式，而不用于限制本发明的范围。

[0052] 将参照具体情况下的实施例（底部源极功率金属氧化物半导体场效应晶体管（MOSFET））描述本发明。然而，本发明的实施例也可以适用于各种高电压晶体管。然而，本发明的实施例也可以适用于各种半导体器件结构。下文将参照附图详细说明各个实施例。

[0053] 图 1 是根据实施例的底部源极沟槽功率 MOSFET 的截面图。如图 1 所示，在晶圆的相对面上制造底部源极沟槽功率 MOSFET 100 的源极接触塞 102 和漏极接触塞 112。具体而言，源极接触塞 102 形成在 p⁺ 衬底 104 的下方。漏极接触塞 112 形成在 p⁺ 衬底 104 的上方。底部源极沟槽功率 MOSFET 100 进一步包括从 p⁺ 衬底 104 生长的 p 型外延层 106。在 p 型外延层 106 中形成 n⁺ 源极区 124。在漏极接触塞 112 下方形成 n⁺ 漏极区 110。在 n⁺ 漏极区 110 和 p 型外延层 106 之间形成 n 型外延层 108。

[0054] 如图 1 所示，可以在 n⁺ 源极区 124 和漏极接触塞 112 之间形成有沟槽 132。沟槽包括场板 116、氧化膜 114、第一栅极介电层 902、第二栅极介电层 1402 和两个栅极区 128。栅极区 128 形成在沟槽 132 的下半部。场板 116 形成在两个栅极区 128 之间并通过 p⁺ 区 126 和 p⁺ 衬底 104 电连接至源极接触塞 102。

[0055] 与在栅极沟槽中具有单个栅极区的常规沟槽 MOS 晶体管相比,底部源极沟槽功率 MOSFET 100 通过将栅极区分裂成两个较小的栅极区而具有相对较小的栅极区,如 1 所示。此外,场板 116 用于填充图 1 所示的栅极区之间的开口。通过减少栅极区的面积,底部源极沟槽功率 MOSFET 100 的栅极电荷也相应地减少了。简言之,具有连接至源极接触塞 102 的场板 116 的一个有利特征是提高了栅极电荷电容。结果,可以减少底部源极沟槽功率 MOSFET 100 的开关损耗。

[0056] 氧化膜 114、第一栅极介电层 902 和第二栅极介电层 1402 填充沟槽 132 的空闲空间,从而使栅极区 128、场板 116 和漏极接触塞 112 彼此绝缘。根据实施例,第二栅极介电层 1402 充当场板 116 和栅极区 128 之间的绝缘膜。第二栅极介电层 1402 具有厚度 D1,其介于约 $0.1\ \mu\text{m}$ 至约 $0.5\ \mu\text{m}$ 的范围内。

[0057] 底部源极沟槽功率 MOSFET 100 可以包括沿着沟槽的外侧周边形成的两个 n 型漏极漂移 (NDD) 区。NDD 区 122 相对于沟槽是对称的。NDD 区 122 是漏极的延伸并电连接至漏极接触塞 112。

[0058] 根据实施例,通过 n+ 漏极区 110、n 型外延层 108 和 NDD 区 122 形成底部源极沟槽功率 MOSFET 100 的漏极区。为了使漏极区与外部电路(未示出)连接,漏极区连接至漏极接触塞 112。为了减少栅漏电容,NDD 区 122 可以形成为与栅极区 128 对准。具体而言,在 NDD 离子注入工艺中,栅极区 128 用作离子注入掩模,从而阻止 NDD 区的离子进入栅极区 128 上部区域下方的区域中。结果,NDD 区 122 的下部与栅极区 128 的上部水平对准。

[0059] 图 2 示出根据实施例的包括底部源极沟槽功率 MOSFET 的半导体器件的截面图。半导体器件 200 包括 5 个区域,即,用于形成底部源极沟槽功率 MOSFET 器件的第一区域 202、用于形成平面 NMOS 器件的第二区域 204、用于形成平面 PMOS 器件的第三区域 206、用于形成低电压 NMOS 器件的第四区域 208 和用于形成低电压 PMOS 器件的第五区域 210。区域 202、204、206、208 和 210 中的每一个区域都通过诸如浅沟槽隔离 (STI) 区的绝缘区域限定。可选地,场氧化物可以形成为绝缘区域。

[0060] 如图 2 所示,为了集成底部源极沟槽功率 MOSFET 器件与横向 MOS 器件(例如,平面 NMOS 器件),如图 2 所示的深 p 型阱用于将横向 MOS 器件与底部源极沟槽功率 MOSFET 器件隔离开。具有如图 1 所示的底部源极沟槽功率 MOSFET 100 的一个有利特征是底部源极沟槽功率 MOSFET 结构可以与横向 MOS 器件集成。鉴于此,可以重新使用现有的横向器件制造工艺。现有的横向器件制造工艺有助于降低制造底部源极沟槽功率 MOSFET 的成本。

[0061] 图 3 至图 22 示出根据实施例制造图 1 所示的底部源极沟槽功率 MOSFET 100 的中间步骤。图 3 示出根据实施例的衬底 104 的截面图。衬底 104 可以由硅、硅锗、碳化硅等形成。根据实施例,衬底 104 可以是 p+ 衬底,其掺杂有 p 型杂质,诸如硼、镉等。衬底 104 的掺杂密度介于约 $10^{18}/\text{cm}^3$ 至约 $10^{21}/\text{cm}^3$ 的范围内。

[0062] 图 4 示出根据实施例从 p 型衬底 104 生长外延层后图 3 所示的半导体器件的截面图。从 p 型衬底 104 生长 p 型外延层 106。可以通过采用诸如化学汽相沉积 (CVD)、超高真空化学汽相沉积 (UHV-CVD) 等合适的半导体制造工艺实现 p 型外延层 106 的外延生长。根据实施例,p 型外延层 106 的掺杂密度介于约 $10^{14}/\text{cm}^3$ 至约 $10^{16}/\text{cm}^3$ 的范围内。

[0063] 图 5 示出根据实施例从 p 型外延层生长另一外延层后图 4 所示的半导体器件的截面图。从 p 型外延层 106 生长 n 型外延层 108。可以通过采用诸如 CVD、UHV-CVD 等合适的

制造工艺来实现 n 型外延层 108 的外延生长。根据实施例, n 型外延层 108 的掺杂密度介于约 $10^{14}/\text{cm}^3$ 至约 $10^{16}/\text{cm}^3$ 的范围内。

[0064] 图 6 示出根据实施例在半导体器件上沉积介电层后图 5 所示的半导体器件的截面图。介电层 602 可以包括氧化层。可以通过任何氧化工艺(诸如在包含氧化物、 H_2O 、 NO 、或它们的组合的周围环境中的湿法或干法热氧化)或者通过使用原硅酸四乙酯 (TEOS) 和氧气作为前体的 CVD 技术形成介电层 602。

[0065] 图 7 示出根据实施例在介电层上沉积硬掩模层后图 6 所示的半导体器件的截面图。硬掩模层 702 充当蚀刻掩模。硬掩模层 702 可以由合适的材料(诸如氮化硅)形成。在整个说明书中,硬掩模层 702 可以可选地被称为氮化物层 702。通过诸如 CVD 等合适的制造技术在介电层 602 的顶部上沉积氮化物层 702。

[0066] 图 8 示出根据实施例在外延层中形成第一沟槽后图 7 所示的半导体器件的截面图。考虑到底部源极沟槽功率 MOSFET 100 的沟槽 132 的位置(在图 1 中示出)对氮化物层 702 进行图案化。此后,实施诸如反应离子蚀刻 (RIE) 或其他干蚀刻、各向异性湿蚀刻、或任何其他合适的各向异性蚀刻的蚀刻工艺或者图案化工艺以形成沟槽 802。对包括 n 型外延层 108 和 p 型外延层 106 的外延层进行蚀刻以形成第一沟槽 802。如图 8 所示,蚀刻工艺可以蚀刻穿过 n 型外延层 108 并部分蚀刻 p 型外延层 106 以形成第一沟槽 802。

[0067] 图 9 示出根据实施例在沟槽中形成第一栅极介电层后图 8 所示的半导体器件的截面图。如图 9 所示,在第一沟槽 802 的底部以及第一沟槽 802 的侧壁上形成第一栅极介电层 902。第一栅极介电层 902 可以由诸如氧化物、氮化物、氮氧化物、高 k 材料、它们的组合以及它们的多层的常用介电材料形成。根据实施例,第一栅极介电层 902 是氧化层。可以通过合适的热处理技术、湿处理技术或诸如 PVD、CVD、ALD 等沉积技术形成第一栅极介电层 902。

[0068] 图 10 示出根据实施例在沟槽中形成栅电极层后图 9 所示的半导体器件的截面图。栅电极层 1002 可以包含导电材料,诸如金属(例如,钽、钛、钼、钨、铂、铝、钎、钲)、金属硅化物(例如,硅化钛、硅化钴、硅化镍、硅化钽)、金属氮化物(例如,氮化钛、氮化钽)、掺杂的多晶硅、其他导电材料、或这些的组合。在一个实例中,沉积非晶硅并进行重结晶以形成多晶硅 (poly-silicon)。

[0069] 根据实施例,栅电极层 1002 由多晶硅形成。可以通过经由低压化学汽相沉积 (LPCVD) 沉积掺杂的或非掺杂的多晶硅来形成栅电极层 1002。根据另一实施例,栅电极层 1002 由诸如氮化钛、氮化钽、氮化钨、钛、钽和 / 或这些的组合的金属材料形成。采用诸如 ALD、CVD、PVD 等合适的沉积技术在第一栅极介电层 902 上形成金属栅电极层。上述沉积技术均为本领域所熟知的,并因此在此不再讨论。

[0070] 图 11 示出根据实施例对栅电极层实施蚀刻工艺后图 10 所示的半导体器件的截面图。实施蚀刻工艺以去除不想要的栅电极层部分,从而形成栅电极 128,如图 11 中所示。根据实施例,栅电极材料为多晶硅。蚀刻工艺可以是湿法或干法、各向异性或各向同性蚀刻工艺,但优选各向异性干蚀刻工艺。如图 11 所示,栅电极 128 的顶面低于 n 型外延层 108 的底面。

[0071] 图 12 示出根据实施例在 p 型外延层中形成 n+ 区域后图 11 所示的半导体器件的截面图。如图 12 所示,通过合适的制造工艺(诸如离子注入工艺)形成 n+ 区域 124。根据

实施例, n⁺ 区域 124 可以充当图 1 所示的底部源极沟槽功率 MOSFET 100 的源极区。

[0072] 在衬底 104 是 p 型衬底的实施例中, 可以通过注入诸如磷、砷等适当的 n 型掺杂物来形成源极区 124。可选地, 在衬底 104 是 n 型衬底的实施例中, 可以通过注入诸如硼、镓、铟等适当的 p 型掺杂物来形成源极区 124。根据实施例, 源极区 124 的掺杂密度介于约 $10^{19}/\text{cm}^3$ 至约 $10^{21}/\text{cm}^3$ 的范围内。

[0073] 图 13 示出根据实施例在形成两个 n 型漏极漂移区后图 12 所示的半导体器件的截面图。如图 13 所示, 可以通过合适的制造工艺 (诸如倾斜角离子注入工艺) 形成 n 型漏极漂移区 122。根据实施例, 可以通过注入适当的 n 型掺杂物 (诸如磷) 形成 n 型漏极漂移区 122。还应当注意到, 可以可选地使用其他 n 型掺杂物, 诸如砷、氮、锑、它们的组合等。根据实施例, n 型漏极漂移区 122 的掺杂密度介于约 $10^{15}/\text{cm}^3$ 至约 $10^{18}/\text{cm}^3$ 的范围内。

[0074] 如图 13 所示, 箭头 1302 表示倾斜角离子注入工艺的方向。通过控制如图 13 中的箭头 1302 所示的离子注入的方向, 栅极区 128 可以充当离子注入掩模。结果, 栅极区 128 阻止离子进入栅极区 128 上部下方的区域。如图 13 所示, 在实施离子注入工艺之后, n 型漏极漂移区 122 的底部与栅电极 128 的上部几乎对准。

[0075] 在 n 型漏极漂移区 122 和栅电极 128 之间具有这种对准的一个有利特征是可以相应地减少底部源极沟槽功率 MOSFET 100 的栅漏电容。这种减少的栅漏电容有助于进一步改善底部源极沟槽功率 MOSFET 100 的开关损耗。

[0076] 图 14 示出根据实施例在沟槽中和半导体器件表面上沉积第二栅极介电层后图 13 所示的半导体器件的截面图。第二栅极介电层 1402 可以包含氧化物。可以通过任何合适的氧化工艺 (诸如湿法或干法热氧化工艺)、CVD 等形成第二栅极介电层 1402。根据实施例, 可以控制氧化工艺从而使第二栅极介电层 1402 的厚度介于约 $0.1\ \mu\text{m}$ 至约 $0.5\ \mu\text{m}$ 的范围内。

[0077] 图 15 示出根据实施例对氧化层的底部实施各向异性蚀刻工艺后图 14 所示的半导体器件的截面图。实施诸如反应离子蚀刻 (RIE) 或其他干蚀刻、各向异性湿蚀刻或任何其他合适的各向异性蚀刻的蚀刻工艺或者图案化工艺以去除第二栅极介电层 1402 的底部。结果, n⁺ 区域 124 的顶面的中间部分不包含氧化物。

[0078] 图 16 示出根据实施例在形成第二沟槽之后图 15 所示的半导体器件的截面图。与图 8 所示的形成第一沟槽类似, 对 n⁺ 区域 124 的顶面实施诸如反应离子蚀刻 (RIE) 或其他干蚀刻、各向异性湿蚀刻、或任何其他合适的各向异性蚀刻的蚀刻工艺或者图案化工艺。结果, 形成第二沟槽 1602。如图 16 所示, 蚀刻工艺可以蚀刻穿过 n⁺ 区域 124 并部分蚀刻 p 型外延层 106 从而形成第二沟槽 1602。

[0079] 图 17 示出根据实施例在形成 p⁺ 区域后图 16 所示的半导体器件的截面图。邻近 n⁺ 区域 124 形成 p⁺ 区域 126。可以通过以介于约 $10^{19}/\text{cm}^3$ 至约 $10^{21}/\text{cm}^3$ 之间的浓度注入诸如硼的 p 型掺杂物来形成 p⁺ 区域 126。如图 17 所示, 第二沟槽 1602 的底部被 p⁺ 区域 126 围绕。

[0080] 图 18 示出根据实施例在沟槽中形成场板后图 17 所示的半导体器件的截面图。场板 116 可以由导电材料钽、钛、钼、钨、铂、铝、钨、钨、钨或它们的组合形成。根据实施例, 场板 116 由钨形成。可以通过经由合适的制造技术 (诸如低压化学汽相沉积 (LPCVD)) 沉积钨形成场板 116。

[0081] 图 19 示出根据实施例对场板实施回蚀工艺后图 18 所示的半导体器件的截面图。对场板 116 的顶部实施回蚀工艺。结果, 去除场板 116 的一部分。根据实施例, 图 1 所示的底部源极沟槽功率 MOSFET 100 的击穿电压与场板 116 的高度有关。鉴于此, 控制回蚀工艺从而使场板 116 的高度能够满足底部源极沟槽功率 MOSFET 100 的击穿电压要求。

[0082] 图 20 示出根据实施例对半导体器件的顶面实施硬掩模去除工艺后图 19 所示的半导体器件的截面图。如图 20 所示, 通过合适的硬掩模层去除工艺 (诸如湿蚀刻工艺) 去除了图 19 所示的硬掩模层和氧化层。对半导体器件的顶面实施去除工艺直到暴露出 n 型外延层 108。

[0083] 图 21 示出根据实施例在 n 型外延层中形成 n+ 区域后图 20 所示的半导体器件的截面图。如图 21 所示, 通过离子注入工艺形成 n+ 区域 110。n+ 区域充当图 1 所示的底部源极沟槽功率 MOSFET 的漏极区。应当注意到底部源极沟槽功率 MOSFET 的漏极可以包括 n+ 区域 110、n 型外延层 108 和 NDD 区 122。

[0084] 在衬底 104 是 p 型衬底的实施例中, 可以通过注入诸如磷、砷等适当的 n 型掺杂物形成漏极区 110。可选地, 在衬底 104 是 n 型衬底的实施例中, 可以通过注入诸如硼、镓、铟等适当的 p 型掺杂物形成漏极区 110。根据实施例, 漏极区 110 的掺杂密度介于约 $10^{19}/\text{cm}^3$ 至约 $10^{21}/\text{cm}^3$ 的范围内。

[0085] 图 22 示出根据实施例在沟槽中形成介电区域后图 21 所示的半导体器件的截面图。介电区域 114 可以由诸如氧化硅的氧化物形成。根据实施例, 用氧化物填充沟槽直到氧化物的顶面高于 n+ 区域 110 的顶面。

[0086] 如图 22 所示, 场板 116 通过介电区域 114 与有源区域 (例如, NDD 区 122 和 n 型外延层 108) 分开。同样地, 场板 116 与栅电极 128 绝缘。根据实施例, 场板 116 和栅电极 128 之间的隔离介于约 $0.1\ \mu\text{m}$ 至约 $0.5\ \mu\text{m}$ 的范围内。

[0087] 图 23 示出根据实施例在形成漏极和源极接触塞后图 22 所示的半导体器件的截面图。漏极接触塞 112 和源极接触塞 102 可以由导电材料形成。可以通过合适的制造工艺 (诸如镶嵌工艺) 形成漏极接触塞 112 和源极接触塞 102。

[0088] 如图 23 所示, 在 p 型衬底 104 的相对面上形成漏极接触塞 112 和源极接触塞 102。在漏极接触塞 112 和源极接触塞 102 之间形成包含栅电极 128 和场板 116 的沟槽。而且, 场板 116 通过 p+ 区域 126 和 p 型衬底 104 电连接至源极接触塞 102。应该注意到在图 23 中源极区是 n+ 区域 124。场板 116、p+ 区域 126 和 p+ 衬底 104 形成源极区 (n+ 区域 124) 和源极接触塞 102 之间的低电阻电流路径。

[0089] 尽管已经详细地描述了本发明实施例及其优点, 但应该理解, 可以在不背离所附权利要求限定的本发明的精神和范围的情况下, 在其中进行各种改变、替换和更改。

[0090] 而且, 本申请的范围并不仅限于本说明书中描述的工艺、机器、制造、材料组分、装置、方法和步骤的特定实施例。作为本领域普通技术人员根据本发明将很容易理解, 根据本发明可以利用现有的或今后开发的用于执行与本文所述相应实施例基本上相同的功能或者获得基本上相同的结果的工艺、机器、制造、材料组分、装置、方法或步骤。因此, 所附权利要求预期在其范围内包括这样的工艺、机器、制造、材料组分、装置、方法或步骤。

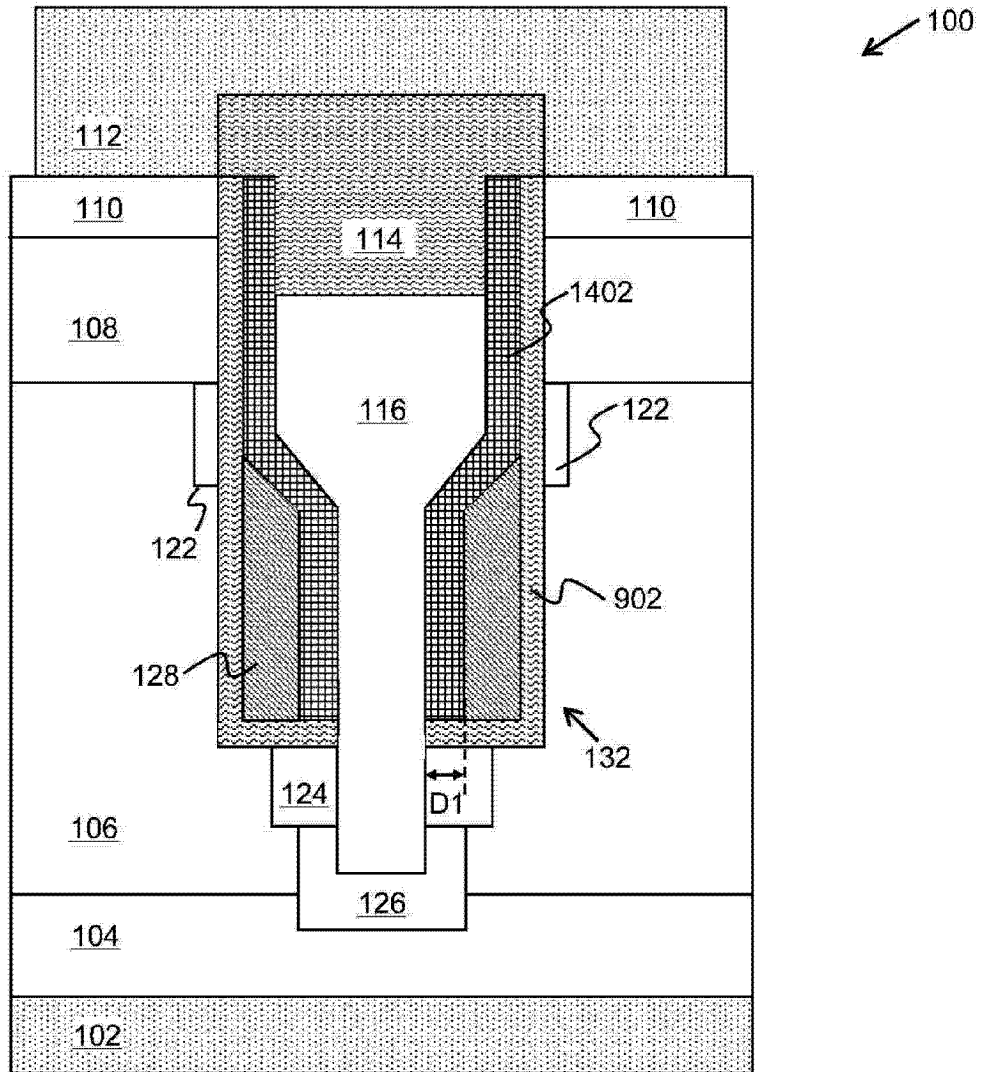


图 1

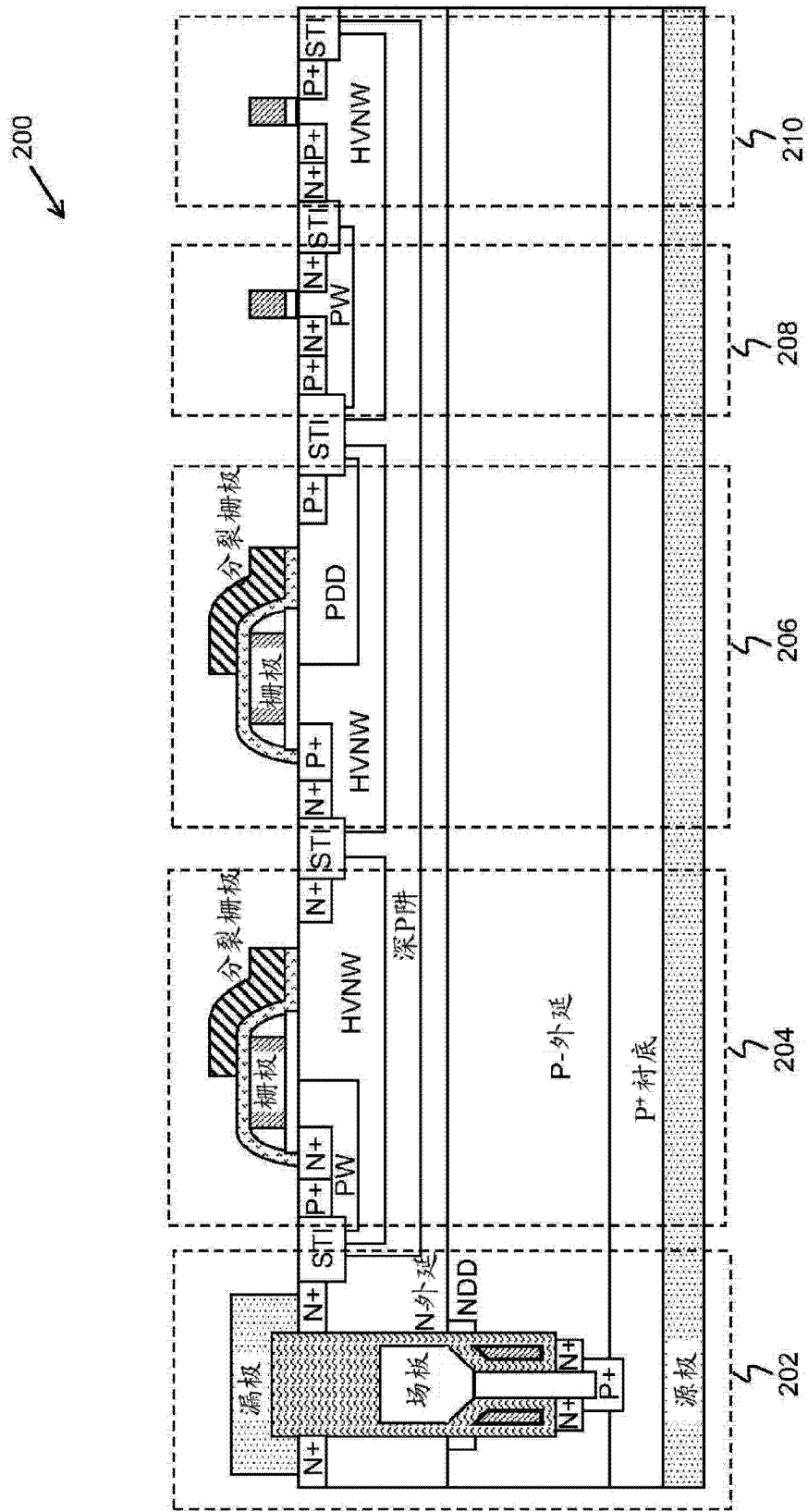


图 2

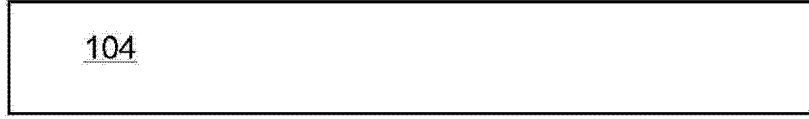


图 3

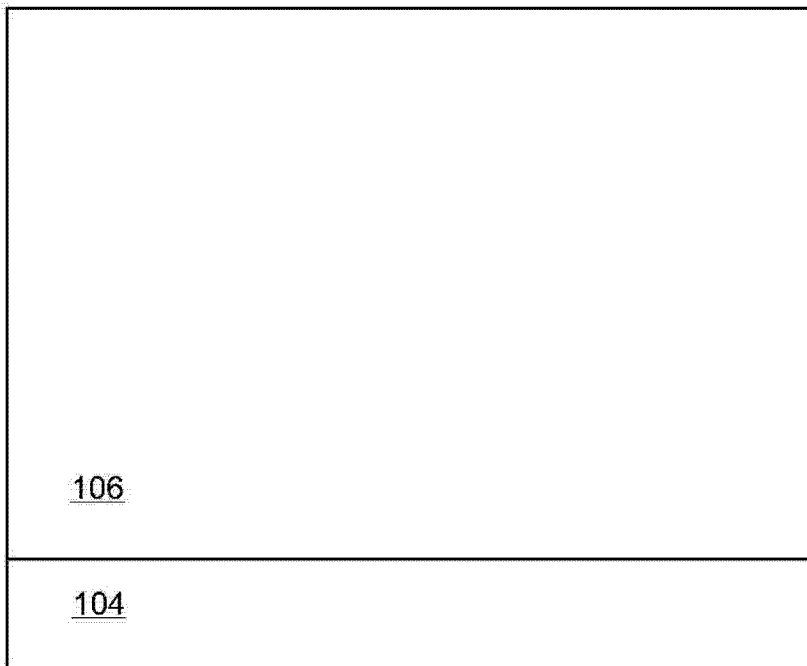


图 4

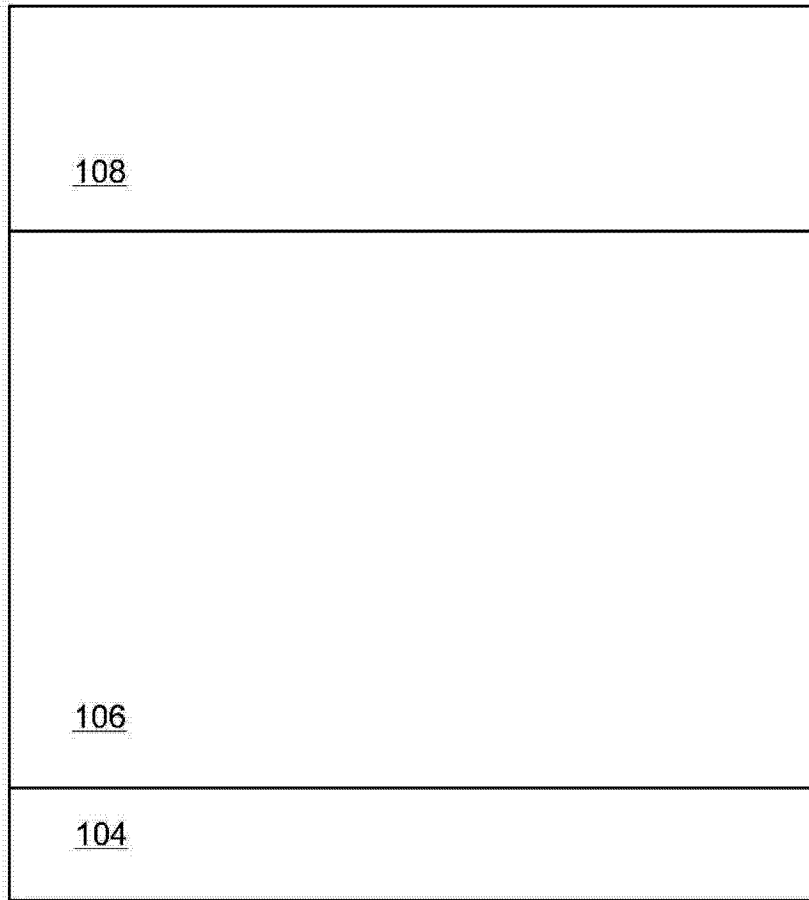


图 5

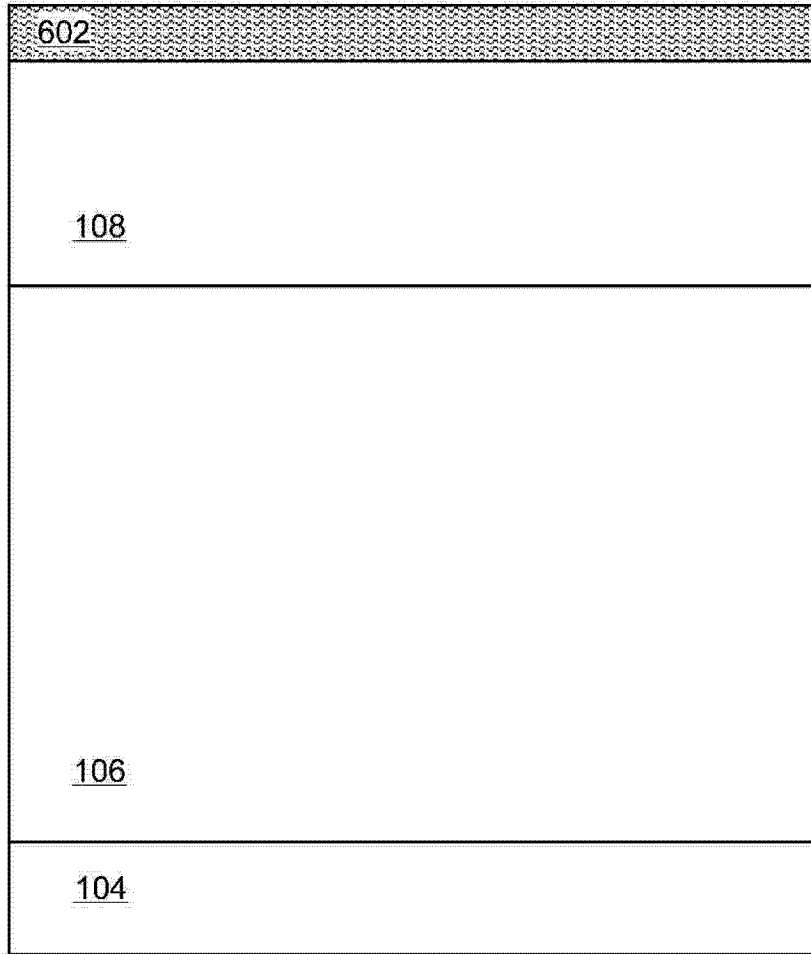


图 6

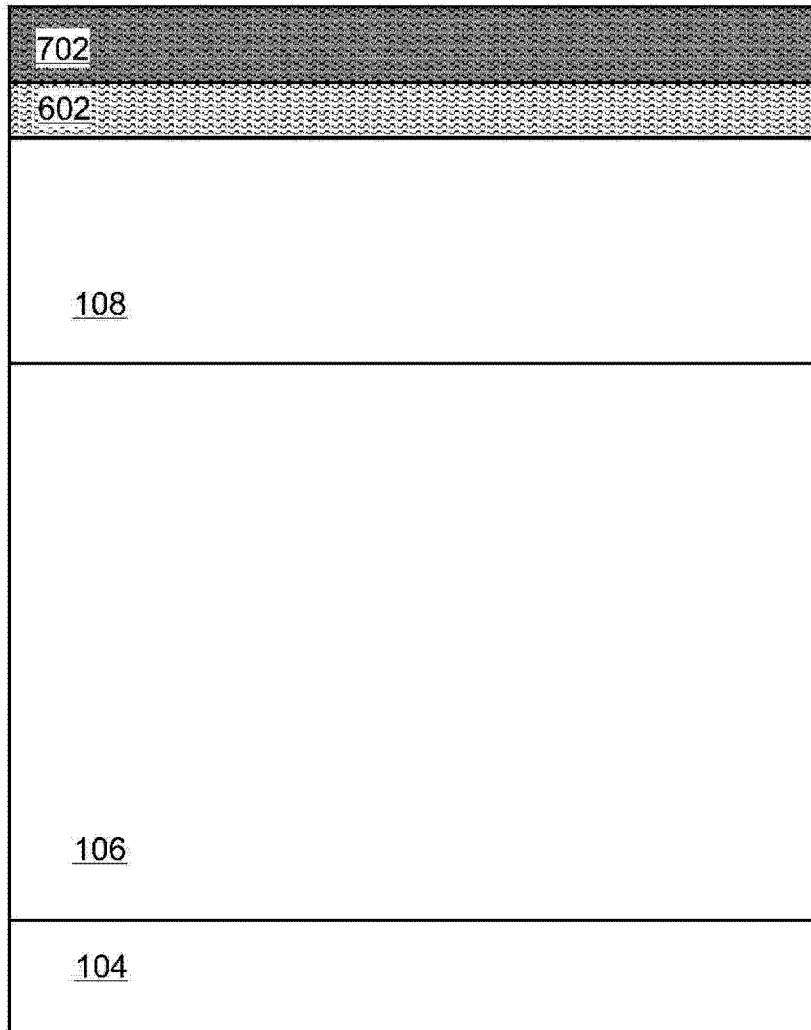


图 7

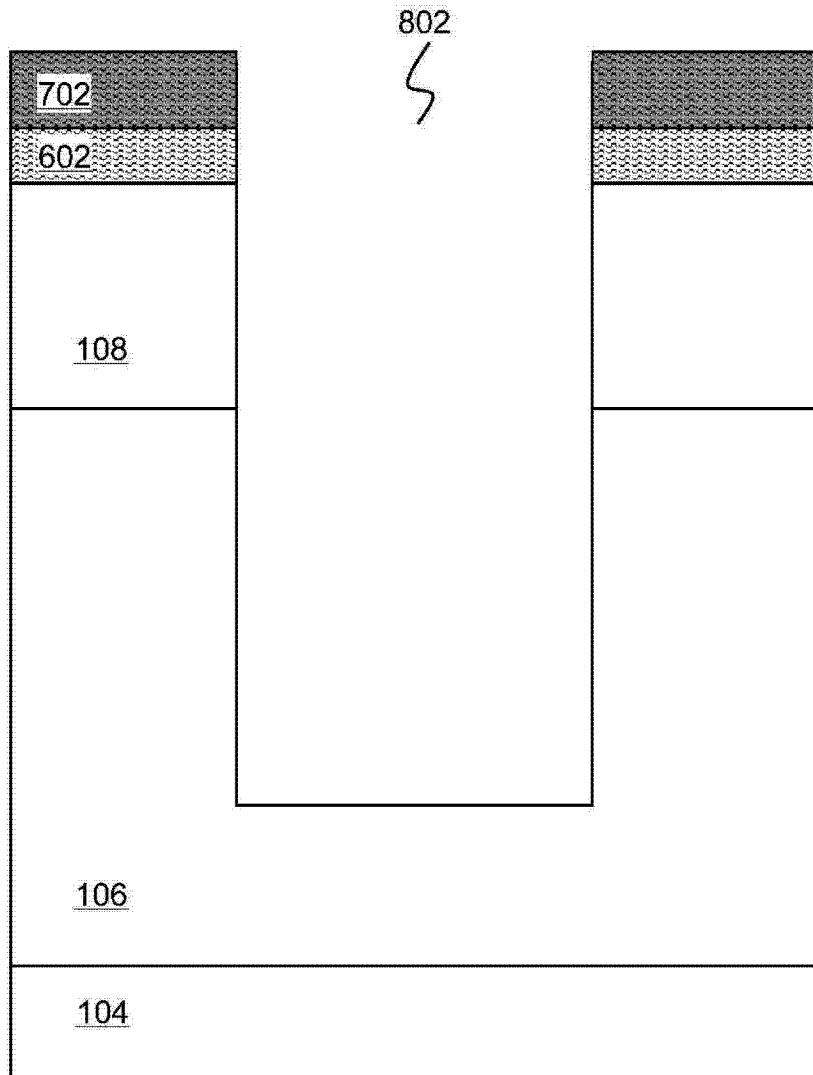


图 8

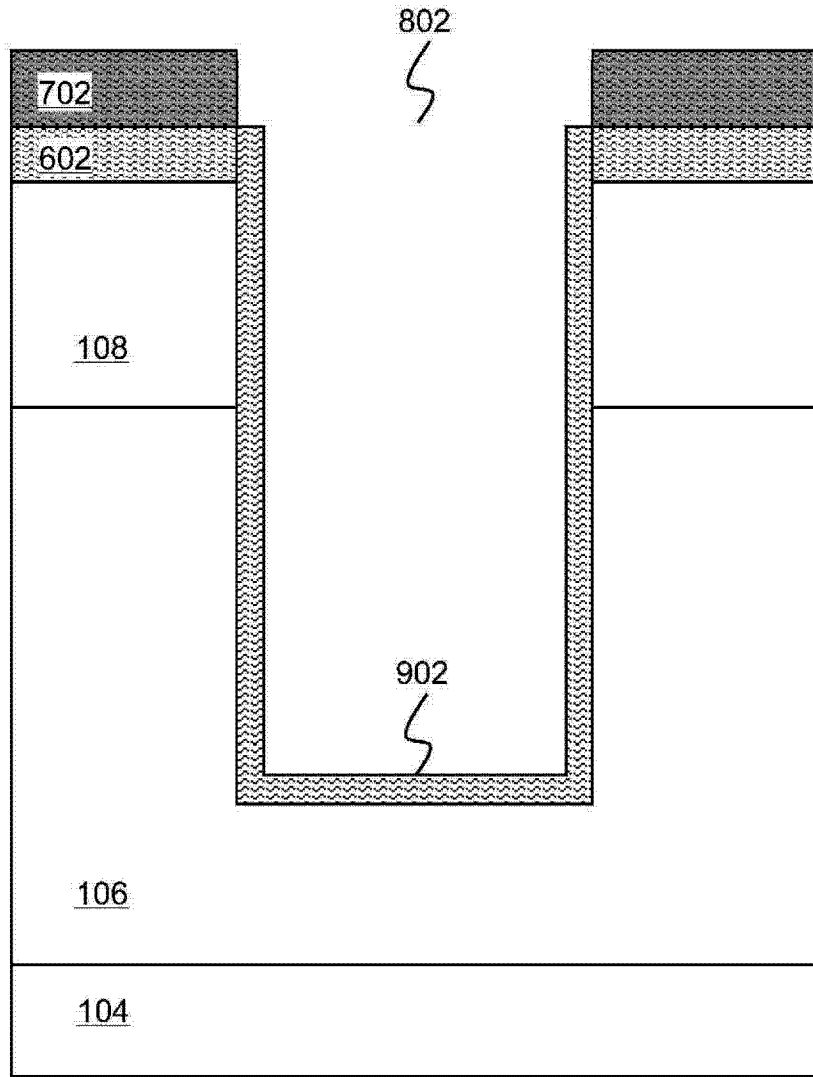


图 9

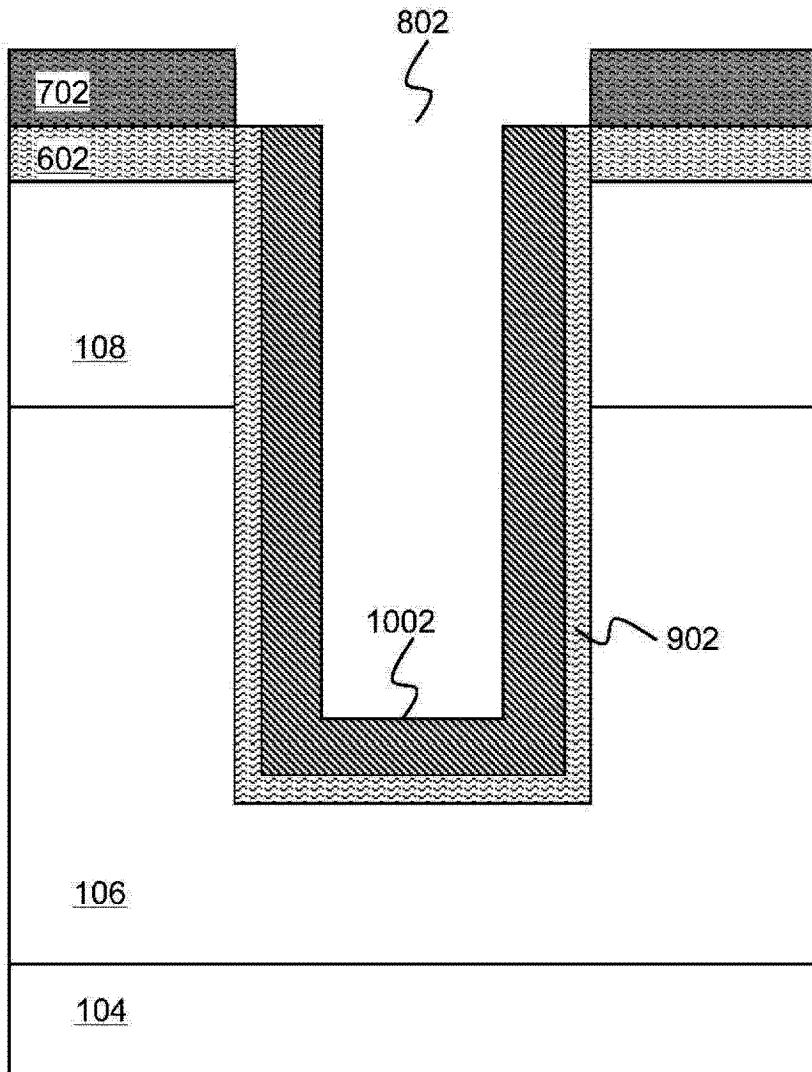


图 10

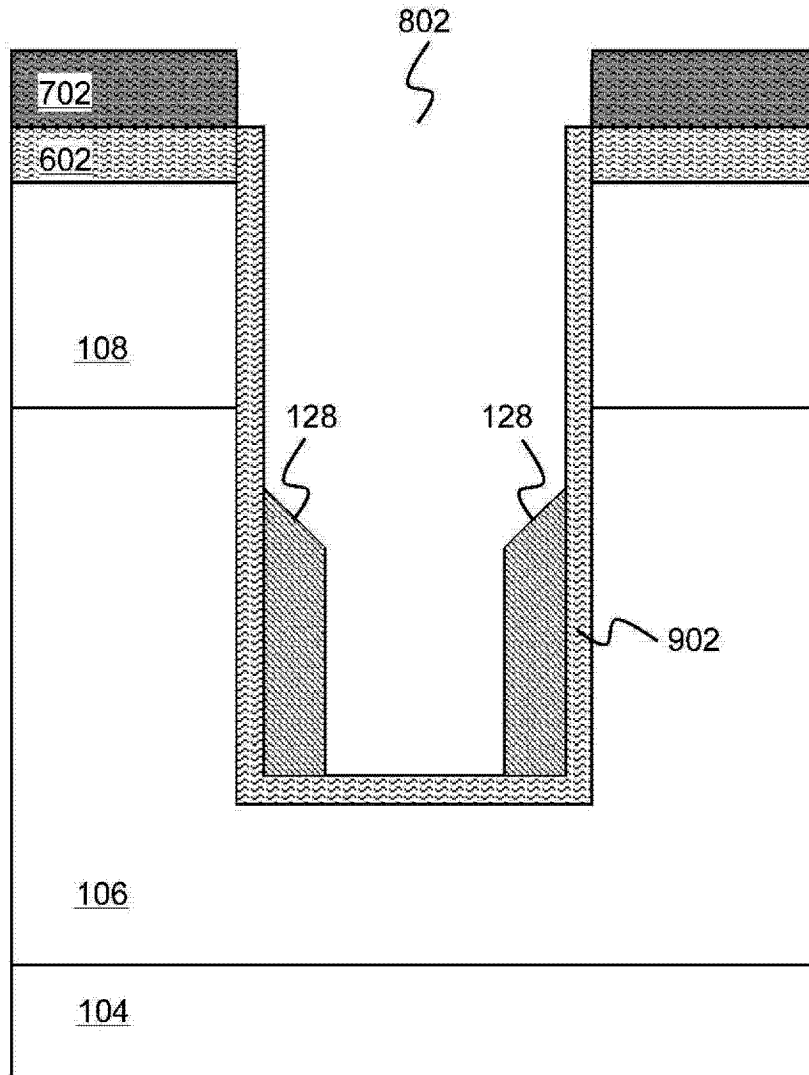


图 11

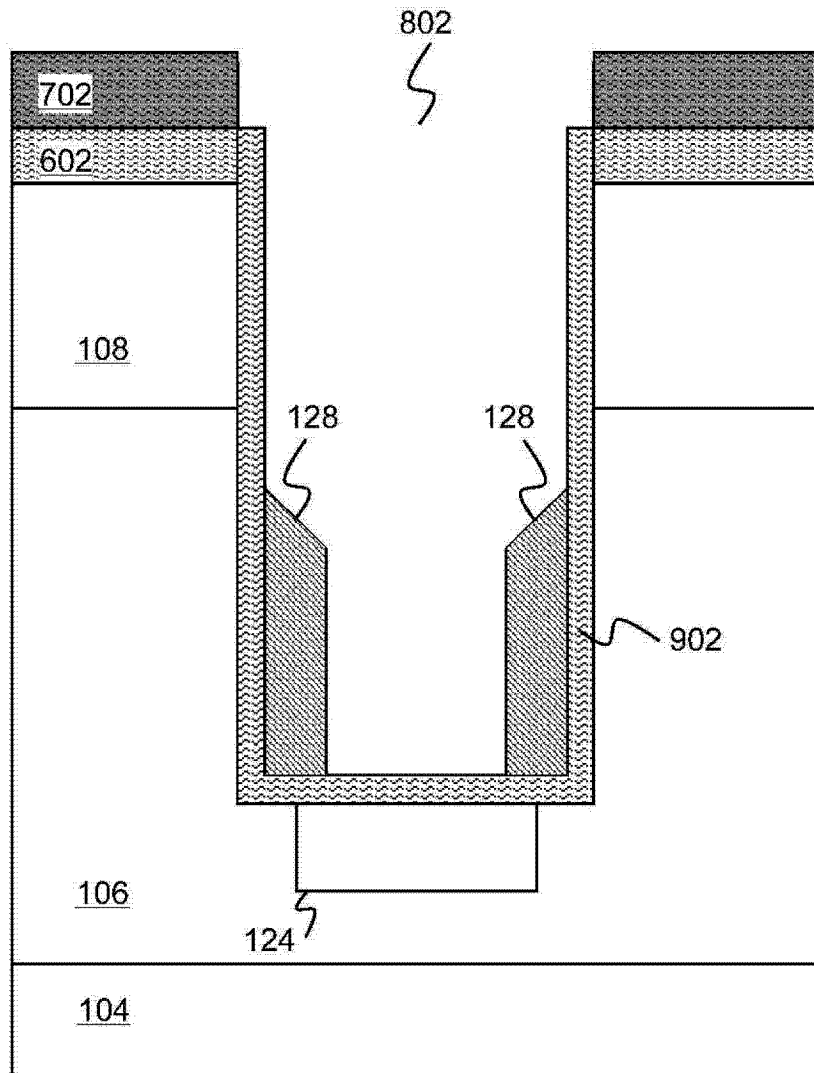


图 12

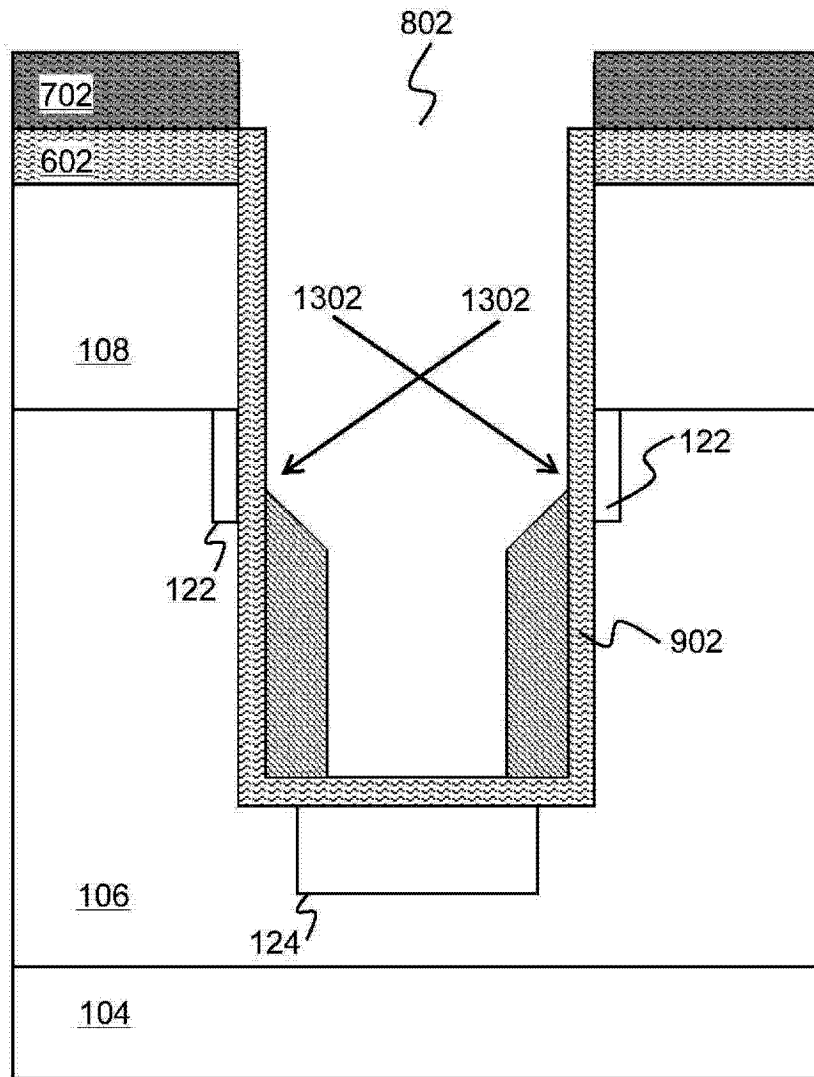


图 13

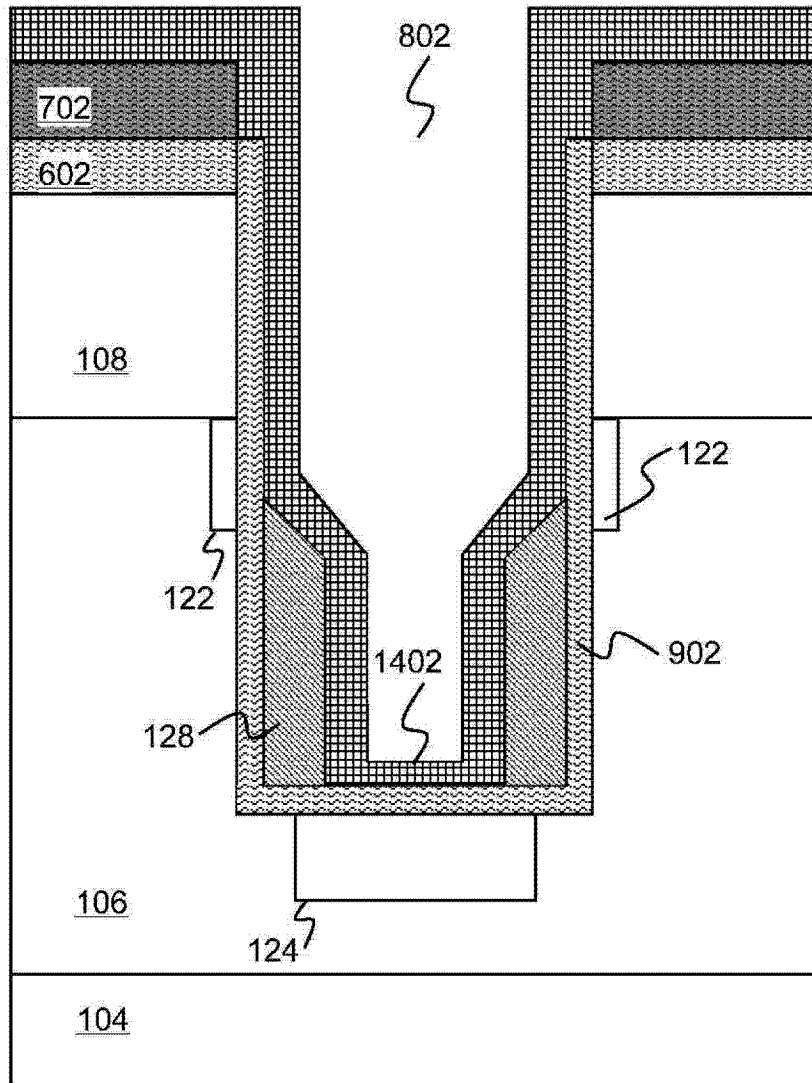


图 14

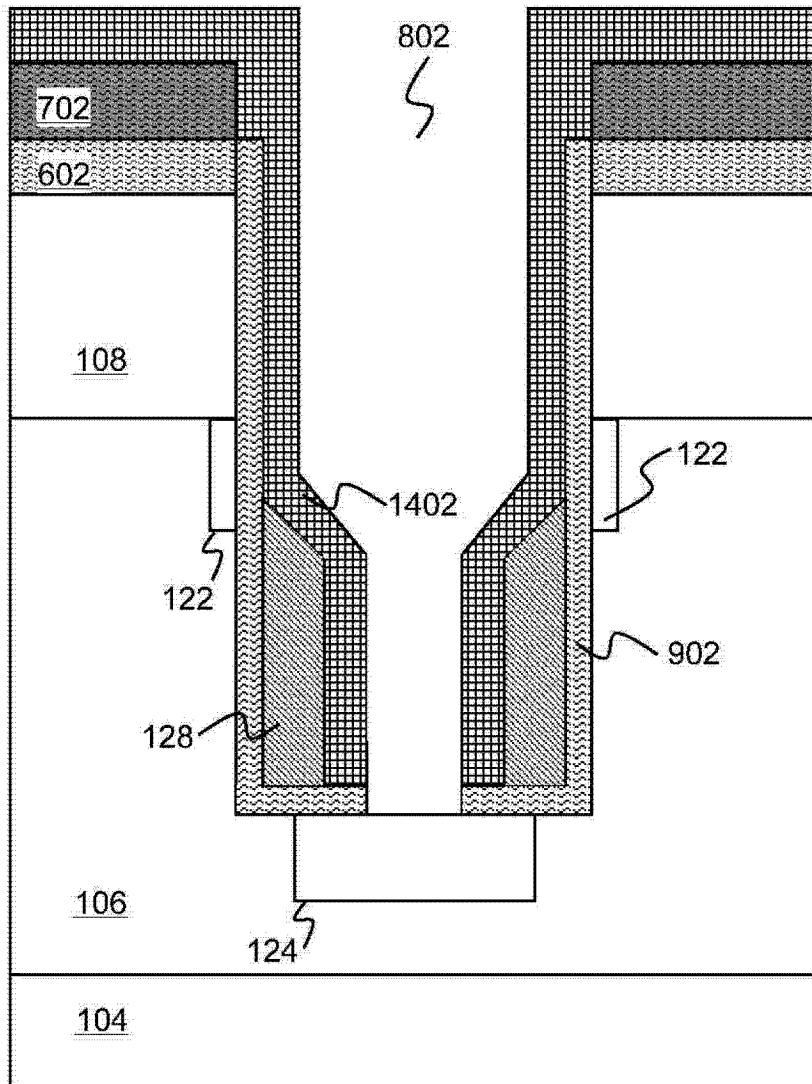


图 15

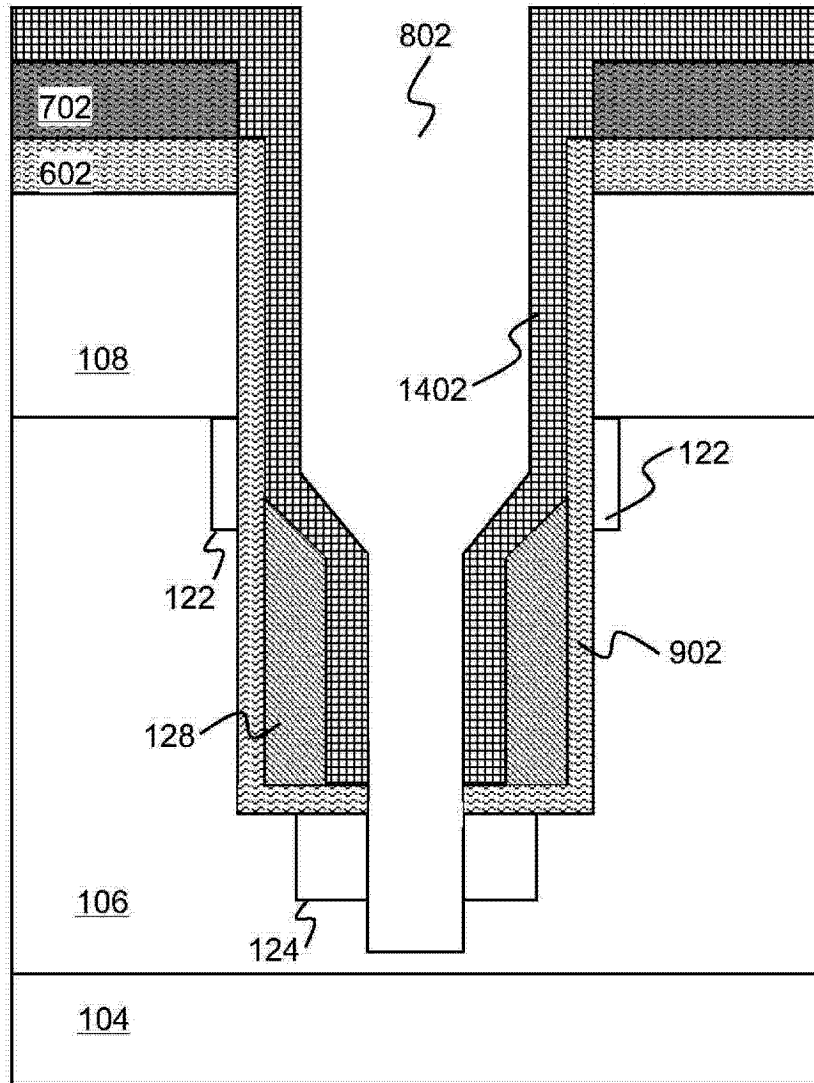


图 16

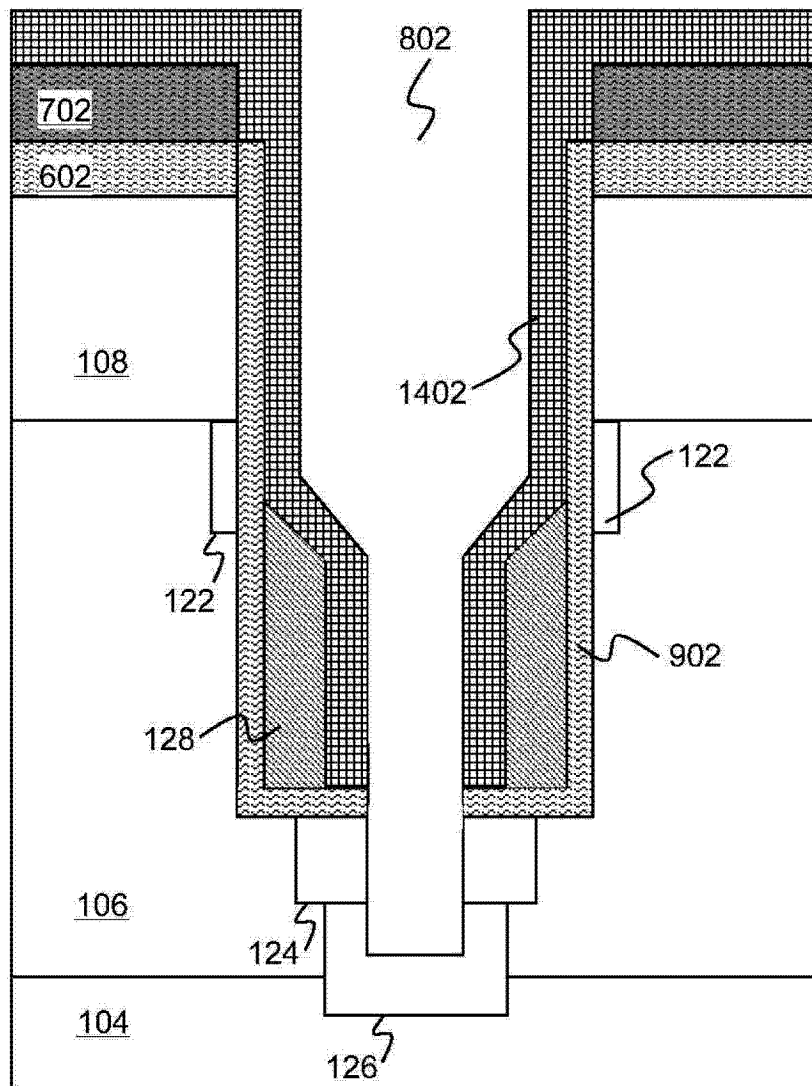


图 17

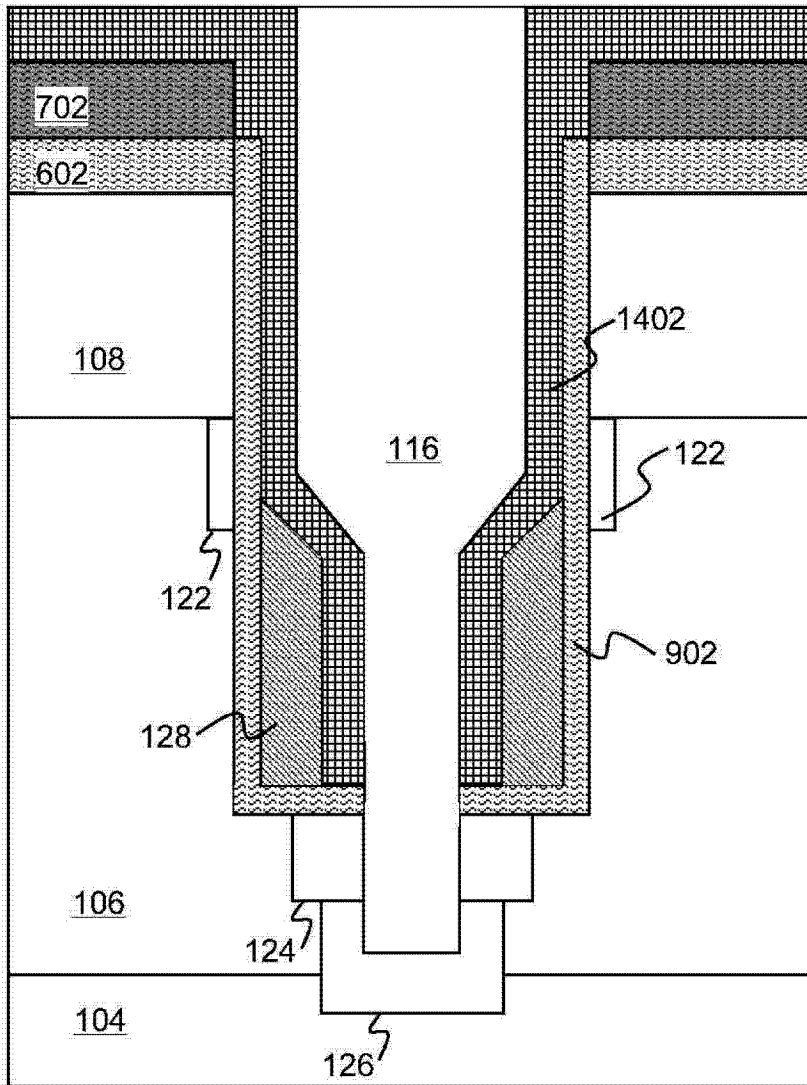


图 18

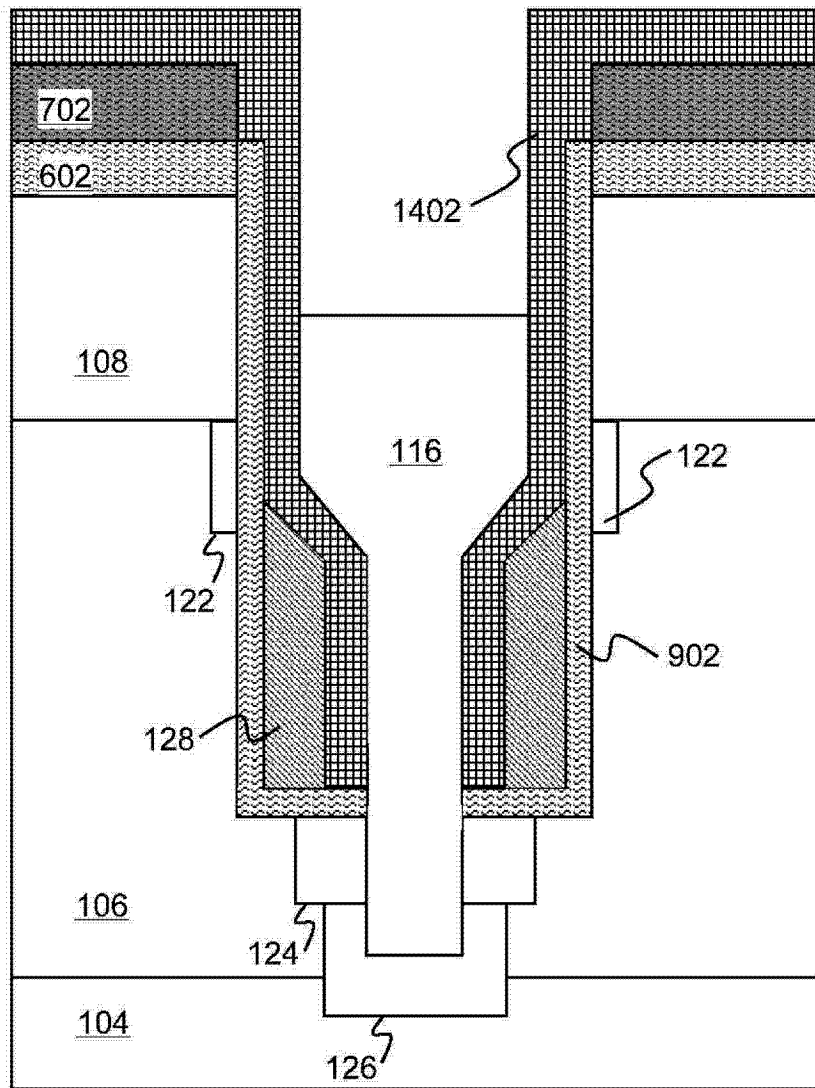


图 19

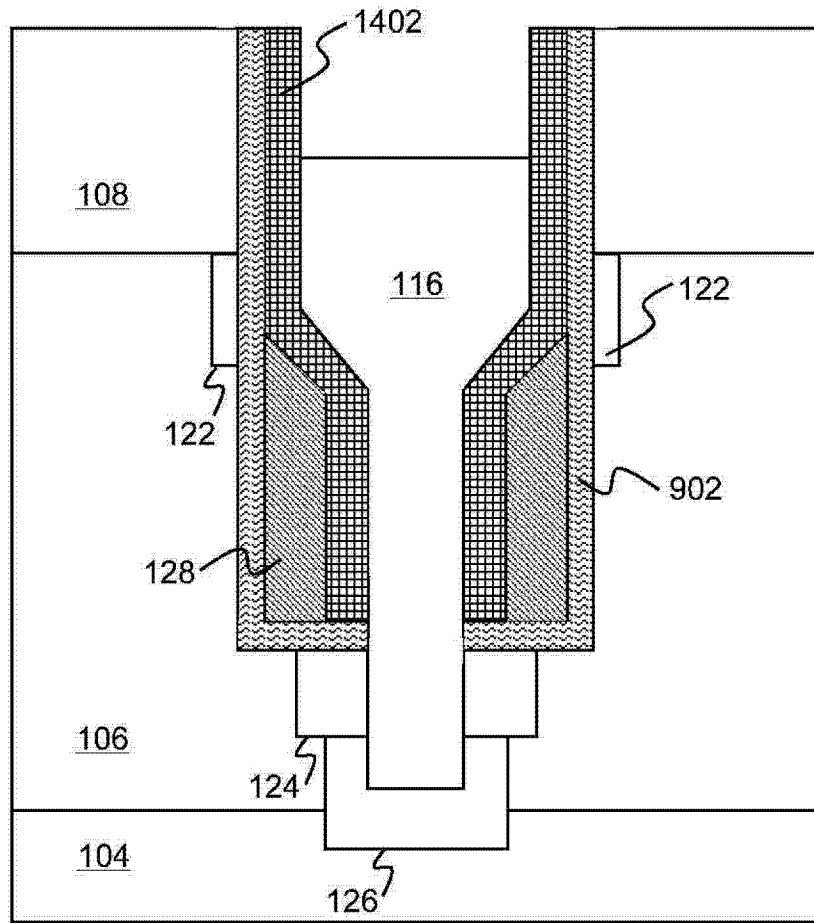


图 20

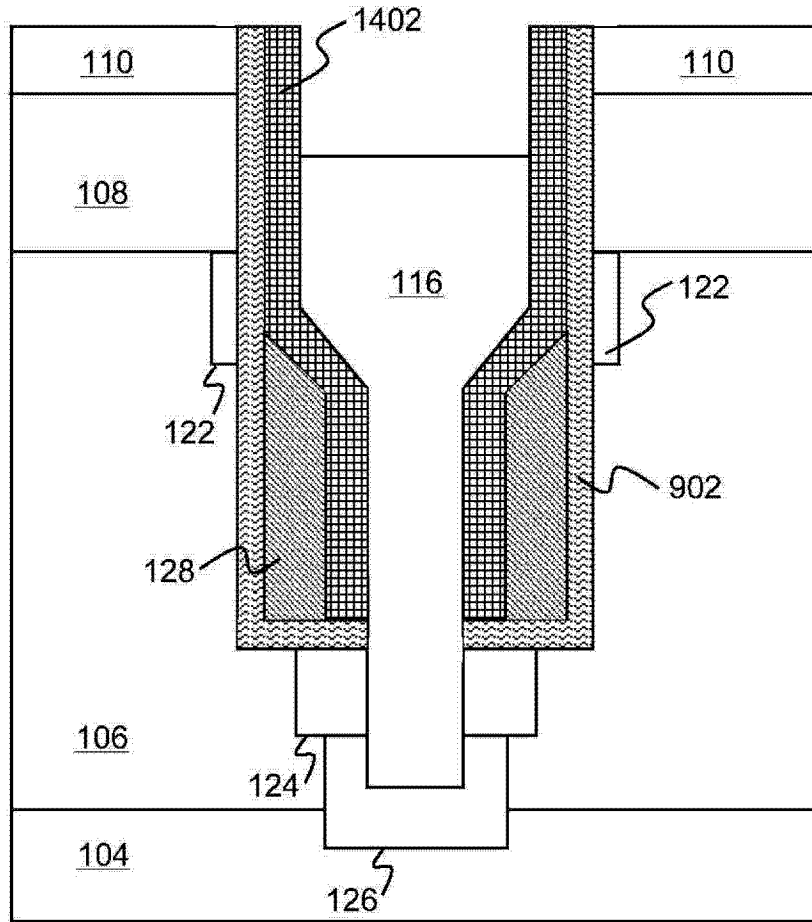


图 21

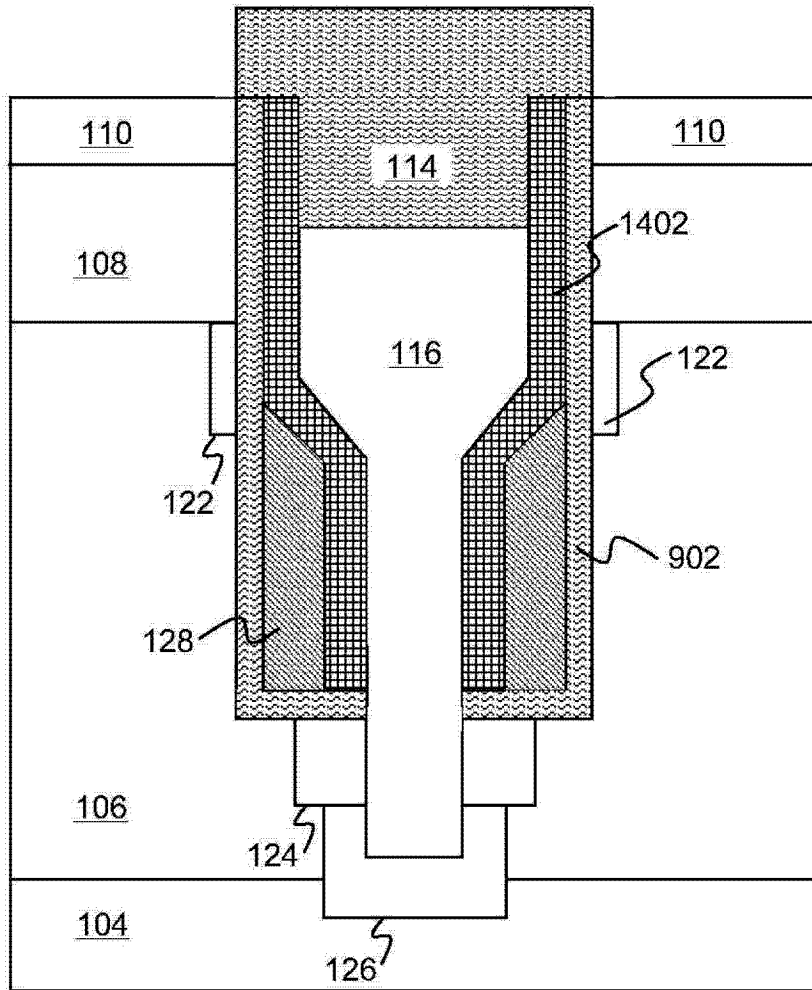


图 22

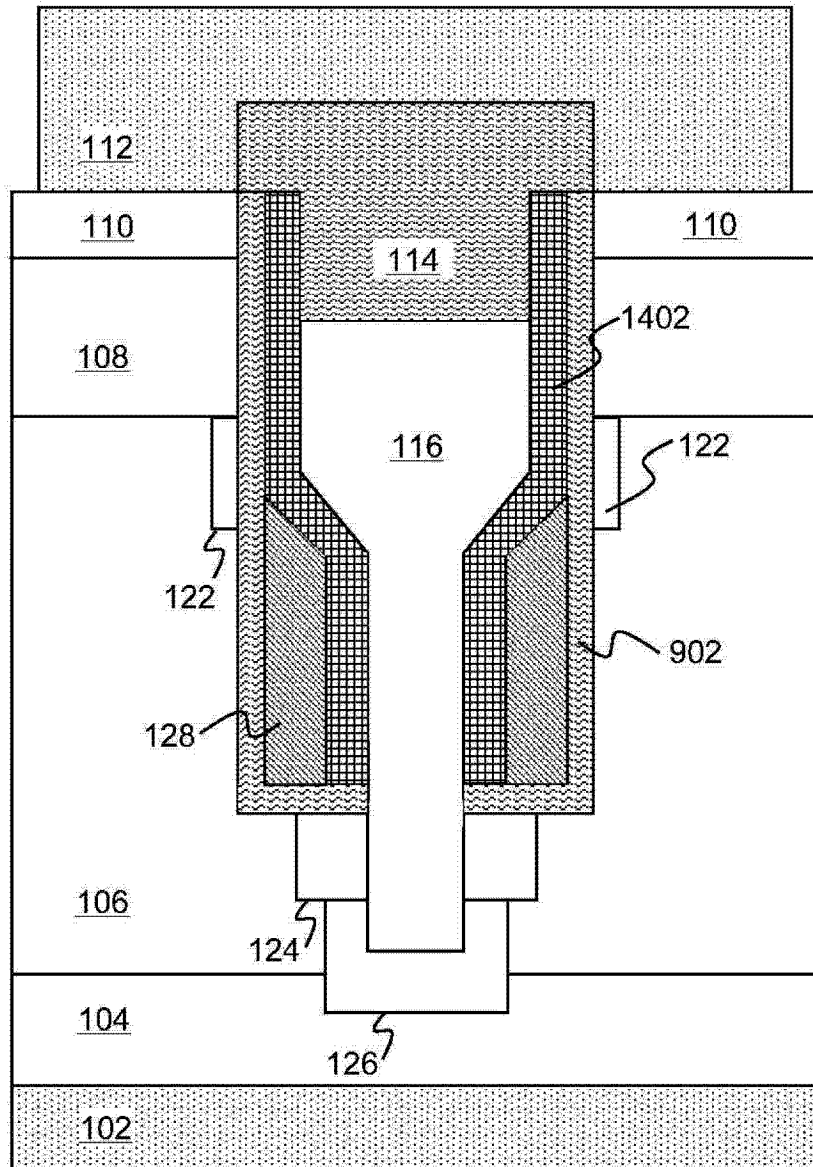


图 23