

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：95110562

※申請日期：95年03月27日

※IPC分類：H01L 21/8239 (2006.01)

一、發明名稱：

(中) 記憶裝置和其製造方法

(英) Memory device and manufacturing method the same

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 5 人)

1. 姓名：(中) 淺見良信

(英) ASAMI, YOSHINOBU

國籍：(中) 日本

(英) JAPAN

2. 姓名：(中) 高野圭惠

(英) TAKANO, TAMAE

國籍：(中) 日本

(英) JAPAN

3. 姓名：(中) 坂倉真之

(英) SAKAKURA, MASAYUKI

國籍：(中) 日本

(英) JAPAN

4. 姓名：(中) 野村亮二

(英) NOMURA, RYOJI

國籍：(中) 日本

(英) JAPAN

5. 姓名：(中) 山崎舜平
(英) YAMAZAKI, SHUNPEI
國籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2005/03/28 ; 2005-091318 有主張優先權

五、中文發明摘要

發明名稱：記憶裝置和其製造方法

能傳送並且接收資料而不需接觸之半導體裝置在某程度上是逐漸盛行的，如鐵路票卡，電子錢卡片，等等；不過，提供廉價的半導體裝置以更進一步地普及此技術是非常重要的。根據上述目前的條件，本發明之半導體裝置包括簡單結構之記憶體提供一種廉價的半導體裝置和其製造方法。在記憶體內的記憶單元包含具有有機化合物之層體，以及在記憶單元部分的薄膜電晶體（TFT）之源極電極或汲極電極，其作為一導電層，形成記憶單元的位元線。

六、英文發明摘要

發明名稱：

MEMORY DEVICE AND MANUFACTURING METHOD THE SAME

A semiconductor device that can transmit and receive data without contact is popular partly as some railway passes, electronic money cards, and the like; however, it has been a prime task to provide an inexpensive semiconductor device for further popularization. In view of the above current conditions, a semiconductor device of the present invention includes a memory with a simple structure for providing an inexpensive semiconductor device and a manufacturing method thereof. A memory element included in the memory includes a layer containing an organic compound, and a source electrode or a drain electrode of a TFT provided in the memory element portion is used as a conductive layer which forms a bit line of the memory element.

七、指定代表圖：

(一)、本案指定代表圖為：第(1)圖

(二)、本代表圖之元件代表符號簡單說明：

10：基板	11：底絕緣膜層
12：閘極絕緣膜層	13：源級或汲極區域
14：源級或汲極區域	15：閘極電極
16：層間絕緣膜層	17a：層體
17b：層體	17c：層體
18a：層體	18b：層體
18c：層體	19：絕緣膜層
20a：緩衝層	20b：有機化合物層
21：第二電極層	22：側壁
23：低摻雜汲極區域	24：低摻雜汲極區域
25a：層體	25b：層體
25c：層體	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

九、發明說明

【發明所屬之技術領域】

本發明與能傳送和接收數據的半導體裝置與其驅動方法有關。

應注意的是，在本說明中使用的名詞"半導體裝置"通常是指能透過利用半導體特性操作的裝置，以及在半導體裝置內包含的光電裝置，半導體電路，和電子裝置。

【先前技術】

近年來，利用一電磁場或者一電波，傳送並且接收數據而不需接觸的半導體裝置已被發展出來。這樣的半導體裝置被稱為 RF (射頻) 標籤，無線標籤，電子標籤，一發射應答器，諸如此類。目前實際被使用的大多數半導體裝置使用包含一半導體基板的電路 (這樣的電路也被稱為 IC (積體電路) 晶片) 以及一天線。在 IC 晶片中，可以整合記憶體和控制電路。

雖然能傳送並且接收數據而不需接觸的半導體裝置已經在部分的一些鐵路票卡，電子錢卡片，等等中盛行，供應廉價的半導體裝置以更進一步地普及化是本發明的首要任務之一。

【發明內容】

由於上述的現存技術問題，本發明的目標之一係為提供包含一簡單結構記憶體之半導體裝置，以提供廉價半

(2)

導體裝置和其製造方法。

本發明的另一個目標係在製造包含記憶體之半導體裝置之方法中，降低其步驟的數目。

本發明的一個特徵係為一記憶裝置，其包含具有有機化合物之一層體，其中在記憶裝置內的 TFT 之一源極電極或一汲極電極可用作一導電層，形成記憶裝置之位元線。與透過一連接電極連接 TFT 之源極電極或汲極電極至記憶裝置之導電層的結構相比，本發明中的 TFT 之源極電極或汲極電極與記憶裝置之位元線可由一導線做成，進而降低接觸電阻和導線阻抗。因此，本發明能降低一半導體裝置的功耗。

另一特徵係為在記憶單元部分中的 TFT 之源極電極或源極電極可藉由蝕刻記憶裝置之位元線的導電層形成。

在說明中所揭露，本發明的另一個例子係為一記憶裝置，其中的一個例子，如第 1 圖中所示，包含一位元線，向一第一個方向延伸；一字元線，向與第一方向垂直的一第二方向延伸；以及一記憶胞，包含一記憶單元，此記憶單元包含形成此位元線之一導電層，一有機化合物層，和形成此字元線之一導電層之一層疊結構，形成此位元線之導電層係為與一薄膜電晶體之一半導體層接觸的電極。

本發明之另一個例子係為一記憶裝置，其中的一個例子，如第 2 圖中所示，包含一位元線，向一第一個方向延伸；一字元線，向與第一方向垂直的一第二方向延伸；以及一記憶胞，包含一記憶單元，記憶單元包含形成字元線

(3)

的一導電層之一層疊結構，一有機化合物層，和形成位元線的一導電層，形成位元線之導電層係為與一薄膜電晶體之一半導體層接觸的電極，形成位元線之導電層包含一第一區域，具有二金屬膜層疊於其上，和一第二區域，具有三金屬膜層疊於其上。

本發明之另一個例子係為一記憶裝置，其中的一個例子，如第 3 圖中所示，包含一位元線，向一第一個方向延伸；一字元線，向與第一方向垂直的一第二方向延伸；以及一記憶胞，包含一記憶單元，其中，記憶單元包含形成字元線的一導電層之一層疊結構，一有機化合物層，和形成位元線的一導電層，形成位元線之導電層係為與一薄膜電晶體之一半導體層接觸的電極，形成位元線之導電層包含一第一區域，具有一金屬膜層疊於其上，和一第二區域，具有三金屬膜層疊於其上。

本發明之另一個例子係為一記憶裝置，其中的一個例子，如第 4 圖中所示，包含一位元線，向一第一個方向延伸；一字元線，向與第一方向垂直的一第二方向延伸；以及一記憶胞，包含一記憶單元，其中，記憶單元包含形成字元線的一導電層之一層疊結構，一有機化合物層，和形成位元線的一導電層，形成位元線之導電層係與一薄膜電晶體之一半導體層接觸為的電極，形成位元線之導電層包含一第一區域，具有二金屬膜層疊於其上，一第二區域，具有三金屬膜層疊於其上，和位於第一區域和第二區域之間的一邊界被一絕緣膜層所覆蓋。

(4)

本發明之另一個例子係為一記憶裝置，包含一位元線，向一第一個方向延伸；一字元線，向與第一方向垂直的一第二方向延伸；以及一記憶胞，包含一記憶單元，記憶單元包含形成字元線的一導電層之一層疊結構，一有機化合物層，和形成位元線的一導電層，形成位元線之導電層係與一薄膜電晶體之一半導體層接觸的電極，形成位元線之導電層包含一第一區域，具有一金屬膜層疊於其上，一第二區域，具有三金屬膜層疊於其上，位於第一區域和第二區域之間的一邊界被一絕緣膜層所覆蓋。

在每一上述例子中，形成位元線的導電層係為一單層膜，其包含選自 Ti, Al, Ag, Ni, W, Ta, Nb, Cr, Pt, Zn, Sn, In, 以及 Mo 或者包含上述元素之一合金或者以其主要成分之化合物材料或其一層疊膜。

在每一上述例子中，形成位元線之導電層和形成字元線之導電層的其一或兩者可以包含一光傳輸特性。另外，薄膜電晶體可以是有機電晶體。

在每一上述例子中，在形成字元線的有機化合物層和導電層之間或者形成位元線的有機化合物層和導電層之間的一部件包含一整流特性。應注意的是，因為此部件具有整流特性，薄膜電晶體，二極體或此類的閘極電極和汲極電極可以彼此連接。

在每一上述例子中，一緩衝層或一有機化合物層可以與形成位元線的導電層之第一區域接觸。

在每一上述例子中，記憶裝置更進一步包含控制記憶

(5)

單元的控制電路與一天線。

另外，本發明也包含一種製造記憶裝置的方法。此製造一記憶裝置之方法，包含一位元線，向一第一個方向延伸，一字元線，向與第一方向垂直的一第二方向延伸，以及一記憶胞，包含一記憶單元，其包含以下步驟：形成一位元線，其包含層疊金屬層；形成一絕緣膜層，覆蓋至少位元線的一端部分；透過使用絕緣膜層作為一掩模進行蝕刻，以修薄部分位元線，藉此在位元線中，形成具有一傾斜側表面的一凹部；形成一包含一有機化合物之層體於絕緣膜層和凹部之上；以及形成一字元線於包含有機化合物的層體之上。

另外，另一種製造記憶裝置的方法係為一種用於製造一記憶裝置之方法，包含一位元線，向一第一個方向延伸，一字元線，向與第一方向垂直的一第二方向延伸，以及一記憶胞，包含一記憶單元，其包含以下步驟：形成包含一半導體層之一薄膜電晶體；形成一絕緣膜層，覆蓋此薄膜電晶體；形成一包含層疊金屬層之電極，與半導體層接觸，位於絕緣膜層之上；除去部分電極，藉此形成一第一區域和一第二個區域，其中在第二區域的許多層疊金屬層比在第一區域的大；形成一絕緣膜層，覆蓋在電極的第二區域和第一與第二區域之間的一邊界；形成一緩衝層於第一區域之上；形成一包含一有機化合物之層體於緩衝層之上；以及形成一字元線於包含此有機化合物的層體之上。

本發明在用於製造包含主動式矩陣類型記憶裝置之半

(6)

導體裝置的方法中，可以降低其步驟的數目。

【實施方式】

在下文，本發明的實施例之模式將參照所附之圖示說明。不過，本發明可以在許多不同的模式下進行。熟悉此技藝之人士可以輕易地知道，本發明的模式和細節可以在沒有背離本發明的精神和範圍內被修改。因此，本發明並非只限於下列所描述之實施例模式。必須注意的是下列的圖示中，相同的參考編號表示相同的部分或者具有相似功能的部分，並且對此部分的重複描述將被省略。

(實施例模式 1) 第 1 圖係為一剖面示意圖，描述本發明之半導體裝置的例子，特別是，包含大量記憶單元的記憶裝置，每一記憶單元內置有一有機化合物層（此裝置在下文也稱為一有機記憶體或一有機記憶裝置）。

在第 1 圖中，在一個基板 10 上方，具有一絕緣表面的 TFT（n 通道 TFT 或者 p 通道 TFT）係為一元件，用於控制流至一記憶胞的有機化合物層 20b 的電流，並且，參考標號 13 和 14 表示源極或者汲極區域。

一底絕緣膜層 11（其中，一上層體係為一氮化物絕緣膜層和一下層體係為氧化物絕緣膜層）形成並覆蓋基板 10，以及一閘極絕緣膜層 12 被置於一閘極電極 15 和一半導體層之間。另外，一閘極電極 15 的側面配置有一側壁 22。更進一步，參考編號 16 表示一層間絕緣膜層，其由非有機材料之單層體，如矽氧化物，矽氮化物，矽氮

(7)

氧化物，鋁氮化物或者鋁氮氧化物或者其複數層疊層體形成。雖然未顯示於圖中，除在圖示中顯示的 TFT 之外，一記憶胞可以配置有一或更多 TFTs (n 通道 TFT 或者 p 通道 TFT)。而且，其中雖顯示包含一通道形成區域的 TFT，這並不表示有特別的限制。其中也可以使用包含大量通道形成區域的 TFT。

如第 1 圖所示，一個低摻雜汲極區域 (LDD) 結構，可以使用包含在通道形成區域和源極或者汲極區域之間的 LDD 區域 23 和 24。在此結構中，通道形成區域和加入高濃度雜質元素形成的源極或汲極區域之間，加入低濃度雜質元素以形成一區域。此區域稱爲一 LDD 區域。

參考編號 18a 至 18c 表示複數層體，包含一第一電極層，也就是，形成記憶單元之位元線的一導電層。第一電極層具有三層體結構。其中，依順序形成層疊，作爲導電層 18a 的一鈦薄層，包含以鋁爲主要成分的一層體 18b 和一鈦薄層之層體 18c。因爲可以降低接觸電阻，所以一般會使用一鈦薄層爲層體 18a 和源極或者汲極區域形成接觸。以鋁爲主要成分的一薄層具有低電阻特性；因此，當在此三層結構中，其具有最大厚度時，會具有可以降低整個導線電阻的優點。另外，以鋁爲主要成分的一薄層會容易被氧化，並且，當遇到加熱或是在稍後步驟中的類似情況，會產生如一小丘的突起部。因此，最好層疊一鈦薄層，以防止氧化和產生突起部。當被氧化後，以鋁爲主要成分的一薄層會變成一絕緣膜層，相反的，鈦薄層即使被氧化

(8)

，仍然會具有半導體特性。因此，一鈦薄層可以克服以鋁為主要成分的薄層所產生的增加電阻。考慮到這些情形，作為層體 18a 的鈦薄層，包含鋁為主要成分之薄層的層體 18b，以及作為鈦薄層的層體 18c 儘可能是連續形成，且需防止其暴露於空氣當中。

另外，包含層體 17a 至 17c 的一源極線也形成為相同之層疊結構（全部三層）。此層疊結構（全部三層）包含以鋁為主要成分的一薄層，其可作為低電阻線路，並且連接部分的層體 25a 至 25c 的連接線路也在相同時間形成。

除在記憶單元部分中的 TFTs 之外，也形成用於記憶單元部分控制操作之電路。更進一步地說，在相同的層疊結構（全部三層體）中，也可以形成驅動電路的導線，以使驅動電路可以具有一低電阻導線。透過一低電阻導線組成驅動電路，可以降低驅動電路的功耗。用於記憶單元部分之控制操作的驅動電路可以是，例如，解碼器，一讀出放大器，一選擇器，一緩衝器，一讀取電路，一寫入電路，或類似電路。

在記憶胞之間具有一絕緣膜層 19。絕緣膜層 19 位於鄰近記憶胞之間的邊界，以圍繞並覆蓋包含 18a 至 18c 層體之第一電極層的週邊。如同絕緣膜層 19，一包含氧或氮之無機材料的單層結構，例如矽氧化物（ SiO_x ），矽氮化物（ SiN_x ），矽氧氮化物（ SiO_xN_y ）（ $x > y$ ），或者矽氮氧化物（ SiN_xO_y ）（ $x > y$ ），等等，或者也可以使用其層疊結構。或者，絕緣膜層 19 可以由單層體或層疊

(9)

結構形成，其中包含有機材料，如聚亞醯胺（polyimide），聚醯胺（polyamide），聚乙烯基苯酚（polyvinylphenol），苯環丁烯（benzocyclobutene），丙烯酸（acryl），或環氧（epoxy），或者其類似材料。更進一步地說，它可以由有機材料與無機材料之層疊結構形成。

一第二電極層 21，可以使用一單層體或者也可以被使用由黃金（Au），銀（Ag），鉑（Pt），鎳（Ni），鎢（W），鉻（Cr），鉬（Mo），鐵（Fe），鈷（Co），銅（Cu），鈀（Pd），碳（C），鋁（Al），錳（Mn），鈦（Ti），以及鉭（Ta）中選出來的一元素或者包含大量元素的一合金之層疊結構。

另外，在包含層體 18a 至 18c 之第一電極層與第二電極層 21 之間具有包含有機化合物（一第一層體（緩衝層 20a）與一第二層體（有機化合物層 20b）之一層疊層體）之層疊層體。

緩衝層 20a 係為一合成層體，包含有機化合物和無機化合物，其對此有機化合物表現出可接受電子之特性，更進一步說，一合成層體包含一金屬氧化物和一有機化合物。此緩衝層也能提供極好的傳導性，另外在耐熱性方面也有改善，也就是透過混入一無機化合物之方式加以改善。

更特別地說，緩衝層 20a 係為一合成層體，包含金屬氧化物（例如，鉬氧化物，鎢氧化物或者銻氧化物）和一有機化合物（如具有電洞傳送特性材料（如，化合物

(10)

4,4'-bis[N-(3-methylphenyl)-N-phenylamino]biphenyl (縮寫: TPD), 4,4'-bis[N-(1-naphthyl)-N-phenylamino]biphenyl (縮寫: α -NPD), 4,4'-{N-[4-(N,N-dimethylamino)phenyl]-N-phenylamino}biphenyl (縮寫: DNTPD), 或類似化合物)。

透過在第一電極層上提供緩衝層, 第一電極層內之第三層體和記憶單元內之第二電極層之間的距離可以增大, 並且, 由於金屬電極表面不平所引起的記憶單元之短路, 或類似問題的初期故障可以被排除。

當有機化合物層 20b, 也就是第二層體, 可由一種具有導電性之有機化合物材料之一單層體或層疊層體形成。一種具有傳遞載子特性的材料, 可以為具有導電性之有機化合物材料的具體例子之一。

如果在第一電極層之第三層體和第二層體 20 b 彼此之間不具有適當的黏附性, 當緩衝層被置放於其界面之間時, 可以改善其黏附性。因為緩衝層是包含金屬氧化物和有機化合物的合成層體, 它對由金屬形成的第一電極層和由有機化合物形成的第二層體皆具有極佳的黏附性。

雖然在此的說明係以一頂端閘極 TFT 為例, 本發明可以使用於非 TFT 結構中, 例如, 一底端閘極 (倒置交錯) TFT 和一交錯 TFT。而且, 本發明不侷限於單一閘極結構的 TFT, 並且, 也可使用具有大量通道形成區域的多閘極 TFT, 例如, 雙閘極 TFT。

在本說明中, TFT 之主動半導體層可為一半導體膜層

(11)

，包含主要成分為矽，一半導體膜層，包含主要成分為一有機材料，或者一半導體膜層，包含主要部件為金屬氧化物。當此半導體膜層使用矽作為其主要成分時，可使用非晶形半導體膜層，具有晶體結構之半導體膜層，具有非晶形結構之化合物半導體膜層，或類似膜層。特別的是，非晶形矽，微晶矽，多晶矽，或類似物質可用於主要部件為矽的半導體膜層中。當此半導體膜層使用有機材料作為其主要成分，一個半導體膜可以包含，定量的碳或者碳之同素異形物（除了鑽石），其以與另一元素之結合作為其主要成分。具體的說，可以被使用五苯碳基有機物質（pentacene），四苯碳基有機物質（tetracene），吩類寡聚合物之衍生物（thiophen oligomer derivative），伸苯基衍生物（phenylene derivative），酞花青（phthalocyanine）化合物，聚乙炔（polyacetylene）衍生物，聚吩（polythiophene）衍生物，花青（cyanine）染料，或類似物質。更進一步說，主要成分為金屬氧化物之半導體膜層，可以使用氧化鋅（ZnO）；鋅，鎵和銦的氧化物（In-Ga-Zn-O）；或者其類似物質。

而且，可以使用一種剝離技術，將其轉移至撓性基板。舉例來說，可以先形成一剝離層或一分離層至一第一基板，例如，一玻璃基板，之後再形成一TFT和一記憶裝置。然後，剝離層或分離層可被移除，並且從第一基板剝離的TFT和記憶裝置可以被轉移至一第二基板，也就是一撓性基板。

(12)

(實施例模式 2) 在此實施例模式中，以一記憶裝置為例，其顯示於第 2 圖中，具有不同於實施例模式 1 之結構。

在第 2 圖中所顯示的結構，包含一第一區域，其中一第一電極層之部分，由於使用一絕緣膜層 219 作為掩膜以進行蝕刻而變的較薄，並且，第一區域和一記憶胞之一層疊結構層體接觸，其包含有機化合物（一緩衝層 220a 和一有機化合物層 220b）。絕緣膜層 219 位於鄰近記憶胞間之邊界與週邊，並且覆蓋第一電極層之週邊。

包含層體 218a 至 218c 的一第一電極層係為形成記憶單元之位元線的一導電層。包含 218a 至 218c 層體的第一電極層具有包含兩層體 218a, 218b 的一第一區域，具有三層體 218a 至 218c 的一第二區域，以及一斷階，其位於第一區域和第二區域之間的邊界。在此，作為層體 218a 之一鈦薄層，包含鋁為主要成分之一薄層 218b 和鈦薄層層體 218c 依順序形成層疊結構。

另外，包含層體 217a 至 217c 的一源極線也形成相同層疊結構（全部三層）。層疊結構（全部三層）包含以鋁作為其主要成分的一薄層，其可形成一低電阻導線，和一包含連接部分層體 225a 至 225c 的一連接導線也同時形成。

在第 2 圖中應注意的是，在具有一絕緣表面的基板 210 上方，置有一 TFT（n 通道 TFT 或者 p 通道 TFT）係為一元件，用於控制流至記憶胞的有機化合物層 220b 之

(13)

電流，並且參考標號 213 和 214 表示源極或汲極區域。另外，在第 2 圖裡顯示的 TFT，在通道形成區域和源極或汲極區域之間，具有低摻雜汲極區域（LDD）區域 223 和 224。

一底絕緣膜層 211（在此，其底部層體係為氮化物絕緣膜層，其上部層體係為氧化物絕緣膜層）形成於基板 210 之上方，並且，一閘極絕緣膜層 212 位於一閘極電極 215 和一半導體層之間。另外，閘極電極 215 的側表面配置有一側壁 222。更進一步地說，一參考標號 216 表示一層間絕緣膜層，由一單層無機材料形成，如矽氧化物，矽氮化物，矽氮氧化物，鋁氮化物或者鋁氮氧化物或者其層疊層體。

透過提供緩衝層 220a 於第一電極層上，記憶單元內之第一電極層和第二電極層 221 之間的距離可以增加，並且，由於金屬電極表面不平所引起的記憶單元之初期短路故障，或其類似問題可以被排除。如果第一電極層的第二層體 218b 和有機化合物層 220b 之間並沒有良好的黏附性，緩衝層 220a 可以在層體之間改善黏附性。在第 2 圖裡顯示的結構中，第一電極層的第二層體 218b 和緩衝區 220a 層彼此接觸，並且部分第一絕緣層 218c 被除去。由於在結構中，部分第一絕緣層 218c 被除去，並且，具有主要成分為鋁之一薄層和緩衝層 220a 彼此接觸，可以降低此記憶單元的電阻。

有機化合物層 220b，也就是第二層體，係由具有傳

(14)

導性的有機化合物材料之一單層或層疊結構形成。具有傳送載子特性之材料為有機化合物材料具有傳導性的具體例子之一。

必須注意的是，如果沒有特別的需要，不一定要使用緩衝層 220a。

第 2 圖裡顯示的結構中，第二電極層 221 係在連接部分中與第一電極層之第二層體接觸。對於第二電極層 221 和第一電極層之第二層體，使用具有相同金屬元素之材料為其主要成分，也可以使其具有低接觸電阻。

此實施例模式可以任意地與實施例模式 1 相結合。

(實施例模式 3) 在此實施例模式中，以一記憶裝置為例，其具有和第一與第二實施例模式不同的結構，顯示於第 3 圖中。

在第 3 圖中所顯示的結構，包含一第一區域，其中一第一電極層之部分，由於使用一絕緣膜層 319 作為掩膜以進行蝕刻而變的較薄，並且，第一區域和一記憶胞之一層疊結構層體接觸，其包含有機化合物（一緩衝層 320a 和一有機化合物層 320b）。絕緣膜層 319 位於鄰近記憶胞間之邊界與週邊，並且覆蓋第一電極層之週邊。

包含層體 318a 至 318c 的一第一電極層係為形成記憶單元之位元線的一導電層。包含層體 318a 至 318c 的第一電極層具有包含一單一層體的一第一區域，具有三層體的一第二區域，以及一斷階，其位於第一區域和第二區域之間的邊界。在此，作為層體 318a 之一鈦薄層，包含鋁為

(15)

主要成分之一薄層 318b 和鈦薄層層體 318c 依順序形成層疊結構。

另外，包含層體 317a 至 317c 的一源極線也形成相同層疊結構（全部三層）。層疊結構（全部三層）包含以鋁作為其主要成分的一薄層，其可形成一低電阻導線，和一包含連接部分層體 325a 至 325c 的一連接導線也同時形成。

在第 3 圖中應注意的是，在具有一絕緣表面的基板 310 上方，一 TFT（n 通道 TFT 或者 p 通道 TFT）係為一元件，用於控制流至記憶胞的有機化合物層 320b 之電流，並且參考標號 313 和 314 表示源極或汲極區域。另外，在第 3 圖裡顯示的 TFT，在通道形成區域和源極或汲極區域之間，具有低摻雜汲極區域（LDD）區域 323 和 324。

一底絕緣膜層 311（在此，其底部層體係為氮化物絕緣膜層，其上部層體係為氧化物絕緣膜層）形成於基板 310 之上方，並且，一閘極絕緣膜層 312 位於一閘極電極 315 和一半導體層之間。另外，閘極電極 315 的側表面配置有一側壁 322。更進一步地說，參考標號 316 表示一層間絕緣膜層，由一單層無機材料形成，如矽氧化物，矽氮化物，矽氮氧化物，鋁氮化物或者鋁氮氧化物或者其層疊層體。

透過提供緩衝層 320a 於第一電極層上，記憶單元內之第一電極層和第二電極層 321 之間的距離可以增加，並且，由於金屬電極表面不平所引起的記憶單元之初期短路

(16)

故障，或其類似問題可以被排除。

有機化合物層 320b，也就是第二層體，係由具有傳導性的有機化合物材料之一單層或其層疊結構形成。具有傳送載子特性之材料為有機化合物材料中具有傳導性的具體例子之一。

必須注意的是，如果沒有特別的需要，不一定要使用緩衝層 320a。

在第 3 圖裡顯示的結構中，因為在平坦的絕緣膜層 316 上方形成一薄層，第一電極層的第一層體 318a 可以具有相對較平的平面。因此，由於金屬電極表面不平所引起之記憶單元的初期短路故障，或其類似問題，可以被排除。

在連接部分中，第二電極層 321 和第一電極層的第一層體 325a 彼此接觸，並且，一第二層體 325b 的側表面也與第二電極層 321 接觸。透過使用如第 3 圖中所顯示的結構，可以增加在連接部分的接觸面積。

此實施例模式可以任意地與實施例模式 1 相結合。

(實施例模式 4) 在此實施例模式中，以一記憶裝置為例，其顯示於第 4 圖中，具有部分不同於實施例模式 2 之結構。

在實施例模式 2 中，描述使用一絕緣膜層作為掩膜，進行蝕刻的例子，在此，實施例模式描述使用另一掩膜進行蝕刻，以除去部分第一電極層之一第三層體的例子。

在第 4 圖中所顯示的結構，包含一第一區域，其中一

(17)

第一電極層之部分，由於使用一掩膜以進行蝕刻而變的較薄，並且，第一區域和一記憶胞之一層疊結構層體接觸，其包含有機化合物（一緩衝層 420a 和一有機化合物層 420b）。絕緣膜層 419 位於鄰近記憶胞間之邊界與週邊，並且覆蓋第一電極層之週邊。

包含層體 418a 至 418c 的一第一電極層係為形成記憶單元之位元線的一導電層。包含層體 418a 至 418c 的第一電極層具有包含兩層體 418a, 418b 的一第一區域，具有三層體 418a 至 418c 的一第二區域，以及一斷階，其位於第一區域和第二區域之間的邊界。在此，作為層體 418a 之一鈦薄層，包含鋁為主要成分之一薄層 418b 和鈦薄層層體 418c 依順序形成層疊結構。

在第 4 圖中，位於第一區域和第二區域之間的邊界之斷階，也為絕緣膜層 419 所覆蓋。

另外，包含層體 417a 至 417c 的一源極線也形成相同之層疊結構（全部三層）。層疊結構（全部三層）包含以鋁作為其主要成分的一薄層，其可形成一低電阻導線，和一包含連接部分層體 425a 至 425c 的一連接導線也同時形成。

在第 4 圖中應注意的是，在具有一絕緣表面的基板 410 上方，一 TFT（n 通道 TFT 或者 p 通道 TFT）係為一元件，用於控制流至記憶胞的有機化合物層 420b 之電流，並且參考標號 413 和 414 表示源極或汲極區域。另外，在第 4 圖裡顯示的 TFT，在通道形成區域和源極或汲極區

(18)

域之間，具有低摻雜汲極區域（LDD）區域 423 和 424。

一底絕緣膜層 411（在此，其底部層體係為氮化物絕緣膜層，其上部層體係為氧化物絕緣膜層）形成於基板 410 之上方，並且，一閘極絕緣膜層 412 位於一閘極電極 415 和一半導體層之間。另外，閘極電極 415 的側表面配置有一側壁 422。更進一步地說，參考標號 416 表示一層間絕緣膜層，由一單層無機材料形成，如矽氧化物，矽氮化物，矽氮氧化物，鋁氮化物或者鋁氮氧化物或者其層疊層體。

透過提供緩衝層 420a 於第一電極層上，記憶單元內之第一電極層和第二電極層 421 之間的距離可以增加，並且，由於金屬電極表面不平所引起的記憶單元之初期短路故障，或其類似問題可以被排除。如果第一電極層的第二層體 418b 和有機化合物層 420b 之間並沒有良好的黏附性，緩衝層 420a 可以在層體之間改善其黏附性。

有機化合物層 420b，也就是第二層體，係由具有傳導性的有機化合物材料之一單層或其層疊結構形成。具有傳送載子特性之材料為有機化合物材料中具有傳導性的具體例子之一。

必須注意的是，如果沒有特別的需要，不一定要使用緩衝層 420a。

此實施例模式可以任意地與實施例模式 1 相結合。

（實施例模式 5）在此實施例模式中，以一記憶裝置為例，其顯示於第 5 圖中，具有部分不同於實施例模式 4

(19)

之結構。

在實施例模式 4 中，描述移除部分第一電極層之一第三層體的例子，在這裡，此實施例模式描述一第一電極層之層體數目為四之例子，其部分的第四層體和第三層體被移除。

在第 5 圖中所顯示的結構，包含一第一區域，其中第一電極層之部分，由於進行蝕刻而變的較薄，並且，第一區域和一記憶胞之一層疊結構層體接觸，其包含有機化合物（一緩衝層 520a 和一有機化合物層 520b）。絕緣膜層 519 位於鄰近記憶胞間之邊界與週邊，並且覆蓋第一電極層之週邊。

包含層體 518a 至 518d 的一第一電極層係為形成記憶單元之位元線的一導電層。包含層體 518a 至 518d 的第一電極層具有包含兩層體 518a, 518b 的一第一區域，具有四層體 518a 至 518d 的一第二區域，以及一斷階，其位於第一區域和第二區域之間的邊界。在此，作為層體 518a 之一鈦薄層，作為層體 518b 之一鈦薄層，包含鋁為主要成分之一薄層 518c 和鈦薄層層體 518d 依順序形成層疊結構。

在第 5 圖中，位於第一區域和第二區域之間的邊界之斷階，也為絕緣膜層 519 所覆蓋。

另外，包含層體 517a 至 517d 的一源極線也形成相同之層疊結構（全部四層）。層疊結構（全部四層）包含以鋁作為其主要成分之一薄層，其可形成一低電阻導線，和

(20)

一包含連接部分層體 525a 至 525d 的一連接導線也同時形成。

在第 5 圖中應注意的是，在具有一絕緣表面的基板 510 上方，一 TFT (n 通道 TFT 或者 p 通道 TFT) 係為一單元，用於控制流至記憶胞的有機化合物層 520b 之電流，並且參考標號 513 和 514 表示源極或汲極區域。另外，在第 5 圖裡顯示的 TFT，在通道形成區域和源極或汲極區域之間，具有低摻雜汲極區域 (LDD) 區域 523 和 524。

一底絕緣膜層 511 (在此，其底部層體係為氮化物絕緣膜層，其上部層體係為氧化物絕緣膜層) 形成於基板 510 之上方，並且，一閘極絕緣膜層 512 位於一閘極電極 515 和一半導體層之間。另外，閘極電極 515 的側表面配置有一側壁 522。更進一步地說，參考標號 516 表示一層間絕緣膜層，由一單層無機材料形成，如矽氧化物，矽氮化物，矽氮氧化物，鋁氮化物或者鋁氮氧化物或者其層疊層體。

透過提供緩衝層 520a 於第一電極層上，記憶單元內之第一電極層和第二電極層 521 之間的距離可以增加，並且，由於金屬電極表面不平所引起的記憶單元之初期短路故障，或其類似問題可以被排除。如果第一電極層的第二層體 518b 和有機化合物層 520b 之間並沒有良好的黏附性，緩衝層 520a 可以在層體之間改善其黏附性。

有機化合物層 520b，也就是第二層體，係由具有傳導性的有機化合物材料之一單層或層疊結構形成。具有傳

(21)

送載子特性之材料為有機化合物材料中具有傳導性的具體例子之一。

必須注意的是，如果沒有特別的需要，不一定要使用緩衝層 520a。

此實施例模式可以任意地與實施例模式 1 相結合。

(實施例模式 6) 在此實施例模式中，描述一有機記憶體結構的例子。第 6A 圖顯示在此實施例模式中，描述一有機記憶體結構的例子，其包含一記憶胞陣列 1222，其中記憶胞 1221 被置於陣列中；一位元線驅動電路 1226，其包含一行排解碼器 1226a，一讀取電路 1226b 和一選擇器 1226c；一字元線驅動電路 1224，其包含一列排解碼器 1224a 和一位準偏移器 1224b；以及具有寫入電路等等，和與外部相互作用之一介面 1223。應注意的是，其中所描述的一記憶裝置 1216 之結構只是其中的一個例子。另外的電路，如一讀出放大器，一輸出電路，或者一緩衝器也可以被包含在內，並且寫入電路可以被置於位元線驅動電路中。

此記憶胞 1221 具有一第一繞線 1231，形成一字元線 W_y ($1 \leq y \leq n$)，一第二繞線 1232，形成一位元線 B_x ($1 \leq x \leq m$)，一電晶體 1240，以及一記憶單元 1241。記憶單元 1241 具有一結構，其中在一對導電層體之間置有一有機化合物層。

在第 6B 圖中顯示另一個例子，係為一記憶胞陣列 1222 的上表層結構。

(22)

在記憶胞陣列 1222 中，第一繞線 1231，在一第一個方向上延伸，並且，在陣列中，第二繞線 1232 在與第一方向垂直的一第二方向上延伸。第一繞線連接一電晶體 1240 的源極或汲極電極，並且第二繞線連接電晶體 1240 的閘極電極。更進一步地說，一第一電極層 1243 連接不被第一繞線連結的電晶體 1240 之一源極或汲極電極，並且，一記憶單元係由第一電極層 1243，有機化合物層和第二導電層之層疊結構形成。

此實施例模式可以任意地與實施例模式 1 至 5 中之任一相結合。

(實施例模式 7) 在此實施例模式中，參照第 7 圖，說明一種包含天線之有機記憶體的製造方法。應注意的是，第 7 圖顯示一實施例，其使用實施例模式 1 中所描述的記憶單元部分和連接部分，並且，其與第 1 圖中相同的部件，使用相同的參考編號。

應注意的是，除記憶單元部分和連接部分之外，第 7 圖更顯示一積體電路部分，例如，位元線驅動電路和一天線。

首先，一剝離層（也稱爲一分離層）在一玻璃基板上方形形成，並且，也形成一底絕緣膜層 11。然後，在底絕緣膜層上，形成大量電晶體作爲記憶單元部分的開關元件，以及，形成積體電路部分之金氧半（CMOS）電路內所包含的一 n 通道 TFT 27 和一 p 通道 TFT 26。在此實施例模式中應注意的是，在記憶單元內，每一電晶體之源極和

(23)

汲極之一，皆具有像包含層體 18a 至 18c 的第一電極層之功能。包含層體 18a 至 18c 的第一電極層可以藉由使用一種氣相沈積方法，一種濺鍍方法，一種化學氣相沈積（CVD）方法，液滴放電方法，一種旋轉塗層方法或者各種印刷方法，例如絲網印刷方法和凹板印刷而形成。

另外，如同包含層體 18a 至 18c 之第一導電層的形成步驟，形成一連接電極 28，其連接於稍後步驟中所形成的一天線。

接下來，形成一絕緣膜層 19，覆蓋包含層體 18a 至 18c 之第一電極層的一端部分。另外，絕緣膜層 19 也覆蓋住積體電路部分的 n 通道 TFT 27 和 p 通道 TFT 26。可以使用液滴放電方法，印刷方法，或者旋轉塗層方法形成絕緣膜層 19。如有必要，絕緣膜層 19 可以使用刻樣方法形成一個特定形狀。

接下來，一緩衝層 20a 和包含有機化合物的層體 20b 在包含層體 18a 至 18c 的第一電極層上方形成。應注意到緩衝層 20a 和包含有機化合物的層體 20b 可以全部被使用，或者選擇性的被使用，因此，在各自的記憶胞內的有機化合物層可以彼此分離。

然後，第二導電層 21 形成於包含有機化合物的層體 20b 上方。第二導電層 21 可以使用使用一種氣相沈積方法，一種濺鍍方法，一種化學氣相沈積（CVD）方法，液滴放電方法，一種旋轉塗層方法或者各種印刷方法，例如絲網印刷方法和凹板印刷而形成，就如同形成第一導電層

(24)

之方法。一記憶單元藉由一層疊結構形成，其包含至少具有層體 18a 至 18c 的第一導電層，包含有機化合物的層體 20b 和第二導電層 21。

在積體電路部分內，一電極 29 在相同步驟中與第二導電層 21 同時形成。電極 29 與在一天線連接部分內的一連接電極之間具有電性連結。另外，電極 29 能改善在稍後步驟中形成的天線和絕緣膜層 19 之間的黏附性。

接下來，天線 30 在電極 29 上方形成。於此，描述天線 30 形成於絕緣膜層 19 之上的例子；然而，本發明並不侷限於此結構。此天線可以形成於包含層體 18a 至 18c 的第一導電層之下或者在其相同的層體。

應注意的是，有兩種方法可以形成用於數據傳輸的天線。一個是，在由具有大量部件和記憶單元的一基板上方形成一天線；另一個是，形成一末端部分於具有大量部件和記憶單元的一基板上方，並且連結此一端部分至另一基板上的天線。

接下來，包含大量記憶單元的記憶單元部分，連接部分，積體電路部分和天線連接部分，都形成於剝離層上方，並且，被完全的從玻璃基板上剝離。然後，一撓性基板 32 被貼附在具有一接著層 31 的底絕緣膜層 11 上。對應於此步驟完成之後的一剖面圖顯示於第 7 圖中。

撓性基板 32 可以是一層疊膜層，其可以是由一聚丙烯，聚酯，乙烯樹脂，聚乙烯氟化物，氯乙烯，或類似物質做成的薄層，可以是由一種纖維製材料做成的紙，或者

(25)

一基礎材料薄層（聚酯，聚醯胺，無機沈積薄層，紙，或類似物質）以及一黏著性合成樹脂薄層（丙烯酸合成樹脂，環氧合成樹脂，或類似物質），等等。對於接著層 31，可以使用不同類型之加強黏著劑，例如，一反應黏著劑，熱固性黏著劑，光學黏著劑，例如接受紫外線之黏著劑，一厭氧性黏著劑，等等。

作為保護層體的一絕緣層可以藉由如一種玻璃板整合系統（SOG）方法或液滴放電方法形成，以覆蓋天線 30。作為一保護層的絕緣層可以藉由包含碳，例如 DLC（如類似鑽石的碳）層體形成，包含矽氮化物的層體，包含矽氮氧化物的層體，或者一有機材料，其中較適合的為，環氧樹脂。

此剝離方法和轉置方法，並不成為本發明的一種限制。例如，附有天線的一邊之表面可以附在一第一基底上，並且，將玻璃基板完全的剝離。接下來，暴露的底絕緣膜層 11 之表面可以被固定到一撓性基板 32 上，也就是具有接著層 31 的一第二基底上。如此，接下來可以對其中之一或兩者進行熱處理和壓力處理，以將第一基底和第二基底與記憶單元部分密封。

應注意到的是，此剝離層可以由濺鍍方法或者離子電漿化學氣相沈積（CVD）方法產生之一單層體或層疊層體形成，其可由選自元素鎢（W），鉬（Mo），鈦（Ti），鉭（Ta），鈮（Nd），鎳（Ni），鈷（Co），銩（Zr），鋅（Zn），鈦（Ru），銻（Rh），鉛（Pd），銲（Os）

(26)

），銱（Ir），以及矽（Si）或者其合金或者包含其元素為主要成分之化合物材料。一包含矽的晶體結構之層體可以是任意非晶形，微晶形，和多晶形結構。

當剝離層具有單層體結構時，舉例來說，可以由一鎢層體，一鉬層體，或者包含鎢和鉬之混合物的一層體形成。或者，可以由包含鎢之氧化物或者氧氮化物的一層體，包含鉬之氧化物或氧氮化物的一層體，或者包含鎢和鉬之混合物的氧化物或氧氮化物的一層體形成。應注意到的是，此鎢和鉬之混合物，舉例來說，可以是一種鎢和鉬的合金。另外，鎢的氧化物在某些情況中可稱為鎢氧化物。

當剝離層具有一層疊結構時，其中一鎢層體，一鉬層體，或者包含鎢和鉬的混合物之一層體可以形成一第一層體，並且，包含鎢，鉬，或者鎢和鉬之混合物的氧化物，氮化物，氧氮化物，或者氮氧化物可以形成一第二層體。

當以一鎢層體作為剝離層時，在剝離層上形成底絕緣膜層和其單元之後，透過使用機械力，其基板和底絕緣膜層可以在剝離層內或者在其界面彼此分離。

當剝離層係透過蝕刻被除去時，最好使用照相石版術方法先蝕刻絕緣層，以形成可到達剝離層之一開口。

應注意的是，在形成包含鎢之層體和包含鎢之氧化物的層體之層疊結構時，可以透過形成包含鎢之層體和包含矽氧化物之層體，而在一鎢層體和一矽氧化物層體之間的界面形成包含鎢之氧化物的一層體。這也適用於形成包含鎢的氮化物，氧氮化物和氮氧化物之層體。形成包含鎢之

(27)

層體後，一矽氮化物層，一矽氧氮化物層，和一矽氮氧化物層可以接著形成。鎢的氧化物可以被表示為 WO_x 。X 可為 2 至 3，並且 X 可以是 2 (WO_2)，X 可以是 2.5 (W_2O_5)，X 可以是 2.75 (W_4O_{11})，X 可以是 3 (WO_3)，等等。在形成鎢的氧化物之過程中，上述給的 X 值並不是特別的限制，何種氧化物被形成可以透過蝕刻速率或類似方法加以確認。應注意的是，具有較佳蝕刻比率的係為透過給予氧氣壓之情形下，以濺鍍方法形成的包含鎢之氧化物 (WO_x , $0 < X < 3$) 的層體。因此，最好是使用給予氧氣壓之情形下，以濺鍍方法形成的包含鎢之氧化物的層體以減少製造時間。

另外，也可以使用另一種剝離方法，其中非晶形矽（或者多矽晶）可被使用為一剝離層，並且透過以鐳射光照射，釋放包含在非晶形矽內的氫，可以產生一間距，以分開基板。

根據上述步驟，可以製造出包含記憶單元部分和一天線之半導體裝置。另外，根據上述步驟，可以獲得一可彎曲的半導體裝置。

更進一步的說，透過使用大尺寸基板（具有尺寸，例如，680×880 毫米，730×920 毫米，或者更大），可以大量製造包含記憶單元部分和天線的半導體裝置。應注意到的是，在單一基板上形成大量半導體裝置的情況下，便需要一個分割步驟。

此實施例模式可以任意地與實施例模式 1 至 6 中之任

(28)

一相結合。

(實施例模式 8) 在此實施例模式中，第 8A 至 8C 圖描述使用本發明之半導體裝置，作為不需接觸且能傳送和接收數據的無線晶片。

一無線晶片 1310 具有不需接觸就能具有數據通訊的功能，並且包含電源電路 1301，時脈產生電路 1302，資料解調變／調變電路 1303，用於控制另一電路之控制電路 1304，介面電路 1305，記憶裝置 1306，資料匯流排 1307，以及一天線（一種天線線圈）1308（第 8A 圖）。

根據自天線 1308 輸入的一 AC 信號，一電路，也就是電源電路 1301，會產生半導體裝置內各電路所需的各種電源。根據自天線 1308 輸入的一 AC 信號，藉由時脈產生電路 1302，係為另一電路，可以產生各種時脈信號至半導體裝置內之各電路。資料解調變／調變電路 1303 具有資料解調變／調變功能，其可與一讀取／撰寫器 1309 進行通訊。控制電路 1304 具有一控制記憶裝置 1306 的功能。天線 1308 具有傳送和接收一電磁場或者電波的功能。讀取／撰寫器 1309 控制此半導體裝置之通訊，此半導體裝置之控制，以及其資料的處理過程。

在實施例模式 1 至 5 中，記憶裝置 1306 可以由任意有機記憶體結構形成。應注意到的是，一無線晶片結構並不侷限於上述結構。例如，具有另一部件的結構，例如電源電壓的一限制器電路或者用於密碼處理的硬體，也可以被使用。

(29)

另外，無線晶片可以把電源電壓提供至每一電路，其可透過一電波而不需在其上安裝電源（電池），或在其上安裝電源（電池）以代替天線，或同時一起使用電波和電源（電池）。

當本發明之半導體裝置用作為無線晶片或類似裝置時，具有數種優點，包含可以不需接觸而進行通訊，可以讀取大量數據，可以寫入數據至無線晶片內，無線晶片可以具有各種各樣的形狀，無線晶片可具有廣大的方向特性和，取決於選擇頻率，具有廣大的反應範圍等等。無線晶片能被用作為一種 IC 標籤，可用於不需接觸而可由無線通信確認的有關人和貨物之各種訊息，一種標籤，其可透過貼附在一個物體上執行標定處理，用於特定事件或者娛樂用途的一種手環，或類似用途。更進一步地說，此無線晶片可以使用樹脂材料形成各種形狀，或者可以被貼附至會妨礙無線通信的金屬上。而且，此無線晶片可以用於一種操作系統中，如入口／出口管理系統與會計制度系統。

接著，將說明將此半導體裝置作為無線晶片之實際用途的一種模式。包含一顯示部分 1321 的一可攜式終端機的側面配置有一讀取／撰寫器 1320，並且一物品 1322 的側面配置有無線晶片 1323（第 8B 圖）。

當讀取／撰寫器 1320 被置於物品 1322 內的無線晶片 1323 上，關於物品 1322 的資訊，如其原料，原產地，每個製造過程中的檢查結果，運送的經過，或者此物品的說明可以顯示在顯示部分 1321 上。如果此無線晶片在一撓

(30)

性基板上形成，此無線晶片可以被貼附於產品的彎曲表面上，可以看出來這是非常方便的。

進一步地說，當傳送帶運送一產品 1326 時，產品 1326 可以使用一讀取／撰寫器 1324 檢查，並且，一無線晶片 1325 可以置於產品 1326 上（第 8C 圖）。因此，在一系統中使用無線晶片，可以容易地獲得訊息，改進功能，並且增加系統的價值。

應注意到的是，本發明的無線晶片可以被置於紙狀鈔票，硬幣，證券，證明書，持有人契約，包裝貨櫃，書，記錄媒介，個人物品，車輛，食品，衣服，保健品，商品，藥，電子儀器，等等。

此實施例模式可以任意地與實施例模式 1-7 中之任一相結合。

本發明能在包含有機記憶體之半導體裝置的大量製造過程中，降低步驟的數目。更進一步地說，包含有機記憶體的半導體裝置可以使用一大小尺寸為 680×880 mm，730×920 mm 或更大的基板，大量製造。

【圖式簡單說明】

第 1 圖係為一剖面示意圖，描述實施例之模式 1。

第 2 圖係為一剖面示意圖，描述實施例之模式 2。

第 3 圖係為一剖面示意圖，描述實施例之模式 3。

第 4 圖係為一剖面示意圖，描述實施例之模式 4。

第 5 圖係為一剖面示意圖，描述實施例之模式 5。

(31)

第 6A 和 6B 圖係為一頂視圖，描述一主動式矩陣類型有機記憶裝置（實施例之模式 6）。

第 7 圖係為一剖面示意圖，描述包含有機記憶裝置和天線的一半導體裝置（實施例之模式 7）。

第 8A 至 8C 圖係為描述無線晶片之方塊圖，和此無線晶片之使用方法的例子之示意圖。

【 主要元件符號說明 】

10：基板

11：底絕緣膜層

12：閘極絕緣膜層

13：源級或汲極區域

14：源級或汲極區域

15：閘極電極

16：層間絕緣膜層

17a：層體

17b：層體

17c：層體

18a：層體

18b：層體

18c：層體

19：絕緣膜層

20a：緩衝層

20b：有機化合物層

(32)

- 21 : 第二電極層
- 22 : 側壁
- 23 : 低摻雜汲極區域
- 24 : 低摻雜汲極區域
- 25 a : 層體
- 25 b : 層體
- 25 c : 層體
- 26 : p 通道薄膜電晶體
- 27 : n 通道薄膜電晶體
- 28 : 連接電極
- 29 : 電極
- 30 : 天線
- 31 : 接著層
- 32 : 撓性基板
- 91 : 有機記憶體
- 210 : 基板
- 211 : 底絕緣膜層
- 212 : 閘極絕緣膜層
- 213 : 源級或汲極區域
- 214 : 源級或汲極區域
- 215 : 閘極電極
- 216 : 層間絕緣膜層
- 217 a : 層體
- 217 b : 層體

(33)

- 217c : 層體
- 218a : 層體
- 218b : 層體
- 218c : 層體
- 219 : 絕緣膜層
- 220a : 緩衝層
- 220b : 有機化合物層
- 221 : 第二電極層
- 222 : 側壁
- 223 : 低摻雜汲極區域
- 224 : 低摻雜汲極區域
- 225a : 層體
- 225b : 層體
- 225c : 層體
- 310 : 基板
- 311 : 底絕緣膜層
- 312 : 閘極絕緣膜層
- 313 : 源級或汲極區域
- 314 : 源級或汲極區域
- 315 : 閘極電極
- 316 : 層間絕緣膜層
- 317a : 層體
- 317b : 層體
- 317c : 層體

(34)

- 318 a : 層體
- 318 b : 層體
- 318 c : 層體
- 319 : 絕緣膜層
- 320 a : 緩衝層
- 320 b : 有機化合物層
- 321 : 第二電極層
- 322 : 側壁
- 323 : 低摻雜汲極區域
- 324 : 低摻雜汲極區域
- 325 a : 層體
- 325 b : 層體
- 325 c : 層體
- 410 : 基板
- 411 : 底絕緣膜層
- 412 : 閘極絕緣膜層
- 413 : 源級或汲極區域
- 414 : 源級或汲極區域
- 415 : 閘極電極
- 416 : 層間絕緣膜層
- 417 a : 層體
- 417 b : 層體
- 417 c : 層體
- 418 a : 層體

(35)

418b : 層體

418c : 層體

419 : 絕緣膜層

420a : 緩衝層

420b : 有機化合物層

421 : 第二電極層

422 : 側壁

423 : 低摻雜汲極區域

424 : 低摻雜汲極區域

425a : 層體

425b : 層體

425c : 層體

510 : 基板

511 : 底絕緣膜層

512 : 閘極絕緣膜層

513 : 源級或汲極區域

514 : 源級或汲極區域

515 : 閘極電極

516 : 層間絕緣膜層

517a : 層體

517b : 層體

517c : 層體

517d : 層體

518a : 層體

(36)

518b : 層體
518c : 層體
518d : 層體
519 : 絕緣膜層
520a : 緩衝層
520b : 有機化合物層
521 : 第二電極層
522 : 側壁
523 : 低摻雜汲極區域
524 : 低摻雜汲極區域
525a : 層體
525b : 層體
525c : 層體
525d : 層體
1216 : 記憶裝置
1221 : 記憶胞
1222 : 記憶胞陣列
1223 : 介面
1224 : 字元線驅動電路
1224a : 列排解碼器
1224b : 位準偏移器
1226 : 位元線驅動電路
1226a : 行排解碼器
1226c : 選擇器

(37)

- 1226b : 讀取電路
- 1231 : 第一繞線
- 1232 : 第二繞線
- 1240 : 電晶體
- 1241 : 記憶單元
- 1243 : 第一電極層
- 1301 : 電源電路
- 1302 : 時脈產生電路
- 1303 : 資料解調變 / 調變電路
- 1304 : 控制電路
- 1305 : 介面電路
- 1306 : 記憶裝置
- 1307 : 資料匯流排
- 1308 : 天線線圈
- 1309 : 讀取器 / 撰寫器
- 1310 : 無線晶片
- 1320 : 讀取器 / 撰寫器
- 1321 : 顯示部份
- 1322 : 物品
- 1323 : 無線晶片
- 1324 : 讀取器 / 撰寫器
- 1325 : 無線晶片
- 1326 : 產品

十、申請專利範圍

1. 一種記憶裝置，包含：

一記憶胞，其包含一記憶單元，以及具有一半導體層的一薄膜電晶體，

一第一導電層，在該半導體層上並直接接觸於該半導體層；

一絕緣層，在該第一導電層上，該絕緣層包含與該第一導電層重疊的一開口；

一有機化合物層，在該第一導電層上；和

一第二導電層，在該有機化合物層上；

其中該記憶單元包含該第一導電層，該有機化合物層，和該第二導電層之一層疊結構，

其中該有機化合物層包含一第一層和一第二層，

其中該第一層包含一金屬氧化物和一第一有機化合物，

其中該第二層包含一第二有機化合物並且與該第二導電層接觸，和

其中該第一導電層包含：

一第三層，直接接觸於該半導體層；

一第四層，在該第三層上，並直接接觸於該第三層；和

一第五層，在該第四層上，並直接接觸於該第四層；

其中該有機化合物層直接接觸於該第五層的一上表

面；和

其中該第一導電層延伸至且直接接觸於該半導體層的一汲極區域。

2. 如申請專利範圍第 1 項所述之記憶裝置，其中該第一導電層包含選自於由 Ti, Al, Ag, Ni, W, Ta, Nb, Cr, Pt, Zn, Sn, In, 以及 Mo 所組成之群組中之一元素。

3. 如申請專利範圍第 1 項所述之記憶裝置，其中該第一導電層包含一合金或者一化合物材料，其包含選自於由 Ti, Al, Ag, Ni, W, Ta, Nb, Cr, Pt, Zn, Sn, In, 以及 Mo 所組成之群組中之一元素作為主要成分。

4. 如申請專利範圍第 1 項所述之記憶裝置，其中該記憶裝置更包含一控制電路，用於控制該記憶單元和一天線。

5. 如申請專利範圍第 1 項所述之記憶裝置，其中該第一導電層包含一第一區域，其具有二個金屬膜層疊於其上，和一第二區域，其具有三個金屬膜層疊於其上。

6. 如申請專利範圍第 1 項所述之記憶裝置，其中該第一導電層包含一第一區域，其具有二個金屬膜層疊於其上，和一第二區域，其具有三個金屬膜層疊於其上，以及

其中提供該有機化合物層與該第一導電層之該第一區域接觸。

7. 如申請專利範圍第 1 項所述之記憶裝置，

其中該第一導電層包含由單一金屬膜層組成的一第一

區域，和具有三個金屬膜層疊於其上的一第二區域。

8. 如申請專利範圍第1項所述之記憶裝置，

其中該第一導電層包含一第一區域，其具有二個金屬膜層疊於其上，和一第二區域，其具有三個金屬膜層疊於其上，以及

其中位於該第一區域和該第二區域之間的一邊界被一絕緣膜所覆蓋。

9. 一種記憶裝置，包含：

一記憶胞，其包含一記憶單元，以及具有一半導體層的一薄膜電晶體，

一第一導電層，在該半導體層上並直接接觸於該半導體層；

一絕緣層，在該第一導電層上，該絕緣層包含與該第一導電層重疊的一開口；

一有機化合物層，在該第一導電層上；和

一第二導電層，在該有機化合物層上；

其中該記憶單元包含該第一導電層，該有機化合物層，和該第二導電層之一層疊結構，

其中該有機化合物層包含一第一層和一第二層，

其中該第一層包含一金屬氧化物和一第一有機化合物，

其中該第二層包含一第二有機化合物並且與該第二導電層接觸，

其中該第一導電層延伸至且直接接觸於該半導體層的

一 汲極區域，和

其中該第一導電層包含：

一 第三層，直接接觸於該半導體層；

一 第四層，在該第三層上，並直接接觸於該第三層；和

一 第五層，在該第四層上，並直接接觸於該第四層；

其中該有機化合物層直接接觸於該第五層的一上表面；和

其中該第一導電層包含由單一金屬膜層組成的一第一區域，和具有三個金屬膜層疊於其上的一第二區域。

10. 如申請專利範圍第 9 項所述之記憶裝置，其中該第一導電層包含選自於由 Ti, Al, Ag, Ni, W, Ta, Nb, Cr, Pt, Zn, Sn, In, 以及 Mo 所組成之群組中之一元素。

11. 如申請專利範圍第 9 項所述之記憶裝置，其中該第一導電層包含一合金或者一化合物材料，其包含選自於由 Ti, Al, Ag, Ni, W, Ta, Nb, Cr, Pt, Zn, Sn, In, 以及 Mo 所組成之群組中之一元素作為主要成分。

12. 如申請專利範圍第 9 項所述之記憶裝置，其中提供該有機化合物層與該第一區域接觸。

13. 如申請專利範圍第 9 項所述之記憶裝置，其中該記憶裝置更包含一控制電路，用於控制該記憶單元和一天線。

14. 如申請專利範圍第 9 項所述之記憶裝置，

其中在該第一與該第二區域之間的一邊界係以一絕緣膜來覆蓋。

15. 如申請專利範圍第 1 項所述之記憶裝置，

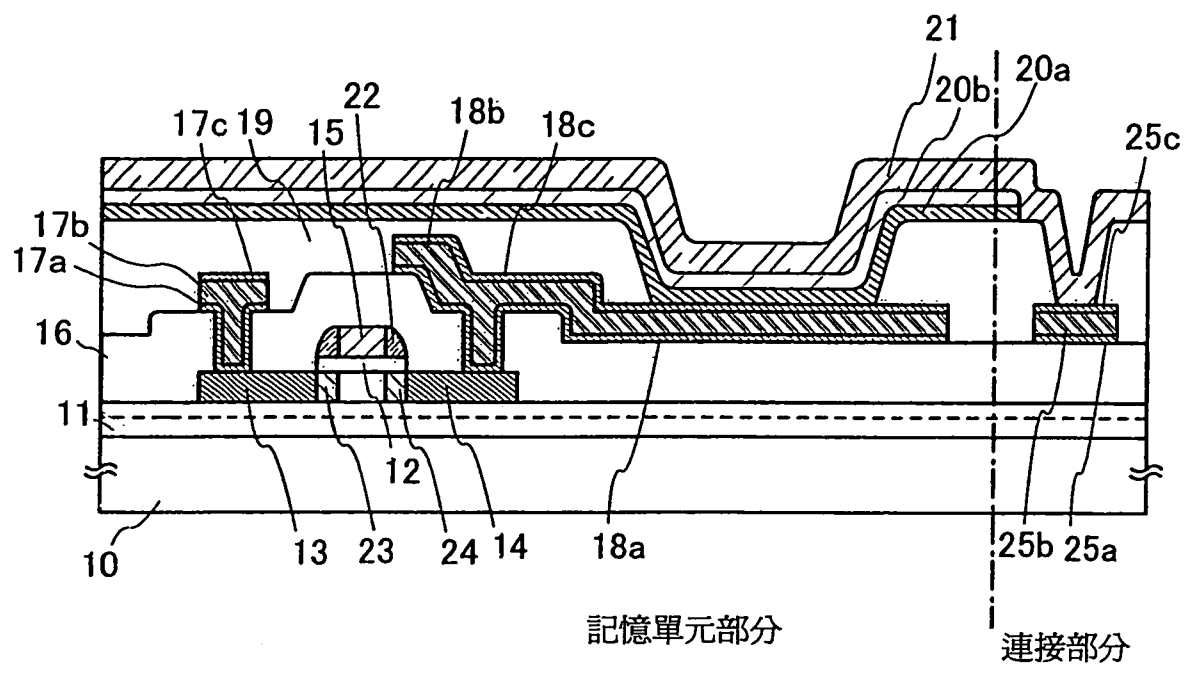
其中該金屬氧化物是鉬氧化物，鎢氧化物或銻氧化物，和

其中該第一有機化合物是一具有電洞傳送特性的材料。

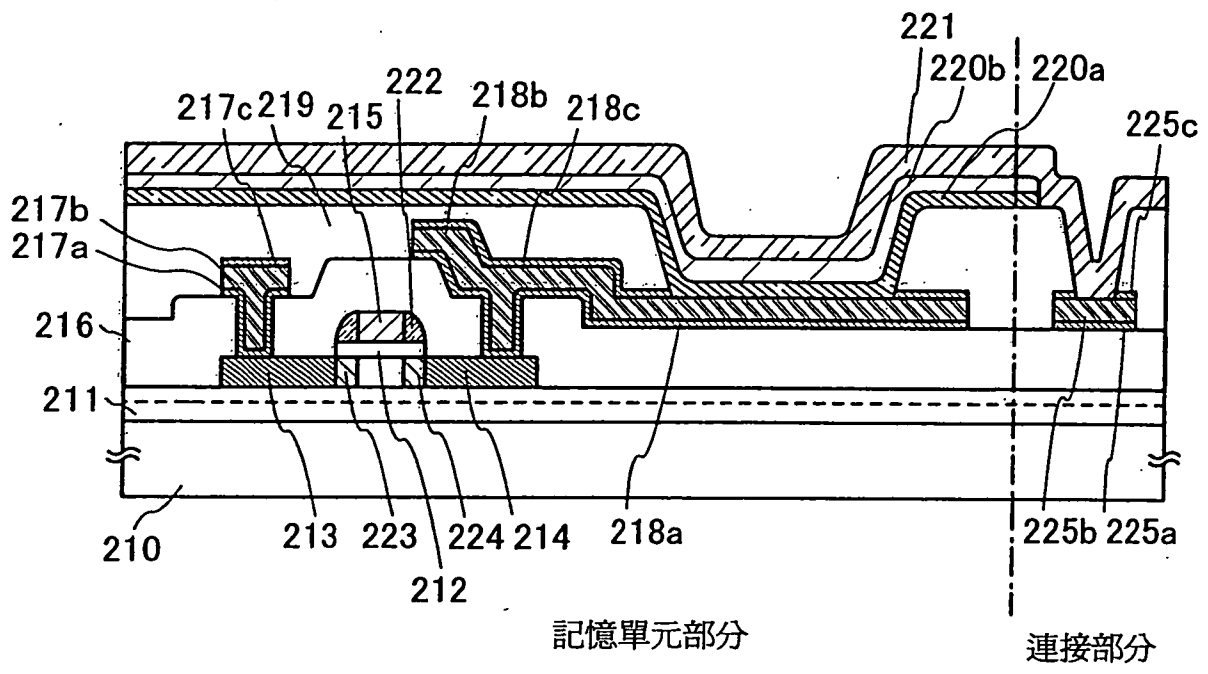
16. 如申請專利範圍第 9 項所述之記憶裝置，

其中該金屬氧化物是鉬氧化物，鎢氧化物或銻氧化物，和

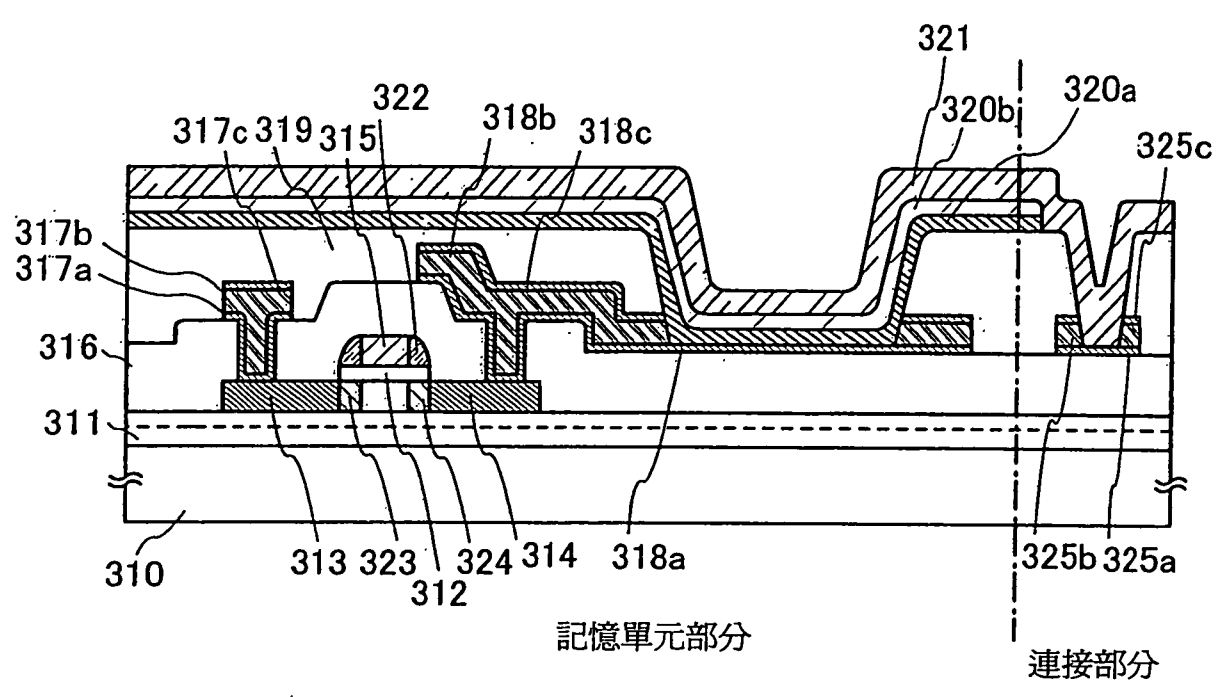
其中該第一有機化合物是一具有電洞傳送特性的材料。



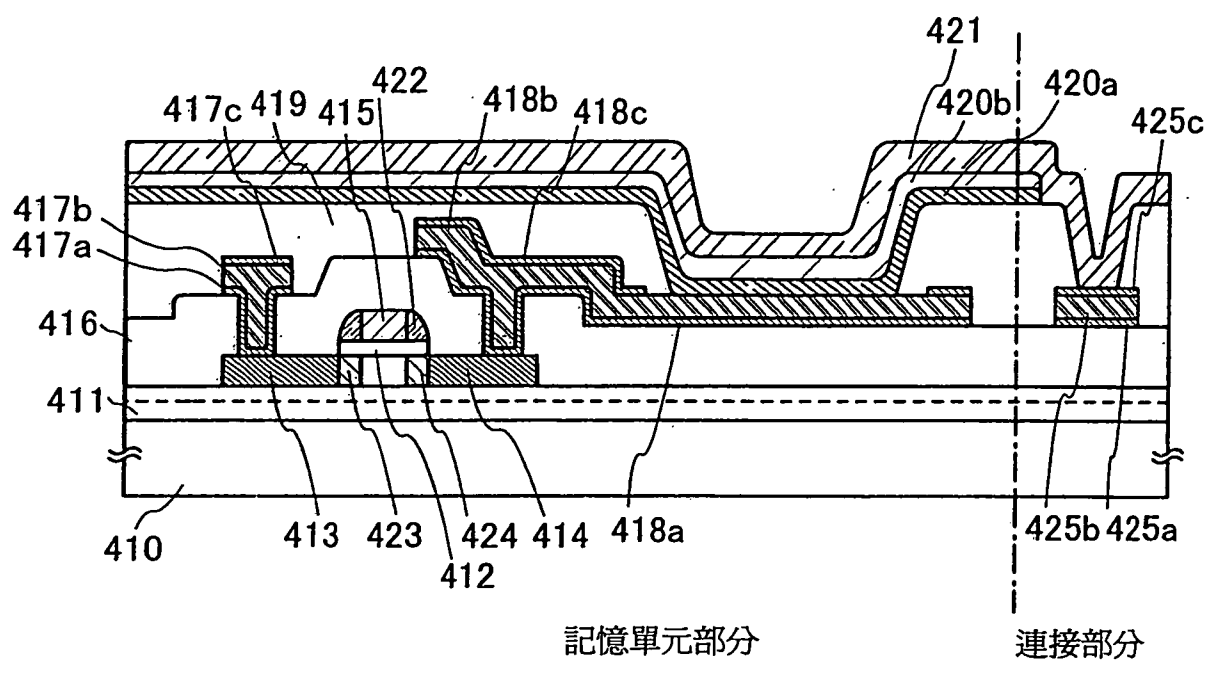
第1圖



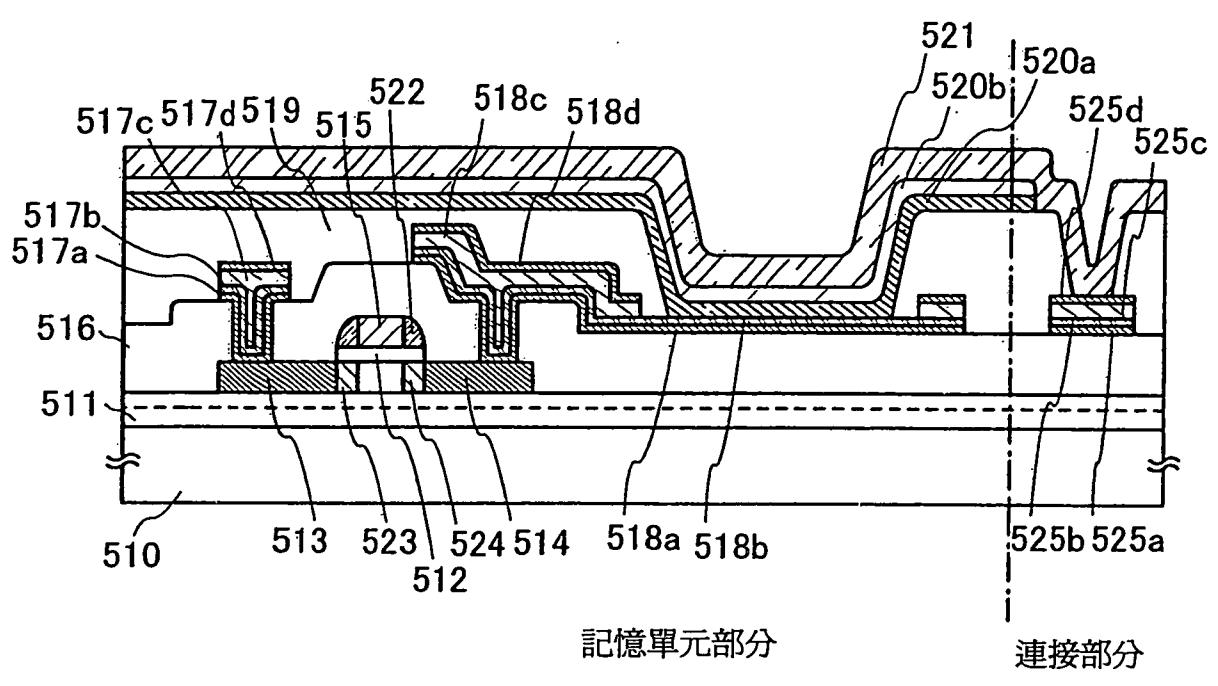
第2圖



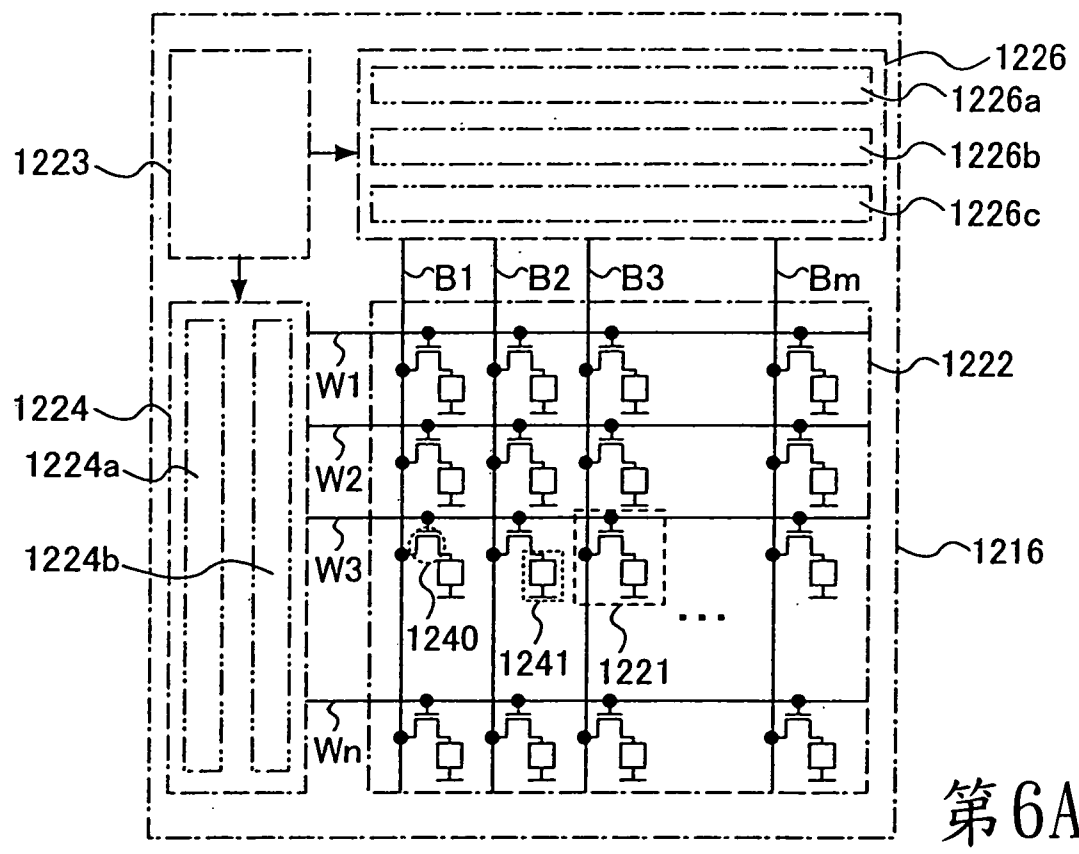
第3圖



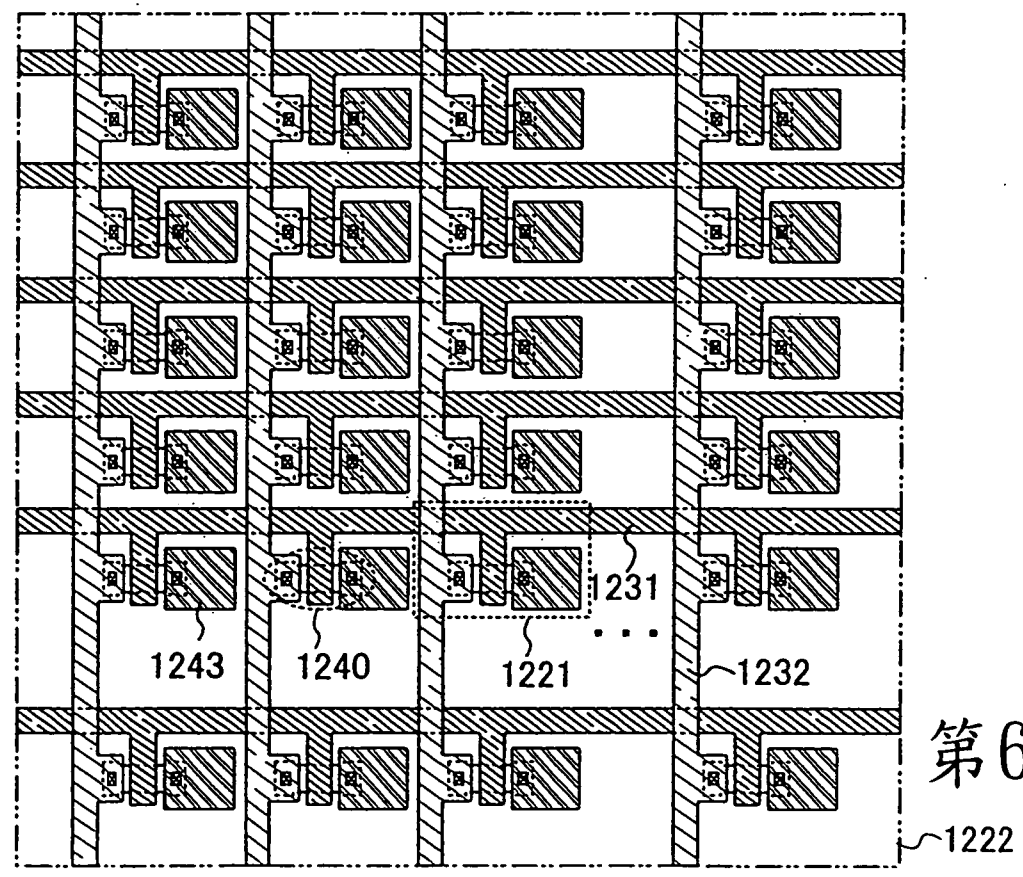
第4圖



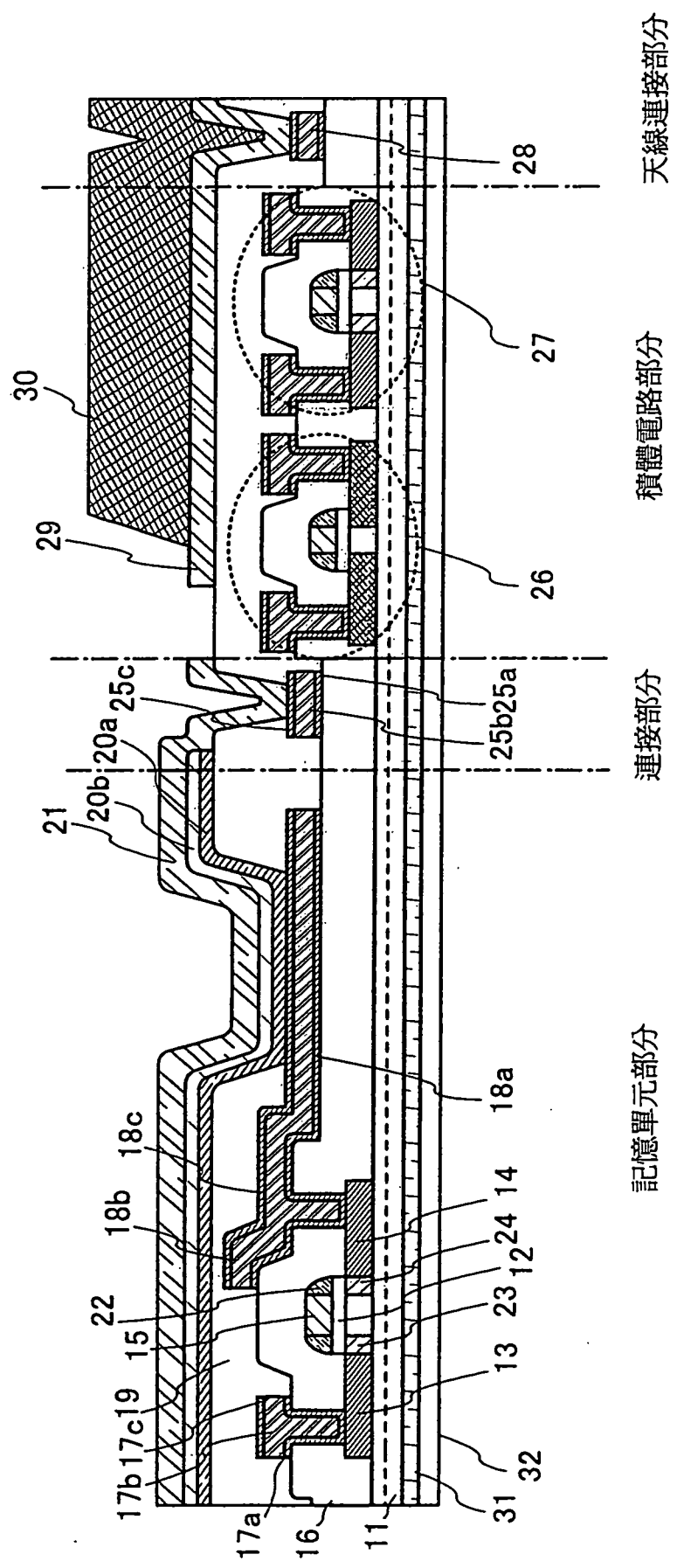
第5圖



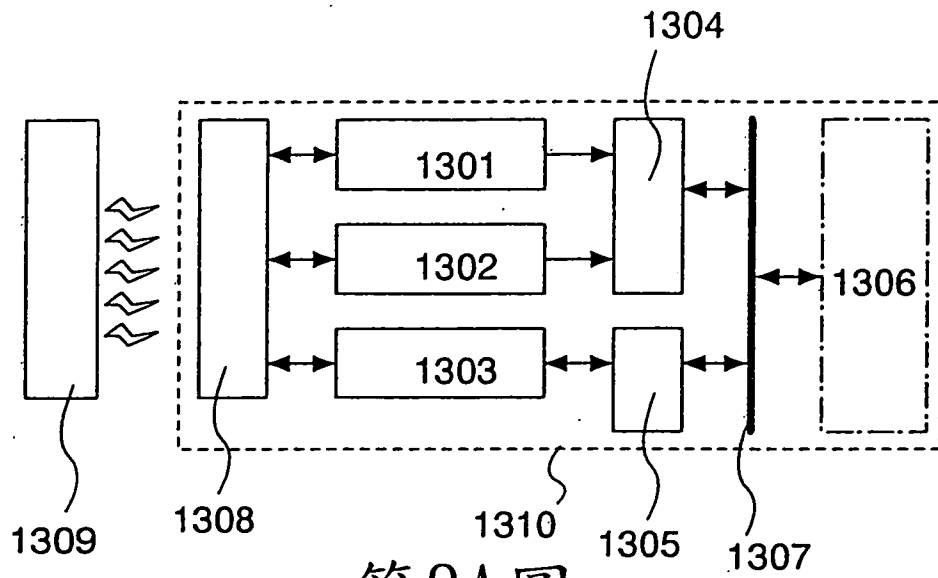
第6A圖



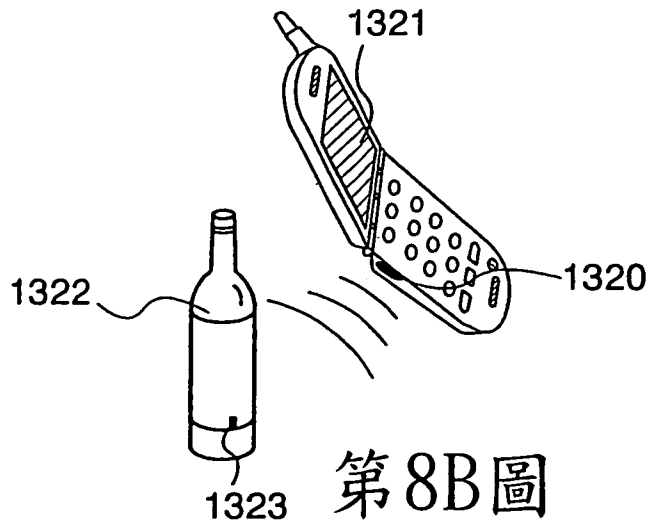
第6B圖



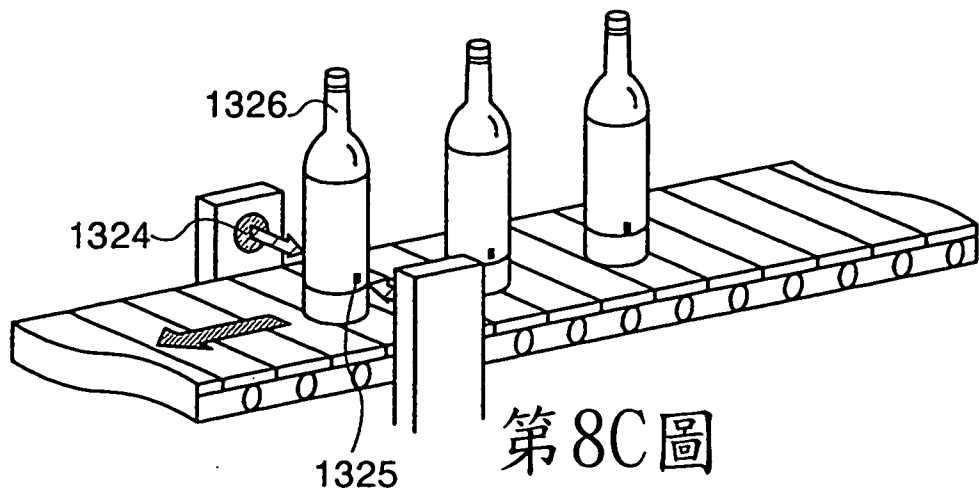
第7圖



第8A圖



第8B圖



第8C圖