

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4216393号
(P4216393)

(45) 発行日 平成21年1月28日(2009.1.28)

(24) 登録日 平成20年11月14日(2008.11.14)

(51) Int.Cl. F I
H03L 7/089 (2006.01) H03L 7/08 D

請求項の数 6 (全 12 頁)

<p>(21) 出願番号 特願平11-67686 (22) 出願日 平成11年3月15日(1999.3.15) (65) 公開番号 特開平11-330958 (43) 公開日 平成11年11月30日(1999.11.30) 審査請求日 平成18年3月13日(2006.3.13) (31) 優先権主張番号 042753 (32) 優先日 平成10年3月17日(1998.3.17) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 504199127 フリースケール セミコンダクター イン コーポレイテッド アメリカ合衆国 78735 テキサス州 オースティン ウィリアム キャノン ドライブ ウェスト 6501 (74) 代理人 100116322 弁理士 桑垣 衛 (72) 発明者 カール・エル・シュアボフ アメリカ合衆国イリノイ州グレイスレイク 、フェアポート・ドライブ1778 審査官 野元 久道</p>
--	--

最終頁に続く

(54) 【発明の名称】 位相検出装置

(57) 【特許請求の範囲】

【請求項1】

位相ロック・ループ(1100)において用いる差分信号を生成する改善された位相検出装置(500)であって、前記位相検出装置(500)は、各々がリセット入力(520, 524)と出力(522, 526)とを有する第1格納回路(502)および第2格納回路(504)を有し、前記第1格納回路(502)は基準クロック信号を受信するよう構成されるクロック入力(528)を有し、前記第2格納回路(504)は可変クロック信号を受信するよう構成されるクロック入力(530)を有する装置であって:

前記第1格納回路(502)の前記出力(522)に結合され、前記第1格納回路(502)からの第1出力信号にตอบสนองしてアップ電流を提供する第1チャージ・ポンプ(506);

10

前記第1格納回路(502)の前記出力(522)に結合され、前記第1格納回路(502)からの前記出力信号にตอบสนองして遅延された出力信号を生成する第1遅延回路(512);

前記第2格納回路(504)の前記出力(526)に結合され、前記第2格納回路(504)からの第2出力信号にตอบสนองしてダウン電流を提供する第2チャージ・ポンプ(508);

前記遅延された出力信号と前記第2出力信号とを合成してリセット信号を生成する回路(510);および

前記リセット信号を遅延させて遅延されたリセット信号を生成する第2遅延回路(51

20

4) であって、前記第1格納回路のリセット入力(520)と前記第2格納回路のリセット入力(524)とに結合される前記第2遅延回路(514)；

を具備し、

前記第1遅延回路(512)の遅延時間は、基準クロック信号と可変クロック信号との間の位相差の有無に関係なくリセット信号が常に生成されるように設定されていることを特徴とする位相検出装置(500)。

【請求項2】

前記第1格納回路(502)および前記第2格納回路(504)が、高論理レベルに結合されるデータ入力(532, 534)を有するD型フリップフロップ回路によってそれぞれ構成されることを特徴とする請求項1記載の位相検出装置(500)。

10

【請求項3】

前記遅延されたリセット信号が前記第1格納回路のリセット入力(520)と前記第2格納回路のリセット入力(524)とに実質的に同時に提供されることを特徴とする請求項1記載の位相検出装置(500)。

【請求項4】

前記第1遅延回路(512)が：

前記第1格納回路(502)から前記第1出力信号を受信し、それに応答して第1被刻時信号を生成する第1被刻時回路(1002)；

前記第1被刻時信号を遅延して遅延された第1信号を生成する第1遅延素子(1004)；

20

前記第1格納回路(502)から前記第1出力信号の反転信号を受信し、それに応答して第2被刻時信号を生成する第2被刻時回路(1006)；

前記第2被刻時信号を遅延して遅延された第2信号を生成する第2遅延素子(1008)；

前記遅延された第1信号と前記遅延された第2信号とに応答してリセット信号を生成する第1合成回路(1048)であって、前記第1被刻時回路(1002)と前記第2被刻時回路(1006)とが前記リセット信号に応答して初期条件にリセットされる第1合成回路(1048)；および

前記遅延された第1信号と前記遅延された第2信号の合成に応答して、前記遅延された出力信号を生成する第2合成回路(1016)；

30

を具備することを特徴とする請求項1記載の位相検出装置(500)。

【請求項5】

位相差を検出し、位相差信号を生成する方法であって：

基準クロック信号と可変クロック信号を受信する段階；

前記基準クロック信号に応答して第1出力信号を生成する段階；

前記可変クロック信号に応答して第2出力信号を生成する段階；

前記第1出力信号を遅延して遅延された第1出力信号を生成する段階；

前記第2出力信号および前記遅延された第1出力信号に応答してリセット信号を生成する段階；

前記リセット信号に応答して前記第1出力信号および前記第2出力信号をリセットする段階；および

40

前記第1出力信号および前記第2出力信号に応答して前記位相差信号を生成する段階；を具備し、

前記第1出力信号の遅延時間は、基準クロック信号と可変クロック信号との間の位相差の有無に関係なくリセット信号が常に生成されるように設定されていることを特徴とする方法。

【請求項6】

前記第1出力信号に応答して前記位相差信号としてアップ電流を生成し、前記第2出力信号に応答して前記位相差信号としてダウン電流を生成する段階をさらに具備することを特徴とする請求項5記載の方法。

50

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、一般に位相検出装置に関する。さらに詳しくは、本発明は位相ロック・ループにおいて位相差信号を生成する改善された位相検出装置に関する。

【0002】

【従来の技術および発明が解決しようとする課題】

位相検出器回路は、2つの入力信号間の位相差を検出するためによく用いられる。典型的な用途の1つに、基準発振器からの基準信号とループ帰還信号との間の位相差を検出するための位相ロック・ループ(PLL: phase locked loop)がある。位相検出器回路の出力は、基準信号とPLLの出力信号との間の位相関係を調整するために用いられる。

10

【0003】

1つの位相検出器回路は、2つのD型フリップフロップ、遅延素子およびANDゲートを備える。フリップフロップのD入力は高論理レベルに接続される。1つのフリップフロップは、基準信号により刻時(clock)され、もう一方のフリップフロップはPLLの電圧制御発振器(VCO: voltage controlled oscillator)からの帰還信号によって刻時される。フリップフロップの出力は共に論理積演算され、その結果が遅延素子において遅延されて、一方のフリップフロップをリセットするために用いられる。もう一方のフリップフロップは、遅延されないANDゲートからの結果によりリセットされる。各フリップフロップは、チャージ・ポンプをイネーブルに(可能化)する。1つのチャージ・ポンプがVCOに対して正の電流を提供し、もう一方のチャージ・ポンプがVCOに負の電流を提供する。基準信号と帰還信号との間の位相不一致を修正するために電荷が加えられる。

20

【0004】

位相検出器回路は、一般的に大半の用途に関して十分なものである。しかし、特に同相条件付近では、チャージ・ポンプによりVCOに加えられる、あるいはそこから減じられる電荷に不均衡がある。その結果、位相ノイズが生まれる。位相ノイズの量は、n-分周シンセサイザ(fractional-n synthesizer)など特定の用途においては容認できるものではない。n-分周シンセサイザの位相ノイズを最適化するためには、特定の位相オフセットに関してループに等しい量の電荷を加えるか、減じなければならない。従来技術による位相検出器回路は、この目的のためには不十分である。

30

【0005】

従って、同相条件付近でループに等量の電荷を提供する位相検出器が当技術において必要とされる。

【0006】

【実施例】

図1を参照して、これは位相検出器回路100のブロック図を示す。位相検出器回路100は、第1格納回路すなわちD型フリップフロップ102と、第2格納回路すなわちD型フリップフロップ104と、第1チャージ・ポンプ106と、第2チャージ・ポンプ108とを具備する。位相検出器回路100は、第1遅延回路110、第2遅延回路112、第3遅延回路114、第4遅延回路116およびANDゲート118をさらに備える。

40

【0007】

第1フリップフロップ102は、正の電源などの高論理レベルに接続されるデータ入力120と、基準クロック信号 F_r を受信するよう構築されるクロック入力122とを有する。第1フリップフロップ102は、リセット入力124と出力126をさらに有する。第2フリップフロップ104も同様に構築され、高論理レベルに結合されるデータ入力130と可変クロック信号 F_v を受信するよう構築されるクロック入力132とを有する。第2フリップフロップ104は、リセット入力134と出力136とをさらに有する。

【0008】

第1チャージ・ポンプ106は、第1フリップフロップ102の出力126に第4遅延回路116を介して結合されるイネーブル入力140を有する。第1チャージ・ポンプ10

50

6は、位相検出器回路100の出力142に結合される出力を有する。第2チャージ・ポンプ108は、第2フリップフロップ104の出力136に第2遅延回路112を介して結合されるイネーブル入力144を有する。第2チャージ・ポンプ108も、位相検出器回路100の出力142に結合される。第1チャージ・ポンプ106は、イネーブル信号がイネーブル入力140に印加されると、正の極性を有するアップ電流を出力142に与える。同様に、第2チャージ・ポンプは、イネーブル入力144にイネーブル信号が印加されるとそれに応答して、負の極性を有するダウン電流を出力142に与える。チャージ・ポンプの設計は従来通りである。

【0009】

遅延回路とANDゲートは、出力142に供給される電荷量を等しくすることにより位相検出器回路100を線形化するように構築される。位相検出器回路100とそれが採用される回路の位相ノイズを最適化するためには、特定の位相オフセットに関して位相ロック・ループ(PLL)に等しい量の電荷を与え、減じなければならない。電荷の等化は、位相検出器のリセット経路内の等しくない遅延回路に加えることにより行われる。

【0010】

ANDゲート118は、第1フリップフロップ102の出力126に結合される第1入力と第2フリップフロップ104の出力136に結合される第2入力とを有する。ANDゲート118は、出力150をさらに有する。第3遅延回路114は、ANDゲート118の出力150に結合される。第3遅延回路114は、第1遅延回路110と第2フリップフロップ104のリセット入力134とに結合される出力152を有する。第1遅延回路110は、第1フリップフロップ102のリセット入力124に結合される出力154を有する。

【0011】

第3遅延回路114は、第2チャージ・ポンプ108によって与えられるダウン電流の最小パルス幅をセットするために用いられる。第1遅延回路110および第3遅延回路114により与えられる遅延の総量がアップ電流の最小パルス幅をセットするために用いられる。

【0012】

図2は、位相ロック・ループ(PLL)と共に用いられる図1の位相検出器回路の動作を示すタイミング図である。図2において、第2遅延回路112と第4遅延回路116は、0秒の遅延にセットされ、PLLはロック状態にない。図2、図3および図4は、 F_R と示される基準クロックと、 F_V と示されるPLLの出力からの可変クロックと、 I_{UP} と示されるアップ電流と、 I_{DN} と示されるダウン電流とを示す。横軸は時間を示す。図2において、ループがロック状態にないので、アップ電流はダウン電流よりも継続時間が長い。

【0013】

図3において、ループがロックし、ループに加えられる正味の電荷がゼロになるように出力信号の位相が調整される。これを実現するためには、第2遅延回路112と第4遅延回路116とを0秒の継続時間にセットして、ダウン電流パルス継続時間を長くする。アップ電流パルスとダウン電流パルスは時間的には一致しないので、ループのノイズ底が低下する。従って、第2遅延回路112を加えて、アップ電流およびダウン電流を再整合しなければならない。この効果を図4に示す。

【0014】

ある用途においては、20nsもパルスを遅延させながら1nsの最小ダウン電流パルス幅を処理するように第2遅延回路112を設計しなければならない。これを行うには、電流キャパシタまたはノおよび抵抗キャパシタ遅延を介してリセット・フリップフロップを用いることにより、パルスの各端を同量だけ遅延させる。パルス端は再合成されて、総パルスを形成する。この目的に適した回路は、図10に関連して後述する。

【0015】

再び図1を参照して、ダウン電流の経路に置かれた第2遅延回路112の追加論理を均衡にするために第4遅延回路116が加えられる。それぞれの遅延の他の要素も同様に一致

10

20

30

40

50

しなければならない。

【0016】

図1の位相検出器回路100は、改善された線形化を行うので、従来の位相検出器に比べて性能も改善される。しかし、このような回路はモノリシック集積回路の形で他の回路と一体化することが望ましい。このような用途においては、使用される回路構成量を最小限に抑えて、それにより集積回路の表面上の必要な面積を最小限に抑えることが望ましい。さらに、回路の総消費電力を最小限に抑えることが望ましい。従って、このような用途に関しては別の設計が好ましい。

【0017】

図5は、本発明による位相検出器回路500のブロック図である。位相検出器回路500は、第1格納回路すなわちフリップフロップ502と、第2格納回路すなわち第2フリップフロップ504とを具備する。格納回路は、D型フリップフロップとして図示されるが、他種のフリップフロップを含めて任意の適切な回路構造を用いることができる。図示されるD型フリップフロップは回路面積と電力消費を削減しつつ、適切な動作を行う。各格納回路は、図5ではそれぞれR、Qと標識されるリセット入力と出力とを有する。第1フリップフロップ502は、リセット入力520と出力522を有する。第2フリップフロップ504はリセット入力524と出力526を有する。格納回路はいずれも、図5ではClkと標識されるクロック入力も有する。第1フリップフロップ502は、基準クロック信号を受信するよう設定されるクロック入力528を有する。第2フリップフロップ504は、可変速度クロック信号を受信するよう設定されるクロック入力530を有する。第1フリップフロップ502は、図5ではDと標識され、正の電源電位に接続されるデータ入力532を有する。同様に、第2フリップフロップ504は正の電源電位に接続されるDと標識されるデータ入力534を有する。フリップフロップのD入力は、他の適切な電位または時間可変信号に接続してもよい。しかし、その目的は、受信されるクロック信号に 응답してフリップフロップのQ出力に高論理レベルが提示されることである。その後、Q出力は、Rリセット入力に印加されるリセット(RESET)信号により低論理レベルにリセットされる。

【0018】

位相検出器回路500は、第1格納回路すなわち第1フリップフロップ502の出力522に結合され、第1格納回路からの第1出力信号に 응답してアップ電流を提供する第1チャージ・ポンプ506をさらに備える。アップ電流は、図5では I_{UP} と標識される。第1チャージ・ポンプ506は、第1出力信号が第1値を有するときアップ電流を提供し、第1出力信号が第2値を有するときはアップ電流を提供しないので、第1出力信号は第1チャージ・ポンプ506にとってイネーブル信号として機能する。位相検出器回路500は、第1格納回路すなわち第1フリップフロップ502の出力522に結合されて、第1格納回路からの出力信号に 응답して被遅延出力信号を生成する第1遅延回路512をさらに備える。位相検出器回路500は、第2格納回路すなわち第2フリップフロップ504の出力526に結合されて第2格納回路からの第2出力信号に 응답してダウン電流を提供する第2チャージ・ポンプ508をさらに備える。ダウン電流は、図5においては I_{DN} と標識される。第2チャージ・ポンプ508は、第2出力信号が第1値を有するときダウン電流を提供し、第2出力信号が第2値を有するときはダウン電流を提供しないので、第2出力信号は第2チャージ・ポンプ508にとってイネーブル信号として機能する。第1チャージ・ポンプ506も第2チャージ・ポンプ508も従来のものである。

【0019】

位相検出器回路500は、ANDゲート510をさらに具備する。ANDゲート510は、第1遅延回路512の出力540に結合される第1入力と、第2格納回路すなわち第2フリップフロップ504の出力526に結合される第2入力と、出力542とを有する。ANDゲート510は、被遅延出力信号を第2出力信号と合成してリセット信号を生成する回路を形成する。最後に、位相検出器回路500は、第2遅延回路514を有する。第2遅延回路514はANDゲートの出力542に結合される入力と、格納回路のリセット入力すなわ

10

20

30

40

50

ち第1フリップフロップ502のリセット入力520および第2フリップフロップ504のリセット入力524に結合される出力とを有する。第2遅延回路514は、リセット信号を遅延させて、被遅延リセット信号を生成する。この信号が実質的に同時に両フリップフロップのRリセット入力に印加される。

【0020】

位相検出器回路500は、出力536において、基準クロック信号と可変クロック信号との間の位相差に関連する出力信号を提供する。図示される実施例においては、出力信号は、所定の強度と可変継続時間を有する電流である。クロック入力530における可変クロック信号の位相がクロック入力528における基準クロック信号の位相よりも進んでいる場合は、正味の電荷が出力532に減じられる。可変クロック信号の位相が基準クロック信号の位相より遅れる場合は、正味の電荷は出力532から加えられる。かくして、位相検出器回路500は位相ロック・ループ(PLL)などの回路で用いるのに適するが、他の用途も同様に有する。

10

【0021】

動作中は、フリップフロップはリセット条件にある。フリップフロップのデータ入力における高論理レベルが被受信クロックパルスと、フリップフロップ502のクロック入力528における基準クロック信号と、第2フリップフロップ504のクロック入力503における可変クロック信号とのそれぞれによりQ出力に刻時される。Q出力が高論理レベルになると、高論理レベルは個々のチャージ・ポンプに対するイネーブル信号として働く。出力522の高論理レベルにตอบสนองして、第1チャージ・ポンプ506はループに電荷を加え始める。出力526における高論理レベルにตอบสนองして、第2チャージ・ポンプはループから電荷を減じ始める。

20

【0022】

第1遅延回路512, 第2遅延回路514およびANDゲート510を備えるリセット回路は次のように動作する。第2フリップフロップの出力526における信号が高になるとすぐに、ANDゲート510への第2入力が高論理レベルになる。この信号は図5では R_{DN} と標識される。第1フリップフロップ502の出力522からの信号は、20nsなど所定の継続時間だけ第1遅延回路512において遅延される。この継続時間が過ぎると、図5で R_{UP} と標識される被遅延出力信号がANDゲート510の第1入力に印加される。ANDゲート510に対する両方の入力が高になると、出力542が高になり、リセット信号を提供する。しかし、リセット信号は第2の所定の継続時間だけ第2遅延回路により遅延される。この継続時間が過ぎると、被遅延リセット信号は、第1フリップフロップ502のリセット入力520と第2フリップフロップ504のリセット入力524とに、実質的に同時に印加される。被遅延リセット信号の印加により、両方のフリップフロップがリセット条件にリセットされ、この場合、出力522と出力526とは低論理レベルになる。これにより第1チャージ・ポンプ506および第2チャージ・ポンプ508はディスエーブル(不能)になる。

30

【0023】

図6は、位相ロック・ループと共に動作される図5の位相検出器回路500の動作を示すタイミング図である。図6における動作と同様に、第1遅延回路512の所定の遅延は0秒にセットされ、第1遅延回路512を迂回するのと等価となる。図6においては、可変クロック F_V と基準クロック F_R の立ち上がり端が一致し、出力電流 I_{DN} , I_{UP} は同時に t_1 においてオンになる。遅延がゼロであると、2つのフリップフロップ(図5)は同時にリセットされ、2つの出力電流は同時に t_2 においてオフになる。パルス幅 $t_1 \sim t_2$ は第2遅延回路514の継続時間と一致し、図示される実施例においては1nsの継続時間となる。

40

【0024】

図7は、位相ロック・ループと共に動作される図5の位相検出器回路500の動作を示すタイミング図である。図7においては、第1遅延回路512の継続時間が0秒より大きい継続時間にセットされる。ここでも、可変クロック F_V と基準クロック F_R の立ち上がり端が時刻 t_1 において一般的に一致して、信号が同相でありPLLがロックされることを示す。こ

50

れも t_1 において、第1チャージ・ポンプ506と第2チャージ・ポンプ508(図5)がイネーブルになり、ループに電流の供給を始め、信号 R_{DN} はANDゲート510に対する第2入力において高になる。第1遅延回路512の継続時間が過ぎると、時刻 t_2 において、ANDゲート510への第1入力の信号 R_{DN} が高になり、ANDゲート510の出力542におけるリセット信号を開始する。第2遅延回路514の継続時間が過ぎると、時刻 t_3 において図5および図7でリセットと標識される被遅延リセット信号が高になり、2つのフリップフロップをリセットする。リセットされると、第1フリップフロップ502の出力522における信号は低になり、第1チャージ・ポンプ506をオフにする。また、第2フリップフロップ504の出力526における信号 R_{DN} が低になり、第2チャージ・ポンプ508をオフにする。かくして、ループがロック状態にあり、第1遅延回路512を迂回しないので、位相検出器回路500は、実質的に等しいアップ電流とダウン電流パルスを生成する。

10

【0025】

図8は、位相ロック・ループと共に動作される図5の位相検出器回路500の動作を示すタイミング図である。図8においては、可変クロック信号 F_V は基準クロック信号 F_R に遅れ、正味の電荷がループに加えられる。時刻 t_1 において、基準クロック信号 F_R が第1フリップフロップ502(図5)のクロック入力528において高になる。Q出力522が直ちに高になり、第1チャージ・ポンプ506がイネーブルになって、ループに対しアップ電流 I_{UP} を送り始める。その後、時刻 t_2 において位相ずれ可変クロック信号 F_V が到着し、第2チャージ・ポンプ508がイネーブルになってダウン電流 I_{DN} を提供する。ANDゲート510の第2入力である信号 R_{DN} は、直ちに高になるが、ANDゲート510の第1入力である信号 R_{UP} は、第1遅延回路512の継続時間の間は低に留まる。 R_{UP} は時刻 t_3 において高になる。時刻 t_4 において、第2遅延回路514の継続時間の後で、図5および図8ではリセットと示される被遅延リセット信号が高になり、2つのフリップフロップがリセットされる。2つのチャージ・ポンプは直ちにディスエーブルになり、アップ電流とダウン電流は中断される。

20

【0026】

図9は、位相ロック・ループと共に動作される図5の位相検出器回路500の動作を示すタイミング図である。図9においては、可変クロック信号 F_V は基準クロック信号 F_R より進み、正味の電荷がループから減じられる。時刻 t_1 において、可変クロック信号 F_V が高になり、第2チャージ・ポンプ508がイネーブルになり、ANDゲート510(図5)の第2入力におけるリセット信号 R_{DN} が高になる。その後、時刻 t_2 において基準クロック信号 F_R が高になり、アップ電流がループに供給される。時刻 t_3 において、第1遅延回路512の継続時間の後で、ANDゲート510の第1入力におけるリセット信号 R_{UP} が高になり、リセット信号はANDゲート510の出力542においてアサートされる。時刻 t_4 において、第2遅延回路514の継続時間の後で、被遅延リセット信号リセットがフリップフロップ502のリセット入力520と、フリップフロップ504のリセット入力524とに印加される。フリップフロップがリセットされ、チャージ・ポンプがディスエーブルになって、アップ電流とダウン電流とは両方とも中断される。

30

【0027】

図10は、図1の位相検出器回路100または図5の位相検出器回路500内に用いることのできる遅延回路1000のブロック図である。遅延回路1000は、第1フリップフロップ1002、第1遅延素子1004、第2フリップフロップ1006、第2遅延素子1008、インバータ1010、インバータ1012、NORゲート1014、NANDゲート1016およびインバータ1018を備える。第1フリップフロップ1002と第2フリップフロップ1006は、図示される実施例においてはD型フリップフロップであるが、他の回路および他種のフリップフロップを用いてもよい。

40

【0028】

第1フリップフロップ1002は、図10ではDと標識されるデータ入力1020、クロック入力1022、Rと標識されるリセット入力1024およびQと標識される出力10

50

26を有する。データ入力1020は、正の基準電位に接続されて、常に高論理入力を受信する。クロック入力1022は、遅延回路1000への入力1030からクロック信号を受信するよう構築される。出力1026は、第1遅延素子1004に結合される。位相検出器回路と共に用いられると、第1フリップフロップ1002は、第1被刻時回路を形成し、この回路は第1フリップフロップ502(図5)などの第1格納回路から出力信号を受信して、それに応答して第1被刻時信号を生成する。

【0029】

同様に、第2フリップフロップ1006は、正の基準電位に接続されるデータ入力1032, クロック入力1034, リセット入力1036および出力1038を有する。クロック入力1034は、インバータ1018における反転後に入力1030からクロック信号を受信するよう構築される。かくして、第1フリップフロップ1002と第2フリップフロップ1006は、入力1030におけるクロック信号の対向する位相に応答して動作する。出力1038は、第2遅延素子1008に結合される。

10

【0030】

第1遅延素子1004と第2遅延素子1008は、各フリップフロップから受信される信号を所定量だけ遅延するよう動作する。各遅延素子は、抵抗-キャパシタ(R-C)遅延または電流-キャパシタ遅延から形成することができる。図示される実施例においては、2つの遅延素子は、実質的に等しく、約20nsの遅延を加える。図5の位相検出器回路500などの位相検出器回路と共に用いられると、第1遅延素子1004は、第1フリップフロップ1002からの第1被刻時信号を遅延させて被遅延第1信号を生成し、第2遅延素子1008は、第2フリップフロップ1006からの第2被刻時信号を遅延させて被遅延第2信号を生成する。

20

【0031】

第1遅延素子1004の出力は、NANDゲート1016の第1入力とインバータ1010とに送られる。インバータ1010は、被遅延出力信号を反転して、それをNORゲート1014の第1入力に送る。第2遅延素子1008の出力はインバータ1012で反転され、NANDゲート1016の第2入力とNORゲート1014の第2入力とに送られる。インバータ1010, インバータ1012およびNORゲート1014は共に第1合成回路1048を形成する。第1合成回路1048は、第1遅延素子1004からの被遅延第1信号および第2遅延素子1008からの被遅延第2信号に応答して、線路1040上にリセット信号を生成する。リセット信号は、第1フリップフロップ1002のリセット入力1024と、第2フリップフロップ1006のリセット入力1036とに送られる。フリップフロップをリセットする際に起こる可能性のある電気的信号不良を防ぐために、2つのインバータ、すなわちインバータ1050とインバータ1052がNORゲート1014と第2フリップフロップ1006のリセット入力1036との間の経路に挿入される。

30

【0032】

NANDゲート1016は、第1遅延素子1004からの被遅延信号と第2遅延素子1008からの被反転遅延信号とを受信し、それらを論理的に合成して遅延回路1000の出力1042において出力信号を形成する。出力信号は、入力信号に対して遅延される。被受信パルスに関して、パルスの立ち上がり端は第1フリップフロップ1002, 第1遅延素子1004およびNANDゲート1016を含む経路において遅延される。パルスの立ち下がり端は、インバータ1018, 第2フリップフロップ1006, 第2遅延素子1008およびNANDゲート1016を含む経路において遅延される。好ましくは、この2つの経路遅延は実質的に等しいので、パルスは延びることも縮むこともない。かくしてNANDゲート1016は、第2合成回路を形成する。この回路は第1遅延素子1004からの被遅延第1信号と第2遅延素子1008からの被遅延第2素子の合成に応答して、被遅延出力信号を生成する。

40

【0033】

図11は、図5の位相検出器回路500を用いることができる位相ロック・ループ(PLL)1100を示す。PLL1100は、位相検出器回路500, 低域通過フィルタ1102

50

、電圧制御発振器（VCO）1104および分周器1106を具備する。PLL1100は、入力1110において所定の周波数を有する基準信号 F_R を受信し、出力1112において良好に制御された周波数を有する出力信号を提供する。

【0034】

位相検出器回路500は、入力1110から基準信号 F_R を、分周器1106から可変周波数信号 F_V を受信する。位相検出器回路500は、基準信号 F_R の位相と可変周波数信号 F_V の位相との間の差を検出する。位相検出器回路500は、位相差に関連し、位相差を最小限に抑えるように調整された出力を生成する。低域通過フィルタ1102は、この信号を濾波して帯域幅を狭め、この信号をVCO1104に送る。被濾波位相差信号に応答して、VCO1104は出力信号の位相または周波数を調整する。出力信号が分周器106に帰還され、分周器は位相検出器回路500内の比較のために可変周波数信号を生成する。

10

【0035】

上記からわかるように、本発明は同相条件付近で位相ロック・ループに与えられる電荷量の均衡をとる位相検出器回路を提供する。チャージ・ポンプが同一のリセット・パルスを用いてリセットされ、それによってPLLに供給される電流パルスの一致を保証する。電力消費、回路面積および遅延素子を精密に整合する必要性がなくなり、生産と稼働のコストが安い回路が作成される。

【0036】

本発明の特定の実施例が図示および説明されたが、改良も可能である。たとえば、種々の図面内の組合せ論理は改変し、なおかつ実質的に同じ機能性を維持することができる。従って、添付の請求項においては本発明の精神および範囲に入るこれらすべての変更および改良を包含するものである。

20

【0037】

新規と思われる本発明の特徴を添付の請求項に詳細に明記する。本発明は、その更なる目的および利点と共に、以下の説明を添付の図面に関連して参照することにより良く理解受けよう。いくつかの図面においては、同様の参照番号は等しい要素を識別するものである。

【図面の簡単な説明】

【図1】位相検出器回路のブロック図である。

【図2】図1の位相検出器回路の動作を示すタイミング図である。

30

【図3】図1の位相検出器回路の動作を示すタイミング図である。

【図4】図1の位相検出器回路の動作を示すタイミング図である。

【図5】位相検出器回路のブロック図である。

【図6】図5の位相検出器回路の動作を示すタイミング図である。

【図7】図5の位相検出器回路の動作を示すタイミング図である。

【図8】図5の位相検出器回路の動作を示すタイミング図である。

【図9】図5の位相検出器回路の動作を示すタイミング図である。

【図10】図5の位相検出器回路に用いる遅延回路のブロック図である。

【図11】図5の位相検出器回路を採用する位相ロック・ループ（PLL）のブロック図である。

40

【符号の説明】

500 位相検出器回路

502, 504 フリップフロップ（格納回路）

506, 508 チャージ・ポンプ

510 ANDゲート

512, 514 遅延回路

520, 524 リセット入力

522, 526 出力

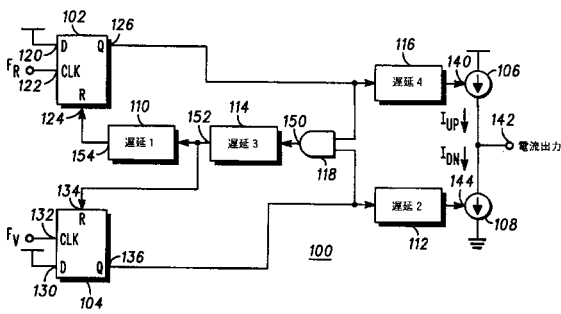
528, 530 クロック入力

532, 534 データ入力

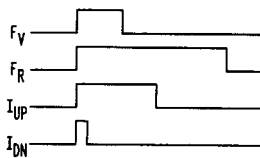
50

- 5 3 6 位相検出器回路の出力
- 5 4 0 遅延回路の出力
- 5 4 2 ANDゲートの出力
- RESET リセット
- CURRENT OUTPUT 電流出力

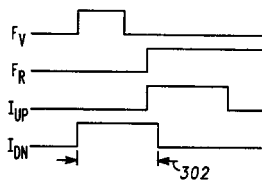
【 図 1 】



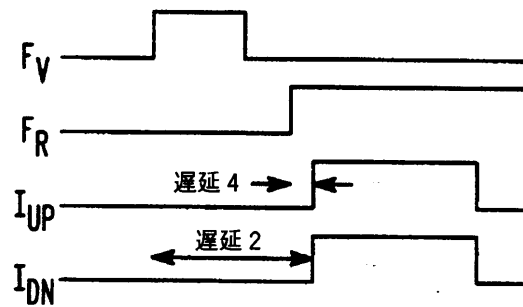
【 図 2 】



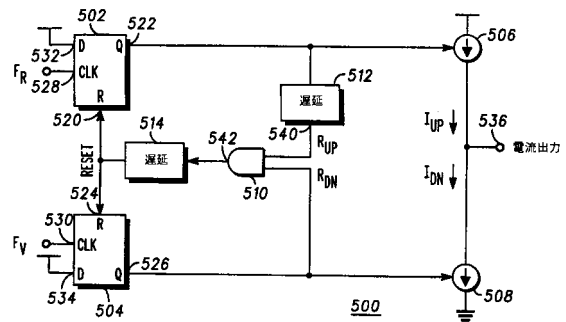
【 図 3 】



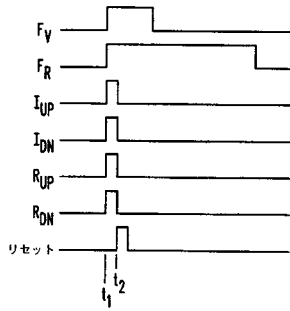
【 図 4 】



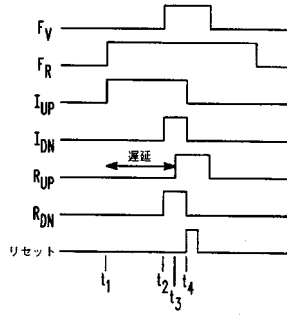
【 図 5 】



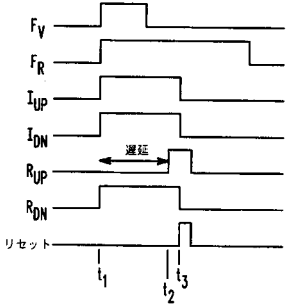
【 図 6 】



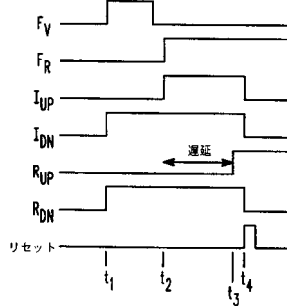
【 図 8 】



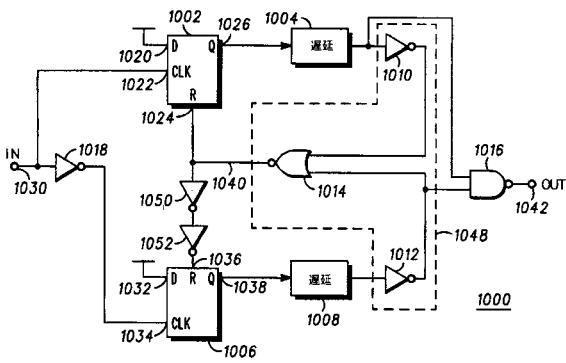
【 図 7 】



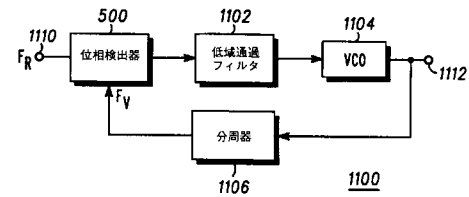
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

- (56)参考文献 特開平02-021724(JP,A)
特開平08-046498(JP,A)
特開平08-046497(JP,A)
米国特許第04970475(US,A)

- (58)調査した分野(Int.Cl., DB名)
H03L 7/06-7/23,
H03D 13/00