

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6663249号  
(P6663249)

(45) 発行日 令和2年3月11日(2020.3.11)

(24) 登録日 令和2年2月18日(2020.2.18)

(51) Int.Cl.	F I
<b>G09F 9/30 (2006.01)</b>	G09F 9/30 330
<b>G02F 1/1345 (2006.01)</b>	G09F 9/30 338
<b>H01L 51/50 (2006.01)</b>	G09F 9/30 348A
<b>H05B 33/06 (2006.01)</b>	G02F 1/1345
<b>H05B 33/22 (2006.01)</b>	H05B 33/14 A
請求項の数 16 (全 15 頁) 最終頁に続く	

(21) 出願番号 特願2016-35722 (P2016-35722)  
 (22) 出願日 平成28年2月26日(2016.2.26)  
 (65) 公開番号 特開2017-151371 (P2017-151371A)  
 (43) 公開日 平成29年8月31日(2017.8.31)  
 審査請求日 平成30年9月20日(2018.9.20)

(73) 特許権者 502356528  
 株式会社ジャパンディスプレイ  
 東京都港区西新橋三丁目7番1号  
 (74) 代理人 110000408  
 特許業務法人高橋・林アンドパートナーズ  
 (72) 発明者 小高 和浩  
 東京都港区西新橋三丁目7番1号 株式会  
 社ジャパンディスプレイ内  
 審査官 石本 努

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上に、回路素子を含む画素部と、前記回路素子と電気的に接続される端子部と、を含み、

前記端子部は、端子電極と、前記端子電極と前記基板との間に設けられ少なくとも一つの傾斜面と平坦面で構成される面を有する下地構造層を有し、

前記端子電極は、表面に前記下地構造層の前記傾斜面と平坦面で構成される面に沿った段差面を有し、

前記下地構造層は、前記端子電極の内側に端部を有する第1構造層と、前記第1構造層の側面及び上面を覆い前記端子電極の外側まで広がる第1絶縁層と、前記端子電極の内側に端部を有し前記第1絶縁層と接する第2構造層と、前記第2構造層の側面及び上面を覆い前記端子電極の外側まで広がる第2絶縁層と、を有することを特徴とする表示装置。

【請求項2】

前記第1構造層及び前記第2構造層は、格子状パターン又はストライプ状パターンを有し、前記格子状パターン又は前記ストライプ状パターンの側端が前記傾斜面と平坦面で構成される面に対応する、請求項1に記載の表示装置。

【請求項3】

前記第1構造層及び前記第2構造層は、貫通孔を有し、前記貫通孔の開口端が前記傾斜面と平坦面で構成される面に対応する、請求項1に記載の表示装置。

【請求項4】

前記第1構造層及び前記第2構造層は、島状パターンを有し、前記島状パターンの端部が前記傾斜面と平坦面で構成される面に対応する、請求項1に記載の表示装置。

【請求項5】

前記下地構造層は複数の傾斜面と平坦面で構成される面を含む、請求項1に記載の表示装置。

【請求項6】

前記第1構造層が半導体層であり、前記第2構造層が金属層である、請求項1に記載の表示装置。

【請求項7】

前記端子電極が異方性導電フィルムと接する、請求項1に記載の表示装置。

10

【請求項8】

基板上に、回路素子を含む画素部と、前記回路素子と電氣的に接続される端子部と、を含み、

前記画素部は、画素電極と、前記画素電極と電氣的に接続された、第1半導体層、ゲート絶縁層及びゲート電極を含むトランジスタと、を含み、

前記端子部は、端子電極と、前記端子電極と前記基板との間に設けられ少なくとも一つの傾斜面と平坦面で構成される面を有する下地構造層を有し、

前記端子電極は、表面に前記下地構造層の前記傾斜面と平坦面で構成される面に沿った段差面を有し、

前記下地構造層は、前記端子電極の内側に端部を有する第1構造層と、前記第1構造層の側面及び上面を覆い前記端子電極の外側まで広がる第1絶縁層と、前記端子電極の内側に端部を有し前記第1絶縁層と接する第2構造層と、前記第2構造層の側面及び上面を覆い前記端子電極の外側まで広がる第2絶縁層と、を有すること、を特徴とする表示装置。

20

【請求項9】

前記第1構造層が、前記第1半導体層と同じ層で配置される第2半導体層であり、前記第2構造層が、前記ゲート電極と同じ層で配置される金属層である、請求項8に記載の表示装置。

【請求項10】

前記第1絶縁層が、前記ゲート絶縁層と同層の絶縁層である、請求項9に記載の表示装置。

30

【請求項11】

前記第1構造層及び前記第2構造層は、格子状パターン又はストライプ状パターンを有し、前記格子状パターン又はストライプ状パターンの側端が前記傾斜面と平坦面で構成される面に対応する、請求項8に記載の表示装置。

【請求項12】

前記第1構造層及び前記第2構造層は、貫通孔を有し、前記貫通孔の開口端が前記傾斜面と平坦面で構成される面に対応する、請求項8に記載の表示装置。

【請求項13】

前記第1構造層及び前記第2構造層は、島状パターンを有し、前記島状パターンの端部が前記傾斜面と平坦面で構成される面に対応する、請求項8に記載の表示装置。

40

【請求項14】

前記画素電極と前記トランジスタとの間に層間絶縁膜を有し、前記層間絶縁膜は前記端子電極と前記第2構造層との間に延設されている、請求項8に記載の表示装置。

【請求項15】

前記下地構造層は複数の傾斜面と平坦面で構成される面を含む、請求項8に記載の表示装置。

【請求項16】

前記端子電極が異方性導電フィルムと接する、請求項8に記載の表示装置。

50

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は表示装置に係り、本明細書で開示される発明の一実施形態は、表示装置に設けられる端子部の構造に関する。

**【背景技術】****【0002】**

液晶の電気光学効果、有機エレクトロルミネセンス材料の発光現象を利用した表示装置は、基板の一端に画像を表示する制御信号（映像信号、クロック信号等）が入力される端子部が設けられる。例えば、ガラス基板上に設けられた薄膜トランジスタにより画素回路が設けられる表示装置は、ガラス基板の端部に映像信号が入力される端子部が設けられる。端子部は、異方性導電フィルム（以下、「ACF（Anisotropic Conductive Film）」ともいう。）によってフレキシブル配線基板（以下、「FPC（Flexible printed circuits）基板ともいう。）と接続される。

10

**【0003】**

端子部における各端子電極は、FPC基板と良好なコンタクト（電氣的な接続）を形成する必要がある。例えば、ACFに含まれる導電性粒子が、端子電極とFPC基板の電極との間に確実に捕捉されるように、当該端子電極の表面を凹凸化した構造が開示されている（特許文献1参照）。

**【先行技術文献】**

20

**【特許文献】****【0004】**

**【特許文献1】**特開2003-202583号公報

**【発明の概要】****【発明が解決しようとする課題】****【0005】**

ACFは、熱硬化性樹脂に微細な導電性粒子が混合されている。表示装置の端子部とFPC基板とは、ACFを挟んで熱圧着されることで、電氣的及び物理的に接続される。このとき、ACFの接着力が弱いと、FPC基板は表示装置から剥離してしまう。すなわち、導電性粒子を端子電極上に捕捉するようにしても、熱硬化性樹脂との接着力が弱ければ、電氣的接続の信頼性が低下してしまう。

30

**【0006】**

本発明の一実施形態は、表示装置における端子部の信頼性向上を図ることを目的の一つとする。

**【課題を解決するための手段】****【0007】**

本発明の一実施形態によれば、基板上に、回路素子を含む画素部と、回路素子と電氣的に接続される端子部と、を含み、端子部は、端子電極と、端子電極と基板との間に設けられ少なくとも一つの傾斜面と平坦面で構成される面を有する下地構造層を有し、端子電極は、表面に下地構造層の傾斜面と平坦面で構成される面に沿った段差面を有する表示装置が提供される。

40

**【0008】**

本発明の一実施形態によれば、基板上に、回路素子を含む画素部と、回路素子と電氣的に接続される端子部と、を含み、画素部は、画素電極と、画素電極と電氣的に接続された、第1半導体層、ゲート絶縁層及びゲート電極を含むトランジスタと、を含み、端子部は、端子電極と、端子電極と基板との間に設けられ少なくとも一つの傾斜面と平坦面で構成される面を有する下地構造層を有し、端子電極は、表面に下地構造層の傾斜面と平坦面で構成される面に沿った段差面を有する表示装置が提供される。

**【図面の簡単な説明】****【0009】**

50

【図 1】本発明の一実施形態に係る表示装置の構成を示す斜視図である。

【図 2】本発明の一実施形態に係る表示装置の機能的な回路構成を示す図である。

【図 3】本発明の一実施形態に係る表示装置の端子部の構成を示す平面図であり、(A)は F P C 基板と接続される端子電極を示し、(B)はドライバ I C と接続される端子電極を示す。

【図 4】本発明の一実施形態に係る表示装置の端子電極の構成を示す平面図である。

【図 5】本発明の一実施形態に係る表示装置の端子電極の構成を示す断面図であり、(A)は第 1 の断面形態、(B)は第 2 の断面形態を示す。

【図 6】本発明の一実施形態に係る表示装置の端子電極の構成を示す断面図であり、第 3 の断面形態を示す。

10

【図 7】本発明の一実施形態に係る表示装置の端子電極の構成を示す平面図である。

【図 8】本発明の一実施形態に係る表示装置の端子電極の構成を示す平面図である。

【図 9】本発明の一実施形態に係る表示装置の端子電極の構成を示す平面図である。

【図 10】発明の一実施形態に係る表示装置の端子電極と F P C 基板との接続構造を示す断面図である。

【図 11】発明の一実施形態に係る表示装置の端子電極とドライバ I C との接続構造を示す断面図である。

【図 12】発明の一実施形態に係る表示装置の画素の構造を示す断面図である。

【発明を実施するための形態】

【0010】

20

以下、本発明の実施の形態を、図面等を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、以下に例示する実施の形態の記載内容に限定して解釈されるものではない。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号（又は数字の後に a、b などを付した符号）を付して、詳細な説明を適宜省略することがある。さらに各要素に対する「第 1」、「第 2」と付記された文字は、各要素を区別するために用いられる便宜的な標識であり、特段の説明がない限りそれ以上の意味を有さない。

【0011】

30

本明細書において、ある部材又は領域が他の部材又は領域の「上に（又は下に）」あるとする場合、特段の限定がない限りこれは他の部材又は領域の直上（又は直下）にある場合のみでなく他の部材又は領域の上方（又は下方）にある場合を含み、すなわち、他の部材又は領域の上方（又は下方）において間に別の構成要素が含まれている場合も含む。なお、以下の説明では、特に断りのない限り、断面視においては、第 1 基板に対して第 2 基板が配置される側を「上」又は「上方」といい、その逆を「下」又は「下方」として説明する。

【0012】

図 1 は、本発明の一実施形態に係る表示装置 100 の斜視図を示す。表示装置 100 は、第 1 基板 102 に、画素部 104、第 1 駆動回路 108、第 2 駆動回路 110 が設けられている。画素部 104 は複数の画素が配列されている。第 1 駆動回路 108 は映像信号を画素部 104 に出力する回路である。第 1 駆動回路 108 は、例えば、ドライバ I C と呼ばれる半導体チップであり、第 1 基板 102 に実装されている。第 2 駆動回路 110 は走査信号を画素部 104 に出力する回路である。画素部 104 は封止部材 120 によって封止されている。

40

【0013】

第 1 基板 102 には、端子電極 114 が配列する端子部 112 が設けられている。端子部 112 は、第 1 基板 102 の端部において、封止部材 120 で封止されない領域に設けられている。端子部 112 は、A C F によって F P C 基板 116 と接続されている。F P C 基板 116 は、表示装置 100 と他の機能回路又は外部機器とを接続する。端子部 11

50

2は、FPC基板116を介して映像信号等が入力される。

【0014】

第1基板102は、ガラス基板、有機樹脂基板が用いられる。有機樹脂基板は、例えば、ポリイミド基板が用いられる。有機樹脂基板は、板厚を数マイクロメートルから数十マイクロメートルにすることができ、可撓性を有するシートディスプレイを実現することが可能となる。表示装置100の端子部112は、第1基板102が可撓性を有する場合であっても、FPC基板116と確実に接続される接着面が必要とされている。本実施形態に係る表示装置100は、後述されるように、端子電極114に凹凸形状が設けられている。

【0015】

図2は、表示装置100の機能的な回路構成を示す。端子部112に設けられる複数の端子電極114は複数個設けられ、所定の間隔で配列されている。端子電極114は、第1駆動回路108、第2駆動回路110に繋がる配線と接続されている。図2は、端子部112が第1基板102の一端に整列する態様を示すが、本発明はこれに限定されない。例えば、端子部112は第1基板102の複数の箇所に分割して設けられていてもよし、第1基板102の端部ではなく内側領域に設けられていてもよい。また、端子電極114の配列も任意であり、隣接する端子電極が互い違いに配置されていてもよい。

【0016】

図2は、第1駆動回路108の実装面に設けられる端子電極114bを、点線で示している。端子電極114bは、第1駆動回路108がドライバICによって実現されるとき、ドライバICの bumps と接続される部位となる。本明細書において、FPC基板と接続される端子電極と、ドライバICと接続される端子電極を区別して呼ぶ場合には、前者を第1端子電極114a、後者を第2端子電極114bというものとし、それ以外の場合は、総括して端子電極114と呼ぶものとする。

【0017】

第1端子電極114aと第2端子電極114bとは、第1基板102上に設けられ、平面的な形状、接続部の面積等に違いが含まれるものの、実質的に同じ構造を有している。すなわち、端子電極114の上面が凹凸形状を有している。

【0018】

画素部104は複数の画素106が行方向及び列方向に配列されている。画素106の配列数は任意である。例えば、行方向(X方向)にm個、列方向(Y方向)にn個の画素106が配列されている。画素106には、表示素子が設けられている。表示素子としては、発光素子(有機エレクトロルミネセンス素子)、液晶素子等が適用される。画素部104には、行方向に第1走査信号線122a及び第2走査信号線122bが設けられ列方向に映像信号線124が設けられている。また、画素部104には電源線126が設けられている。なお、図2は、画素106が正方配列する例を示すが、本発明はこれに限定されず、デルタ配列等、他の配列形式も適用可能である。

【0019】

第1駆動回路108は、映像信号線124に映像信号を出力する。画素部104に隣接して設けられる第2駆動回路110は第1走査信号線122a、第2走査信号線122bに信号を出力する。端子部112におけるそれぞれの端子電極114には、第1駆動回路108、第2駆動回路110を動作させる信号が入力される。画素部104に配設される電源線126が設けられる場合、これと接続する端子電極が端子部112に含まれる。なお、図2で示す第1基板102の構成は一例であり、駆動回路の構成、走査信号線、映像信号線、電源線は任意であり、他の構成を有していてもよい。

【0020】

図3(A)は、端子部112における第1端子電極114aの配列を示す。第1端子電極114aは、第1基板102の端部において、複数の第1端子電極114aが配列されている。第1端子電極114aは、端部が絶縁層で覆われており、第1開口端142aの内側の領域が露出している。第1端子電極114aの上面部、すなわち露出面には点線で

10

20

30

40

50

示すように凹凸形状が設けられている。第1端子電極114aの上面部は、例えば、点線で示される格子状パターンが凸部となるような凹凸形状が設けられている。

【0021】

図3(B)は、端子部112における第2端子電極114bの配列を示す。第2端子電極114bは、第1駆動回路108が設けられる領域に配列されている。第2端子電極114bも、第1端子電極114aと同様に端部が絶縁層で覆われており、第2開口端142bの内側の領域が露出している。また、第2端子電極114bも、第1端子電極114aと同様に上面部に凹凸形状が設けられている。

【0022】

図4は、第1端子電極114aの平面図を示す。また、図4で示すA-B線に沿った断面構造を図5(A)に示す。以下の説明では、この両図面を参照して端子電極の詳細を説明する。

【0023】

第1端子電極114aは、第1導電層128と第2導電層130とで構成されている。第1導電層128は、一つ又は複数の金属層を含む。例えば、第1導電層128はアルミニウム層を含み、このアルミニウム層の一方又は双方の面に、チタン層が設けられた構造を有する。第2導電層130は、導電性金属酸化物層である。例えば、第2導電層130は、酸化インジウムスズ(ITO: Indium Tin Oxide)、酸化インジウム亜鉛(IZO: Indium Zinc Oxide)等の導電性金属酸化物で形成される。

【0024】

なお、第1端子電極114aにおいて、第1導電層128は、200nm~2000nmの厚みを有し、例えば、500nm~1000nmの厚みで形成される。また、第2導電層130は、50nm~500nmの厚みを有し、例えば、100nm~250nmの厚みで形成される。

【0025】

このような第1端子電極114aの下地側には、少なくとも一層の絶縁層が設けられている。図5(A)は、第1の断面形態を示し、第1基板102と第1端子電極114aとの間に、第1絶縁層134、第2絶縁層136、第3絶縁層138が設けられる態様を示す。第1基板102と第1端子電極114aとの間に少なくとも一層の絶縁層が設けられることで、第1基板102が有機樹脂基板である場合であっても、第1端子電極114aの下地側に対する密着性を高めることができる。

【0026】

第1端子電極114aは、端部が第4絶縁層140で覆われている。換言すれば、第4絶縁層140は開口部を有し、開口端142が第1端子電極114aの第1導電層128上に配置されている。第4絶縁層140は、有機絶縁材料で形成される。第1導電層128の端部は、第4絶縁層140によって覆われることで保護されている。また、このような構造により、隣接する端子電極との短絡が防止されている。第2導電層130は、第1導電層128の上面から第4絶縁層140の表面に沿って設けられている。これにより、第1導電層128の表面は、第4絶縁層140及び第2導電層130によって覆われた構造となる。第2導電層130は、第1導電層128と比べて硬質であるため、第1端子電極114aの上面にACFが設けられる場合でも、導電性粒子の圧接によるダメージが防止される。また、第1端子電極114aは、導電性金属酸化物による第2導電層130が最表面に配置されることで、金属の酸化により(例えば、アルミニウムの酸化)、表面が絶縁化することを防いでいる。これにより、FPC基板と良好な接続が形成される。

【0027】

第1導電層128と第1基板102の間には、傾斜面と平坦面で構成される面を含む下地構造層132が設けられている。具体的には、第1絶縁層134、第2絶縁層136及び第3絶縁層138のいずれかの層間、又は第1基板102と第1絶縁層134との間に、下地構造層132が設けられている。下地構造層132は、少なくとも一つの傾斜面と平坦面で構成される面133を含み、この傾斜面と平坦面で構成される面133が第1

10

20

30

40

50

端子電極 114a の開口部内（第 1 開口端 142a の内側）に配置されるように設けられている。

【0028】

図 5 (A) は、第 1 下地構造層 132a が、第 1 絶縁層 134 と第 2 絶縁層 136 との間に設けられる態様を示す。また、図 5 (B) は、第 2 の断面形態を示し、第 2 下地構造層 132b が、第 2 絶縁層 136 と第 3 絶縁層 138 との間に設けられる態様を示す。第 1 下地構造層 132a の上層側に配置される第 2 絶縁層 136 及び第 3 絶縁層 138 は、酸化シリコン膜、窒化シリコン膜、又は酸窒化シリコン膜等の無機絶縁膜である。そのため、第 2 絶縁層 136 及び第 3 絶縁層 138 は、第 1 下地構造層 132a の傾斜面と平坦面で構成される面 133 に沿って形成される。そのため、第 1 導電層 128 の下地面は傾斜面と平坦面で構成される面 133 の形状が反映された凹凸形状を有している。この凹凸形状は、第 1 導電層 128 の表面形状として表れる。第 1 導電層 128 の上に設けられる第 2 導電層 130 は、前述のように第 1 導電層 128 よりも膜厚が薄いため、結果として第 1 端子電極 114a の表面には凹凸形状を有することとなる。

10

【0029】

なお、下地構造層 132 は、絶縁層に埋設されるため、任意の材料で形成される。図 5 (A) は、第 1 下地構造層 132a が半導体層で形成される一例を示す。また、図 5 (B) は、第 2 下地構造層 132b が金属層で形成される一例を示す。いずれの場合でも、下地構造層 132 は、少なくとも一つの端部が第 1 端子電極 114a と重なるように設けられる。そして、下地構造層 132 の膜厚分の傾斜面と平坦面で構成される面 133 が、第 1 端子電極 114a と重なる領域に、少なくとも一つ含まれるように設けられる。すなわち、図 5 (A) では、第 1 下地構造層 132a を形成する半導体層の膜厚に対応した高さの段差が形成され、図 5 (B) では、第 2 下地構造層 132b を形成する金属層の膜厚に応じた高さの段差が形成される。図 5 (A) は、第 1 下地構造層 132a が傾斜面と平坦面で構成される面 133a を有し、図 5 (B) は、第 2 下地構造層 132b が傾斜面と平坦面で構成される面 133b を含む態様を示す。

20

【0030】

また、図 6 は、第 3 の断面形態を示し、第 1 下地構造層 132a と、第 2 下地構造層 132b が重畳するように配設された態様を示す。この場合、例えば、第 1 下地構造層 132a は半導体層で形成され、第 2 下地構造層 132b は金属層で形成される。このように、異なる層で形成される下地構造層を積層することで、傾斜面と平坦面で構成される面の高さをより高くすることができる。

30

【0031】

なお、図 5 (A) 及び (B)、図 6 は、下地構造層 132 が半導体層又は金属層によって設けられる一例を示すが、本発明はこれに限定されない。例えば、下地構造層を、傾斜面と平坦面で構成される面を形成し得る所定のパターンに成形された絶縁層で設けてもよい。

【0032】

図 4 は、下地構造層 132 の平面的形状が、格子状のパターンで設けられる一例を示す。すなわち、下地構造層 132 は、下地面を露出する格子状のパターンを有している。これにより、第 1 導電層 128 及び第 2 導電層 130 と重畳する領域に、複数の傾斜面と平坦面で構成される面 133 が設けられる。第 1 端子電極 114a は、このような凹凸形状が表面に形成されることにより、表面積が増加する。すなわち、第 1 端子電極 114a 上に設けられる ACF の接触面積が増大し、接着力を高めることが可能となる。また、ACF に含まれる導電性粒子との接触面積も増加するので、接触抵抗を低減する効果をさらに有する。

40

【0033】

図 7 は、下地構造層 132 の平面的形状が、ストライプ状のパターンで設けられる一例を示す。下地構造層 132 がストライプ状のパターンであっても、第 1 端子電極 114a の表面を凹凸形状とすることができる。図 7 は、下地構造層 132 のストライプ状のパタ

50

ーンが、第1端子電極114aの長手方向に沿って設けられる態様を示すが、ストライプ状のパターンが延在する方向はこれに限定されない。例えば、第1端子電極114aの長手方向と交差する方向に下地構造層132のパターンが設けられていてもよい。

【0034】

図8は、第1端子電極114aと重なる下地構造層132に、貫通孔が設けられた態様を示す。下地構造層132を貫通する開口部を、第1端子電極114aと重なる領域に設けることで、下地構造層132の膜厚分の傾斜面と平坦面で構成される面133を形成することができる。一方、図9で示すように、下地構造層132を島状のパターンで設けてもよい。すなわち、第1端子電極114aと重なる領域において、下地構造層132を離散的な島状パターンで設けることで、島状領域の厚み分の傾斜面と平坦面で構成される面133を設けることができる。なお、下地構造層132の構造において、貫通孔や島状パターンの平面的な形態は、図8及び図9に示される円形に限られるものでなく、三角形以上の多角形や、楕円、その他直線と曲線で構成される形状、複数の曲線で構成される形状であってもよい。

10

【0035】

このように、本発明の一実施形態によれば、第1端子電極114aと重なる領域に、少なくとも一つの端部を含む下地構造層132を設けることで、第1端子電極114aの表面を凹凸化することができる。これにより、第1端子電極114aの表面積を増加させることができる。すなわち、本実施形態によれば、第1端子電極114aの表面に特別な加工をしなくても、当該表面を凹凸化することができる。この場合において、下地構造層132は、絶縁層に埋設されるので、下地構造層132が導電性を有していても、隣接する端子電極と短絡することが防止される。したがって、下地構造層132は、端子部112において、複数の端子電極に亘って連続するパターンで設けることもできる。

20

【0036】

なお、図4乃至図9は、第1基板102の端部に設けられる第1端子電極114aについて説明したが、第1駆動回路108と接続する第2端子電極114bについても、同様の構成を適用することができる。

【0037】

図10は、第1端子電極114aとFPC基板116の接続構造を断面図で示す。FPC基板116は、樹脂フィルム基板146に金属配線148が設けられた構造を有している。FPC基板116は、金属配線148が第1端子電極114aと対向するように配置される。第1端子電極114aとFPC基板116との間には、ACF118が設けられる。ACF118は樹脂層150の中に導電性粒子152が分散された構造を有している。第1端子電極114aとFPC基板116とは、導電性粒子152を介して電氣的に接続される。具体的には、第2導電層130と金属配線148とが、導電性粒子152と接触することで、電氣的な接続が形成される。

30

【0038】

ACF118の樹脂層150は、例えば、熱硬化型の樹脂であり、硬化によって第1端子電極114a及びFPC基板116と接着する。この場合において、第1端子電極114aの表面が凹凸形状を有していることにより、樹脂層150との接触面積が増加している。これにより、ACF118と第1端子電極114aとの密着力を向上させることができ、FPC基板116が剥離するのを防止することができる。

40

【0039】

図11は、第2端子電極114bと第1駆動回路108として設けられるドライバIC154との接続構造を断面図で示す。ドライバIC154は、端子電極156が第2端子電極114bと対向するように配置される。第2端子電極114bとドライバIC154との間には、ACF118が設けられる。第2端子電極114bとドライバIC154とは、導電性粒子152を介して電氣的に接続される。具体的には、第2導電層130と端子電極156とが、導電性粒子152と接触することで、電氣的な接続が形成される。この場合においても、第2端子電極114bの表面が凹凸形状を有していることにより、樹

50

脂層 150 との接触面積が増加している。これにより、ACF 118 と第 2 端子電極 114 b との密着力を向上させることができ、ドライバ IC 154 が剥離すること、或いは接続部の電気抵抗が増大することを防止することができる。

#### 【0040】

ところで、端子電極 114 と重畳するように設けられる下地構造層 132 は、表示装置 100 の画素 106 を構成する部材を用いて作製することができる。下地構造層 132 と画素 106 を構成する部材との関係を説明するために、図 12 を参照して画素 106 の断面構造を説明する。

#### 【0041】

図 12 で示すように、画素 106 は、トランジスタ 158、容量素子 166、表示素子 172 を含む。トランジスタ 158 は、第 1 絶縁層 134 の上に設けられる。トランジスタ 158 は、半導体層 160 a、ゲート絶縁膜として機能する第 2 絶縁層 136、ゲート電極 162 が積層された構造を有する。半導体層 160 a は、アモルファスシリコン、ポリシリコン等のシリコン系半導体材料、及び半導体特性を示す金属酸化物（「酸化物半導体」ともよばれる）で形成され、第 1 絶縁層 134 上に設けられる。半導体層 160 a は、トランジスタ 158 の配置に対応して、島状に分離されたパターンを有し、50 nm ~ 500 nm の厚みで設けられる。半導体層 160 a は、第 2 絶縁層 136 によって被覆される。

10

#### 【0042】

ゲート電極 162 は、ゲート絶縁膜として機能する第 2 絶縁層 136 を介して半導体層 160 a と重なる領域を含んで設けられる。ゲート電極 162 は、アルミニウム、チタン、モリブデン、タングステン等の金属膜で形成され、例えば、チタンとアルミニウムが積層された構造を有する。ゲート電極 162 は、概略 100 nm ~ 1000 nm の厚みを有する。第 2 絶縁層 136 は、無機絶縁材料で形成され、例えば、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜等が用いられる。例えば、半導体層 160 a がポリシリコンであれば、第 2 絶縁層 136 として酸化シリコン膜が好適に用いられる。

20

#### 【0043】

ゲート電極 162 の上層には、第 3 絶縁層 138 が設けられる。第 3 絶縁層 138 は、無機絶縁材料で作製され、例えば、酸化シリコン膜、窒化シリコン膜の単層又は複数の層が積層された構造を有する。第 3 絶縁層 138 は、概略 500 nm ~ 2000 nm の厚みを有するように設けられる。

30

#### 【0044】

第 2 絶縁層 136 及び第 3 絶縁層 138 は、プラズマ CVD (Chemical Vapor Deposition) 法や、スパッタリング法等の薄膜製造技術によって作製される無機絶縁膜である。このような無機絶縁膜は、下地の凹凸に応じて薄膜が成長する。そのため、半導体層 160 a やゲート電極 162 の段差構造があると、この上に堆積された絶縁層の表面形状は、段差構造を含む形状となる。

#### 【0045】

第 3 絶縁層 138 上には、ソース・ドレイン配線 164 a、164 b が設けられる。ソース・ドレイン配線 164 a、164 b は、チタン、モリブデン、アルミニウム等の金属膜で形成され、例えば、アルミニウム膜の上層及び下層をチタン膜で挟んだ構造を有する。ソース・ドレイン配線 164 a、164 b 上には、第 4 絶縁層 140 が設けられる。第 4 絶縁層 140 は、有機絶縁材料で作製される。有機絶縁材料としては、アクリル、ポリイミド等が用いられる。第 4 絶縁層 140 は、スピン塗布法、蒸着重合法等により作製される。このような性膜法によれば、第 4 絶縁層 140 は下地の凹凸（段差構造）を被覆して、平坦な表面を得ることができる。すなわち、第 4 絶縁層 140 は、平坦化膜として用いることができる。

40

#### 【0046】

第 4 絶縁層 140 の上には、表示素子 172 が設けられる。図 12 は、表示素子 172 が発光素子である場合を示す。すなわち、表示素子 172 は、画素電極 174、有機層 1

50

78、対向電極180が積層された構造を有する。画素電極174は、少なくとも第4絶縁層140に設けられたコンタクトホール165によって、ソース・ドレイン配線164aと電氣的に接続される。すなわち、画素電極174は、ソース・ドレイン配線164aを介してトランジスタ158と電氣的に接続される。

【0047】

画素電極174の周縁部及びコンタクトホール165が設けられる領域は、第6絶縁層176で覆われる。第6絶縁層176は、画素電極174より上層に配置され、画素電極174の内側領域を露出させる開口部144を有する。有機層178及び対向電極180は、画素電極174の上面から、第6絶縁層176の上面にかけて設けられる。

【0048】

有機層178は、一層又は複数層で構成され、有機エレクトロルミネセンス材料を含む。対向電極180は、有機層178の上層に設けられる。対向電極180の上層にはバッシベーション層としての第7絶縁層182を有する。第7絶縁層182は、窒化シリコン膜の単層、窒化シリコン膜と酸化シリコン膜の積層、窒化シリコン膜と有機絶縁膜とが積層された構造を有する。本実施形態において、表示装置100は、所謂トップエミッション型であるものとし、対向電極180の側に光が出射される。このとき、反射電極となる画素電極174は、透明導電膜と金属膜との積層構造により有機層178で発光した光を反射する構成が採用される。例えば、画素電極174は、少なくとも2層の透明導電膜と、その2層の透明導電膜に挟まれた金属膜（例えば、銀（Ag）、アルミニウム（Al）等の反射率の高い材料が好ましい。）と、を有する。対向電極180は酸化インジウムスズ等の透明導電膜で形成され、有機層178で発光した光を透過する。

【0049】

第1容量素子166aは、第2絶縁層136を誘電体層として用い、ゲート電極162と同じ層で形成される第1容量電極168aと、一導電型を付与する不純物が添加された半導体層160bによって構成される。第1容量素子166aの他方の電極となる半導体層160bは、トランジスタ158のチャンネルを形成する半導体層160aから延長された領域である。第2容量素子166bは、第4絶縁層140の上面に設けられる第2容量電極168b、第2容量電極168bの上層に設けられる第5絶縁層170、第2容量電極168bと少なくとも一部が重畳する画素電極174によって構成される。なお、第2容量電極168bは、アルミニウム、チタン、モリブデン、タングステン等の金属膜で形成される。

【0050】

図12で示す構造を有する画素106と、図5(A)で示す第1端子電極114a及びその下層の構造を対比すると、第1下地構造層132aは半導体層であり、この半導体層はトランジスタ158の半導体層160aと同じ層で形成される。また、図5(B)で示す第2下地構造層132bは金属層であり、ゲート電極162と同じ層で形成される。さらに、図6で示す第1下地構造層132aは半導体層であり、この半導体層はトランジスタ158の半導体層160aと同じ層で形成され、第2下地構造層132bは金属層であり、ゲート電極162と同じ層で形成される。画素106を構成する層と同じ層で設けられる下地構造層132の平面的な形態は、端子電極116の上面に凹凸形状（別言すれば複数の傾斜面と平坦面で構成される面）が含まれるように、図4、図7、図8、図9で示すような各形状とすることができる。

【0051】

このように、本実施形態によれば、第1端子電極114aの表面に凹凸形状を設けるための下地構造層を、画素を構成する層（半導体層、配線層）を用いて設けることができる。これにより、下地構造層のために新たな層を設ける必要がなく、製造工程を簡略化することができる。例えば、半導体層160aはトランジスタ158の配置に合わせてパターンニングされるため、同じ工程で第1下地構造層132aの段差パターンを形成することができる。これは、ソース・ドレイン配線164に対応する第2下地構造層132bについても同様である。

10

20

30

40

50

## 【 0 0 5 2 】

なお、第1端子電極114aの第1導電層128は、ソース・ドレイン配線164と同じ導電層で形成される。また、図5(A)における第1絶縁層134、第2絶縁層136、第3絶縁層138及び第4絶縁層140は、図12で説明する各絶縁層に対応する絶縁層であり、画素部104から端子部112に延設されている。すなわち、第1導電層128の端部を覆う第4絶縁層140は有機絶縁材料で形成され、平坦化膜として用いられるため、端子部112においても第1導電層128の端部上面を平坦化する。第4絶縁層140により、第1導電層128は剥離が防止され、第1端子電極114aはFPC基板116と良好な電氣的接続が形成される。

## 【 0 0 5 3 】

以上、説明したように、本発明の一実施形態によれば、端子部の電極（端子電極）の表面に凹凸形状を設け、ACFの樹脂層との接触面積を増加させ、密着力を向上させることができる。これにより、端子部とFPC基板やドライバICを実装した後の剥離を防止することができる。また、ACFで使用される樹脂層の種類によらず、端子部とFPC基板やドライバICとの密着性を向上させることができるので、ACFの材質について選択肢の範囲を広げることができ、汎用性を高めることができる。

## 【 産業上の利用可能性 】

## 【 0 0 5 4 】

本発明の一実施形態に係る表示装置の構成は、各画素にエレクトロルミネセンス材料を用いた発光素子が設けられた表示装置、液晶の電気光学効果を利用して映像を表示する表示装置に適用することができる。また、本発明の一実施形態に係る表示装置の端子部の構成は、ACFによって接続される端子を有する、他の半導体デバイス（集積回路等）に適用することができる。

## 【 符号の説明 】

## 【 0 0 5 5 】

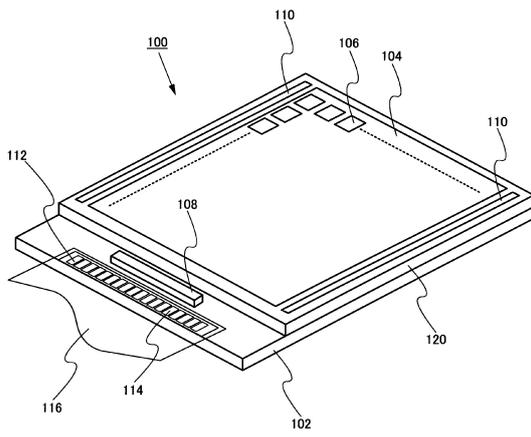
100：表示装置、102：第1基板、104：画素部、106：画素、108：第1駆動回路、110：第2駆動回路、112：端子部、114：端子電極、116：FPC基板、118：ACF、120：封止部材、122：走査信号線、124：映像信号線、126：電源線、128：第1導電層、130：第2導電層、132：下地構造層、133：傾斜面と平坦面で構成される面、134：第1絶縁層、136：第2絶縁層、138：第3絶縁層、140：第4絶縁層、142：開口端、144：開口部、146：樹脂フィルム基板、148：金属配線、150：樹脂層、152：導電性粒子、154：ドライバIC、156：端子電極、158：トランジスタ、160：半導体層、162：ゲート電極、164：ソース・ドレイン配線、165：コンタクトホール、166：容量素子、168：容量電極、170：第5絶縁層、172：表示素子、174：画素電極、176：第6絶縁層、178：有機層、180：対向電極、182：第7絶縁層

10

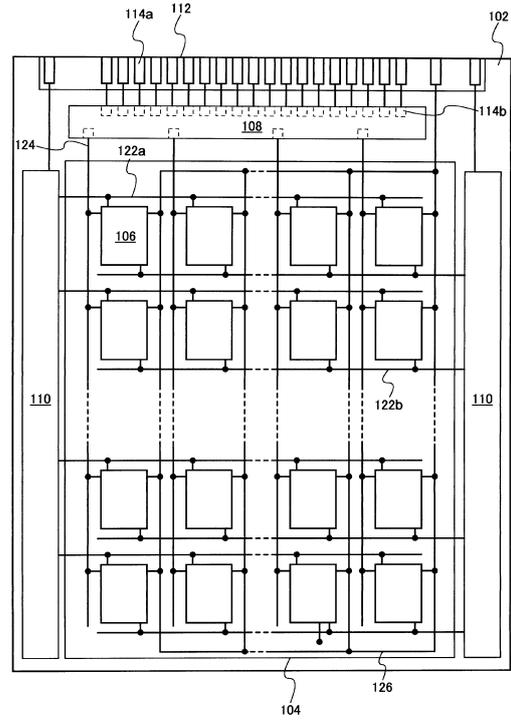
20

30

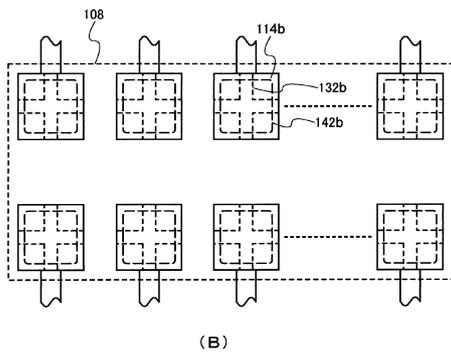
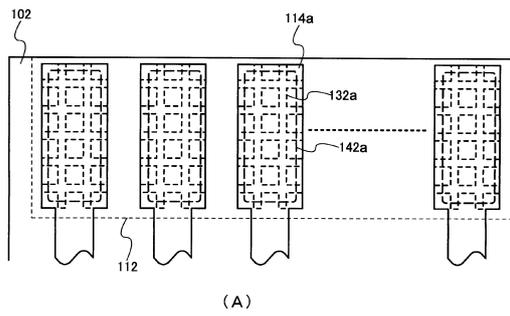
【図 1】



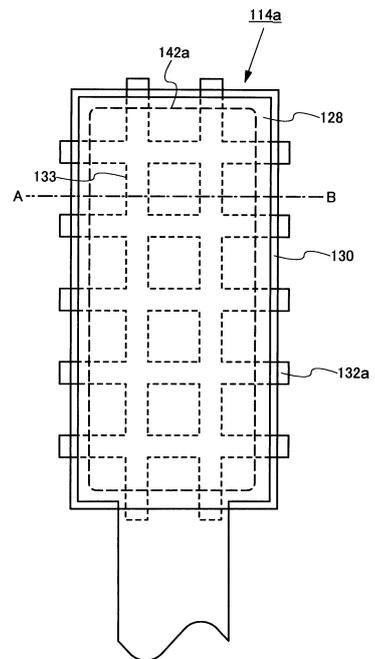
【図 2】



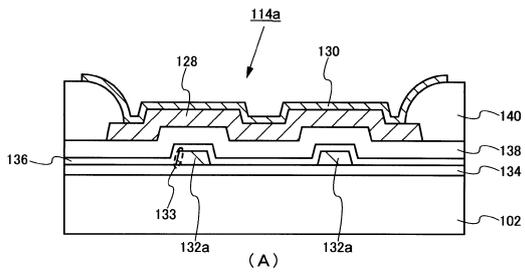
【図 3】



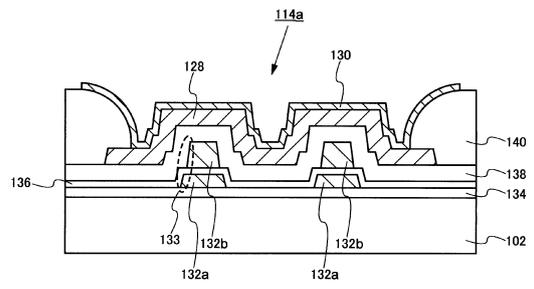
【図 4】



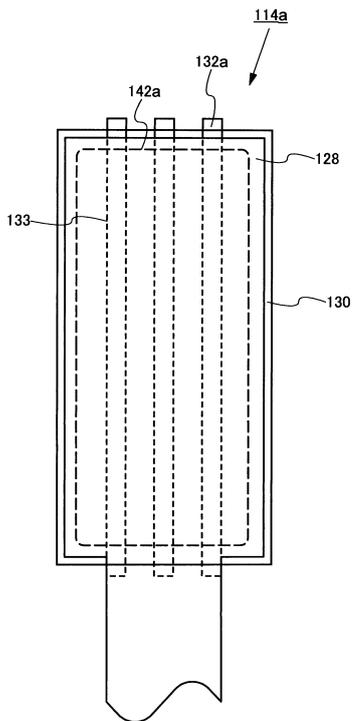
【 図 5 】



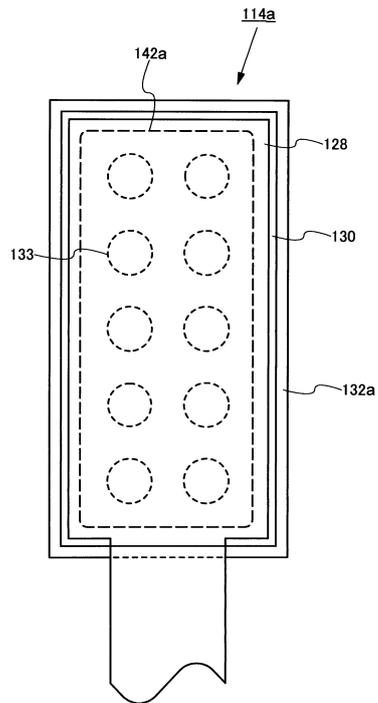
【 図 6 】



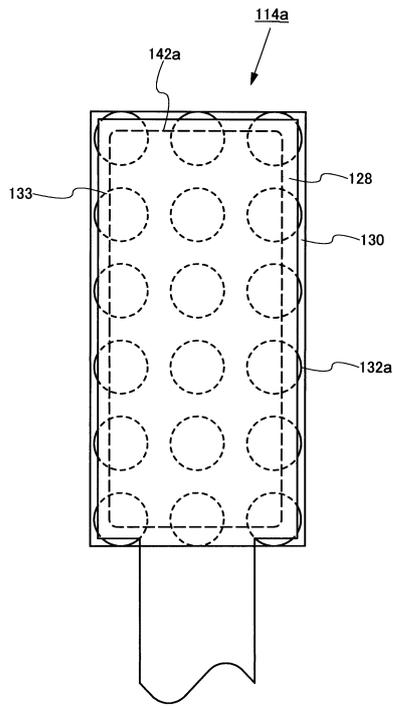
【 図 7 】



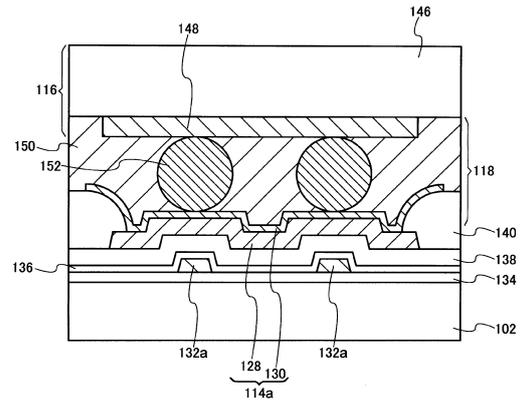
【 図 8 】



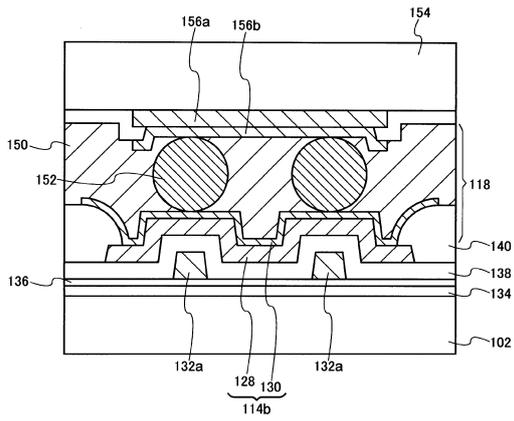
【図 9】



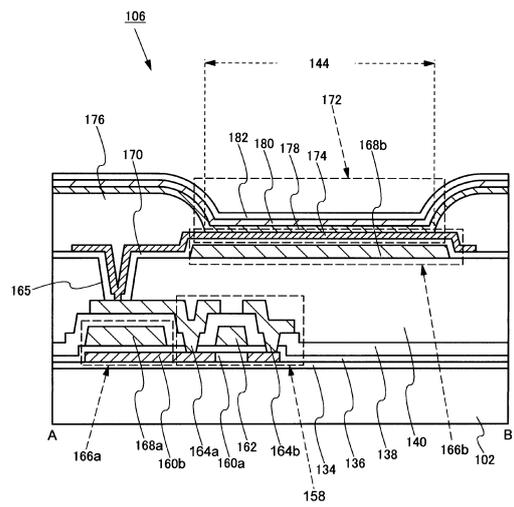
【図 10】



【図 11】



【図 12】



## フロントページの続き

(51)Int.Cl. F I  
H 0 5 B 33/06  
H 0 5 B 33/22 Z

(56)参考文献 特開2003-131253(JP,A)  
特開2008-065135(JP,A)  
米国特許出願公開第2007/0076393(US,A1)  
特開2005-122182(JP,A)  
国際公開第2010/038514(WO,A1)  
米国特許出願公開第2012/0139000(US,A1)  
米国特許出願公開第2012/0138935(US,A1)  
米国特許第06670708(US,B1)  
特開平07-030012(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5  
1 / 1 3 5 - 1 / 1 3 6 8  
G 0 9 F 9 / 3 0 - 9 / 4 6  
H 0 1 L 2 1 / 3 3 6  
2 7 / 3 2  
2 9 / 7 8 6  
5 1 / 5 0  
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8