



(12) 发明专利

(10) 授权公告号 CN 108877870 B

(45) 授权公告日 2022.05.10

(21) 申请号 201810204922.2

G11C 29/00 (2006.01)

(22) 申请日 2018.03.13

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 108877870 A

US 2013315016 A1, 2013.11.28

US 2001045581 A1, 2001.11.29

US 2017083398 A1, 2017.03.23

(43) 申请公布日 2018.11.23

CN 1954390 A, 2007.04.25

(30) 优先权数据

CN 102237146 A, 2011.11.09

10-2017-0059331 2017.05.12 KR

CN 103426481 A, 2013.12.04

(73) 专利权人 爱思开海力士有限公司
地址 韩国京畿道

CN 103426481 A, 2013.12.04

CN 105047227 A, 2015.11.11

(72) 发明人 刘正宅

CN 104036827 A, 2014.09.10

CN 106356099 A, 2017.01.25

(74) 专利代理机构 北京弘权知识产权代理有限
公司 11363

KR 20000002090 A, 2000.01.15

US 2008259709 A1, 2008.10.23

专利代理师 李少丹 许伟群

US 2005162945 A1, 2005.07.28

(51) Int. Cl.

审查员 赵晓娟

G11C 29/44 (2006.01)

G11C 29/42 (2006.01)

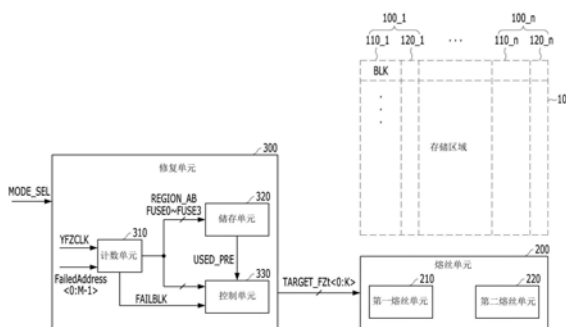
权利要求书3页 说明书11页 附图6页

(54) 发明名称

用于修复操作的修复电路以及包括修复电路的存储器件

(57) 摘要

本发明公开了一种存储器件,其包括:多个存储单元阵列,每个存储单元阵列包括正常单元阵列和冗余单元阵列;第一熔丝单元,其包括与存储单元阵列之中的第一存储单元阵列相对应的多个第一熔丝组;第二熔丝单元,其包括与存储单元阵列之中的第二存储单元阵列相对应的多个第二熔丝组,第一熔丝组分别与第二熔丝组相对应;以及修复单元,其适用于基于表示第一熔丝组和第二熔丝组中的每个熔丝组是故障还是可用的信息,从第一熔丝组和述第二熔丝组中选择彼此对应的一对熔丝组,并且对选中的熔丝组对中的存储单元阵列的修复目标列地址进行编程。



1. 一种存储器件,其包括:

多个存储单元阵列,每个存储单元阵列包括正常单元阵列和冗余单元阵列;

第一熔丝单元,其包括与存储单元阵列之中的第一存储单元阵列相对应的多个第一熔丝组;

第二熔丝单元,其包括与存储单元阵列之中的第二存储单元阵列相对应的多个第二熔丝组,第一熔丝组分别与第二熔丝组相对应;以及

修复单元,其适用于基于表示第一熔丝组和第二熔丝组中的每个熔丝组是故障还是可用的信息,从第一熔丝组和第二熔丝组中选择彼此对应的一对熔丝组,并且对选中的熔丝组对中的存储单元阵列的修复目标列地址进行编程,

其中,在错误校正码ECC-开启模式中,当从存储单元阵列检测到缺陷时,在熔丝组对之中的对应熔丝组对被使用或被指示为故障。

2. 根据权利要求1所述的存储器件,其中,修复单元包括:

计数单元,其适用于通过对时钟信号进行计数来产生与第一熔丝组和第二熔丝组顺序相对应的计数信号;

储存单元,其适用于储存表示第一熔丝组和第二熔丝组中的每个熔丝组是故障还是可用的信息,并响应于计数信号而输出对应熔丝组的信息;以及

控制单元,其适用于响应于计数信号而基于从储存单元输出的信息来产生表示选中的熔丝组对的目标信号。

3. 根据权利要求2所述的存储器件,其中,计数单元包括:

计数器,其适用于响应于时钟信号而通过逐个地增加熔丝计数信号的值来输出熔丝计数信号;以及

编码器,其适用于通过对熔丝计数信号进行编码来产生计数信号。

4. 根据权利要求3所述的存储器件,其中,控制单元包括:

选择信号发生器,其适用于产生分别与来自第一熔丝组和第二熔丝组中彼此对应的多个熔丝组对相对应的多个选择信号;

选择信号组合器,其适用于响应于计数信号而通过将选择信号组合来产生锁存信号;以及

锁存器,其适用于响应于锁存信号而通过锁存熔丝计数信号来产生目标信号。

5. 根据权利要求4所述的存储器件,其中,选择信号发生器包括分别与熔丝组对相对应的多个信号发生元件,以及

每个信号发生元件包括:

第一使能元件,其适用于响应于计数信号而基于从储存单元输出的信息来产生对应的熔丝组对的第一熔丝组的使能信号;

第二使能元件,其适用于响应于计数信号而基于从储存单元输出的信息来产生对应的熔丝组对的第二熔丝组的使能信号;以及

第一信号组合元件,其适用于通过将第一使能元件的输出信号和第二使能元件的输出信号组合来产生熔丝组对的选择信号。

6. 根据权利要求4所述的存储器件,其中,选择信号组合器包括:

第二信号组合元件,其适用于响应于计数信号而根据选择信号的逻辑电平来使能输出

信号;以及

模式选择元件,其适用于响应于模式选择信号而将第二信号组合元件的输出信号或从储存单元输出的信息作为锁存信号来选择性地传送。

7. 根据权利要求6所述的存储器件,其中,存储单元阵列的每个存储单元阵列包括多个存储块,并且第一熔丝组和第二熔丝组的每个熔丝组包括分别与存储块相对应的多个熔丝元件。

8. 根据权利要求7所述的存储器件,其中,计数单元还包括:

比较器,其适用于通过将修复目标行地址与熔丝计数信号进行比较来产生检测信号。

9. 根据权利要求8所述的存储器件,其中,选择信号组合器还包括:

锁存信号发生元件,其适用于响应于检测信号而将模式选择元件的输出信号作为锁存信号来传送。

10. 根据权利要求8所述的存储器件,其中,第一使能元件和第二使能元件响应于检测信号而产生第一熔丝组和第二熔丝组的熔丝元件之中的对应熔丝元件的使能信号。

11. 根据权利要求1所述的存储器件,其中,执行伴随有错误校正码ECC操作的写入/读取操作以便检测在存储单元阵列中出现的缺陷,并且可选地,在没有ECC操作的情况下执行写入/读取操作以便分别检测在第一存储单元阵列或第二存储单元阵列中出现的缺陷。

12. 根据权利要求11所述的存储器件,其中,当通过使用N比特位的数据单元检测在存储单元阵列中出现的缺陷时,通过使用 $1/2*N$ 比特位的数据单元来检测在第一存储单元阵列或第二存储单元阵列中出现的缺陷,其中N是自然数。

13. 一种修复电路,其包括:

多个第一熔丝组,其对应于多个存储单元阵列之中的第一存储单元阵列;

多个第二熔丝组,其对应于存储单元阵列之中的第二存储单元阵列,并且形成分别与第一熔丝组相对应的多个熔丝组对;

储存单元,其适用于储存表示第一熔丝组和第二熔丝组中的每个熔丝组是故障还是可用的信息;以及

控制单元,其适用于基于储存在储存单元中的信息来选择熔丝组对之中的一个熔丝组对并且输出目标信号,

其中,在错误校正码ECC-开启模式中,当从存储单元阵列检测到缺陷时,在熔丝组对之中的对应熔丝组对被使用或被指示为故障。

14. 根据权利要求13所述的修复电路,还包括:

计数单元,其适用于通过对时钟信号进行计数来产生与第一熔丝组和第二熔丝组顺序相对应的计数信号。

15. 根据权利要求14所述的修复电路,其中,储存单元响应于计数信号而将第一熔丝组和第二熔丝组之中的对应熔丝组的信息传送到控制单元。

16. 根据权利要求14所述的修复电路,其中,控制单元包括:

选择信号发生器,其适用于产生分别与熔丝组对相对应的多个选择信号;

选择信号组合器,其适用于响应于计数信号而通过将选择信号组合来产生锁存信号;

以及

锁存器,其适用于响应于锁存信号而通过锁存计数信号来产生目标信号。

17. 根据权利要求16所述的修复电路,其中,选择信号发生器包括分别与熔丝组对相对应的多个信号发生元件,以及

每个信号发生元件包括:

第一使能元件,其适用于响应于计数信号而基于储存在储存单元中的信息来产生对应的熔丝组对的第一熔丝组的使能信号;

第二使能元件,其适用于响应于计数信号而基于储存在储存单元中的信息来产生对应的熔丝组对的第二熔丝组的使能信号;以及

第一信号组合元件,其适用于通过将第一使能元件的输出信号和第二使能元件的输出信号组合来产生熔丝组对的选择信号。

18. 根据权利要求16所述的修复电路,其中,选择信号组合器包括:

第二信号组合元件,其适用于响应于计数信号而根据选择信号的逻辑电平来使能输出信号;以及

模式选择元件,其适用于响应于模式选择信号而将第二信号组合元件的输出信号或储存在储存单元中的信息作为锁存信号来选择性地传送。

19. 根据权利要求13所述的修复电路,其中,在错误校正码ECC-关闭模式中,当从第一存储单元阵列或第二存储单元阵列检测到缺陷时,在第一熔丝组和第二熔丝组之中的对应熔丝组被使用或被指示为故障。

用于修复操作的修复电路以及包括修复电路的存储器件

[0001] 相关申请的交叉引用

[0002] 本申请要求2017年5月12日提交的申请号为10-2017-0059331的韩国专利申请的优先权,其全部内容通过引用合并于此。

技术领域

[0003] 本发明的示例性实施例涉及一种存储器件。具体地,本发明的示例性实施例涉及一种用于修复操作的修复电路以及包括该修复电路的存储器件。

背景技术

[0004] 诸如,例如动态随机存取存储器(DRAM)和电阻式存储器的存储器件可以包括以矩阵形式布置的多个存储单元。随着存储器件的容量增加以及所制造的存储器件的尺寸缩小,存储单元中的有缺陷存储单元的数量也增加。通常,有缺陷存储单元可以包括故障存储单元和弱存储单元。故障存储单元可以被定义为在硬件方面不起作用的存储单元。例如,故障存储单元可以被定义为由于在半导体制造工艺期间出现的缺陷而不操作的存储单元(诸如连接线短路的存储单元)。弱存储单元可以被定义为不符合满意性能标准的存储单元。例如,弱存储单元可以包括数据保持时间未达到参考时间的存储单元。

[0005] 如果在存储单元中即使存在一个故障存储单元,则理想地包括故障存储单元的存储器件也不得被视为有缺陷存储器件,因为存储器件可能不能正常操作。被判定为有缺陷存储器件的存储器件可能不得被放弃。当包括故障存储单元的所有存储器件被视为有缺陷存储器件时,制造工艺的成品率将显著下降。此外,由于存储单元高度集成,并且数千万个以上的存储单元被集成到一个芯片中,所以尽管制造工艺中有进步,但故障存储单元的数量趋向于增加。

[0006] 因此,希望开发一种用于有效地修复有缺陷存储单元的方法,以提高成品率以及实现存储器件的高集成度和高速度。用于修复有缺陷存储单元的一种方法是提供一种用于利用内部的冗余单元替换有缺陷存储单元的修复电路。修复电路可以包括熔丝电路,其可以对与有缺陷存储单元相对应的地址进行编程。这里,“编程”可以指用于在熔丝电路中储存与有缺陷存储单元相对应的地址的一系列操作。

[0007] 近年来,由于低电压高速操作和缩小制造尺寸的趋势,存储单元的数据保持特性趋于降低,这也可能导致弱存储单元的数量增加。换言之,储存在存储器件中的数据中出现错误比特位的频率急剧增加。为了解决该问题,致力于通过在存储器件的内部中的错误校正码(ECC)操作来检测和校正错误比特位。

[0008] 可以存在执行ECC操作的各种操作方法,并且可以基于数据比特位的数量及其操作方法来确定奇偶校验位的有效数量。在DRAM的情况下,奇偶校验位的数量可以基于一次写入/读取的数据比特位的数量和ECC操作的方法来确定。此外,由于操作所消耗的电流量和读取数据所花费的时间是DRAM中非常重要的性能指标,因此可以重点考虑电流消耗和读取操作特性,以确定ECC操作的方法和除了一次写入/读取的数据比特位的数量之外的奇偶

校验位的数量。

[0009] 当ECC操作被应用于存储器件时,也可认为ECC操作执行存储器件的修复操作。用于修复操作的数据单元可以基于在制造工艺期间出现的缺陷类型和用于有效地检测缺陷的测试操作方法来确定。例如,对于用于确保存储器件中的无缺陷存储单元的测试操作,可以在关断ECC操作的同时执行测试操作。在测试操作期间,基于小于ECC操作的基本数据单元的数据单元来检测和修复存储单元,以便有效地检测缺陷。简言之,当用于修复操作的最小数据单元和用于ECC操作的基本数据单元可以彼此不同时,或者当以各种条件(诸如导通/关断ECC操作)执行测试操作时,可以附加考虑ECC操作以找到目标熔丝并执行修复操作。

发明内容

[0010] 本发明的实施例涉及一种存储器件,其可以基于可能根据条件而不同的数据单元来检测和修复有缺陷存储单元。

[0011] 根据本发明的实施例,一种半导体器件包括:多个存储单元阵列,每个存储单元阵列包括正常单元阵列和冗余单元阵列;第一熔丝单元,其包括与存储单元阵列之中的第一存储单元阵列相对应的多个第一熔丝组;第二熔丝单元,其包括与存储单元阵列之中的第二存储单元阵列相对应的多个第二熔丝组,第一熔丝组分别与第二熔丝组相对应;以及修复单元,其适用于基于表示第一熔丝组和第二熔丝组中的每个熔丝组是故障还是可用的信息,从第一熔丝组和第二熔丝组中选择彼此对应的一对熔丝组,并且对选中的熔丝组对中的存储单元阵列的修复目标列地址进行编程。

[0012] 修复单元可以包括:计数单元,其适用于通过对时钟信号进行计数来产生与第一熔丝组和第二熔丝组顺序相对应的计数信号;储存单元,其适用于储存表示第一熔丝组和第二熔丝组中的每个熔丝组是故障还是可用的信息,并响应于计数信号而输出对应熔丝组的信息;以及控制单元,其适用于响应于计数信号而基于从储存单元输出的信息来产生表示选中的熔丝组对的目标信号。

[0013] 计数单元可以包括:计数器,其适用于响应于时钟信号而通过逐个增加熔丝计数信号的值来输出熔丝计数信号;以及编码器,其适用于通过对熔丝计数信号进行编码来产生计数信号。

[0014] 控制单元可以包括:选择信号发生器,其适用于产生分别与来自第一熔丝组和第二熔丝组中彼此对应的多个熔丝组对相对应的多个选择信号;选择信号组合器,其适用于响应于计数信号而通过将选择信号组合来产生锁存信号;以及锁存器,其适用于响应于锁存信号而通过锁存熔丝计数信号来产生目标信号。

[0015] 选择信号发生器可以包括分别与熔丝组对相对应的多个信号发生元件,以及每个信号发生元件可以包括:第一使能元件,其适用于响应于计数信号而基于从储存单元输出的信息来产生对应熔丝组对的第一熔丝组的使能信号;第二使能元件,其适用于响应于计数信号而基于从储存单元输出的信息来产生对应熔丝组对的第二熔丝组的使能信号;以及第一信号组合元件,其适用于通过将第一使能元件的输出信号和第二使能元件的输出信号组合来产生熔丝组对的选择信号。

[0016] 选择信号组合器可以包括:第二信号组合元件,其适用于响应于计数信号而根据

选择信号的逻辑电平来使能输出信号;以及模式选择元件,其适用于响应于模式选择信号而将第二信号组合元件的输出信号或从储存单元输出的信息作为锁存信号来选择性地传送。

[0017] 储存单元阵列的每个储存单元阵列可以包括多个存储块,并且第一熔丝组和第二熔丝组的每个熔丝组可以包括分别与存储块相对应的多个熔丝元件。

[0018] 计数单元还可以包括比较器,其适用于通过将修复目标行地址与熔丝计数信号进行比较来产生检测信号。

[0019] 选择信号组合器还可以包括:锁存信号发生元件,其适用于响应于检测信号而将模式选择元件的输出信号作为锁存信号来传送。

[0020] 第一使能元件和第二使能元件可以响应于检测信号而产生第一熔丝组和第二熔丝组的熔丝元件之中的对应熔丝元件的使能信号。

[0021] 执行伴随错误校正码(ECC)操作的写入/读取操作以便检测在储存单元阵列中出现的缺陷,并且可选地,可以在没有ECC操作的情况下执行写入/读取操作以便分别检测在第一储存单元阵列或第二储存单元阵列中出现的缺陷。

[0022] 当通过使用N比特位的数据单元检测在储存单元阵列中出现的缺陷时,可以通过使用 $1/2*N$ 比特位的数据单元来检测在第一储存单元阵列或第二储存单元阵列中出现的缺陷,其中N是自然数。

[0023] 根据本发明的另一个实施例,一种修复电路包括:多个第一熔丝组,其对应于多个储存单元阵列之中的第一储存单元阵列;多个第二熔丝组,其对应于储存单元阵列之中的第二储存单元阵列,并且形成分别与第一熔丝组相对应的多个熔丝组对;储存单元,其适用于储存表示第一熔丝组和第二熔丝组中的每个熔丝组是故障还是可用的信息;以及控制单元,其适用于基于储存在储存单元中的信息来选择熔丝组对之中的一个熔丝组对并且输出目标信号。

[0024] 修复电路还可以包括:计数单元,其适用于通过对时钟信号进行计数来产生与第一熔丝组和第二熔丝组顺序相对应的计数信号。

[0025] 储存单元可以响应于计数信号而将第一熔丝组和第二熔丝组之中的对应熔丝组的信息传送到控制单元。

[0026] 控制单元可以包括:选择信号发生器,其适用于产生分别与熔丝组对相对应的多个选择信号;选择信号组合器,其适用于响应于计数信号而通过将选择信号组合来产生锁存信号;以及锁存器,其适用于响应于锁存信号而通过锁存计数信号来产生目标信号。

[0027] 选择信号发生器可以包括分别与熔丝组对相对应的多个信号发生元件,以及每个信号发生元件可以包括:第一使能元件,其适用于响应于计数信号而基于储存在储存单元中的信息来产生对应的熔丝组对的第一熔丝组的使能信号;第二使能元件,其适用于响应于计数信号而基于储存在储存单元中的信息来产生对应熔丝组对的第二熔丝组的使能信号;以及第一信号组合元件,其适用于通过将第一使能元件的输出信号和第二使能元件的输出信号组合来产生熔丝组对的选择信号。

[0028] 选择信号组合器可以包括:第二信号组合元件,其适用于响应于计数信号而根据选择信号的逻辑电平来使能输出信号;以及模式选择元件,其适于响应于模式选择信号而将第二信号组合元件的输出信号或储存在储存单元中的信息作为锁存信号来选择性地传

送。

[0029] 在错误校正码 (ECC) - 开启模式中, 当从存储单元阵列检测到缺陷时, 熔丝组对之中的对应熔丝组对可以被使用或被指示为故障。

[0030] 在错误校正码 (ECC) - 关闭模式中, 当从第一存储单元阵列或第二存储单元阵列检测到缺陷时, 第一熔丝组和第二熔丝组之中的对应熔丝组可以被使用或被指示为故障。

附图说明

[0031] 图1是图示了根据本发明的一个实施例的存储器件的框图。

[0032] 图2是图示了图1中所示的第一熔丝单元和第二熔丝单元的配置的框图。

[0033] 图3是图示了图1中所示的计数单元的配置的框图。

[0034] 图4是图示了图1中所示的控制单元的配置的框图。

[0035] 图5是图示了图4中所示的第一信号发生元件的具体配置的电路图。

[0036] 图6是图示了图4中所示的选择信号组合器的具体配置的电路图。

[0037] 图7是图示了从图1中所示的存储器件的操作产生的信号的波形图。

具体实施方式

[0038] 下面将通过参照附图来更详细地描述本发明的示例性实施例。然而, 本发明可以采用不同的形式来实施, 而不应被解释为仅限于在本文中阐述的实施例。确切地说, 提供了这些实施例使得本公开将是彻底的和完整的, 并将本发明的范围充分地传达给本领域的技术人员。贯穿本公开, 相同的附图标记在本发明的各种附图和实施例中表示相同的部分。

[0039] 图1是图示了根据本发明的一个实施例的存储器件的框图。

[0040] 图1示出了包括存储区域100和修复电路的存储器件, 该存储器件可以包括熔丝单元200和修复单元300。存储区域100可以包括多个存储单元, 并且修复电路可以修复存储区域100的存储单元之中的有缺陷存储单元。

[0041] 存储区域100可以包括多个存储单元阵列100_1至100_n。存储单元阵列100_1至100_n中的每个存储单元阵列可以包括正常单元阵列110_1至110_n和与正常单元阵列110_1至110_n相对应的冗余单元阵列120_1至120_n。冗余单元阵列120_1至120_n可以包括以冗余行和冗余列布置的冗余单元。

[0042] 存储器件可以适用于通过使用冗余行来修复响应于激活/预充电命令而出现的缺陷, 并且适用于通过使用冗余列来修复响应于写入/读取命令而出现的缺陷。根据本发明的一个实施例, 冗余单元阵列120_1至120_n可以包括由冗余单元形成的冗余列, 以修复响应于与ECC操作相关的写入/读取命令而出现的缺陷。

[0043] 存储器件可以适用于在一次写入/读取操作期间通过存储单元阵列100_1至100_n输入/输出N比特位数据。在这种情况下, 可以基于N比特位数据单元来执行根据写入/读取操作的ECC操作或列修复操作。然而, 根据半导体制造工艺期间的测试操作的列修复操作可以在关断ECC操作的同时来执行以确保无缺陷存储单元, 或者可以基于小于N比特位的数据单元来执行以提高效率。

[0044] 例如, 图1中所示的存储器件的列修复操作可以基于K比特位的单元 (其中 $K=1/2 \times N$) 来执行。换言之, 可以通过将存储单元阵列100_1至100_n分成两半来执行修复操作。在

这种情况下,熔丝单元200可以包括第一熔丝单元210和第二熔丝单元220。第一熔丝单元210可以对应于存储单元阵列100_1至100_n之中的第一存储单元阵列100_1至100_k,并且第二熔丝单元220可以对应于存储单元阵列100_1至100_n之中的其他存储单元阵列100_k+1至100_n(其为第二存储单元阵列100_k+1至100_n)。

[0045] 图2是示出图1中所示的第一熔丝单元210和第二熔丝单元220的配置的框图。图2示出了第一熔丝单元210和第二熔丝单元220分别包括四个熔丝组211至214和221至224。该配置被设计用于对例如每个存储块BLK的四个修复目标列地址进行编程。给定配置仅仅是示例性的,并且本发明的范围和概念不限于该结构。因此,应当注意,任何适当数量的熔丝组可以被包括在一个熔丝单元中,并且任何适当数量的熔丝单元也可以被包括在熔丝阵列中。

[0046] 此外,熔丝组211至214和221至224中的每个熔丝组可以包括与存储块BLK相对应的多个熔丝元件214_1至214_m。熔丝元件214_1至214_m中的每个熔丝元件可以包括与修复目标列地址的每个比特位相对应的多个熔丝F1至Fm。此后,为了便于描述,将仅针对一个存储块BLK(即,一个熔丝元件)来描述熔丝组211至214和221至224是可用还是故障。

[0047] 第一熔丝单元210的熔丝组211至214和第二熔丝单元220的熔丝组221至224可以根据测试操作和修复操作而被单独使用或被视为故障熔丝组。换言之,第一熔丝单元210的熔丝组211至214可以通过对存储单元阵列100_1至100_n之中的第一存储单元阵列100_1至100_k的测试而被单独使用或被视为故障熔丝组。同样地,第二熔丝单元220的熔丝组221至224可以通过对存储单元阵列100_1至100_n之中的第二存储单元阵列100_k+1至100_n的测试而被单独使用或被视为故障熔丝组。

[0048] 例如,如图2所示,当第一存储单元阵列100_1至100_k的正常单元阵列110_1至110_k中出现缺陷时,可以使用第一熔丝单元210的第三熔丝组213。此外,当第一存储单元阵列100_1至100_k的冗余单元阵列120_1至120_k中出现缺陷时,第一熔丝单元210的第四熔丝组214可以被视为故障熔丝组。同样地,由于在第二存储单元阵列100_k+1至100_n的正常单元阵列110_k+1至110_n和冗余单元阵列120_k+1至120_n中出现的相应缺陷,第二熔丝单元220的第四熔丝组224和第一熔丝组221可以被使用并被视为故障熔丝组。

[0049] 然而,如上所述,第一熔丝单元210的熔丝组211至214和第二熔丝单元220的熔丝组221至224也可以基于N比特位单元来测试,该N比特位单元用于根据伴随有ECC操作的写入/读取操作的列修复操作。为此,例如,可以选择和测试N比特位单元的两个熔丝组。在这种情况下,一对被测试的熔丝组也可用于列修复操作。下面将更详细地描述该对被测试的熔丝组的使用。

[0050] 可以存在用于执行ECC操作的各种操作方法。可以在本发明的该实施例中假设图1的存储器件使用ECC操作方法,该ECC操作方法在出现1比特位错误时执行错误校正,而在出现多于2比特位的错误时检测多比特位错误。这里,当通过针对写入/读取数据操作而执行的ECC操作检测到2比特位错误时,已经出现的错误可以是以下三种情况之中的一种。

[0051] 情况1-当第一存储单元阵列100_1至100_k中出现2比特位错误时。

[0052] 情况2-当第一存储单元阵列100_1至100_k中出现1比特位错误以及第二存储单元阵列100_k+1至100_n中出现1比特位错误时。

[0053] 情况3-当第二存储单元阵列100_k+1至100_n中出现2比特位错误时。

[0054] 对于上述情况之中的情况1和情况3,可以分别对第一存储单元阵列100_1至100_k和第二存储单元阵列100_k+1至100_n执行修复操作。然而,由于对于所有情况1、情况2和情况3,从实际数据中没有检测到错误比特位,而是从通过ECC操作处理和改变的数据中检测到错误比特位,因此难以计算出实际出现错误的区域。

[0055] 因此,可以对包括分别从第一熔丝单元210和第二熔丝单元220中选择的熔丝组的一对熔丝组执行测试操作,以便根据伴随ECC操作的写入/读取操作来执行列修复操作。然而,因为可以对一对熔丝组执行测试操作,所以在执行列修复操作时可能还有其他的考虑。

[0056] 如图2中所示,分别属于第一熔丝单元210和第二熔丝单元220的多个熔丝组(诸如,例如,第一熔丝组211和221)可以形成一对熔丝组。在一个实施例中,熔丝组可以通过从熔丝单元210和220中的每个熔丝单元选择一个熔丝组来配对。例如,诸如第一熔丝组211和221的相邻熔丝组可以被配对。基于所形成的一对熔丝组,可以通过测试操作来检测与一对熔丝组相对应的冗余单元阵列120_1至120_n中的错误。在本文中,当在与一对熔丝组中的一个熔丝组相对应的任意一个冗余单元阵列120_1至120_k或120_k+1至120_n中出现1比特位错误时,可以通过ECC操作将该对熔丝组判定为可用熔丝组。

[0057] 例如,即使在与熔丝组211相对应的冗余单元阵列120_1至120_k中出现1比特位错误,也可以确定一对熔丝组211和221是可用熔丝组。类似地,当第二熔丝组212和222形成一对熔丝组并且经受测试操作时,即使在与熔丝组222相对应的冗余单元阵列120_k+1至120_n中出现1比特位错误,也可以将该对熔丝组212和222确定为可用熔丝组。然而,当在列修复操作期间熔丝组211和熔丝组222被组合使用时,由于冗余单元阵列具有2比特位错误,所以可以再次检测到错误。为了防止在包括被单独确定为可用的组合熔丝组的熔丝组对中检测到2比特位错误,可能必须从第一熔丝单元210和第二熔丝单元220中的每个熔丝单元中选择用于列修复操作的熔丝组,因为那些熔丝组已经被选择用于测试操作。

[0058] 根据本发明的一个实施例,通过参照图1来详细描述用于检测用于修复操作的目标熔丝的方法。如图2中所示,示例性地描述了第一熔丝单元210和第二熔丝单元220中的每个熔丝单元分别包括四个熔丝组211至214和221至224。

[0059] 参见图1,修复单元300可以包括计数单元310、储存单元320和控制单元330。修复单元300可以在包括在第一熔丝单元210和第二熔丝单元220中的第一熔丝组211至214和第二熔丝组221至224之中选择目标熔丝组,并对存储单元阵列100_1至100_n的修复目标列地址进行编程。

[0060] 修复单元300可以基于关于第一熔丝组211至214和第二熔丝组221至224中的每个熔丝组是故障还是可用的信息来从第一熔丝组211至214和第二熔丝组221至224中选择彼此对应的一对熔丝组作为目标熔丝组。在本文中,通过修复测试操作,可以单独测试第一熔丝组211至214和第二熔丝组221至224,或者对应的第K个熔丝组可以形成一对并被测试。此外,基于模式选择信号MODE_SEL,修复单元300可以在第一熔丝组211至214和第二熔丝组221至224之中选择一个熔丝组作为目标熔丝组,这将在下面参考图6更详细地描述。

[0061] 计数单元310可以对时钟信号YFZCLK进行计数,并产生计数信号REGION_AB和FUSE0至FUSE3,该FUSE0至FUSE3与第一熔丝组211至214和第二熔丝组221至224顺序对应。计数信号REGION_AB和FUSE0至FUSE3可以包括用于区分第一熔丝单元210和第二熔丝单元220的第一计数信号REGION_AB以及与熔丝组211至214和221至224相对应的第二计数信号

FUSE0至FUSE3。第一计数信号REGION_AB和第二计数信号FUSE0至FUSE3可以根据计数单元310的计数操作而被顺序地使能。

[0062] 根据本发明的一个实施例,当存储单元阵列100_1至100_n包括多个存储块BLK时,第一熔丝组211至214和第二熔丝组221至224可以包括与每个存储块BLK相对应的多个熔丝元件。计数单元310可以基于修复目标行地址FailedAddress<0:M-1>来产生检测信号FAILBLK,该检测信号FAILBLK表示与存储块BLK之中具有已出现的缺陷的存储块相对应的熔丝元件。

[0063] 储存单元320可以储存表示第一熔丝组211至214和第二熔丝组221至224中的每个熔丝组是故障还是可用的信息。通过在半导体制造工艺期间执行的测试,第一熔丝组211至214和第二熔丝组221至224可以用于利用对应的冗余单元来替换具有已出现的缺陷的正常单元,或者由于缺陷出现在对应的冗余单元中而被视为故障。储存单元320可以储存表示第一熔丝组211至214和第二熔丝组221至224(或者包括在第一熔丝组211至214和第二熔丝组221至224中的熔丝元件)的状态的信息,并且响应于计数信号REGION_AB和FUSE0至FUSE3而输出对应熔丝组的熔丝组信息USED_PRE。

[0064] 控制单元330可以响应于计数信号REGION_AB和FUSE0至FUSE3而基于从控制单元330输出的信息来从第一熔丝组211至214和第二熔丝组221至224中选择彼此对应的一对熔丝组。控制单元330可以产生表示选中的一对熔丝组的目标信号TARGET_FZt<0:K>。下面参照图4至6更详细地描述控制单元330的操作。

[0065] 图3是示出图1中所示的计数单元310的配置的框图。根据本发明的一个实施例,计数单元310可以包括计数器311和编码器312。

[0066] 计数器311可以通过将熔丝计数信号FuseCount<0:N-1>的值逐个地增加来输出熔丝计数信号FuseCount<0:N-1>。如图2中所示,熔丝组211至214和221至224中的每个熔丝组可以包括至少一个熔丝元件。当熔丝组211至214和221至224中的每个熔丝组包括多个熔丝元件时,熔丝计数信号FuseCount<0:N-1>可以逐个地增加,以对应于熔丝组211至214和221至224以及每个熔丝元件。换言之,熔丝计数信号FuseCount<0:N-1>的值可以从第一熔丝元件(例如,第一熔丝组211的第一熔丝元件211_1)到最后熔丝元件(例如,第二熔丝组224的最后熔丝元件224_m)逐个地增加。在一个实施例中,当熔丝组211至214和221至224中的每个熔丝组仅包括一个熔丝元件时,熔丝计数信号FuseCount<0:N-1>可以逐个地增加以对应于熔丝组211至214和221至224中的每个熔丝组。

[0067] 编码器312可以通过对熔丝计数信号FuseCount<0:N-1>进行编码来产生第一计数信号REGION_AB和第二计数信号FUSE0至FUSE3。通过编码操作,编码器312可以产生逻辑电平从第一逻辑电平改变到第二逻辑电平的第一计数信号REGION_AB,以及从第一计数信号REGION_AB的逻辑电平起被顺序地使能的第二计数信号FUSE0至FUSE3。

[0068] 根据本发明的一个实施例,计数单元310还可以包括比较器313。比较器313可以通过将修复目标行地址FailedAddress<0:M-1>与熔丝计数信号FuseCount<0:N-1>进行比较来产生检测信号FAILBLK。根据本发明的一个实施例,当存储单元阵列100_1至100_n包括多个存储块BLK时,第一熔丝组211至214和第二熔丝组221至224可以包括多个熔丝元件,该多个熔丝元件分别与存储块BLK相对应。因此,修复目标行地址FailedAddress<0:M-1>可以表示在存储块BLK之中已经出现缺陷的存储块,并且当熔丝计数信号FuseCount<0:N-1>表示

熔丝组211至214和221至224中的每个熔丝组中的熔丝元件之中的对应熔丝元件时,比较器313可以将检测信号FAILBLK使能。

[0069] 图4是示出了图1中所示的控制单元330的配置的框图。根据本发明的一个实施例,控制单元330可以包括选择信号发生器410、选择信号组合器420和锁存器430。

[0070] 响应于第一计数信号REGION_AB和第二计数信号FUSE0至FUSE3,选择信号发生器410可以基于从储存单元320输出的信息USED_PRE来产生多个选择信号USED_B_FU0至USED_B_FU3,该多个选择信号USED_B_FU0至USED_B_FU3分别与第一熔丝组211至214和第二熔丝组221至224中彼此对应的多个熔丝组对相对应。换言之,选择信号发生器410可以产生分别与第一熔丝组对至第四熔丝组对211和221、212和222、213和223以及214和224相对应的第一选择信号至第四选择信号USED_B_FU0、USED_B_FU1、USED_B_FU2和USED_B_FU3。选择信号发生器410可以包括分别与第一熔丝组对至第四熔丝组对211和221、212和222、213和223以及214和224相对应的第一信号发生元件411至第四信号发生元件414。第一信号发生元件411至第四信号发生元件414可以分别输出第一选择信号至第四选择信号USED_B_FU0、USED_B_FU1、USED_B_FU2和USED_B_FU3。

[0071] 选择信号组合器420可以响应于第一计数信号REGION_AB而通过将第一选择信号至第四选择信号USED_B_FU0、USED_B_FU1、USED_B_FU2和USED_B_FU3组合来产生锁存信号FZADD_LATP。当第一计数信号REGION_AB处于第二逻辑电平时,例如,当第一计数信号REGION_AB处于逻辑高电平时,可以根据第一选择信号至第四选择信号USED_B_FU0、USED_B_FU1、USED_B_FU2和USED_B_FU3的逻辑电平来使能锁存信号FZADD_LATP。

[0072] 锁存器430可以响应于锁存信号FZADD_LATP而通过锁存熔丝计数信号FuseCount<0:N-1>来产生目标信号TARGET_FZt<0:K>。当锁存信号FZADD_LATP被使能为目标信号TARGET_FZt<0:K>时,锁存器430可以输出熔丝计数信号FuseCount<0:N-1>的值。

[0073] 图5是示出了图4中所示的第一信号发生元件411至第四信号发生元件414的示例性配置的电路图。第一信号发生元件411至第四信号发生元件414可以具有仅具有不同输入信号的相同配置。因此,在图5中仅代表性地示出了第一信号发生元件411。

[0074] 第一信号发生元件411可以包括第一使能元件510、第二使能元件520和第一信号组合元件530。

[0075] 第一使能元件510可以响应于计数信号REGION_AB和FUSE0而基于从储存单元320输出的熔丝组信息USED_PRE来产生与第一熔丝组对211和221之中的第一熔丝组211相对应的使能信号USED0_A。换言之,计数信号REGION_AB和FUSE0可以对应于第一熔丝组211被使能,并且第一使能元件510可以基于表示第一熔丝组211是故障还是可用的熔丝组信息USED_PRE来产生第一熔丝组211的使能信号USED0_A。

[0076] 当第一熔丝组211包括多个熔丝元件时,第一使能元件510还可以从比较器313接收检测信号FAILBLK。第一使能元件510可以基于检测信号FAILBLK来产生用于第一熔丝组211的熔丝元件的使能信号USED0_A。根据本发明的一个实施例,第一使能元件510可以包括与非门NAND1至NAND4、反相器INV1至INV3以及传输门TG1和TG2。

[0077] 第二使能元件520可以响应于计数信号REGION_AB和FUSE0而基于从储存单元320输出的熔丝组信息USED_PRE来产生与第一熔丝组对211和221之中的第二熔丝组211相对应的使能信号USED0_B。换言之,计数信号REGION_AB和FUSE0可以对应于第二熔丝组221被使能,

并且第二使能元件520可以基于表示第二熔丝组221是故障还是可用的熔丝组信息USED_PRE来产生第二熔丝组221的使能信号USED0_B。

[0078] 当第二熔丝组221包括多个熔丝元件时,第二使能元件520还可以从比较器313接收检测信号FAILBLK。第二使能元件520可以基于检测信号FAILBLK来产生用于第二熔丝组221的熔丝元件的使能信号USED0_B。根据本发明的一个实施例,第二使能元件520可以包括与非门NAND1和NAND5、反相器INV1以及或非门NOR1。第二使能元件520可以与第一使能元件510共享反相器INV1和或非门NOR1。

[0079] 第一信号组合元件530可以通过将使能信号USED0_A和USED0_B组合来产生第一熔丝组对211和221的第一选择信号USED0_FU0。当第一熔丝组对211和221的所有熔丝组都可用时,第一信号组合元件530可以将第一选择信号USED0_FU0使能为逻辑高电平。根据本发明的一个实施例,第一信号组合元件530可以包括或非门NOR2和NOR3。

[0080] 图6是示出了图4中所示的选择信号组合器420的示例性配置的电路图。选择信号组合器420可以包括第二信号组合元件610和模式选择元件620。

[0081] 当第一计数信号REGION_AB处于第二逻辑电平时,例如,当第一计数信号REGION_AB处于逻辑高电平时,第二信号组合元件610可以根据第一选择信号至第四选择信号USED0_FU0、USED0_FU1、USED0_FU2和USED0_FU3的逻辑电平而使能输出信号USED。当第一选择信号至第四选择信号USED0_FU0、USED0_FU1、USED0_FU2和USED0_FU3都处于逻辑高电平时,第二信号组合元件610可以将输出信号USED使能为第二逻辑电平(例如,逻辑低电平)。根据本发明的一个实施例,第二信号组合元件610可以由与非门NAND6和NAND7、反相器INV4和INV5以及或非门NOR4来形成。

[0082] 模式选择元件620可以响应于模式选择信号MODE_SEL而选择性地传送第二信号组合元件610的输出信号USED和从储存单元320输出的熔丝组信息USED_PRE。换言之,当模式选择信号MODE_SEL为‘1’时,模式选择元件620可以原样输出第二信号组合元件610的输出信号USED,并且当模式选择信号MODE_SEL为‘0’时,模式选择元件620可以原样输出从储存单元320输出的熔丝组信息USED_PRE。根据本发明的一个实施例,模式选择元件620可以包括反相器INV6和多路复用器MUX。

[0083] 因此,当模式选择信号MODE_SEL为‘1’时,选择信号组合器420可以基于通过判定第一熔丝组对至第四熔丝组对211和221、212和222、213和223以及214和224的熔丝组是否可用而产生的信号USED来产生目标信号TARGET_FZt<0:K>。另一方面,当模式选择信号MODE_SEL为‘0’时,选择信号组合器420可以基于表示第一熔丝组211至214和第二熔丝组221至224中的每个熔丝组是否可用的熔丝组信息USED_PRE来产生目标信号TARGET_FZt<0:K>。终究,对应的熔丝组对可以根据存储器件的模式而从第一熔丝组211至214和第二熔丝组221至224中来选择并编程,或者一个熔丝组可以根据存储器件的模式而从第一熔丝组211至214和第二熔丝组221至224中来选择并编程。

[0084] 根据本发明的一个实施例,选择信号组合器420还可以包括锁存信号发生元件630。当检测信号FAILBLK处于逻辑高电平时,锁存信号发生元件630可以将模式选择元件620的输出信号作为锁存信号FZADD_LATP来传送。简言之,当检测信号FAILBLK处于逻辑高电平并且模式选择元件620的输出信号被使能到逻辑低电平时,锁存信号发生元件630可以将锁存信号FZADD_LATP使能到逻辑高电平。锁存信号发生元件630可以同步于时钟信号

YFZCLK来操作,并且其可以包括与非门NAND8和NAND9以及反相器INV7至INV9。

[0085] 图7是通过图1中所示的存储器件的操作产生的信号的波形图。

[0086] 图7示出了缺陷出现在存储区域100的存储块BLK之中的第二存储块中的示例性实施例。换言之,计数单元310可以响应于修复目标行地址FailedAddress<1>而同步于熔丝计数信号FuseCount<0:N-1>的值之中与熔丝组211至214和221至224的第二熔丝元件相对应的值001、011、021、031、101、111、121和131来使能检测信号FAILBLK。因此,将描述根据一个实施例的对第二熔丝元件的操作,其可以采用相同的方式来应用于熔丝组211至214和221至224的其他熔丝元件。

[0087] 第一信号发生元件411至第四信号发生元件414可以根据逻辑低电平的第一计数信号REGION_AB和被顺序地使能的第二计数信号FUSE0至FUSE3来被顺序地使能。换言之,第一使能元件510可以被顺序地使能,从而可以基于从储存单元320输出的熔丝组信息USED_PRE来产生对应的第一熔丝组的使能信号。

[0088] 参考图7,表示第一熔丝组211至214和第二熔丝组221至224中的每个熔丝组是故障还是被使用的信息USED_PRE可以被设置为逻辑高电平,当对应的熔丝组被视为缺陷或被使用时,并且当熔丝组可用时,信息USED_PRE可以被设置为逻辑低电平。因此,第一熔丝组211和212的使能信号USED0_A和USED1_A可以基于具有逻辑低电平(①)的信息USED_PRE而被产生为逻辑高电平,并且第一熔丝组213和214的使能信号USED2_A和USED3_A可以基于具有逻辑高电平(②)的信息USED_PRE而被产生为逻辑低电平。

[0089] 根据计数单元310的计数操作,第一计数信号REGION_AB可以从逻辑低电平转变为逻辑高电平,并且第二计数信号FUSE0至FUSE3可以再次被顺序地使能。因此,第一信号发生元件411至第四信号发生元件414中的每个信号发生元件的第二使能元件520可以被顺序地使能,并且基于从储存单元320输出的信息USED_PRE来产生对应的第二熔丝组的使能信号。

[0090] 根据一个实施例,第二熔丝组222和223的使能信号USED1_B和USED2_B可以基于具有逻辑低电平(③)的信息USED_PRE而被产生为逻辑低电平。而且,第二熔丝组222和223的使能信号USED0_B和USED3_B可以基于具有逻辑高电平(④)的信息USED_PRE而被产生为逻辑高电平。简言之,图7的时序图示出了第一熔丝组211和212以及第二熔丝组222和223是可用的示例性实施例,如图2所示。

[0091] 第一信号发生元件411至第四信号发生元件414的第一信号组合元件530可以通过将第一使能信号USED0_A至USED3_A与第二使能信号USED0_B至USED3_B进行组合来产生第一选择信号USED_B_FU0至第四选择信号USED_B_FU3。当对应的使能信号USED0_A~USED0_B至USED3_A~USED3_B处于逻辑高电平以及逻辑低电平时,第一选择信号USED_B_FU0至第四选择信号USED_B_FU3可以被输出为逻辑高电平。

[0092] 因此,响应于与可用第一熔丝组212相对应的具有逻辑高电平的第一使能信号USED1_A和与可用第二熔丝组222相对应的具有逻辑低电平的第二使能信号USED1_B,第二选择信号USED_B_FU1可以具有逻辑高电平(⑤)。另一方面,第一选择信号USED_B_FU0、第三选择信号USED_B_FU2和第四选择信USED_B_FU3的对应电平(参见虚线)具有逻辑低电平。因此,响应于逻辑高电平的第二选择信号USED_B_FU1,第二信号组合元件610的输出信号USED的对应电平可以是逻辑低电平。

[0093] 根据一个实施例,当输入到模式选择元件620的模式选择信号MODE_SEL是逻辑高

电平时,输出信号USED可以被传送到锁存信号发生元件630,并且锁存信号发生元件630可以基于检测信号FAILBLK来将锁存信号FZADD_LATP使能到逻辑高电平。此外,当锁存信号FZADD_LATP被使能时,已锁存的熔丝计数信号FuseCount<0:N-1>可以被输出为目标信号TARGET_FZt<0:K>。

[0094] 终究,图7的波形图中的修复单元300可以将与第二熔丝组222的第二熔丝元件相对应的计数11输出为目标信号TARGET_FZt<0:K>。因此,可以在包括第二熔丝组222的第二熔丝对中对修复目标列地址进行编程。

[0095] 另一方面,当模式选择信号MODE_SEL是逻辑低电平时,模式选择元件620可以将从储存单元320输出的信息USED_PRE传送到锁存信号发生元件630,并且锁存信号发生元件630可以基于检测信号FAILBLK而根据具有逻辑低电平的信息USED_PRE的熔丝组来将锁存信号FZADD_LATP使能至逻辑高电平。根据图7的时序图中所示的操作,锁存信号FZADD_LATP可以对应于第一熔丝组211的第二熔丝元件被使能,且因此与其相对应的计数01可以被输出为目标信号TARGET_FZt<0:K>。换言之,当模式选择信号MODE_SEL是逻辑低电平时,修复单元300可以仅对用于与目标信号TARGET_FZt<0:K>相对应的熔丝组的修复目标列地址进行编程。

[0096] 根据本发明的示例性实施例,用于列修复操作的最小单元可以被确定为不同于执行ECC操作的存储器件中的用于错误校正码(ECC)操作的单元。因此,可以根据制造工艺或诸如导通/关断ECC操作的条件而基于各种单元来执行测试操作,这有助于提高效率。此外,尽管用于列修复操作的最小单元不同于用于ECC操作的单元,但是可以快速找到目标存储单元,该目标存储单元用于替换在ECC操作期间被检测为有缺陷存储单元的存储单元。

[0097] 尽管已经参照特定的实施例描述了本发明,但是对于本领域的技术人员来说显而易见的是,在不脱离如所附权利要求所限定的本发明的精神和范围的情况下,可以进行各种改变和修改。

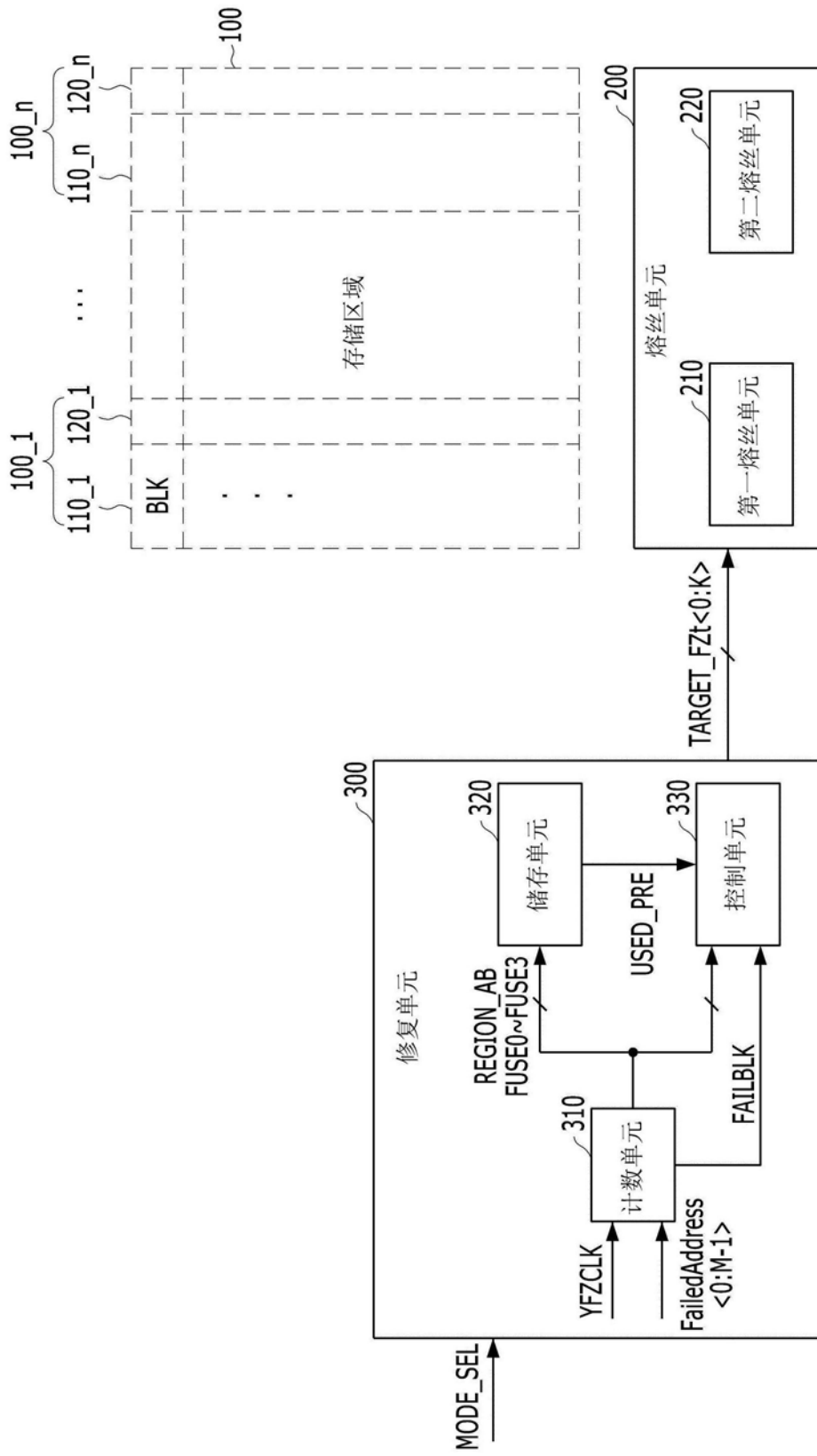


图1

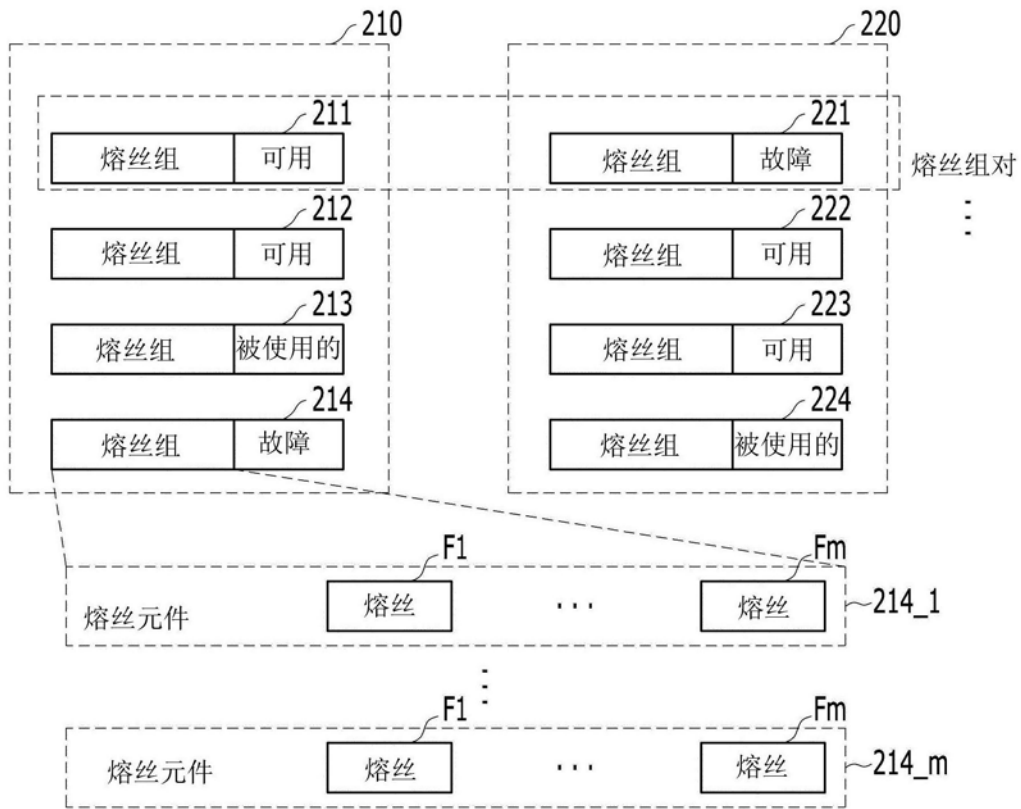


图2

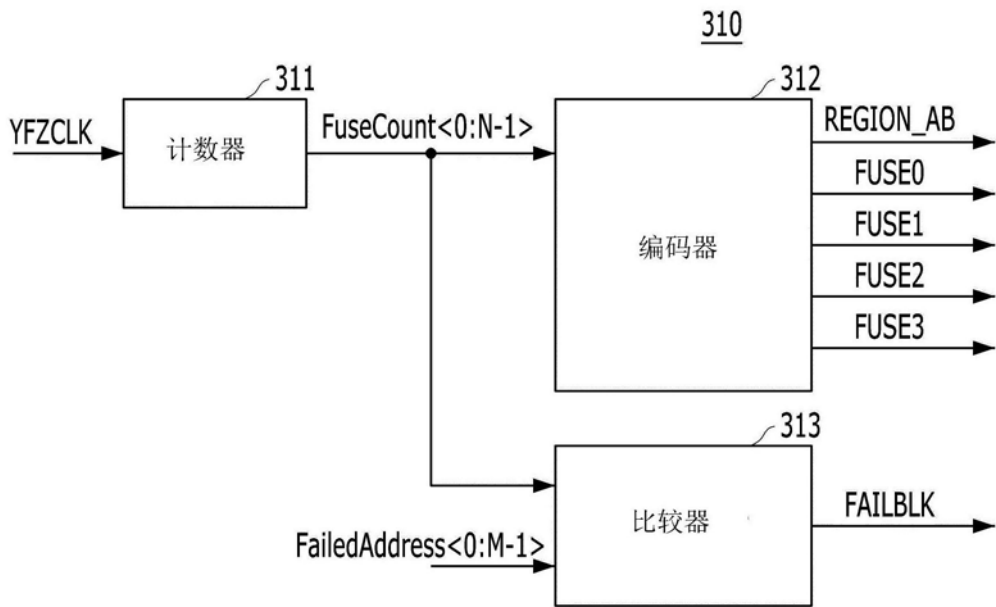


图3

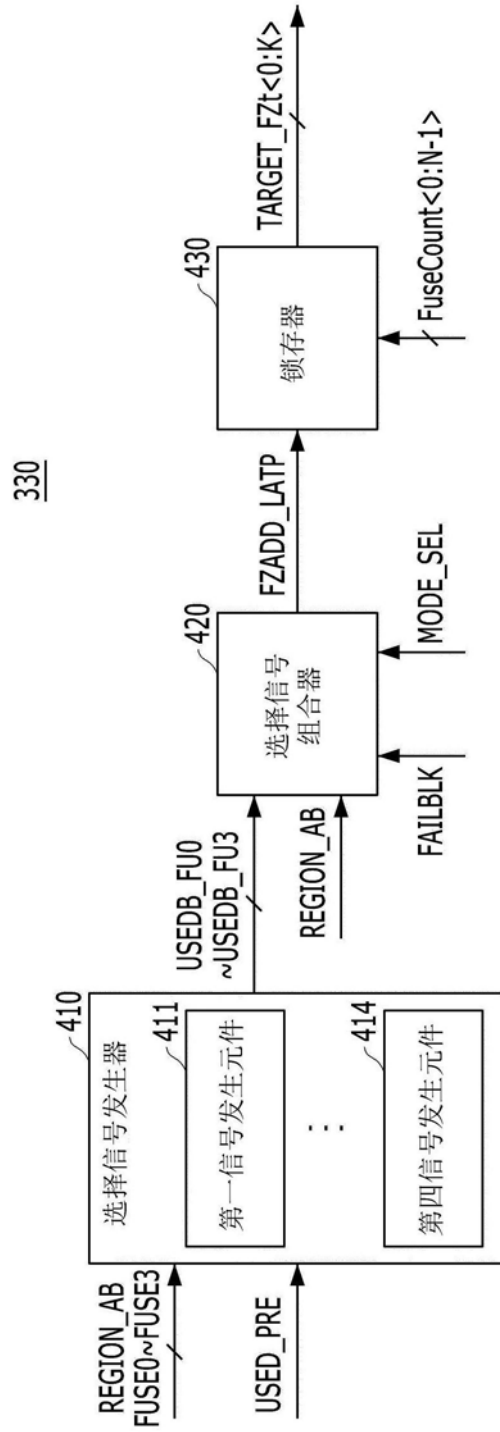


图4

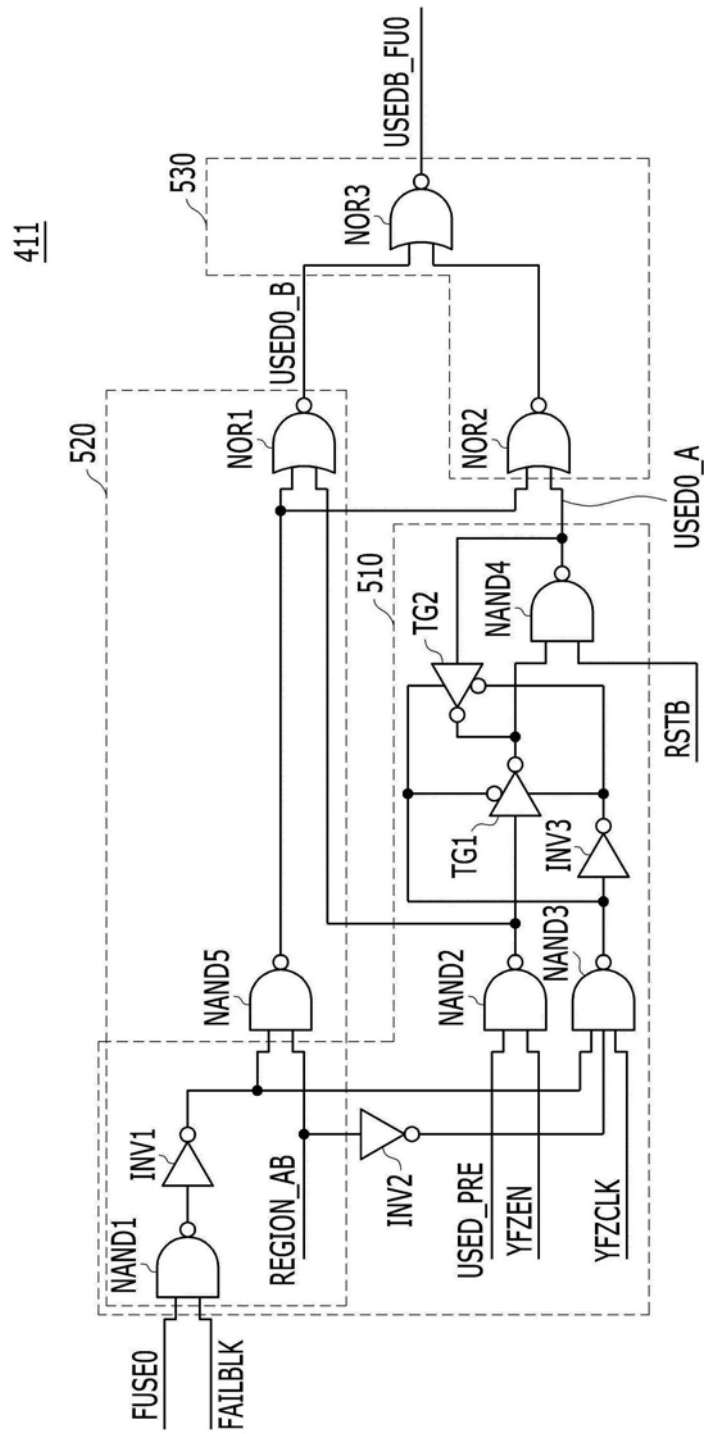


图5

420

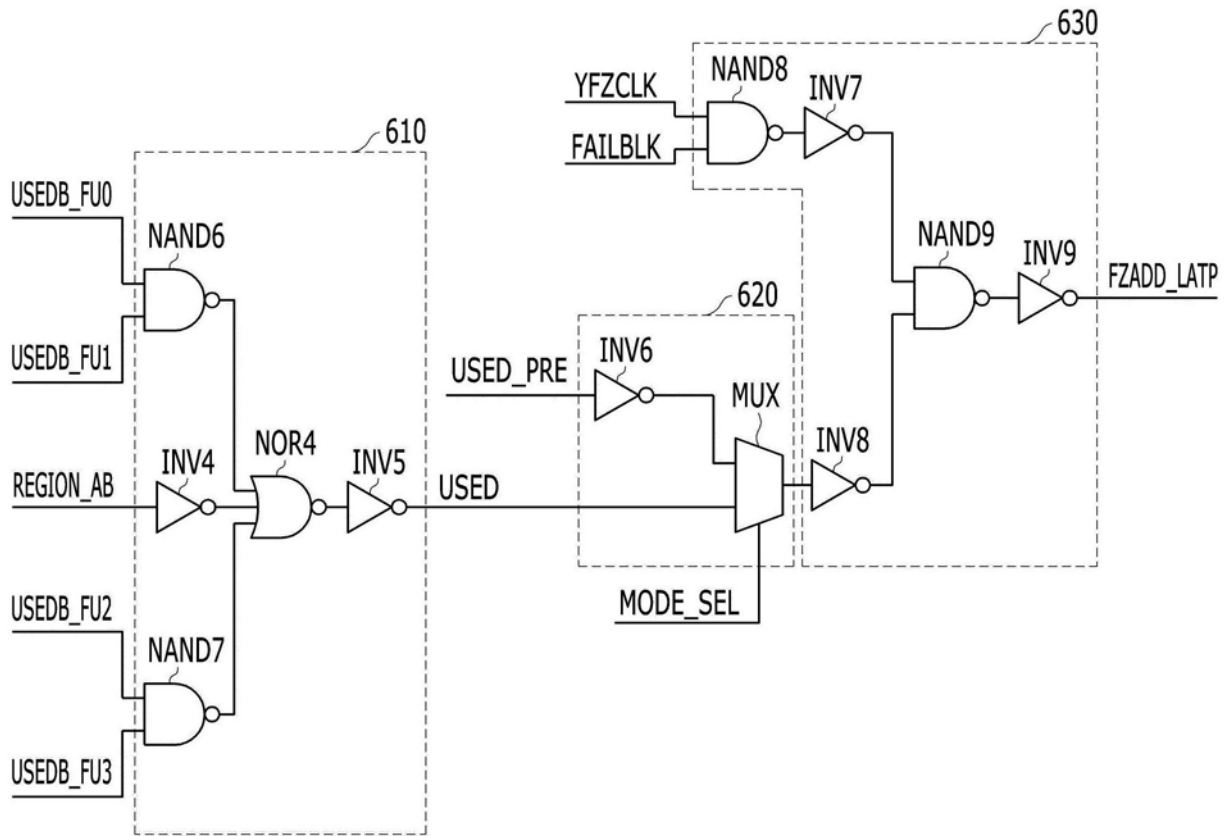


图6

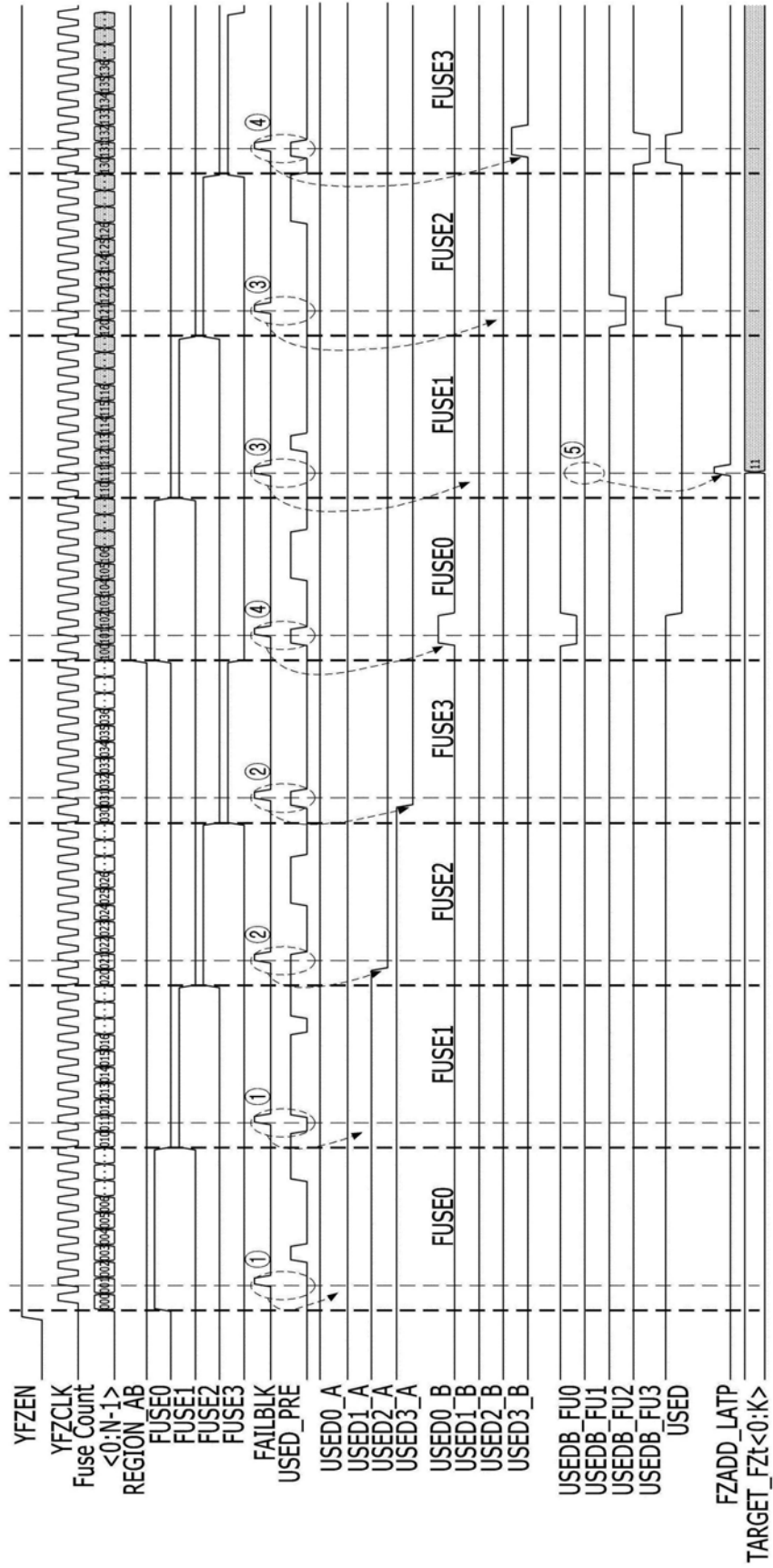


图7