

(21)申請案號：098135581

(22)申請日：中華民國 98 (2009) 年 10 月 21 日

(51)Int. Cl. : **G09G3/36 (2006.01)**

***H03K19/0185(2006.01)***

(71)申請人：瀚宇彩晶股份有限公司(中華民國)HANNSTAR DISPLAY CORPORATION (TW)  
 新北市五股區五權路 48 號

(72)發明人：陳彥州 CHEN, YAN JOU (TW)；張憲政 CHANG, HSIEN CHENG (TW)

(74)代理人：陳達仁

(56) 參考文獻：

TW 200636647A

US 2008/0074379A1

US 2009/0115690A1

審查人員：文治中

申請專利範圍項數：17 項      圖式數：14      共 37 頁

(54)名稱

## 閘極驅動電路

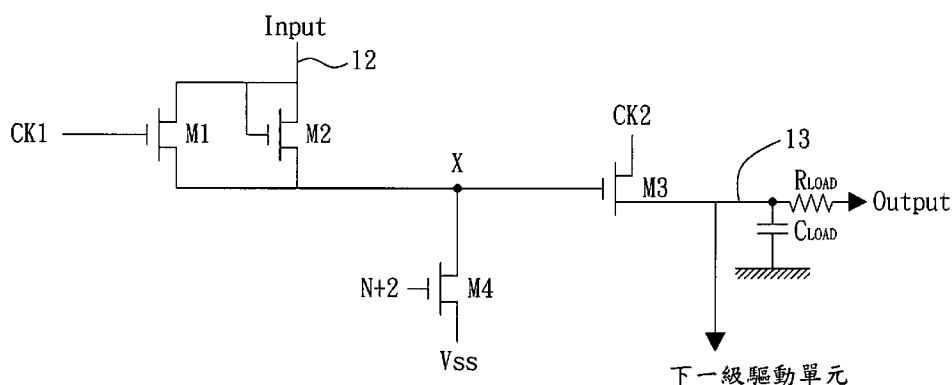
## GATE DRIVER

(57)摘要

一種液晶顯示器之閘極驅動電路，閘極驅動電路包含複數個驅動單元，每個驅動單元接收一輸入信號並產生一輸出信號至下一級驅動單元。利用閘極驅動電路的特殊耦接關係，搭配二個或三個脈衝期間互不相同的時脈訊號，來達成輸入訊號之暫存與位移。

A gate driver is provided. The gate driver comprises a plurality of stages; each stage receives an input signal and output an output signal to the next stage. The gate driver has specific circuit layout and employs two or three clock signals delayed each other so that the signal can be shifted.

11



第四圖

11 · · · 驅動單元

12 · · · 信號輸入端

13 · · · 信號輸出端

## X · · · 第一節點

CK1-CK2 · · · 時脈  
信號

M1-M4 . . . 第一至  
第四開關

N+2 . . . 回饋信號

VSS . . . 低電壓源

Input . . . 輸入信號

Output . . . 輸出信

號

I408665

TW I408665B1

CLOAD . . . 負載電  
容  
RLOAD . . . 負載電  
阻



## 發明摘要

申請日: 98.10.21

IPC分類:

G09G 3/36 (2006.01)

H03K 9/0185 (2006.01)

## 【發明摘要】

【中文發明名稱】 閘極驅動電路

【英文發明名稱】 GATE DRIVER

## 【中文】

一種液晶顯示器之閘極驅動電路，閘極驅動電路包含複數個驅動單元，每個驅動單元接收一輸入信號並產生一輸出信號至下一級驅動單元。利用閘極驅動電路的特殊耦接關係，搭配二個或三個脈衝期間互不相同的時脈訊號，來達成輸入訊號之暫存與位移。

## 【英文】

A gate driver is provided. The gate driver comprises a plurality of stages; each stage receives an input signal and output an output signal to the next stage. The gate driver has specific circuit layout and employs two or three clock signals delayed each other so that the signal can be shifted.

【指定代表圖】 第四圖

【代表圖之符號簡單說明】

11 驅動單元

12 信號輸入端

13 信號輸出端

X 第一節點

CK1 - CK2 時脈信號

M1 - M4 第一至第四開關

N+2 回饋信號

VSS 低電壓源

Input 輸入信號

Output 輸出信號

CLOAD 負載電容

RLOAD 負載電阻

# 發明專利說明書

## 【發明說明書】

【中文發明名稱】 閘極驅動電路

【英文發明名稱】 GATE DRIVER

## 【技術領域】

【0001】 本發明係關於一種閘極驅動電路，特別係關於一種用於液晶顯示器之閘極驅動電路。

## 【先前技術】

【0002】 液晶顯示器的傳統驅動結構如第一圖所示，一液晶顯示器1包含一陣列基板3，其主要由m條資料線(D1 - Dm)與n條資料線(G1 - Gn)所劃分的一畫素陣列構成，其中m條資料線由複數個資料驅動晶片5驅動，n條閘極線由複數個閘極驅動晶片7驅動，另外，一時序控制器(未圖示)控制閘極驅動晶片7與資料驅動晶片5。

【0003】 為了解析度的需求，畫素陣列的畫素數目必須提高；因此，驅動畫素的閘極線與資料線的數目，以及負責輸出驅動電壓的資料驅動晶片與閘極驅動晶片的數目也必須提高，造成液晶顯示器的製造成本過高。

【0004】 如第二圖所示，為了降低成本，習知技術將閘極驅動晶片7由一積體閘極驅動電路(integrated gate driver; IGD)9取代，此積體閘極驅動電路9與畫素陣列同時被製作於陣列基板3上，藉此可省下閘極驅動晶片7的零件成本；並且，將積體閘極驅動器9劃分為複數個級

數(stage)的驅動器，透過種種不同電路佈局設計，使得第n級的輸入信號等於第n-1級的輸出信號、第n級的輸出信號等於第n+1級的輸入信號，以類似移位暫存器(shift register)的概念來產生輸出信號至各閘極線以驅動畫素。

【0005】 習知技術的閘極驅動器或移位暫存器(shift register)設計舉例有美國專利US5,222,082、美國專利US5,410,583。其缺點在於其電路中的某些開關元件，其控制端(例如閘極)耦接一高電壓源或時脈信號，長期使用下將造成開關的臨界電壓偏移，使得電路的穩定性與可靠度不佳。另外，習知技術的電路結構其耗電功率較大，實有改善的必要。

【0006】 因此，亟需提供一種新的閘極驅動電路，以改善上述缺失。

#### 【發明內容】

【0007】 本發明的目的在於提供一種新的閘極驅動電路及其驅動方法，具有良好的穩定性與可靠性，並且，耗電功率相較習知技術可大幅降低。

【0008】 根據上述目的，本發明實施例提供一種閘極驅動電路，包含複數個串接之驅動單元，每一驅動單元接收複數個時脈信號以驅動一負載，每一驅動單元包含：一信號輸入端，接收一輸入信號；一信號輸出端，輸出一輸出信號；一第一開關，具有一第一端耦接該信號輸入端、一第二端耦接一第一節點X、一控制端接收一第一時脈信號；一第二開關，具有一第一端與一控制端耦接該信號輸入端、一第二端耦

接該第一節點；一第三開關，具有一第一端接收一第二時脈信號、一第二端耦接該信號輸出端、一控制端耦接該第一節點；一第四開關，該第四開關具有一第一端耦接該第一節點、一第二端耦接一低電壓源、一控制端接收來自下兩級驅動單元的輸出信號；其中每一驅動單元之信號輸出端耦接至下一級驅動單元之信號輸入端。

### 【圖式簡單說明】

#### 【0009】

第一圖為習知液晶顯示器之方塊圖；

第二圖為另一習知液晶顯示器之方塊圖，其中液晶顯示器之閘極驅動電路係為一閘極驅動電路；

第三A圖為本發明實施例之閘極驅動電路之方塊圖，其係使用4個時脈信號；

第三B圖為第三A圖中之時脈產生器所產生之時脈信號之時脈圖；

第四圖為本發明第一實施例之第二驅動單元之電路圖；

第五A圖為第四圖之第二驅動單元中各信號之時脈圖；

第五B圖為根據第五A圖之各開關之運作示意圖；

第六圖為本發明另一實施例之第二驅動單元之電路圖；

第七A圖為第六圖之第二驅動單元中各信號之時脈圖；

第七B圖為根據第七A圖之各開關之運作示意圖；

第八圖為本發明另一實施例之第二驅動單元之電路圖；

第九A圖為第八圖之第二驅動單元中各信號之時脈圖；

第九B圖為根據第九A圖之各開關之運作示意圖；及

第九C圖為另一實施例之第八圖第二驅動單元中各信號的時脈圖。

### 【實施方式】

【0010】 以下將詳述本案的各實施例，並配合圖式作為例示。

除了這些詳細描述之外，本發明還可以廣泛地實施在其他的實施例中，任何所述實施例的輕易替代、修改、等效變化都包含在本案的範圍內，並以之後的專利範圍為準。在說明書的描述中，為了使讀者對本發明有較完整的了解，提供了許多特定細節；然而，本發明可能在省略部分或全部這些特定細節的前提下，仍可實施。此外，眾所周知的步驟或元件並未描述於細節中，以避免造成本發明不必要之限制。

【0011】 第三A圖顯示本發明實施例之閘極驅動電路10的方塊圖。閘極驅動電路10包含複數個串接的驅動單元11，例如圖中所示的第一驅動單元、第二驅動單元、第三驅動單元、第四驅動單元等等，其中每個驅動單元11接收一輸入信號、一回饋信號及三個時脈信號，其中時脈信號CK1至CK4是由一時脈產生器20所提供，且此時脈產生器20可包含或不包含於該閘極驅動電路10中。

【0012】 每一驅動單元包含一信號輸入端12、一回饋信號輸入端14與一信號輸出端13以接收一輸入信號與一回饋信號並輸出一輸出信號。每一驅動單元11的信號輸出端13耦接至下一個驅動單元的信號輸入端12以及前兩級驅動單元的回饋信號輸入端14，例如，若第二驅動單元為第n級驅動單元，其信號輸出端13耦接至第三驅動單元(第n+1級驅動單元)的信號輸入端12，且第四驅動單(第n+2級驅動單元)元的信號輸出



端13耦接至第二驅動單元的回饋信號端14；因此，每一級驅動單元11的輸入信號是前一級驅動單元的輸出信號，且第 $n+2$ 級驅動單元的輸出信號是第 $n$ 級驅動單元的回饋信號，但是，由於第一驅動單元11為該等串接驅動單元的第一級驅動單元，其信號輸入端12接收閘極驅動電路10所接收的輸入信號，例如，一起始信號。

【0013】 第三B圖顯示本發明實施例之閘極驅動電路10所接收之時脈信號的時序圖，時脈產生器20共產生四個時脈信號CK1、CK2、CK3、CK4，且該等時脈信號依序彼此間具有一相位差，例如相差一個脈衝寬度 $W$ ，但不以此為限。換言之，如第三B圖所示，時脈信號CK2落後CK1一個脈衝寬度的相位差(或CK2與CK1相差一個脈衝寬度的相位差)，而時脈信號CK3亦落後CK2一個脈衝寬度的相位差(或時脈信號CK2與CK3相差一個脈衝寬度的相位差)，依此類推，即兩相鄰時脈信號彼此間相差一相同相位差。另外，在本發明後面所述各實施例中，在未特別說明時，每一時脈信號將具有相同的脈衝寬度。

【0014】 第四圖顯示本發明實施例之閘極驅動電路10之一個驅動單元的電路圖，本實施例以第二驅動單元為例做說明，並假設其為第 $n$ 級驅動單元。

【0015】 第二驅動單元11具有信號輸入端12、信號輸出端13、第一開關M1、第二開關M2、第三開關M3、第四開關M4，上述開關M1至M4可以為薄膜電晶體或任何半導體開關元件，例如NMOS電晶體、PMOS電晶體、BJT電晶體等等。

【0016】 其中第二驅動單元11是用來驅動畫素陣列中的一列畫

素，特別是該列畫素的半導體開關元件，圖中以電阻RLOAD及電容CLOAD等效一列畫素。此外，為了方便說明，下文中將「第一節點X」簡稱為「節點X」、「第二節點Z」簡稱為「節點Z」；例如，「第一開關M1」簡稱為開關M1」、「第一時脈信號CK1」簡稱為「時脈信號CK1」，其他亦以此類推。

【0017】 如前所述，第二驅動單元11接收一輸入信號(Input)並輸出一輸出信號(Output)以驅動畫素陣列中的一列畫素並輸出至下一級驅動單元作為下一級驅動單元的輸入信號。

【0018】 每個開關具有一控制端、一第一端、一第二端。開關M1的第一端耦接信號輸入端12以接收輸入信號(Input)、第二端耦接節點X、控制端耦接時脈信號CK1。開關M2的第一端與控制端耦接信號輸入端12以接收輸入信號(Input)、第二端耦接節點X。開關M3的第一端耦接時脈信號CK2、第二端耦接信號輸出端13以及開關M8的第一端、控制端耦接節點X。開關M4的第一端耦接節點X、第二端耦接一低電壓源VSS(具低電位，例如-10V)、控制端耦接來自第N+2級驅動單元的回饋信號，亦即，第N+2級驅動單元的輸出信號。

【0019】 第五A及五B圖顯示本發明實施例之閘極驅動電路10的驅動方法，其中第五A圖顯示閘極驅動電路10根據第四圖之一驅動單元，例如第二驅動單元11中的輸入信號Input、時脈信號CK1-CK2、節點X的電位、回饋信號N+2、輸出信號Output的時序圖，而第五B圖則為相對於第五A圖的開關M1至開關M4的操作狀態。此外，為便於說明，此處係以電阻RLOAD及電容CLOAD等效第二驅動單元11所耦接之負載。再者，於下列說明中，高準位例如可為15伏特；低準位例如可為-

10伏特，但其並非用以限定本發明。

【0020】 首先於T1期間，信號輸入端12所接收的輸入信號Input為高準位且時脈信號CK1亦為高準位，因此開關M1、M2導通，該輸入信號Input被耦合至節點X並將該節點X的電位充電至高準位。回饋信號N+2為低準位使得開關M4關閉，節點X保持在高準位。藉此，開關M3導通，時脈信號CK2被耦合至輸出端13。此時，由於時脈信號CK2為低準位，輸出端13輸出一低準位的輸出信號Output。

【0021】 於T2期間，輸入信號Input與時脈信號CK1為低準位，因此開關M1、M2關閉。回饋信號N+2為低準位，開關M4關閉；因此，藉由開關M3的寄生電容，節點X的電位仍保持於高準位，使得開關M3仍處於導通狀態。此時，由於時脈信號CK2為高準位，因此輸出端13輸出一高準位之輸出信號Output至負載電容CLOAD及電阻RLOAD，此輸出信號Output其相對於輸入信號Input具有一相位延遲，例如一個時脈信號之脈衝寬度的延遲。

【0022】 於T3期間，輸入信號Input及時脈信號CK1均為低準位，開關M1、M2維持關閉。回饋信號N+2為低準位，開關M4維持關閉。因此，藉由該第三開關M3的寄生電容，節點X的電位仍維持在高準位，開關M3仍處於導通狀態。此時，由於時脈信號CK2為低準位，輸出端13透過開關M3輸出一低準位的輸出信號Output。

【0023】 於T4期間，輸入信號Input及時脈信號CK1均為低準位，開關M1、M2維持關閉。回饋信號N+2為高準位，開關M4導通，使得節點X的電位被放電至低準位，故開關M3關閉，輸出端13輸出一低準

位的輸出信號Output。

【0024】 於T 5期間，時脈信號CK 1為高準位，開關M1導通。輸入信號Input為低準位，開關M2關閉。節點X與輸出信號維持在低電位。

【0025】 於T 6期間，輸入信號Input、時脈信號CK 1、回饋信號N+2均為低準位，開關M1、M2、M4關閉。節點X的電位維持在低準位，開關M3關閉，時脈信號CK 2的高準位無法耦合至輸出信號，輸出信號Output維持在低準位。

【0026】 於T 7至T 8期間，輸入信號Input、時脈信號CK 1、時脈信號CK 2、回饋信號N+2均為低準位，開關M1、M2、M4關閉。節點X的電位維持在低準位，開關M3關閉，輸出信號Output維持在低準位。

【0027】 根據本發明實施例所述的閘極驅動電路與驅動方法，負責輸出輸出信號的開關M3，其開啟時間被拉長，充電期間由習知技術的T 1期間加T 2期間，增長為T 1加T 2加T 3期間，可確保開關M3有充分的作業時間。另外，由於開關M1在長期操作後可能會產生臨界電壓偏移問題，加入開關M2之設計可改善此一偏移問題，以確保高準位的電壓經由開關M2被充電至節點X，而開關M4之設計用於T 4期間時，節點X的電位經由開關M4被放電至低準位。另外，每個驅動單元僅使用兩個時脈信號，且時脈信號工作周期(duty cycle)僅為1/4，如此可降低電力消耗，節省能源。

【0028】 第六圖顯示本發明另一實施例之閘極驅動電路10之一個驅動單元的電路圖，本實施例以第二驅動單元為例做說明，並假設其為第n級驅動單元，與第四圖實施例的不同處在於，每個驅動單元11增

加了第五開關M5、第六開關M6、第七開關M7、第八開關M8、第九開關M9。

【0029】 開關M9的第一端與控制端耦接時脈信號CK1、第二端耦接節點Z與開關M5的第一端。開關M5的第一端耦接開關M4的第二端與節點Z、第二端耦接低電壓源VSS、控制端耦接信號輸入端12以接收輸入信號(Input)。開關M6的第一端耦接節點Z、第二端耦接低電壓源VSS、控制端耦接時脈信號CK3。開關M7的第一端耦接節點X、第二端耦接低電壓源VSS、控制端耦接節點Z。開關M8的第一端耦接開關M3的第二端、第二端耦接低電壓源VSS、控制端耦接節點Z。

【0030】 第七A及七B圖顯示本發明實施例之間極驅動電路10的驅動方法，其中第七A圖顯示間極驅動電路10根據第六圖之一驅動單元，例如第二驅動單元11中的輸入信號Input、時脈信號CK1-CK3、節點X的電位、節點Z的電位、回饋信號N+2、輸出信號Output的時序圖，而第七B圖則為相對於第七A圖的開關M1至開關M9的操作狀態。首先於T1期間，信號輸入端12所接收的輸入信號Input為高準位且時脈信號CK1亦為高準位，因此開關M1、M2、M9、M5導通，該輸入信號Input被耦合至節點X並將該節點X的電位充電至高準位。而開關M9、M5導通使得節點Z的電位相等於低電壓源Vss，因此開關M7、M8皆關閉，且因回饋信號N+2為低準位使得開關M4關閉，故節點X保持在高準位。藉此，開關M3導通，時脈信號CK2被耦合至輸出端13。此時，由於時脈信號CK2為低準位，輸出端13輸出一低準位的輸出信號Output。

【0031】 於T2期間，輸入信號Input與時脈信號CK1為低準位，因此開關M1、M2、M9、M5關閉。時脈信號CK3、回饋信號N+2為低準位，因此開關M6、M4關閉，另開關M7、M8維持關閉；因此，藉由開關M3的寄生電容，節點X的電位仍保持於高準位，使得開關M3仍處於導通狀態。此時，由於時脈信號CK2為高準位，因此輸出端13輸出一高準位之輸出信號Output至負載電容CLOAD及電阻RLOAD，此輸出信號Output其相對於輸入信號Input具有一相位延遲，例如一個脈衝寬度的延遲。

【0032】 於T3期間，輸入信號Input及時脈信號CK1均為低準位，開關M1、M2、M9、M5維持關閉。時脈信號CK3為高準位，使得節點Z被耦合至低電位故開關M7、M8維持關閉。回饋信號N+2為低準位，開關M4維持關閉。因此，藉由該第三開關M3的寄生電容，節點X的電位仍維持在高準位，開關M3仍處於導通狀態。此時，由於時脈信號CK2為低準位，輸出端13透過開關M3輸出一低準位的輸出信號Output。

【0033】 於T4期間，輸入信號Input及時脈信號CK1、時脈信號CK3均為低準位，開關M1、M2、M9、M5、M6、M7、M8維持關閉。回饋信號N+2為高準位，開關M4導通，使得節點X的電位被放電至低準位，故開關M3關閉，且由於負載電容CLOAD於T3期間已放電至低準位且並未於T4期間再度被充電，因此輸出端13輸出一低準位的輸出信號Output。

【0034】 於T5期間，時脈信號CK1為高準位，故開關M1、M9導通。輸入信號Input、時脈信號CK3為低準位，故開關M2、M5、M6關

閉。藉此CK1的高準位經由開關M9被耦合至節點Z，使得開關M7、M8導通，故節點X與輸出信號的電位皆被放電至低電位、使得開關M3關閉，輸出信號維持在低電位。

【0035】 於T6期間，輸入信號Input、時脈信號CK1、時脈信號CK3、回饋信號N+2均為低準位，開關M1、M2、M4、M5、M6、M9關閉。節點Z的電位在T5期間為高準位，在T6期間因為開關M7、M8的寄生電容，或者說因為沒有放電路徑，因此保持在高準位，使得開關M7、M8導通，節點X的電位維持在低準位，故開關M3關閉，時脈信號CK2的高準位無法耦合至輸出信號，輸出信號Output維持在低準位。

【0036】 於T7期間，時脈信號CK3為高準位，開關M6導通，使得節點Z的電位被放電至低準位。輸入信號Input、時脈信號CK1、時脈信號CK2、回饋信號N+2均為低準位，開關M1、M2、M4、M5、M7、M8、M9關閉。節點X的電位維持在低準位，開關M3關閉，輸出信號Output維持在低準位。

【0037】 於T8期間，輸入信號Input、時脈信號CK1、時脈信號CK2、時脈信號CK3、回饋信號N+2均為低準位，開關M1至M9關閉。節點X的電位維持在低準位，輸出信號Output維持在低準位。

【0038】 第六圖至第七B圖的實施例保留了第四圖至第五B圖實施例相同的優點，不再贅述。兩者的差別在於，前者的穩定性更佳，其具有之特點包含：節點X的電位是受控制於開關M7、M4，當兩者有其一導通則節點X的電位會被放電至低準位，M4用於T4期間的節點X放

電、M7用於T5期間的節點X放電；節點Z控制開關M7、M8，而開關M9、M5、M6控制節點Z的電位；開關M8用於T5期間確保輸出信號被放電至低準位。上述開關M5至M9的功能是作為穩壓電路，增加電路操作時的穩定性，在其他實施例中，可以省略其中一個或數個開關或做等效的變化。另外，在本實施例每個驅動電路使用了三個時脈信號，較第四圖至第五B圖實施例多了一個時脈信號，但是由於每個時脈信號的工作週期僅為1/4，頻率低於習知技術的1/2，使得本實施例一樣具有省電的效果。

【0039】 第八圖顯示本發明另一實施例閘極驅動電路10的一個驅動單元的電路圖，與之前實施例的不同處在於，開關M6的耦接位置不同，一電容C1取代原先開關M8的功能以省略原先開關M8，另外，本實施例的開關M8' 相當於前實施例的開關M9。

【0040】 各元件連接關係如下所述。開關M1的第一端耦接信號輸入端12以接收輸入信號(Input)、第二端耦接節點X、控制端耦接時脈信號CK1。開關M2的第一端與控制端耦接信號輸入端12以接收輸入信號(Input)、第二端耦接節點X。開關M3的第一端耦接時脈信號CK2、第二端耦接信號輸出端13以及電容C1的第一端、控制端耦接節點X。開關M8' 的第一端與控制端耦接時脈信號CK1、第二端耦接開關M6的控制端。開關M5的第一端耦接開關M4的第二端與開關M6的控制端、第二端耦接一低電壓源VSS(具低電位，例如-10V)、控制端耦接信號輸入端12以接收輸入信號(Input)。開關M6的第一端耦接時脈信號CK1、第二端耦接節點Z、控制端耦接開關M4的第二端與開關M5的第一端。開關M7的第一端耦接節點X、第二端耦接低電壓源VSS、控制端耦接節



點Z。開關M4的第一端耦接節點X、第二端耦接低電壓源VSS、控制端耦接來自第N+2級驅動單元的回饋信號，亦即，第N+2級驅動單元的輸出信號。另外，該閘極驅動電路10可另包含一電容C1耦接於該節點X與輸出端13之間，藉以降低該開關M1及開關M2的寄生電容與信號間的耦合效應。

【0041】 第九A及九B圖顯示本發明實施例之閘極驅動電路10的驅動方法，其中第九A圖顯示閘極驅動電路10根據第八圖之一驅動單元，例如第二驅動單元11中的輸入信號Input、時脈信號CK1-CK2、節點X的電位、節點Z的電位、回饋信號N+2、輸出信號Output的信號時序圖，而第九B圖則為相對於第九A圖的開關M1至開關M9的操作狀態。注意本實施例中，第一時脈信號CK1與第二時脈信號CK2的工作週期不同於第四圖至第五B圖實施例的工作週期，本實施例的工作週期為1/3而前實施例為1/4。

【0042】 於T1期間與T2期間的操作，與第五B圖實施例相同，不再贅述。

【0043】 於T3期間，輸入信號Input及時脈信號CK1、CK2均為低準位，開關M1、M2、M8'、M5關閉。M6維持關閉、節點Z維持在低電位、開關M7關閉。回饋信號N+2為低準位，開關M4維持關閉。因此，藉由該第三開關M3的寄生電容，節點X的電位仍維持在高準位，開關M3仍處於導通狀態。此時，由於時脈信號CK2為低準位，輸出端13透過開關M3輸出一低準位的輸出信號Output。

【0044】 於T4期間，時脈信號CK1為高準位，輸入信號Input與

時脈信號CK2為低準位，開關M1、M8' 導通，開關M2、M5關閉，而開關M6因為時脈信號CK1的高電位被耦合至其控制端而導通，使得節點Z為高電位、開關M7導通、節點X的電位被放電至低電位。回饋信號N+2為高準位，開關M4導通，使得節點X的電位被放電至低準位，故開關M3關閉，且由於負載電容CLOAD於T3期間已放電至低準位且並未於T4期間再度被充電，因此輸出端13輸出一低準位的輸出信號Output。

【0045】 於T5期間，輸入信號Input、時脈信號CK1、回饋信號N+2為低準位，開關M1、M2、M4、M5、M8' 關閉，節點Z因為開關M7的寄生電容維持在高準位使得開關M6導通，且時脈信號CK1為低準位，故節點Z的電位經由開關M6被放電至低準位，使得開關M7關閉。節點X的電位維持在低準位、開關M3關閉，輸出信號維持在低電位。

【0046】 於T6期間，輸入信號Input、時脈信號CK1、時脈信號CK2、回饋信號N+2均為低準位，開關M1、M2、M4、M5、M8' 關閉。節點Z維持在低準位，使得開關M6、M7關閉。節點X的電位維持在低準位，故開關M3關閉，輸出信號Output維持在低準位。

【0047】 於T7期間，時脈信號CK1為高準位，輸入信號Input與時脈信號CK2為低準位，開關M1、M8' 導通，開關M2、M5關閉，而開關M6因為時脈信號CK1的高電位經由M4被耦合至其控制端而導通，使得節點Z為高電位、開關M7導通、節點X的電位被放電至低電位。回饋信號N+2為高準位，開關M4導通，使得節點X的電位被放電至低準位，故開關M3關閉，輸出信號Output維持在低準位。

【0048】 於T8期間，輸入信號Input、時脈信號CK1、回饋信號N+2均為低準位，時脈信號CK2為高準位，開

關M1、M2、M4、M5、M8' 關閉。節點Z因為開關M7的寄生電容維持在高準位使得開關M6導通，且時脈信號CK1為低準位，故節點Z的電位經由開關M6被放電至低準位，使得開關M7關閉。節點X的電位維持在低準位，故開關M3關閉，輸出信號Output維持在低準位。

該閘極驅動電路10可另包含一電容耦接於該第一節點X與該輸出端13之間，藉以降低該第一開關M1及該第二開關M2之寄生電容與信號間之耦合效應。

【0049】 上述M5至M8' 所構成的穩壓電路，與之前實施例的不同處在於：因為開關M8' 長久使用可能有臨界電壓偏移的問題，開關M6可確保時脈信號CK1的高電位可充電至節點Z，同時也提供路徑供節點Z放電至低電位。然而，在本發明其他實施例中，開關M8' 與M6的連接方式可與第六圖中開關M9與開關M6的連接方式相同，而此時亦將需如第六圖實施例所示，引入一額外的時脈信號CK3以控制M6。另外，在本實施例中，電容C1可降低開關M1、M2與該開關M3之寄生電容與信號間的耦合效應。

【0050】 第九C圖顯示本發明另一實施例之閘極驅動電路10的驅動方法，其顯示閘極驅動電路10根據第八圖之一驅動單元，例如第二驅動單元11中的各信號時序圖；其與第九A圖的差別在於，所有輸入信號(如輸入信號、CK1、CK2、N+2...等)，以及包含自第一驅動單元接收的起始信號，皆提前加寬一可調整長度的脈衝寬度T，即調整之後，每一信號之脈衝寬度將為(T+W)，且兩相鄰時脈信號之間具有T寬度的重疊期間，另外任兩相鄰時脈信號彼此間相差一固定相位。值得一提的

是，上述各輸入信號經調整一可調整長度的脈衝寬度 $T$ 後，僅使兩相鄰時脈信號部分重疊(如CK1與CK2脈衝部分重疊，且重疊寬度為 $T$ )，而非全部重疊，其中，較佳者，可調整長度的脈衝寬度 $T$ 係小於或不大於調整後之單一個脈衝寬度 $(T+W)$ 的 $1/2$ ，亦即兩依序相鄰時脈信號，如時脈信號CK1和CK2，重疊部分之寬度 $T$ 係小於或不大於單一個脈衝寬度 $(T+W)$ 的 $1/2$ ，但不以此為限。本實施例具有操作穩定性更佳，可消除輸出電壓漣波(ripple)的優點。例如，可確保輸出信號Output在 $T_3$ 至 $T_8$ 期間，不受時脈信號CK2的影響而使開關M3因可能有漏電流的疑慮而使輸出信號具有電壓漣波，其原理是當時脈信號CK2與CK1的重疊期間 $T$ ，節點X的電位可經由開關M1耦合至輸入信號Input的低準位，確保開關M3為關閉，不會產生漏電流。

【0051】 同理，第九C圖之驅動方法，亦可應用於如第六圖與第八圖之實施例中，亦即在第七A圖和第九A圖所示之驅動方法中，將所有輸入信號(如CK1、CK2、CK3、 $N+2$ 等)，包含自第一驅動單元接收的起始信號，皆提前加寬一可調整長度的脈衝寬度 $T$ ，即調整之後，每一信號之脈衝寬度將為 $(T+W)$ ，且兩相鄰時脈信號之間具有 $T$ 寬度的重疊期間，且兩相鄰時脈信號彼此間相差一固定相位。而輸入信號經調整一可調整寬度的脈衝寬度 $T$ 後，僅使兩相鄰時脈信號部分重疊，而非全部重疊，其中，較佳者，可調整長度的脈衝寬度 $T$ 係小於或不大於調整後之單一個脈衝寬度 $(T+W)$ 的 $1/2$ ，但不以此為限。如此一來將具有操作穩定性更佳，並可消除輸出電壓漣波(ripple)的優點。

【0052】 以上，根據本發明實施例的閘極驅動電路與驅動方法，不僅在操作上的穩定度、可靠度加，同時每個驅動單元僅用到兩個

或三個時脈信號，且每個時脈信號的工作週期(duty cycle)對於第四圖與第六圖的實施例為0.25、對於第八圖的實施例為0.33，相較於習知技術之時脈信號的工作週期為0.5至多可降低一半頻率，故整體驅動電路的耗電功率可大幅降低。另外，特別一提的是，本發明實施例中所述的各種閘極驅動電路，皆可以如積體閘極電路(Integrated gatedrive,IGD)之形式，直接製作於液晶顯示面板之基本上，但不以此為限。

【0053】 以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其他未脫離發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

#### 【符號說明】

##### 【0054】

- 1 液晶顯示器
- 3 陣列基板
- 5 資料驅動晶片
- 7 閘極驅動晶片
- 9 積體閘極驅動電路
- 10 閘極驅動電路
- 11 驅動單元
- 12 信號輸入端
- 13 信號輸出端
- 14 回饋信號

20 時脈產生器

C1 電容

D0 - Dm 資料線

G0 - Gn 閘極線

M1 - M9 第一至第九開關

CK1 - CK3 時脈信號

VSS 低電壓源

X 第一節點

Z 第二節點

Input 輸入信號

Output 輸出信號

CLOAD 負載電容

RLOAD 負載電阻

W 脈衝寬度

# 申請專利範圍

## 【發明申請專利範圍】

【第1項】一種閘極驅動電路，包含複數個串接之驅動單元，每一驅動單元接收複

數個時脈信號以驅動一負載，每一驅動單元包含：

一信號輸入端，接收一輸入信號；

一信號輸出端，輸出一輸出信號；

一第一開關，具有一第一端耦接該信號輸入端、一第二端耦接一第一節點、一控制端接收一第一時脈信號；

一第二開關，具有一第一端與一控制端耦接該信號輸入端、一第二端耦接該第一節點；

一第三開關，具有一第一端接收一第二時脈信號、一第二端耦接該信號輸出端、一控制端耦接該第一節點；以及

一第四開關，該第四開關具有一第一端耦接該第一節點、一第二端耦接一低電壓源、一控制端接收來自下兩級驅動單元的輸出信號；其中每一驅動單元之信號輸出端耦接至下一級驅動單元之信號輸入端。

【第2項】依申請專利範圍第1項之閘極驅動電路，其中每一驅動單元尚包含一穩壓電路耦接於該第一節點與該輸出端之間。

【第3項】依申請專利範圍第2項之閘極驅動電路，其中該穩壓電路包含：

一第五開關，具有一第一端耦接一第二節點、一第二端耦接該低電壓源、一控制端耦接該信號輸入端；

一第六開關，具有一第一端耦接該第二節點、一第二端耦接該低電壓源、一控制端耦接一第三時脈信號；一第七開關，具有一第一端耦接該第一節點、一第二端耦接該低電壓源、一控制端耦接該第二節點；

一第八開關，該第八開關具有一第一端耦接該第三開關的第二端、一第二端耦接該低電壓源、一控制端耦接該第二節點；以及

一第九開關，具有一第一端與一控制端接收該第一時脈信號、第二端耦接該第二節點。

【第4項】依申請專利範圍第3項之閘極驅動電路，其中該第一、第二、第三、第四、第五、第六、第七、第八及第九開關為薄膜電晶體。

【第5項】依申請專利範圍第3項之閘極驅動電路，其中該第一時脈信號、該第二時脈信號、該第三時脈信號的工作週期為 $1/4$ 。

【第6項】依申請專利範圍第5項之閘極驅動電路，其中該輸入信號為高準位時，該第一時脈信號亦為高準位。

【第7項】依申請專利範圍第3項之閘極驅動電路，該第二時脈信號落後該第一時脈信號一相位差，且該第三時脈信號落後該第二時脈信號該相位差。

【第8項】依申請專利範圍第7項之閘極驅動電路，其中該第二時脈信號與該第一時脈信號之脈衝具有一重疊部分，且該第三時脈信號與該第二時脈信號之脈衝亦具有一重疊部分。

【第9項】依申請專利範圍第8項之閘極驅動電路，其中該重疊部分之長度小於或不大於時脈信號之單一脈衝寬度的 $1/2$ 。

【第10項】依申請專利範圍第2項之閘極驅動電路，其中該穩壓電路包含：



一第五開關，具有一第一端耦接一第八開關的一第二端與一第六開關的控制端、一第二端耦接一低電壓源、一控制端耦接該信號輸入端，該第六開關尚具有一第一端接收該第一時脈信號與該第八開關的一第一端、一第二端耦接一第二節點，而該第八開關的第一端與一控制端同時接收該第一時脈信號；以及

一第七開關，具有一第一端耦接該第一節點、一第二端耦接該低電壓源、一控制端耦接該第二節點。

【第11項】依申請專利範圍第10項之閘極驅動電路，其中該穩壓電路尚包含一第一電容耦接於該第一節點與該信號輸出端之間。

【第12項】依申請專利範圍第10項之閘極驅動電路，其中該第一、第二、第三、第四、第五、第六、第七、及第八開關為薄膜電晶體。

【第13項】依申請專利範圍第10項之閘極驅動電路，其接收該第一時脈信號及該第二時脈信號，其中該第二時脈信號落後該第一時脈信號一個相位差。

【第14項】依申請專利範圍第13項之閘極驅動電路，其接收該第一時脈信號及該第二時脈信號，其中該第二時脈信號與該第一時脈信號之脈衝具有一重疊部分。

【第15項】依申請專利範圍第14項之閘極驅動電路，其中該重疊部分之長度小於或不大於時脈信號之單一脈衝寬度的 $1/2$ 。

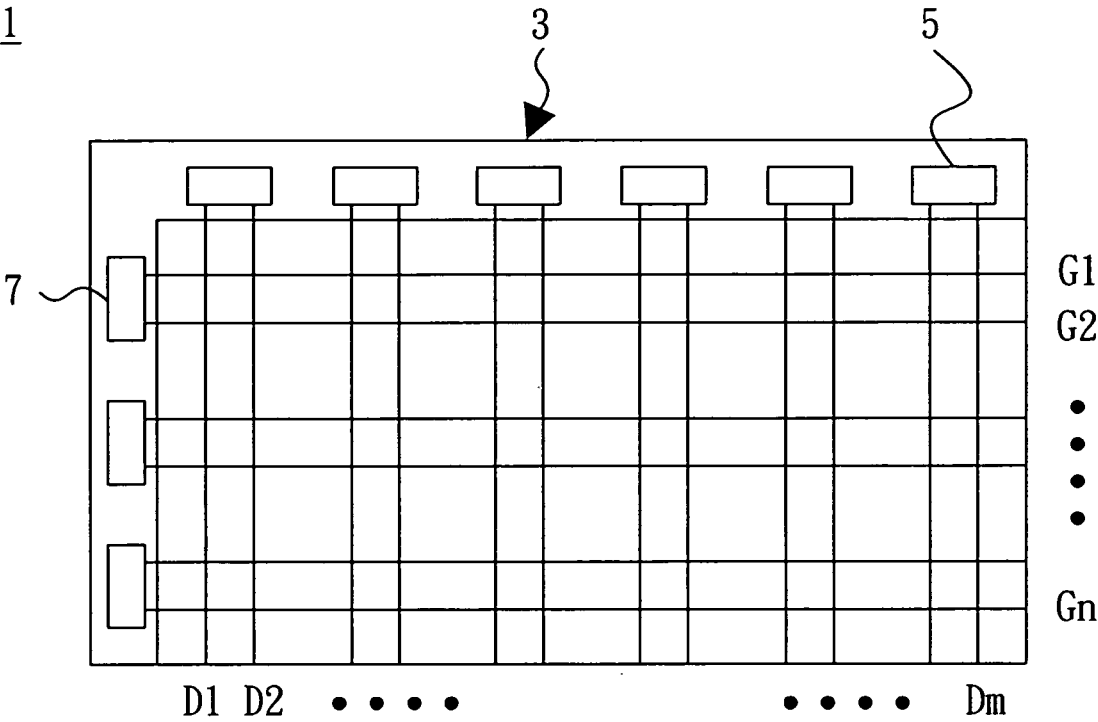
【第16項】依申請專利範圍第14或第15項之閘極驅動電路，其中該第一時脈信號、該第二時脈信號的工作週期為 $1/3$ 。

【第17項】依申請專利範圍第16項之閘極驅動電路，其中該輸入信

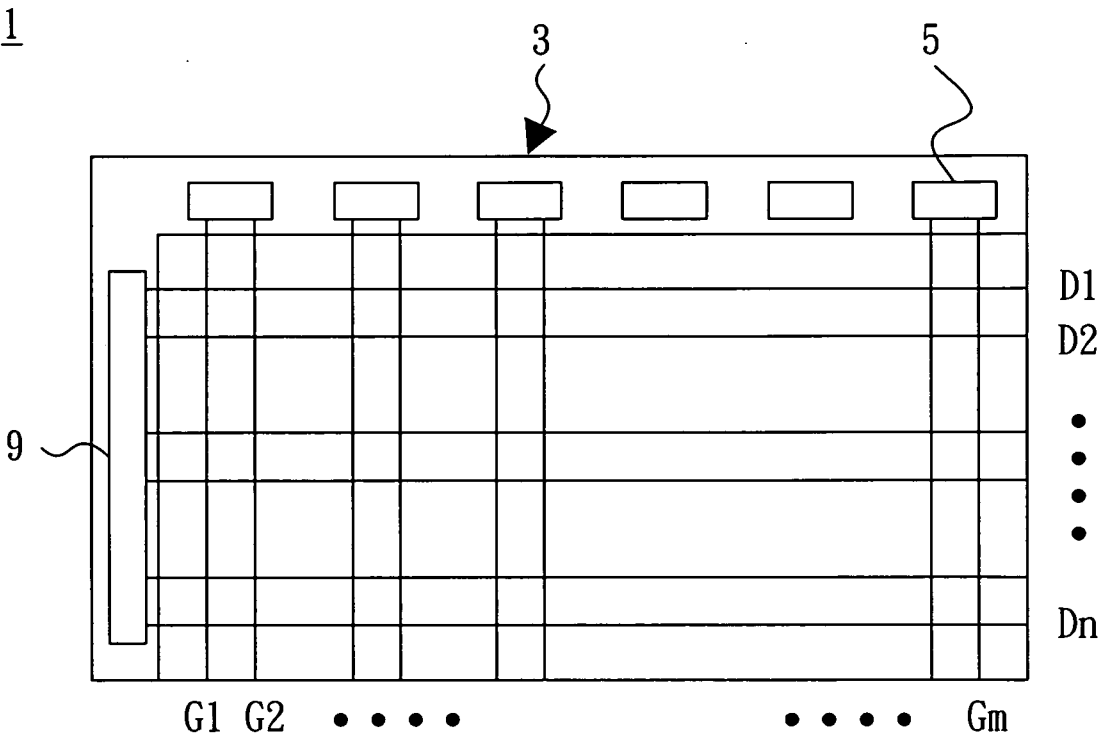
號為高準位時，該第一時脈信號亦為高準位。

圖式

【發明圖式】

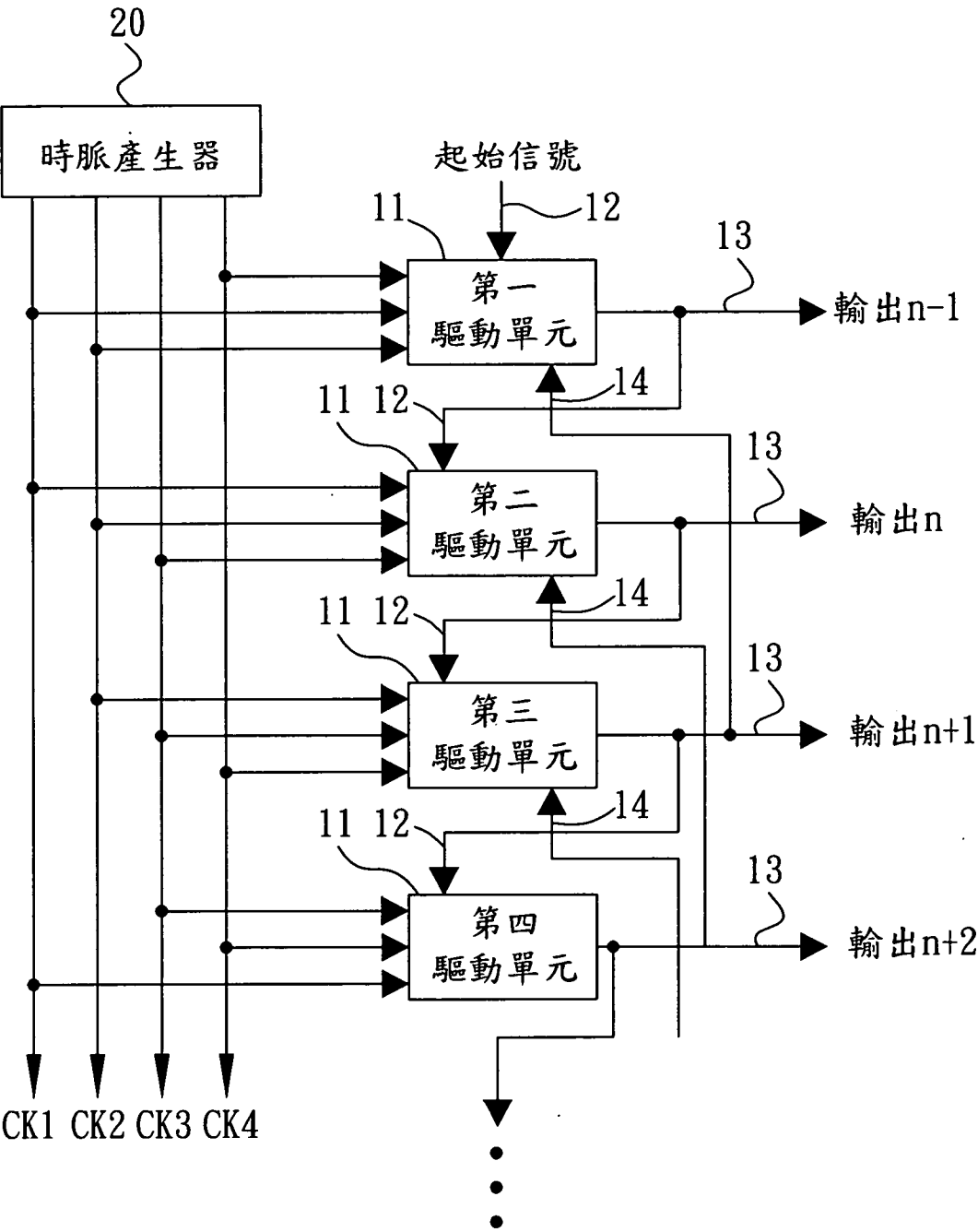


第一圖

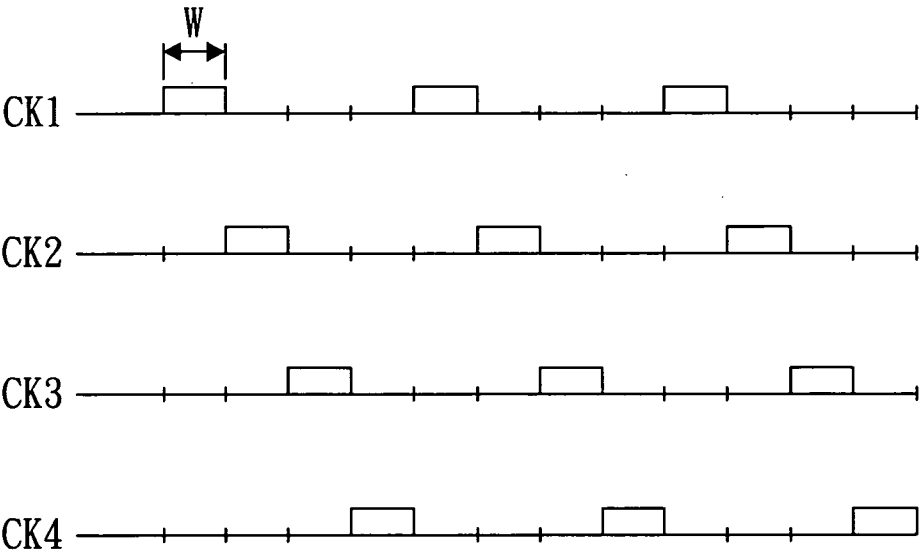


第二圖

10

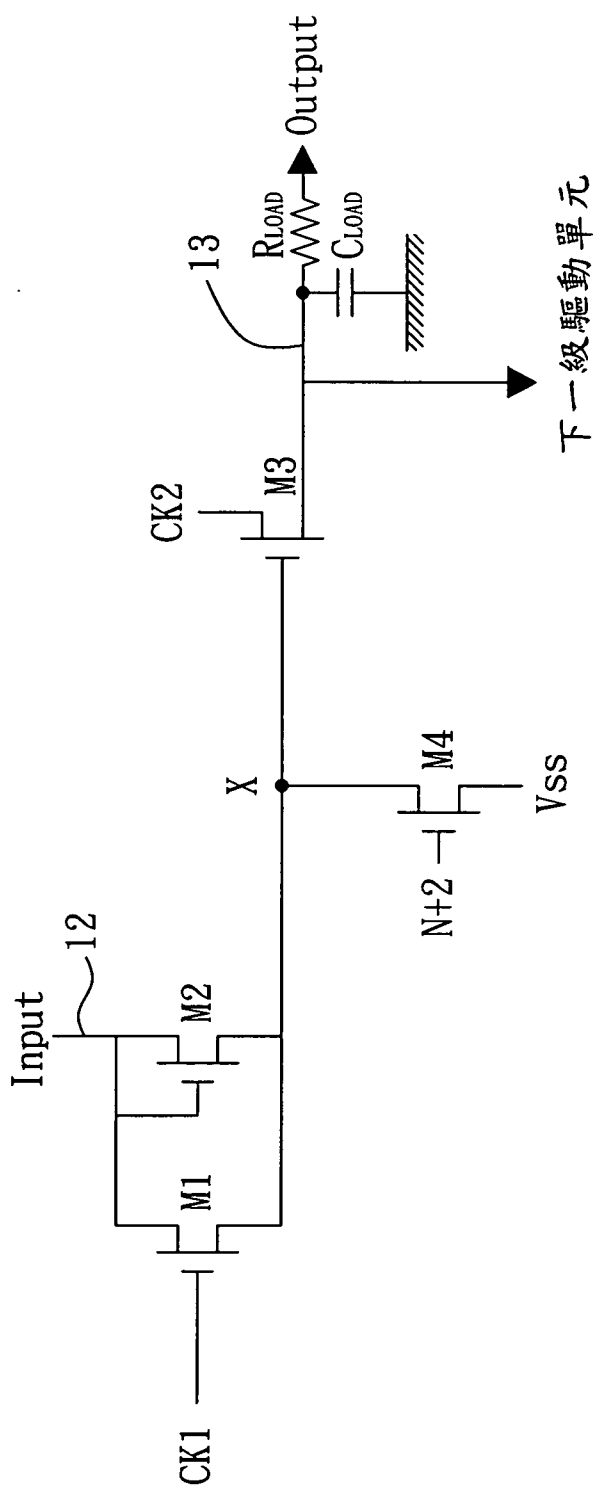


第三A圖

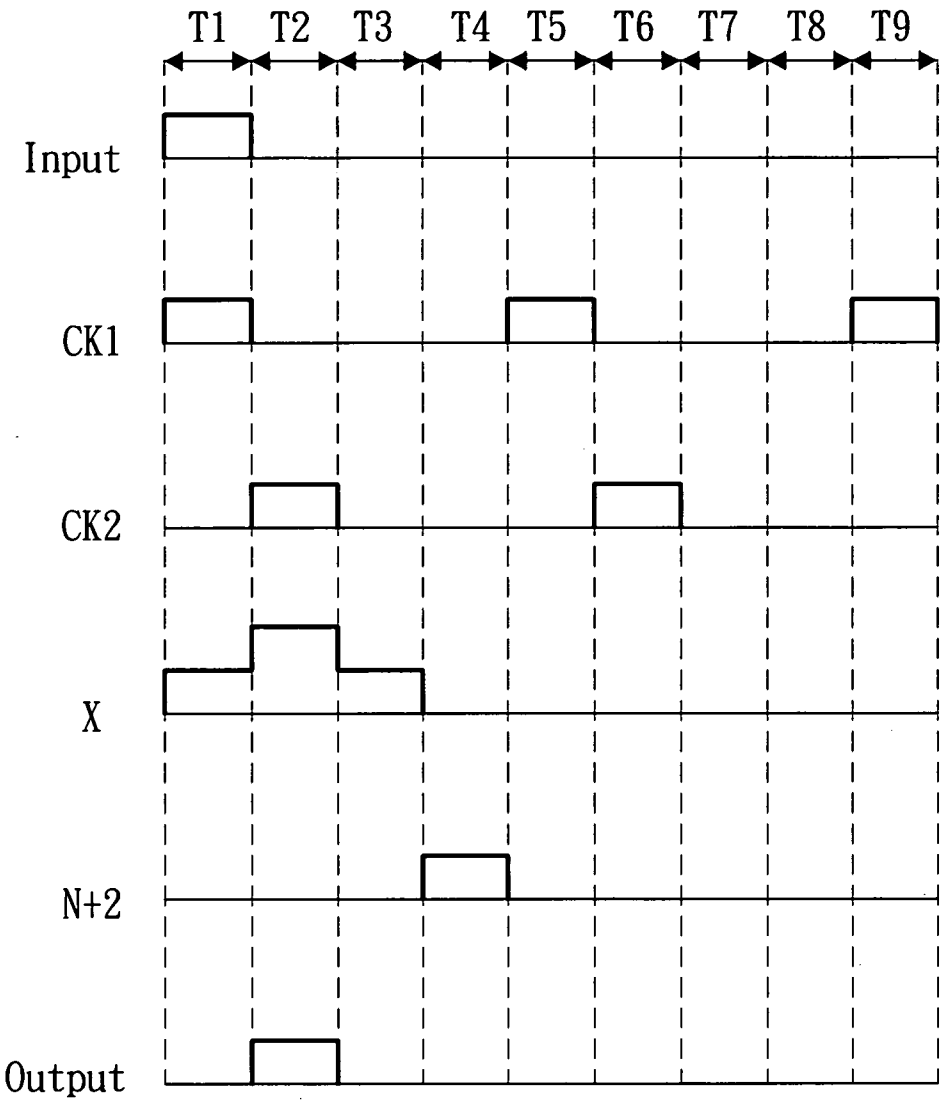


第三B圖

11



第四圖



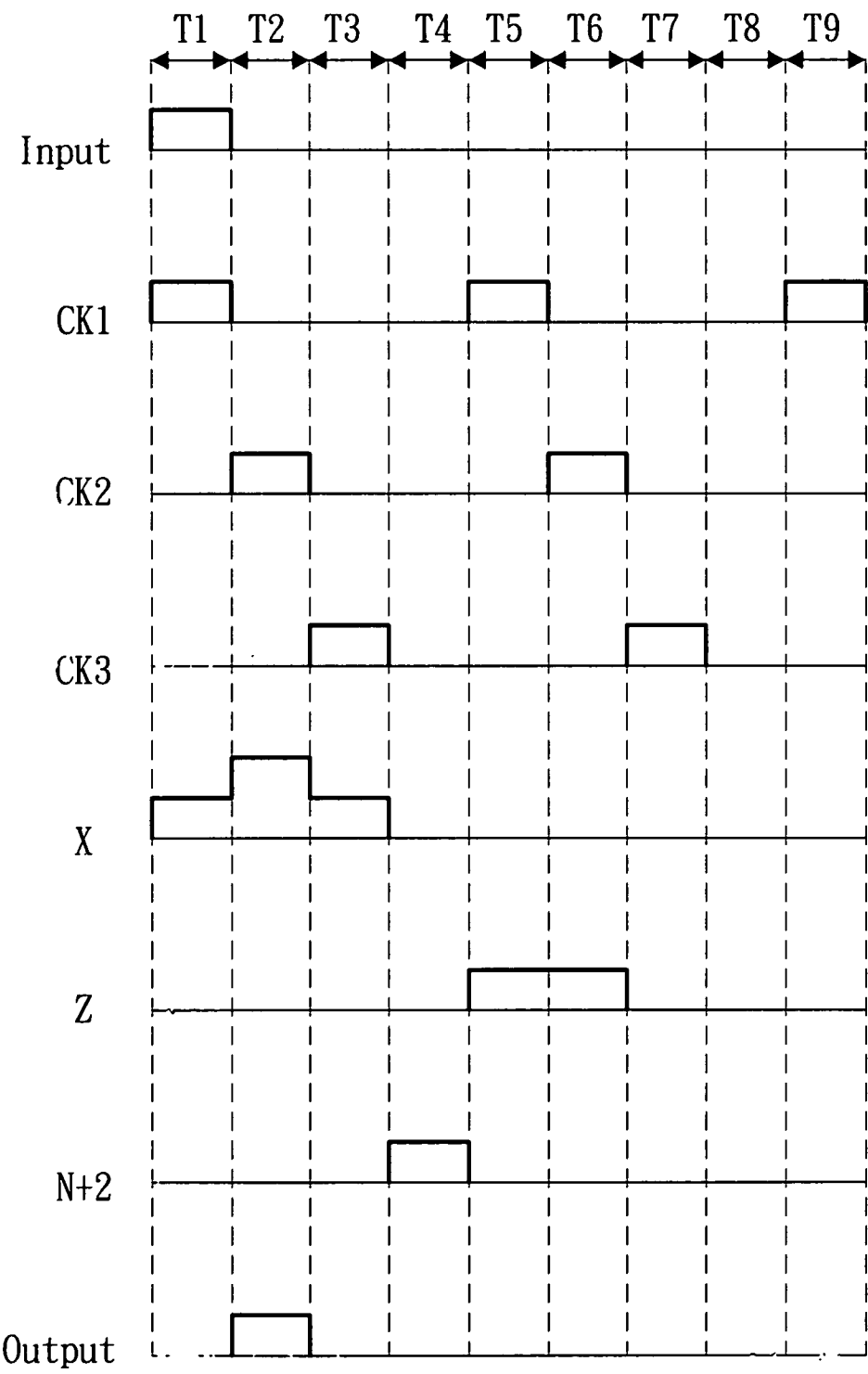
第五A圖

	T1	T2	T3	T4	T5	T6	T7	T8
M1	ON	OFF	OFF	OFF	ON	OFF	OFF	OFF
M2	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
M3	ON	ON	ON	OFF	OFF	OFF	OFF	OFF
M4	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF

第五B圖





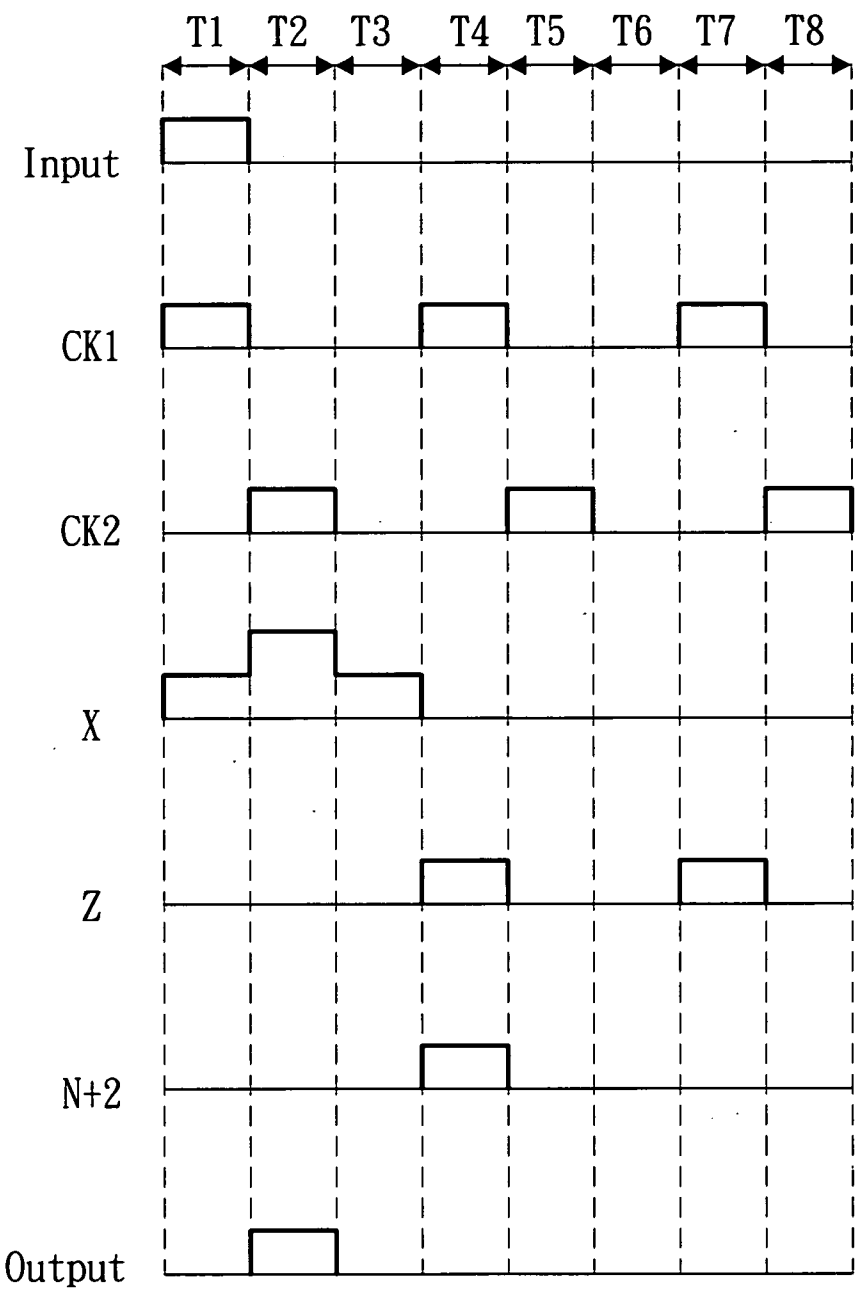


第七A圖

	T1	T2	T3	T4	T5	T6	T7	T8
M1	ON	OFF	OFF	OFF	ON	OFF	OFF	OFF
M2	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
M3	ON	ON	ON	OFF	OFF	OFF	OFF	OFF
M4	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF
M5	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
M6	OFF	OFF	ON	OFF	OFF	OFF	ON	OFF
M7	OFF	OFF	OFF	OFF	ON	ON	OFF	OFF
M8	OFF	OFF	OFF	OFF	ON	ON	OFF	OFF
M9	ON	OFF	OFF	OFF	ON	OFF	OFF	OFF

第七B圖

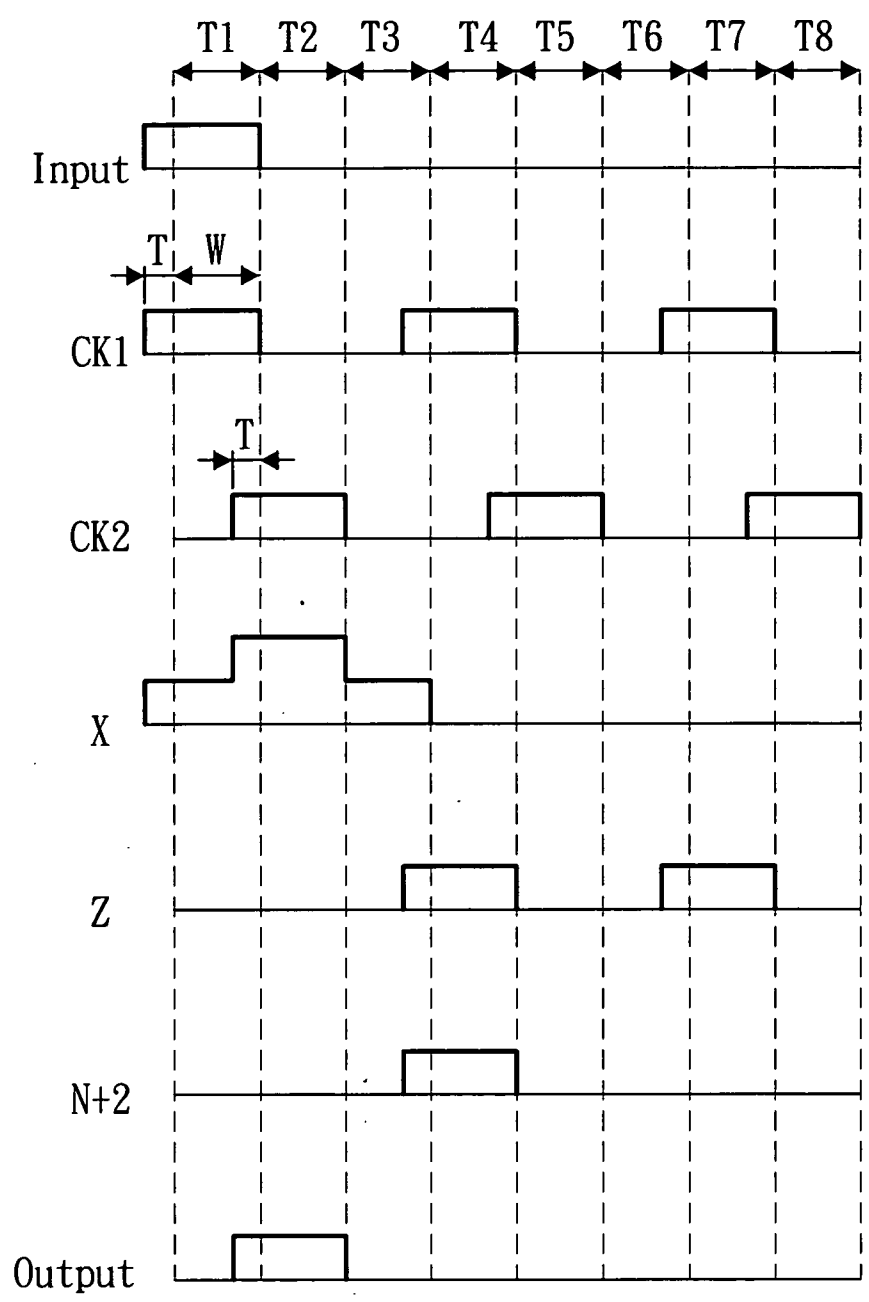




第九A圖

	T1	T2	T3	T4	T5	T6	T7	T8
M1	ON	OFF	OFF	ON	OFF	OFF	ON	OFF
M2	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
M3	ON	ON	ON	OFF	OFF	OFF	OFF	OFF
M4	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF
M5	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
M6	OFF	OFF	OFF	ON	OFF	OFF	ON	OFF
M7	OFF	OFF	OFF	ON	OFF	OFF	ON	OFF
M8'	ON	OFF	OFF	ON	OFF	OFF	ON	OFF

第九B圖



第九C圖