



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0120821
(43) 공개일자 2013년11월05일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2012-0043990
(22) 출원일자 2012년04월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
신동수
경기 파주시 조리읍 성호2단지아파트 103동 1102호
(74) 대리인
특허법인로얄

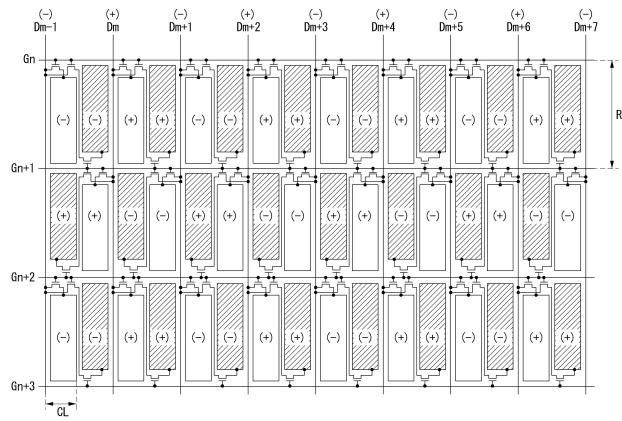
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 실시예에 따른 액정표시장치는 다수의 액정셀들이 형성된 표시패널을 갖는 액정표시장치에 있어서, 상기 액정셀들은 동일한 데이터라인을 공유하며 제1 게이트라인과 제2 게이트라인 사이에서 서로 이웃하게 배치된 2개의 액정셀들 단위로 제1 쌍을 이루고; 상기 제1 쌍을 이루는 2개의 액정셀들은, 제1 TFT를 통해 상기 데이터라인에 접속된 제1 액정셀과, 제2 TFT와 제3 TFT를 통해 상기 데이터라인에 접속된 제2 액정셀을 포함하고; 상기 제1 TFT와 제2 TFT는 상기 제1 게이트라인이 스캔신호에 의해 활성화될 때 턴 온 되고, 상기 제3 TFT는 상기 제2 게이트라인이 상기 스캔신호에 의해 활성화될 때 턴 온 된다.

대표도 - 도2



특허청구의 범위

청구항 1

다수의 액정셀들이 형성된 표시패널을 갖는 액정표시장치에 있어서,

상기 액정셀들은 동일한 데이터라인을 공유하며 제1 게이트라인과 제2 게이트라인 사이에서 서로 이웃하게 배치된 2개의 액정셀들 단위로 제1 쌍을 이루고;

상기 제1 쌍을 이루는 2개의 액정셀들은,

제1 TFT를 통해 상기 데이터라인에 접속된 제1 액정셀과, 제2 TFT와 제3 TFT를 통해 상기 데이터라인에 접속된 제2 액정셀을 포함하고;

상기 제1 TFT와 제2 TFT는 상기 제1 게이트라인이 스캔신호에 의해 활성화될 때 턴 온 되고, 상기 제3 TFT는 상기 제2 게이트라인이 상기 스캔신호에 의해 활성화될 때 턴 온 되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 스캔신호는 제1 폭을 갖는 제1 펄스와, 상기 제1 펄스에 뒤이어 발생되며 상기 제1 폭보다 넓은 제2 폭을 갖는 제2 펄스를 포함하고;

상기 제1 게이트라인에 인가되는 상기 제2 펄스의 스캔신호는 상기 제2 게이트라인에 인가되는 상기 제1 펄스의 스캔신호와 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 게이트라인에 인가되는 상기 제2 펄스의 스캔신호와 상기 제2 게이트라인에 인가되는 상기 제1 펄스의 스캔신호는 상기 제1 폭만큼 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 제1 폭은 상기 제2 폭의 1/2보다 넓은 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 제2 게이트라인을 사이에 두고 상기 제1 게이트라인과 대향하는 제3 게이트라인을 더 구비하고,

상기 제2 게이트라인과 상기 제3 게이트라인 사이에서 상기 액정셀들이 2개의 액정셀들 단위로 제2 쌍을 이루고;

상기 제2 쌍을 이루는 2개의 액정셀들은, 제4 TFT를 통해 상기 데이터라인에 접속된 제3 액정셀과, 제5 TFT와 제6 TFT를 통해 상기 데이터라인에 접속된 제4 액정셀을 포함하고;

상기 제4 TFT와 제5 TFT는 상기 제2 게이트라인이 스캔신호에 의해 활성화될 때 턴 온 되고, 상기 제6 TFT는 상기 제3 게이트라인이 상기 스캔신호에 의해 활성화될 때 턴 온 되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 쌍을 이루는 제1 액정셀과 제2 액정셀은 상기 게이트라인의 연장 방향을 따라 수평으로 서로 이웃하고;

상기 제2 쌍을 이루는 제3 액정셀과 제4 액정셀은 상기 게이트라인의 연장 방향을 따라 수평으로 서로 이웃한 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

각 수평 셀라인마다 게이트라인의 연장 방향을 따라 K (K 는 양의 짝수)개의 액정셀들이 형성되고, 각 수직 셀라인마다 데이터라인의 연장 방향을 따라 J (J 는 양의 짝수)개의 액정셀들이 형성될 때,

상기 표시패널에는 $(K/2 + 1)$ 개의 데이터라인들과, $(J + 1)$ 개의 게이트라인들이 구비되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

기수번째 수평 셀라인에서 상기 제1 쌍을 이루는 2개의 액정셀들 각각은 그들의 좌측 또는 우측 중 어느 한 측에 배치된 데이터라인에 접속되고;

우수번째 수평 셀라인에서 상기 제2 쌍을 이루는 2개의 액정셀들 각각은 그들의 좌측 또는 우측 중 나머지 한 측에 배치된 데이터라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 표시패널에서,

1개의 TFT를 통해 데이터라인에 접속된 액정셀들과 2개의 TFT를 통해 데이터라인에 접속된 액정셀들은 서로 체크 보드 타입으로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 10

제 5 항에 있어서,

상기 제1 쌍을 이루는 제1 액정셀과 제2 액정셀은 상기 데이터라인의 연장 방향을 따라 수직으로 서로 이웃하고;

상기 제2 쌍을 이루는 제3 액정셀과 제4 액정셀은 상기 데이터라인의 연장 방향을 따라 수직으로 서로 이웃한 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

각 수평 셀라인마다 게이트라인의 연장 방향을 따라 K (K 는 양의 짝수)개의 액정셀들이 형성되고, 각 수직 셀라인마다 데이터라인의 연장 방향을 따라 J (J 는 양의 짝수)개의 액정셀들이 형성될 때,

상기 표시패널에는 $(K + 1)$ 개의 데이터라인들과, $(J/2 + 1)$ 개의 게이트라인들이 구비되는 것을 특징으로 하는 액정표시장치.

청구항 12

제 10 항에 있어서,

수직으로 이웃한 2개의 수평 셀라인들마다 수평 셀라인쌍을 이룰 때,

기수번째 수평 셀라인쌍에서 상기 제1 쌍을 이루는 2개의 액정셀들 각각은 그들의 좌측 또는 우측 중 어느 한 측에 배치된 데이터라인에 접속되고;

우수번째 수평 셀라인쌍에서 상기 제2 쌍을 이루는 2개의 액정셀들 각각은 그들의 좌측 또는 우측 중 나머지 한 측에 배치된 데이터라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 13

제 12 항에 있어서,
상기 표시패널에서,

1개의 TFT를 통해 데이터라인에 접속된 액정셀들과 2개의 TFT를 통해 데이터라인에 접속된 액정셀들은 각각 스트라이프 타입으로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 14

제 1 항에 있어서,

상기 표시패널에 형성되는 데이터라인들에는 프레임 기간을 주기로 극성이 반전되는 데이터전압이 인가되고, 이웃한 데이터라인들에 인가되는 데이터전압의 극성은 서로 반대되는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 개구율을 높일 수 있도록 한 액정표시장치에 관한 것이다.

배경기술

[0002] 액정표시장치는 비디오 신호에 대응하여 액정층에 인가되는 전계를 통해 액정층의 광투과율을 제어함으로써 화상을 표시한다. 이러한 액정표시장치는 소형 및 박형화와 저 소비전력의 장점을 가지는 평판 표시장치로서, 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기 등으로 이용되고 있다. 특히, 액정셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 이 액정표시장치에 사용되는 스위칭소자로는 같이 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.

[0003] 액정표시장치는 화상 구현을 위한 다수의 액정셀들과, 이 액정셀들 각각을 구동하기 위한 신호라인들을 포함한다. 신호라인들은 데이터전압이 인가되는 데이터라인들과, 스캔신호가 인가되는 게이트라인들을 포함한다. 액정표시장치의 해상도가 높아질수록 데이터라인들과 게이트라인들의 개수가 증가된다. 액정표시장치의 표시패널에서 화상이 표시되는 영역을 개구영역이라 정의할 때, 표시패널의 전체 영역 중 개구영역이 차지하는 비율이 개구율이 된다. 신호라인들이 형성되는 영역에서는 화상 표시가 불가능하기 때문에, 데이터라인들과 게이트라인들의 개수가 증가될수록 그만큼 개구율이 떨어지게 된다. 또한, 고해상도에서, 데이터라인들과 게이트라인들의 개수가 증가되면 데이터라인들과 게이트라인들을 구동하기 위한 구동회로부의 구성이 복잡해진다.

[0004] 각 수평 셀라인마다 m (m 은 2 이상의 자연수)개의 액정셀들이 구비될 때, 통상적으로 널리 알려진 노멀 액정표시장치는, m 개의 액정셀들을 구동하기 위해 1개의 게이트라인과 m 개의 데이터라인들을 필요로 한다. 이에 반해, 데이터 구동회로의 구성을 간소화하기 위해 제안된 DRD(Double Rate Driving) 구동방식의 액정표시장치는, m 개의 액정셀들을 구동하기 위해 각 수평 셀라인마다 2개의 게이트라인들과 $m/2$ 개의 데이터라인들을 필요로 한다. DRD 구동방식은 동일 해상도에서 노멀 액정표시장치에 비해 데이터라인들의 갯수를 절반으로 줄임으로써 데이터 구동회로의 출력 채널수를 감소시킬 수 있다. 다만, DRD 구동방식에 의하는 경우, 동일 해상도에서 노멀 액정표시장치에 비해 게이트라인들의 갯수가 2 배로 늘어나기 때문에, 전체적인 신호라인들의 개수는 오히려 증가한다. DRD 구동방식에 의하는 경우, 고해상도에서 표시패널의 개구율을 향상시키기 어렵다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명의 목적은 표시패널의 신호라인들을 구동시키기 위한 구동회로부의 구성을 간소화하면서도 표시

패널의 개구율을 증가시킬 수 있도록 한 액정표시장치를 제공하는 데 있다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 액정셀들이 형성된 표시패널을 갖는 액정표시장치에 있어서, 상기 액정셀들은 동일한 데이터라인을 공유하며 제1 게이트라인과 제2 게이트라인 사이에서 서로 이웃하게 배치된 2개의 액정셀들 단위로 제1 쌍을 이루고; 상기 제1 쌍을 이루는 2개의 액정셀들은, 제1 TFT를 통해 상기 데이터라인에 접속된 제1 액정셀과, 제2 TFT와 제3 TFT를 통해 상기 데이터라인에 접속된 제2 액정셀을 포함하고; 상기 제1 TFT와 제2 TFT는 상기 제1 게이트라인이 스캔신호에 의해 활성화될 때 턴 온 되고, 상기 제3 TFT는 상기 제2 게이트라인이 상기 스캔신호에 의해 활성화될 때 턴 온 된다.

발명의 효과

[0007] 본 발명은, 게이트라인의 개수를 수직 방향의 액정셀 개수와 거의 같게 하면서 데이터라인의 개수를 수평 방향의 액정셀 개수에 비해 절반 가까이 줄이거나 또는, 데이터라인의 개수를 수평 방향의 액정셀 개수와 거의 같게 하면서 게이트라인의 개수를 수직 방향의 액정셀 개수에 비해 절반 가까이 줄일 수 있어 구동회로의 구성을 간소화할 수 있음은 물론이거니와 개구율을 크게 증가시킬 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여주는 도면.
 도 2는 본 발명의 일 실시예에 따른 셀 어레이를 보여주는 도면.
 도 3은 도 2의 일부를 나타내는 등가회로도.
 도 4는 도 3의 게이트라인에 인가되는 스캔신호와, 그에 동기되는 데이터신호를 보여주는 도면.
 도 5는 본 발명의 다른 실시예에 따른 셀 어레이를 보여주는 도면.
 도 6은 도 5의 일부를 나타내는 등가회로도.
 도 7은 도 6의 게이트라인에 인가되는 스캔신호와, 그에 동기되는 데이터신호를 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 도 1 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0010] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여준다.

[0011] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다.

[0012] 표시패널(10)은 두 장의 유리기판과, 이들 사이에 형성된 액정층을 구비한다. 이 표시패널(10)에는 데이터라인들(DL)과 게이트라인들(GL)의 교차 구조로 마련된 화소 영역마다 매트릭스 형태로 다수의 액정셀들(C1c)이 배치된다.

[0013] 표시패널(10)의 하부 유리기판에는 다수의 데이터라인들(DL), 다수의 게이트라인들(GL), TFT들, TFT들 각각에 접속된 액정셀(C1c)의 화소전극(1), 화소전극들(1)과 대향하는 공통전극(2) 및 스토리지 커패시터(Cst) 등이 형성된다. 표시패널(10)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 등이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다. 표시패널(10)의 상부 유리기판과 하부 유리기판 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.

- [0014] 표시패널(10)에는 데이터라인들(DL)과 게이트라인들(GL)의 교차 구조에 따른 셀 어레이가 형성된다. 셀 어레이는 다수의 액정셀들(C1c)을 포함한다. 액정셀들(C1c)은 서로 이웃하게 배치된 2개의 액정셀들 단위로 쌍을 이룬다. 쌍을 이루는 2개의 액정셀들은 동일한 데이터라인을 공유하므로 동일 극성의 데이터전압을 충전한다.
- [0015] 본 발명은 게이트라인의 개수를 거의 증가시키지 않고, 데이터라인을 해당 해상도에서 요구되는 개수의 1/2 가까이 줄이기 위해, 도 2 내지 도 4와 같은 셀 어레이 구성을 갖는다. 또한, 본 발명은 데이터라인의 개수를 거의 증가시키지 않고, 게이트라인을 해당 해상도에서 요구되는 개수의 1/2 가까이 줄이기 위해, 도 5 내지 도 7과 같은 셀 어레이 구성을 갖는다.
- [0016] 이 구성들 각각에서, 쌍을 이루는 2개의 액정셀들은 제1 TFT를 통해 데이터라인에 접속된 제1 액정셀과, 제2 TFT와 제3 TFT를 통해 데이터라인에 접속된 제2 액정셀을 포함하고, 쌍을 이루는 2개의 액정셀들에는 서로 이웃하게 배치된 제1 게이트라인과 제2 게이트라인이 할당된다. 또한, 이 구성들 각각에서, 제1 TFT와 제2 TFT는 제1 게이트라인이 스캔신호에 의해 활성화될 때 턴 온 되고, 제3 TFT는 제2 게이트라인이 스캔신호에 의해 활성화될 때 턴 온 된다.
- [0017] 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블신호(DE), 도트클럭신호(DCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들(DDC,GDC)을 발생한다.
- [0018] 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)는 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 래치동작을 제어하는 소스 샘플링 클럭(Source Sampling Clock : SSC), 데이터 구동회로(12)의 출력을 제어하는 소스 출력 인에이블신호(SOE), 및 표시패널(10)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 제어하는 극성제어신호(POL) 등을 포함한다.
- [0019] 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 구동회로(13) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생하는 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 및 게이트 구동회로(13)의 출력을 제어하는 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등을 포함한다.
- [0020] 타이밍 콘트롤러(11)는 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 정렬하여 데이터 구동회로(12)에 공급한다.
- [0021] 데이터 구동회로(12)는 다수의 데이터 드라이브 IC들을 포함한다. 데이터 드라이브 IC들 각각은 쉬프트 레지스터(Shift register), 래치(Latch), 디지털-아날로그 변환기(Digital to Analog convertor, DAC), 출력 버퍼(Output buffer) 등을 포함한다.
- [0022] 데이터 구동회로(12)는 데이터 제어신호(DDC)에 따라 디지털 비디오 데이터(RGB)를 래치하고 이 래치된 데이터를 극성제어신호를 참조로 정극성 데이터전압 또는 부극성 데이터전압으로 변환한다. 데이터 구동회로(12)는 데이터라인들(DL)에 공급되는 데이터전압의 극성을 데이터라인 단위로 반전시킴과 아울러 프레임 단위로 반전시킨다. 데이터 구동회로(12)에 의해 극성이 반전된 데이터전압은 스캔신호에 동기되어 데이터라인들(DL)에 순차적으로 공급된다.
- [0023] 게이트 구동회로(13)는 다수의 게이트 드라이브 IC들을 포함한다. 게이트 드라이브 IC들 각각은 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 출력 버퍼등을 구비한다. 게이트 구동회로(13)는 게이트 제어신호(GDC)에 따라 연속되는 2개의 펄스를 포함한 스캔신호를 발생한 후, 라인 순차 방식으로 게이트라인들(GL)에 공급하여 데이터전압이 인가될 수평 셀라인을 선택한다. 게이트 구동회로(13)는 GIP(Gate driver In Panel) 공정에 의해 셀 어레이와 함께 하부 유리기판 상에 직접 형성될 수 있다.
- [0024] 도 2는 본 발명의 일 실시예에 따른 셀 어레이를 보여준다. 도 3은 도 2의 일부에 대한 등가회로를 나타낸다. 그리고, 도 4는 도 3의 게이트라인에 인가되는 스캔신호와, 그에 동기되는 데이터신호를 보여준다.
- [0025] 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 셀 어레이에서 쌍을 이루는 2개의 액정셀들은 게이트라인의 연장 방향을 따라 수평으로 서로 이웃한 제1 액정셀(LC1)과 제2 액정셀(LC2)을 포함한다. 제1 액정셀(LC1)과 제2 액정셀(LC2)은 수평으로 이웃하면서 동일한 데이터라인에 접속되므로, 2개의 수직 셀라인(CL)마다

1개의 데이터라인이 할당되어 데이터라인의 개수가 수평 방향의 액정셀 개수에 비해 절반 가까이 줄어든다. 게이트라인 각각은 기수번째 수평 셀라인(RL)의 액정셀 일부와 우수번째 수평 셀라인(RL)의 액정셀 일부에 공통으로 접속되기 때문에, 그 개수가 수직 방향의 액정셀 개수와 거의 유사하다.

- [0026] 즉, 본 발명의 일 실시예에 의하면, 각 수평 셀라인(RL)마다 게이트라인의 연장 방향을 따라 K(K는 양의 짝수)개의 액정셀들이 형성되고, 각 수직 셀라인(CL)마다 데이터라인의 연장 방향을 따라 J(J는 양의 짝수)개의 액정셀들이 형성될 때, 표시패널에는 $(K/2 + 1)$ 개의 데이터라인들과, $(J + 1)$ 개의 게이트라인들이 구비된다. 예를 들어, 도 2에서 각 수평 셀라인(RL)마다 16개의 액정셀들이 형성되고, 각 수직 셀라인(CL)마다 3개의 액정셀들이 형성될 때, 표시패널에는 9개의 데이터라인들($D_{m-1} \sim D_{m+7}$)과, 4개의 게이트라인들($G_n \sim G_{n+3}$)이 구비된다.
- [0027] 도 3을 참조하면, 액정셀들은 제1 게이트라인(G_n)과 제2 게이트라인(G_{n+1}) 사이에서 서로 이웃하게 배치된 2개의 액정셀들 단위로 제1 쌍을 이루고, 또한 제2 게이트라인(G_{n+1})과 제3 게이트라인(G_{n+2}) 사이에서 2개의 액정셀들 단위로 제2 쌍을 이룬다.
- [0028] 제1 액정셀(LC1)은 제1 TFT(TR1)를 통해 데이터라인(D_m)에 접속되고, 제2 액정셀(LC2)은 제2 TFT(TR2)와 제3 TFT(TR3)를 통해 데이터라인(D_m)에 접속된다. 이러한 제1 및 제2 액정셀(LC1, LC2)의 상측 및 하측에는 각각 제1 게이트라인(G_n)과 제2 게이트라인(G_{n+1})이 할당된다.
- [0029] 제1 TFT(TR1)는 제1 게이트라인(G_n)에 접속된 게이트전극, 데이터라인(D_m)에 접속된 드레인전극, 및 제1 액정셀(LC1)에 접속된 소스전극을 포함한다. 제1 TFT(TR1)는 제1 게이트라인(G_n)이 스캔신호에 의해 활성화될 때 턴 온 되어 데이터라인(D_m)에 충전된 데이터전압이 제1 액정셀(LC1)에 인가되도록 한다.
- [0030] 제2 TFT(TR2)는 제1 게이트라인(G_n)에 접속된 게이트전극, 데이터라인(D_m)에 접속된 드레인전극, 및 제3 TFT(TR3)의 드레인전극에 접속된 소스전극을 포함한다. 그리고, 제3 TFT(TR3)는 제2 게이트라인(G_n)에 접속된 게이트전극, 제2 TFT(TR2)의 소스전극에 접속된 드레인전극, 및 제2 액정셀(LC2)에 접속된 소스전극을 포함한다. 제2 및 제3 TFT(TR2, TR3)는 제1 및 제2 게이트라인(G_n, G_{n+1})이 스캔신호에 의해 동시에 활성화될 때 턴 온 되어 데이터라인(D_m)에 충전된 데이터전압이 제2 액정셀(LC2)에 인가되도록 한다.
- [0031] 제3 액정셀(LC3)은 제4 TFT(TR4)를 통해 데이터라인(D_m)에 접속되고, 제4 액정셀(LC4)은 제5 TFT(TR5)와 제6 TFT(TR6)를 통해 데이터라인(D_m)에 접속된다. 이러한 제3 및 제4 액정셀(LC3, LC4)의 상측 및 하측에는 각각 제2 게이트라인(G_{n+1})과 제3 게이트라인(G_{n+2})이 할당된다.
- [0032] 제4 TFT(TR4)는 제2 게이트라인(G_{n+1})에 접속된 게이트전극, 데이터라인(D_m)에 접속된 드레인전극, 및 제3 액정셀(LC3)에 접속된 소스전극을 포함한다. 제4 TFT(TR4)는 제2 게이트라인(G_{n+1})이 스캔신호에 의해 활성화될 때 턴 온 되어 데이터라인(D_m)에 충전된 데이터전압이 제3 액정셀(LC3)에 인가되도록 한다.
- [0033] 제5 TFT(TR5)는 제2 게이트라인(G_{n+1})에 접속된 게이트전극, 데이터라인(D_m)에 접속된 드레인전극, 및 제6 TFT(TR6)의 드레인전극에 접속된 소스전극을 포함한다. 그리고, 제6 TFT(TR6)는 제3 게이트라인(G_{n+2})에 접속된 게이트전극, 제5 TFT(TR5)의 소스전극에 접속된 드레인전극, 및 제4 액정셀(LC4)에 접속된 소스전극을 포함한다. 제5 및 제6 TFT(TR5, TR6)는 제2 및 제3 게이트라인(G_{n+1}, G_{n+2})이 스캔신호에 의해 동시에 활성화될 때 턴 온 되어 데이터라인(D_m)에 충전된 데이터전압이 제4 액정셀(LC4)에 인가되도록 한다.
- [0034] 각 게이트라인(G_n, G_{n+1}, G_{n+2})에 인가되는 스캔신호(SP)는 도 4와 같이 2개의 펄스로 구성된다. 스캔신호(SP)는 제1 폭(A)을 갖는 제1 펄스(P1)와, 제1 펄스(P1)에 뒤이어 발생되며 제1 폭(A)보다 넓은 제2 폭(B)을 갖는 제2 펄스(P2)를 포함한다.
- [0035] 도 4와 같이 제1 게이트라인(G_n)에 인가되는 제2 펄스(P2)의 스캔신호(SP_n)는 제2 게이트라인(G_{n+1})에 인가되는 제1 펄스(P1)의 스캔신호(SP_{n+1})와 중첩된다. 다시 말해, 제1 게이트라인(G_n)에 인가되는 제2 펄스(P2)의 스캔신호(SP_n)와 제2 게이트라인(G_{n+1})에 인가되는 제1 펄스(P1)의 스캔신호(SP_{n+1})는 제1 폭(A)만큼 중첩된다. 스캔신호(SP_n)의 제2 펄스(P2) 라이징 에지와 스캔신호(SP_{n+1})의 제1 펄스(P1) 라이징 에지는 서로 동기될 수 있다. 그리고, 스캔신호(SP_n)의 제2 펄스(P2) 폴링 에지와 스캔신호(SP_{n+1})의 제2 펄스(P2) 라이징 에지는 서로 동기될 수 있다.
- [0036] 또한, 도 4와 같이 제2 게이트라인(G_{n+1})에 인가되는 제2 펄스(P2)의 스캔신호(SP_{n+1})는 제3 게이트라인(G_{n+2})에 인가되는 제1 펄스(P1)의 스캔신호(SP_{n+2})와 중첩된다. 다시 말해, 제2 게이트라인(G_{n+1})에 인가되는 제2 펄스(P2)의 스캔신호(SP_{n+1})와 제3 게이트라인(G_{n+2})에 인가되는 제1 펄스(P1)의 스캔신호(SP_{n+2})는 제1 폭(A)만큼 중첩된다. 스캔신호(SP_{n+1})의 제2 펄스(P2) 라이징 에지와 스캔신호(SP_{n+2})의 제1 펄스(P1) 라이징 에지

는 서로 동기될 수 있다. 그리고, 스캔신호(SP_{n+1})의 제2 펄스(P2) 폴링 에지와 스캔신호(SP_{n+2})의 제2 펄스(P2) 라이징 에지는 서로 동기될 수 있다.

[0037] 도 4에서 제2 펄스(P2)의 스캔신호(SP_n)와 제1 펄스(P1)의 스캔신호(SP_{n+1})가 중첩되는 기간(T1)에서 제2 액정셀(LC2)에 데이터전압(DLC2)이 충전된다. 이 중첩 기간(T1)에서 제1 액정셀(LC1)과 제3 액정셀(LC3)은 데이터전압(DLC2)으로 프리차지 된다. 그리고, 제1 액정셀(LC1)은 제2 펄스(P2)의 스캔신호(SP_n)가 제1 펄스(P1)의 스캔신호(SP_{n+1})와 비 중첩되는 기간(T2)에서 데이터전압(DLC1)으로 충전된다.

[0038] 도 4에서 제2 펄스(P2)의 스캔신호(SP_{n+1})와 제1 펄스(P1)의 스캔신호(SP_{n+2})가 중첩되는 기간(T3)에서 제4 액정셀(LC4)에 데이터전압(DLC4)이 충전된다. 이 중첩 기간(T3)에서 제3 액정셀(LC3)은 데이터전압(DLC4)으로 프리차지 된다. 그리고, 제3 액정셀(LC3)은 제2 펄스(P2)의 스캔신호(SP_{n+1})가 제1 펄스(P1)의 스캔신호(SP_{n+2})와 비 중첩되는 기간(T4)에서 데이터전압(DLC3)으로 충전된다.

[0039] 2개의 TFT를 통해 데이터전압을 충전하는 액정셀들(LC2,LC4)은 1개의 TFT를 통해 데이터전압을 충전하는 액정셀들(LC1,LC3)에 비해 충전경로가 길어지므로 상대적으로 충전력이 떨어진다. 액정셀들 간 충전력 차이를 보상하기 위해서는 제2 및 제4 액정셀(LC2,LC4)에 대한 충전시간을 제1 및 제3 액정셀(LC1,LC3)에 비해 늘려야 한다. 이를 위해 상기 중첩 기간(T1)에 대응되는 제1 펄스(P1)의 폭(A)은 제2 펄스(P2)의 폭(B)의 1/2보다 넓게 설정된다.

[0040] 데이터 구동회로의 소비전력을 줄이기 위해 쌍을 이루는 액정셀들은 도 2에서와 같이 수직 방향을 따라 데이터 라인에 지그재그로 접속된다. 다시 말해, 기수번째 수평 셀라인(RL)에서 제1 쌍을 이루는 2개의 액정셀들 각각은 그들의 좌측 또는 우측 중 어느 한 측에 배치된 데이터라인에 접속되고, 우수번째 수평 셀라인(RL)에서 제2 쌍을 이루는 2개의 액정셀들 각각은 그들의 좌측 또는 우측 중 나머지 한 측에 배치된 데이터라인에 접속된다.

[0041] 그 결과, 1개의 TFT를 통해 데이터라인에 접속된 액정셀들과 2개의 TFT를 통해 데이터라인에 접속된 액정셀들은 서로 체크 보드 타입으로 배치되어, 액정셀들 간 휘도 편차가 인지되는 것을 완화시킨다.

[0042] 이와 같이, 본 발명의 일 실시예는, 게이트라인의 개수를 수직 방향의 액정셀 개수와 거의 같게 하면서 데이터 라인의 개수를 수평 방향의 액정셀 개수에 비해 절반 가까이 줄일 수 있어 데이터 구동회로의 구성을 간소화할 수 있음은 물론이거니와 개구율을 크게 증가시킬 수 있다.

[0043] 도 5는 본 발명의 다른 실시예에 따른 셀 어레이를 보여준다. 도 6은 도 5의 일부에 대한 등가회로를 나타낸다. 그리고, 도 7은 도 6의 게이트라인에 인가되는 스캔신호와, 그에 동기되는 데이터신호를 보여준다.

[0044] 도 5 및 도 6을 참조하면, 본 발명의 다른 실시예에 따른 셀 어레이에서 쌍을 이루는 2개의 액정셀들은 데이터 라인의 연장 방향을 따라 수직으로 서로 이웃한 제1 액정셀(LC1')과 제2 액정셀(LC2')을 포함한다. 제1 액정셀(LC1')과 제2 액정셀(LC2')은 수직으로 이웃하면서 동일한 데이터라인에 접속되므로, 2개의 수평 셀라인(RL)마다 1개의 게이트라인이 할당되어 게이트라인의 개수가 수직 방향의 액정셀 개수에 비해 절반 가까이 줄어든다. 게이트라인 각각은 기수번째 수평 셀라인(RL)의 액정셀 일부와 우수번째 수평 셀라인(RL)의 액정셀 일부에 공통으로 접속된다.

[0045] 즉, 본 발명의 다른 실시예에 의하면, 각 수평 셀라인(RL)마다 게이트라인의 연장 방향을 따라 K(K는 양의 짝수)개의 액정셀들이 형성되고, 각 수직 셀라인(CL)마다 데이터라인의 연장 방향을 따라 J(J는 양의 짝수)개의 액정셀들이 형성될 때, 표시패널에는 (K + 1)개의 데이터라인들과, (J/2 + 1)개의 게이트라인들이 구비된다. 예를 들어, 도 5에서 각 수평 셀라인(RL)마다 8개의 액정셀들이 형성되고, 각 수직 셀라인(CL)마다 4개의 액정셀들이 형성될 때, 표시패널에는 9개의 데이터라인들(D_{m-1}~D_{m+7})과, 3개의 게이트라인들(G_n~G_{n+2})이 구비된다.

[0046] 도 6을 참조하면, 액정셀들은 제1 게이트라인(G_n)과 제2 게이트라인(G_{n+1}) 사이에서 서로 이웃하게 배치된 2개의 액정셀들 단위로 제1 쌍을 이루고, 또한 제2 게이트라인(G_{n+1})과 제3 게이트라인(G_{n+2}) 사이에서 2개의 액정셀들 단위로 제2 쌍을 이룬다.

[0047] 제1 액정셀(LC1')은 제1 TFT(TR1')를 통해 데이터라인(D_m)에 접속되고, 제2 액정셀(LC2')은 제2 TFT(TR2')와 제3 TFT(TR3')를 통해 데이터라인(D_m)에 접속된다. 이러한 제1 및 제2 액정셀(LC1',LC2')의 상측 및 하측에는

각각 제1 게이트라인(Gn)과 제2 게이트라인(Gn+1)이 할당된다.

- [0048] 제1 TFT(TR1')는 제1 게이트라인(Gn)에 접속된 게이트전극, 데이터라인(Dm)에 접속된 드레인전극, 및 제1 액정셀(LC1')에 접속된 소스전극을 포함한다. 제1 TFT(TR1')는 제1 게이트라인(Gn)이 스캔신호에 의해 활성화될 때 턴 온 되어 데이터라인(Dm)에 충전된 데이터전압이 제1 액정셀(LC1')에 인가되도록 한다.
- [0049] 제2 TFT(TR2')는 제1 게이트라인(Gn)에 접속된 게이트전극, 데이터라인(Dm)에 접속된 드레인전극, 및 제3 TFT(TR3')의 드레인전극에 접속된 소스전극을 포함한다. 그리고, 제3 TFT(TR3')는 제2 게이트라인(Gn)에 접속된 게이트전극, 제2 TFT(TR2')의 소스전극에 접속된 드레인전극, 및 제2 액정셀(LC2')에 접속된 소스전극을 포함한다. 제2 및 제3 TFT(TR2', TR3')는 제1 및 제2 게이트라인(Gn, Gn+1)이 스캔신호에 의해 동시에 활성화될 때 턴 온 되어 데이터라인(Dm)에 충전된 데이터전압이 제2 액정셀(LC2')에 인가되도록 한다.
- [0050] 제3 액정셀(LC3')은 제4 TFT(TR4')를 통해 데이터라인(Dm)에 접속되고, 제4 액정셀(LC4')은 제5 TFT(TR5')와 제6 TFT(TR6')를 통해 데이터라인(Dm)에 접속된다. 이러한 제3 및 제4 액정셀(LC3', LC4')의 상측 및 하측에는 각각 제2 게이트라인(Gn+1)과 제3 게이트라인(Gn+2)이 할당된다.
- [0051] 제4 TFT(TR4')는 제2 게이트라인(Gn+1)에 접속된 게이트전극, 데이터라인(Dm)에 접속된 드레인전극, 및 제3 액정셀(LC3')에 접속된 소스전극을 포함한다. 제4 TFT(TR4')는 제2 게이트라인(Gn+1)이 스캔신호에 의해 활성화될 때 턴 온 되어 데이터라인(Dm)에 충전된 데이터전압이 제3 액정셀(LC3')에 인가되도록 한다.
- [0052] 제5 TFT(TR5')는 제2 게이트라인(Gn+1)에 접속된 게이트전극, 데이터라인(Dm)에 접속된 드레인전극, 및 제6 TFT(TR6')의 드레인전극에 접속된 소스전극을 포함한다. 그리고, 제6 TFT(TR6')는 제3 게이트라인(Gn+2)에 접속된 게이트전극, 제5 TFT(TR5')의 소스전극에 접속된 드레인전극, 및 제4 액정셀(LC4')에 접속된 소스전극을 포함한다. 제5 및 제6 TFT(TR5', TR6')는 제2 및 제3 게이트라인(Gn+1, Gn+2)이 스캔신호에 의해 동시에 활성화될 때 턴 온 되어 데이터라인(Dm)에 충전된 데이터전압이 제4 액정셀(LC4')에 인가되도록 한다.
- [0053] 각 게이트라인(Gn, Gn+1, Gn+2)에 인가되는 스캔신호(SP)는 도 7과 같이 2개의 펄스로 구성된다. 스캔신호(SP)는 제1 폭(A)을 갖는 제1 펄스(P1)와, 제1 펄스(P1)에 뒤이어 발생되며 제1 폭(A)보다 넓은 제2 폭(B)을 갖는 제2 펄스(P2)를 포함한다.
- [0054] 도 7과 같이 제1 게이트라인(Gn)에 인가되는 제2 펄스(P2)의 스캔신호(SPn)는 제2 게이트라인(Gn+1)에 인가되는 제1 펄스(P1)의 스캔신호(SPn+1)와 중첩된다. 다시 말해, 제1 게이트라인(Gn)에 인가되는 제2 펄스(P2)의 스캔신호(SPn)와 제2 게이트라인(Gn+1)에 인가되는 제1 펄스(P1)의 스캔신호(SPn+1)는 제1 폭(A)만큼 중첩된다. 스캔신호(SPn)의 제2 펄스(P2) 라이징 에지와 스캔신호(SPn+1)의 제1 펄스(P1) 라이징 에지는 서로 동기될 수 있다. 그리고, 스캔신호(SPn)의 제2 펄스(P2) 폴링 에지와 스캔신호(SPn+1)의 제2 펄스(P2) 라이징 에지는 서로 동기될 수 있다.
- [0055] 또한, 도 7과 같이 제2 게이트라인(Gn+1)에 인가되는 제2 펄스(P2)의 스캔신호(SPn+1)는 제3 게이트라인(Gn+2)에 인가되는 제1 펄스(P1)의 스캔신호(SPn+2)와 중첩된다. 다시 말해, 제2 게이트라인(Gn+1)에 인가되는 제2 펄스(P2)의 스캔신호(SPn+1)와 제3 게이트라인(Gn+2)에 인가되는 제1 펄스(P1)의 스캔신호(SPn+2)는 제1 폭(A)만큼 중첩된다. 스캔신호(SPn+1)의 제2 펄스(P2) 라이징 에지와 스캔신호(SPn+2)의 제1 펄스(P1) 라이징 에지는 서로 동기될 수 있다. 그리고, 스캔신호(SPn+1)의 제2 펄스(P2) 폴링 에지와 스캔신호(SPn+2)의 제2 펄스(P2) 라이징 에지는 서로 동기될 수 있다.
- [0056] 도 7에서 제2 펄스(P2)의 스캔신호(SPn)와 제1 펄스(P1)의 스캔신호(SPn+1)가 중첩되는 기간(T1)에서 제2 액정셀(LC2')에 데이터전압(DLC2')이 충전된다. 이 중첩 기간(T1)에서 제1 액정셀(LC1')과 제3 액정셀(LC3')은 데이터전압(DLC2')으로 프리차지 된다. 그리고, 제1 액정셀(LC1')은 제2 펄스(P2)의 스캔신호(SPn)가 제1 펄스(P1)의 스캔신호(SPn+1)와 비 중첩되는 기간(T2)에서 데이터전압(DLC1')으로 충전된다.
- [0057] 도 7에서 제2 펄스(P2)의 스캔신호(SPn+1)와 제1 펄스(P1)의 스캔신호(SPn+2)가 중첩되는 기간(T3)에서 제4 액정셀(LC4')에 데이터전압(DLC4')이 충전된다. 이 중첩 기간(T3)에서 제3 액정셀(LC3')은 데이터전압(DLC4')으로 프리차지 된다. 그리고, 제3 액정셀(LC3')은 제2 펄스(P2)의 스캔신호(SPn+1)가 제1 펄스(P1)의 스캔신호(SPn+2)와 비 중첩되는 기간(T4)에서 데이터전압(DLC3')으로 충전된다.
- [0058] 2개의 TFT를 통해 데이터전압을 충전하는 액정셀들(LC2', LC4')은 1개의 TFT를 통해 데이터전압을 충전하는 액정셀들(LC1', LC3')에 비해 충전경로가 길어지므로 상대적으로 충전력이 떨어진다. 액정셀들 간 충전력 차이를 보상하기 위해서는 제2 및 제4 액정셀(LC2', LC4')에 대한 충전시간을 제1 및 제3 액정셀(LC1', LC3')에 비해 늘

려야 한다. 이를 위해 상기 중첩 기간(T1)에 대응되는 제1 펄스(P1)의 폭(A)은 제2 펄스(P2)의 폭(B)의 1/2보다 넓게 설정된다.

[0059] 데이터 구동회로의 소비전력을 줄이기 위해 쌍을 이루는 액정셀들은 도 5에서와 같이 수직 방향을 따라 데이터 라인에 지그재그로 접속된다. 다시 말해, 수직으로 이웃한 2개의 수평 셀라인들마다 수평 셀라인쌍을 이룰 때, 기수번째 수평 셀라인쌍에서 제1 쌍을 이루는 2개의 액정셀들 각각은 그들의 좌측 또는 우측 중 어느 한 측에 배치된 데이터라인에 접속되고, 우수번째 수평 셀라인쌍에서 제2 쌍을 이루는 2개의 액정셀들 각각은 그들의 좌측 또는 우측 중 나머지 한 측에 배치된 데이터라인에 접속된다.

[0060] 그 결과, 1개의 TFT를 통해 데이터라인에 접속된 액정셀들과 2개의 TFT를 통해 데이터라인에 접속된 액정셀들은 각각 스트라이프 타입으로 배치된다.

[0061] 이와 같이, 본 발명의 다른 실시에는, 데이터라인의 개수를 수평 방향의 액정셀 개수와 거의 같게 하면서 게이트 라인의 개수를 수직 방향의 액정셀 개수에 비해 절반 가까이 줄일 수 있어 게이트 구동회로의 구성을 간소화할 수 있음은 물론이거니와 개구율을 크게 증가시킬 수 있다.

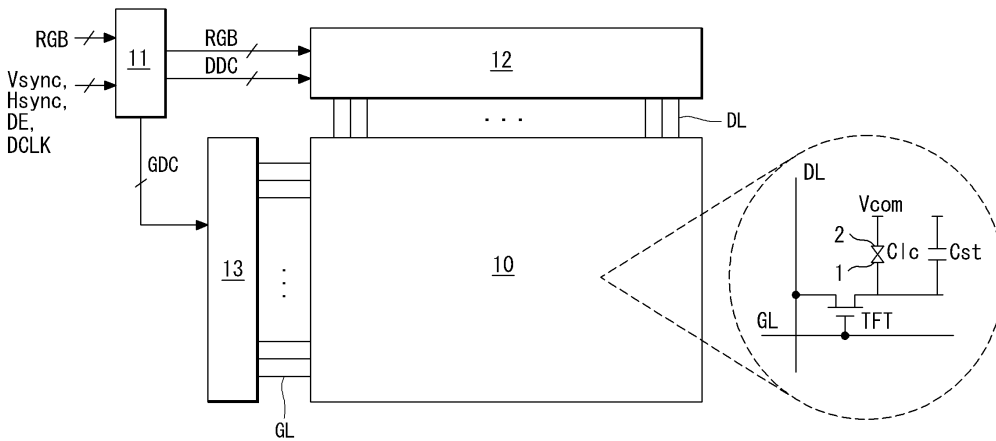
[0062] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

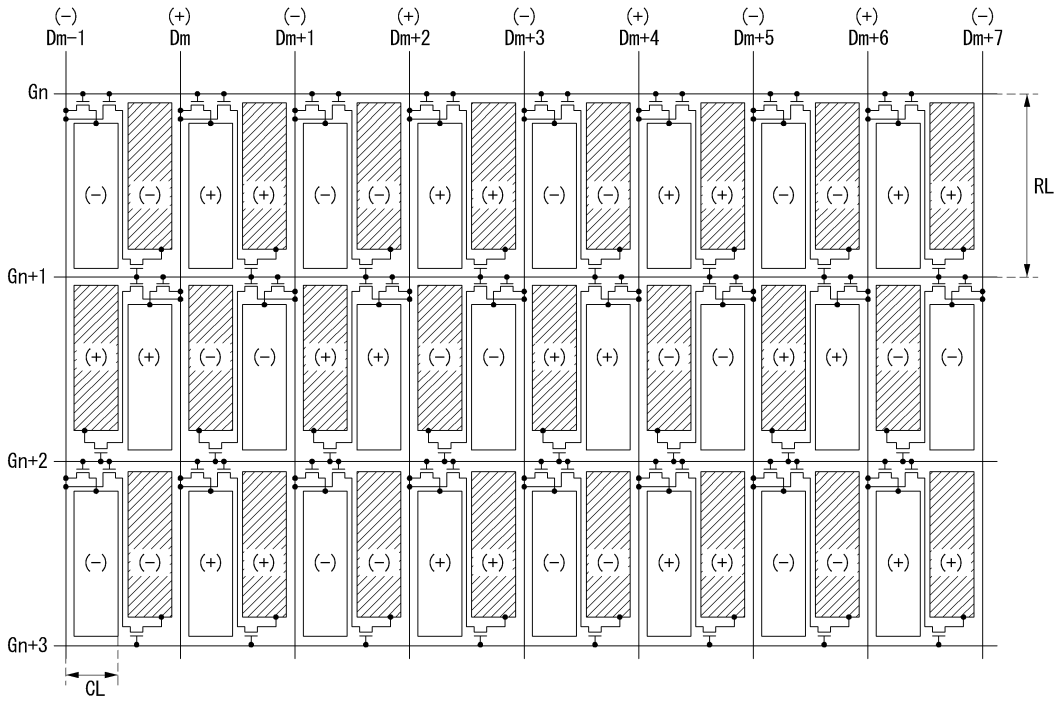
- [0063] 10 : 표시패널
 11 : 타이밍 컨트롤러
 12 : 데이터 구동회로
 13 : 게이트 구동회로

도면

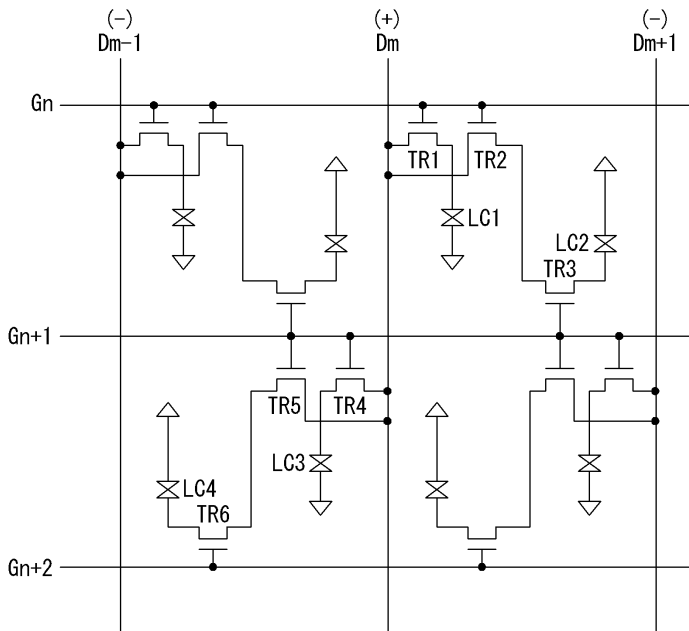
도면1



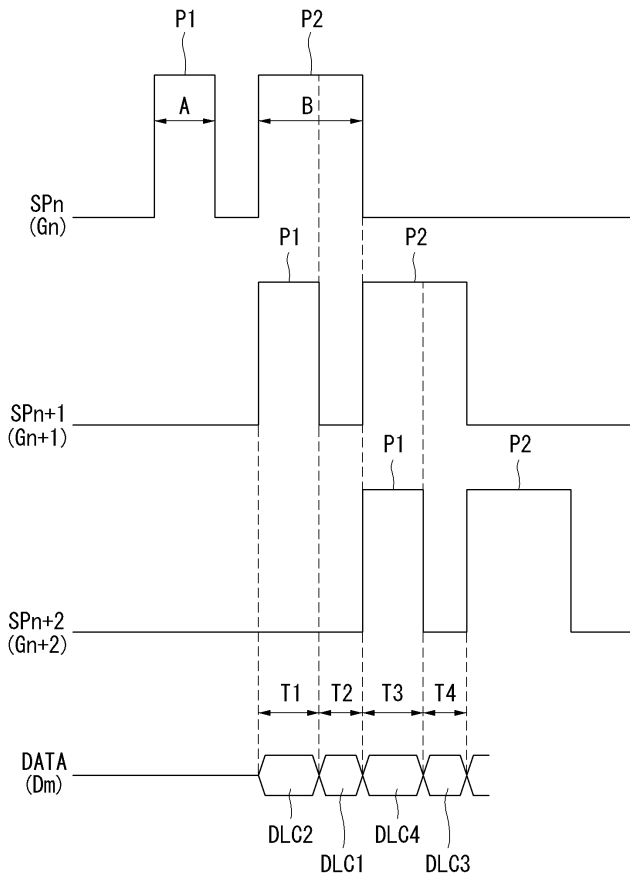
도면2



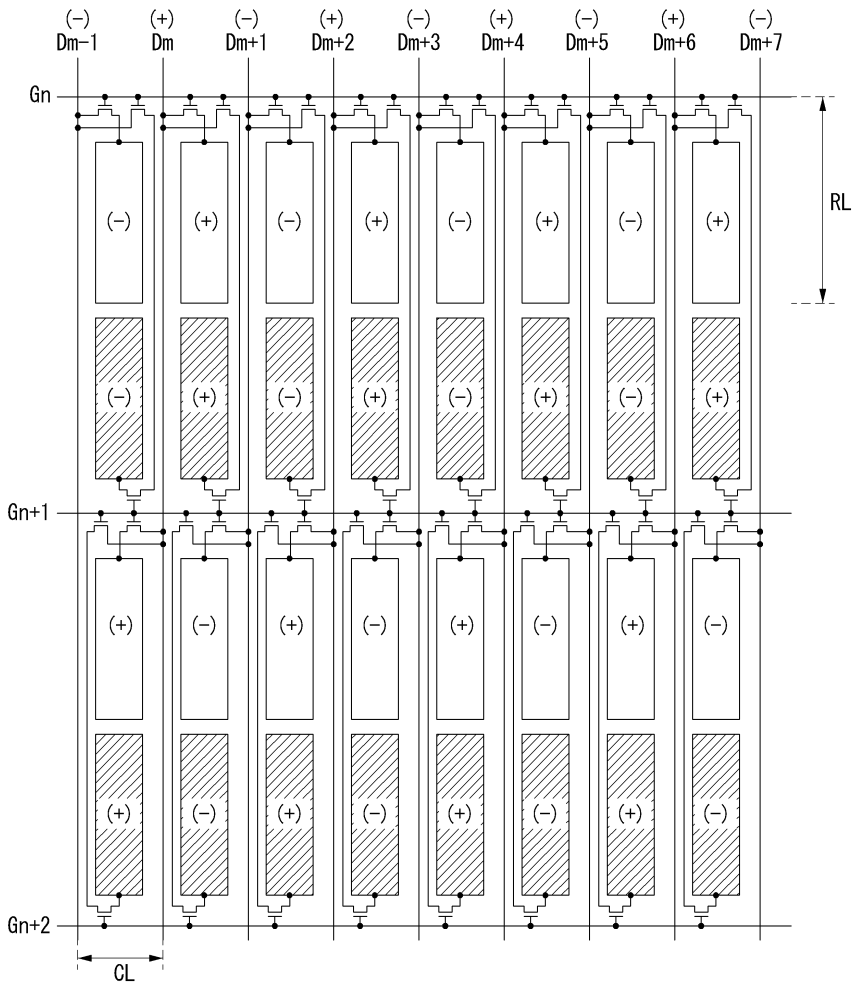
도면3



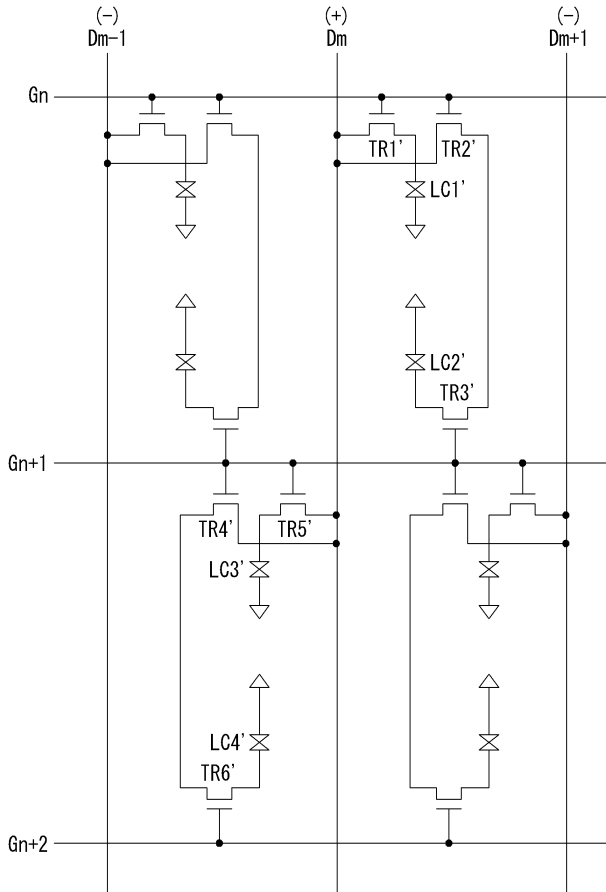
도면4



도면5



도면6



도면7

