



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월19일
(11) 등록번호 10-2290020
(24) 등록일자 2021년08월10일

(51) 국제특허분류(Int. Cl.)
G11C 29/42 (2015.01) G11C 5/04 (2006.01)
G11C 5/06 (2006.01)
(52) CPC특허분류
G11C 29/42 (2013.01)
G11C 5/04 (2018.05)
(21) 출원번호 10-2015-0080063
(22) 출원일자 2015년06월05일
심사청구일자 2020년03월06일
(65) 공개번호 10-2016-0143988
(43) 공개일자 2016년12월15일
(56) 선행기술조사문헌
US08947931 B1*
US20140245098 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
강동훈
경기도 용인시 수지구 푸른솔로 76 401동 404호
(죽전동, 도담마을한양수자인아파트)
하경남
서울특별시 구로구 구로동로47길 24 101동 2207호
(구로동, 중앙하이츠아파트)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 9 항

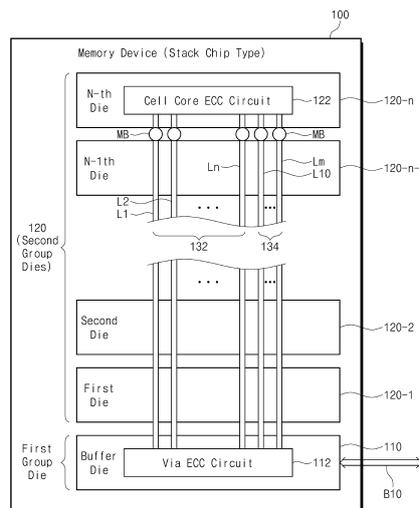
심사관 : 신우열

(54) 발명의 명칭 스택드 칩 구조에서 소프트 데이터 페일 분석 및 구제 기능을 제공하는 반도체 메모리 장치

(57) 요약

본 발명의 반도체 메모리 장치는 스택드 칩 구조에서 소프트 데이터 페일 분석 및 구제 기능을 제공한다. 본 발명에 따른 반도체 메모리 장치는, 적어도 하나의 버퍼 다이를 가지는 제1 그룹 다이와, 상기 제1 그룹 다이의 상부에 적층되고 복수의 관통 라인들을 통해 데이터를 통신하는 복수의 메모리 다이들을 포함하는 제2 그룹 다이를 구비한다. 상기 복수의 메모리 다이들 중 적어도 하나는 상기 제1 그룹 다이로 전송되는 전송 데이터를 이용하여 전송 패리티 비트들을 생성하는 제1 타입 ECC 회로를 가진다. 또한, 상기 버퍼 다이는 상기 복수의 관통 라인들을 통해 수신되는 상기 전송 데이터에 전송 에러가 발생된 경우에 상기 전송 패리티 비트들을 이용하여 전송 에러를 정정함에 의해 에러 정정된 데이터를 생성하는 제2 타입 ECC 회로를 가진다.

대표도 - 도1



(52) CPC특허분류

G11C 5/06 (2013.01)

(72) 발명자

김형동

경기도 수원시 영통구 태장로 45 202동 1502호 (
 망포동, 망포마을현대2차아이파크아파트)

정준필

경기도 용인시 기흥구 동백8로 19 1602동 501호
 (동백동, 호수마을월드메르디앙아파트)

명세서

청구범위

청구항 1

적어도 하나의 버퍼 다이를 가지는 제1 그룹 다이; 및

상기 제1 그룹 다이의 상부에 적층되고 복수의 관통 라인들을 통해 데이터를 통신하는 복수의 메모리 다이들을 포함하는 제2 그룹 다이를 구비하며,

상기 복수의 메모리 다이들 중 적어도 하나는 상기 제1 그룹 다이로 전송되는 전송 데이터를 이용하여 전송 패리티 비트들을 생성하는 제1 타입 ECC 회로를 가지고,

상기 버퍼 다이는 상기 복수의 관통 라인들을 통해 수신되는 상기 전송 데이터에 전송 에러가 발생된 경우에 상기 전송 패리티 비트들을 이용하여 전송 에러를 정정함에 의해 에러 정정된 데이터를 생성하는 제2 타입 ECC 회로를 가지고,

상기 제1 타입 ECC 회로는 상기 전송 데이터가 전송되기 이전에 상기 메모리 다이들로부터 출력되는 데이터에 대한 에러 정정을 수행하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 반도체 메모리 장치는 상기 복수의 관통 라인들을 통해 상기 데이터 및 제어신호들을 통신하는 스택드 메모리 장치인 반도체 메모리 장치.

청구항 3

제1항에 있어서, 상기 복수의 관통 라인들은 쓰루 실리콘 비아(TSV)로 이루어진 반도체 메모리 장치.

청구항 4

제1항에 있어서, 상기 전송 데이터에 발생된 전송 에러는 상기 복수의 관통 라인들의 노이즈에 기인하여 생성되는 소프트 데이터 페일인 반도체 메모리 장치.

청구항 5

제1항에 있어서, 상기 반도체 메모리 장치는 3D 칩 구조 또는 2.5D 칩 구조에 적용되는 반도체 메모리 장치.

청구항 6

제1항에 있어서, 상기 복수의 메모리 다이들은 각기 DRAM 셀들을 가지는 반도체 메모리 장치.

청구항 7

제1항에 있어서, 상기 복수의 메모리 다이들 중 적어도 하나는 DRAM 셀들을 가지는 반도체 메모리 장치.

청구항 8

제1항에 있어서, 상기 반도체 메모리 장치는 호스트와 통신하기 위해 3D 칩 구조를 가지는 반도체 메모리 장치.

청구항 9

제8항에 있어서, 상기 호스트는 데이터 버스를 통해 상기 버퍼 다이와 연결된 반도체 메모리 장치.

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 복수의 다이들이 적층된 스택드 칩 구조에서의 반도체 메모리 장치에 관한 것이다.

배경 기술

[0002] 최근에 고 대역폭 메모리(High Bandwidth Memory)나 스택드 칩 구조가 고용량 및 고속 동작 등과 같은 하이 퍼포먼스의 제공을 위해 주목받고 있다.

[0003] 고 대역폭 메모리(이하 HBM)는 메모리 구조의 한 형태로서, 하부에서 로직(Logic)회로의 역할을 수행하는 버퍼 다이(혹은 베이스 다이)상에 복수 개의 메모리 다이들이 적층된 형태를 이루고 있다. 여기서, 버퍼 다이와 메모리 다이들은 데이터 및 제어 신호들을 통신하기 위해 쓰루 실리콘 비아(Through Silicon Via: 이하 TSV)를 통해 각기 연결된다.

[0004] 스택드 칩 구조의 형태로서 2.5D 칩 구조와 3D 칩 구조가 알려져 있다. 2.5D 칩 구조는 전기적 연결을 위한 PCB 대신에 인터포저(Interposer)를 사용하여 상기 HBM과 호스트(Host)를 서로 연결한 칩 구조이다. 3D 칩 구조는 호스트의 상부에 상기 HBM를 적층하여 호스트와 HBM을 직접 적으로 연결한 칩 구조이다.

[0005] HBM 이나 스택드 칩 구조에서 리드되는 데이터에 에러가 발생된 경우에 메모리 다이의 자체에서 발생된 에러인지 쓰루 실리콘 비아를 통해 데이터가 전송될 시에 노이즈에 기인하여 발생된 전송 에러인지가 분석될 필요가 있다.

[0006] 여기서, 쓰루 실리콘 비아를 통해 데이터가 전송될 시에 노이즈에 기인하여 발생된 전송 에러는 소프트 데이터 페일에 포함될 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 기술적 과제는, 스택드 칩 구조에서 소프트 데이터 페일의 분석 및 구제 기능을 제공할 수 있는 반도체 메모리 장치를 제공함에 있다.

과제의 해결 수단

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 개념의 일 양상(an aspect)에 따라, 반도체 메모리 장치는,
 [0009] 적어도 하나의 버퍼 다이를 가지는 제1 그룹 다이와, 상기 제1 그룹 다이의 상부에 적층되고 복수의 관통 라인들을 통해 데이터를 통신하는 복수의 메모리 다이들을 포함하는 제2 그룹 다이를 구비하고, 상기 복수의 메모리 다이들 중 적어도 하나는 상기 제1 그룹 다이로 전송되는 전송 데이터를 이용하여 전송 패리티 비트들을 생성하는 제1 타입 ECC 회로를 가지고, 상기 버퍼 다이는 상기 복수의 관통 라인들을 통해 수신되는 상기 전송 데이터에 전송 에러가 발생된 경우에 상기 전송 패리티 비트들을 이용하여 전송 에러를 정정함에 의해 에러 정정된 데이터를 생성하는 제2 타입 ECC 회로를 가진다.

[0010] 본 발명의 실시 예에 따라, 상기 반도체 메모리 장치는 상기 복수의 관통 라인들을 통해 상기 데이터 및 제어신

호들을 통신하는 스택드 메모리 장치일 수 있다.

- [0011] 본 발명의 실시 예에 따라, 상기 복수의 관통 라인들은 쓰루 실리콘 비아(TSV)로 이루어질 수 있다.
- [0012] 본 발명의 실시 예에 따라, 상기 제1 타입 ECC 회로는 상기 전송 데이터가 전송되기 이전에 상기 메모리 다이들로부터 출력되는 데이터에 대한 에러 정정을 수행할 수 있다.
- [0013] 본 발명의 실시 예에 따라, 상기 반도체 메모리 장치는 호스트와 통신하기 위해 3D 칩 구조나 2.5D 칩 구조를 가질 수 있다.
- [0014] 상기 기술적 과제를 달성하기 위한 본 발명의 개념의 또 다른 양상에 따라, 반도체 메모리 장치는,
- [0015] 기관에 형성된 버퍼 다이와, 상기 버퍼 다이의 상부에 적층되고 복수의 관통 라인들을 통해 데이터를 통신하는 복수의 메모리 다이들을 구비하며, 상기 복수의 메모리 다이들은 각기 상기 버퍼 다이로 전송되는 전송 데이터를 이용하여 전송 패리티 비트들을 생성하는 제1 타입 ECC 회로를 가지고, 상기 버퍼 다이는 상기 복수의 관통 라인들을 통해 수신되는 상기 전송 데이터에 전송 에러가 발생하였는 지를 체크하고 전송 에러가 발생된 된 경우에 상기 전송 패리티 비트들을 이용하여 전송 에러를 정정하는 제2 타입 ECC 회로를 가진다.
- [0016] 상기 기술적 과제를 달성하기 위한 본 발명의 개념의 또 다른 양상에 따라, 반도체 메모리 장치는,
- [0017] 기관에 형성된 버퍼 다이와, 상기 버퍼 다이의 상부에 적층되고 복수의 쓰루 실리콘 비아 라인들을 통해 데이터를 통신하는 복수의 메모리 다이들을 구비하며,
- [0018] 상기 복수의 메모리 다이들은 각기 상기 버퍼 다이로 전송되는 전송 데이터를 이용하여 전송 패리티 비트를 생성하는 패리티 비트 발생기를 가지고,
- [0019] 상기 버퍼 다이는 상기 복수의 쓰루 실리콘 비아 라인들을 통해 수신되는 상기 전송 데이터에 전송 에러가 발생하였는 지를 상기 전송 패리티 비트를 이용하여 체크하는 패리티 체크 유닛을 가진다.
- [0020] 본 발명의 실시 예에 따라, 상기 전송 데이터에 전송 에러가 발생되었을 때 상기 패리티 체크 유닛으로부터 제공되는 페일 신호를 선택하여 외부 에러 포트로 출력하는 선택회로가 더 구비될 수 있다.
- [0021] 본 발명의 실시 예에 따라, 상기 선택회로는 전송 에러 미 발생시에 상기 전송 데이터를 선택하여 외부 데이터 출력 포트로 출력할 수 있다.

발명의 효과

- [0022] 본 발명의 실시 예들의 구성에 따르면, 고대역폭 메모리 구조나 스택드 칩 구조에서 소프트 데이터 페일의 분석 및 구제가 용이하게 제공된다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 실시 예에 따른 반도체 메모리 장치를 보여주는 예시적 블록도이다.
- 도 2는 도 1의 ECC 회로들 간의 연결을 예시적으로 보여주는 도면이다.
- 도 3은 도 1에 관련된 전송 데이터 및 전송 패리티 비트들의 생성을 예시적으로 보여주는 도면이다.
- 도 4는 도 1중 메모리 다이의 구체적 회로 구성을 예시적으로 보여주는 도면이다.
- 도 5는 도 1중 버퍼 다이의 ECC 회로의 데이터 비트 구성을 예시적으로 보여주는 도면이다.
- 도 6은 본 발명의 또 다른 실시 예에 따른 반도체 메모리 장치를 보여주는 예시적 블록도이다.
- 도 7은 본 발명이 적용되는 3D 칩 구조를 도시한 블록도이다.
- 도 8은 본 발명이 적용되는 2.5D 칩 구조를 도시한 블록도이다.
- 도 9는 스마트 폰에 적용된 본 발명의 응용 예를 도시한 블록도이다.
- 도 10은 티에스브이(TSV)를 통해 적층되는 메모리 시스템에 적용된 본 발명의 응용 예를 나타내는 도면이다.
- 도 11은 컴퓨팅 디바이스에 적용된 본 발명의 응용 예를 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 위와 같은 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시 예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예들은, 이해의 편의를 제공할 의도 이외에는 다른 의도 없이, 개시된 내용이 보다 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0025] 본 명세서에서, 어떤 소자 또는 라인들이 대상 소자 블록에 연결된다 라고 언급된 경우에 그것은 직접적인 연결 뿐만 아니라 어떤 다른 소자를 통해 대상 소자 블록에 간접적으로 연결된 의미까지도 포함한다.
- [0026] 또한, 각 도면에서 제시된 동일 또는 유사한 참조 부호는 동일 또는 유사한 구성 요소를 가급적 나타내고 있다. 일부 도면들에 있어서, 소자 및 라인들의 연결관계는 기술적 내용의 효과적인 설명을 위해 나타나 있을 뿐, 타의 소자나 회로블록들이 더 구비될 수 있다.
- [0027] 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함될 수 있으며, DRAM 과 같은 휘발성 메모리의 읽기(리드) 동작, 기입(라이트) 동작 등과 같은 기본적 동작 및 그러한 기본적 동작을 수행하기 위한 내부 기능회로에 관한 세부는 본 발명의 요지를 모호하지 않도록 하기 위해 상세히 설명되지 않음을 유의(note)하라.
- [0028] 도 1은 본 발명의 실시 예에 따른 반도체 메모리 장치를 보여주는 예시적 블록도이다.
- [0029] 도 1을 참조하면, 반도체 메모리 장치(100)는, 스택드 칩 구조에서 소프트 데이터 페일의 분석 및 구제 기능을 제공하기 위해 제1 그룹 다이(110)와 제2 그룹 다이(120)를 포함할 수 있다.
- [0030] 상기 제1 그룹 다이(110)는 적어도 하나의 버퍼 다이(Buffer Die)로 이루어질 수 있다.
- [0031] 상기 제2 그룹 다이(120)는 상기 제1 그룹 다이(110)의 상부에 적층되고 복수의 쓰루 실리콘 비아(이하 TSV) 라인들을 통해 데이터를 통신하는 복수의 메모리 다이들(120-1, 120-2, ..., 120-n)을 포함할 수 있다.
- [0032] 상기 복수의 메모리 다이들(120-1, 120-2, ..., 120-n) 중 적어도 하나는 상기 제1 그룹 다이(110)로 전송되는 전송 데이터를 이용하여 전송 패리티 비트들을 생성하는 제1 타입 ECC 회로(122)를 가질 수 있다. 여기서, 상기 제1 타입 ECC 회로(122)는 메모리 다이에 설치되는 회로이므로 셀 코어 ECC 회로로 칭해질 수 있다.
- [0033] 상기 버퍼 다이(110)는 상기 복수의 TSV 라인들을 통해 수신되는 상기 전송 데이터에 전송 에러가 발생된 경우에 상기 전송 패리티 비트들을 이용하여 전송 에러를 정정함에 의해 에러 정정된 데이터를 생성하는 제2 타입 ECC 회로(112)를 가질 수 있다. 여기서, 제2 타입 ECC 회로(112)는 전송로의 페일을 정정하기 위한 회로이므로 비아 ECC 회로로 칭해질 수 있다.
- [0034] 상기 반도체 메모리 장치(100)는 상기 TSV 라인들을 통해 상기 데이터 및 제어신호들을 통신하는 스택 칩 타입 메모리 장치 혹은 스택드 메모리 장치일 수 있다.
- [0035] 상기 TSV 라인들은 실리콘 관통 전극들로도 칭해질 수 있다.
- [0036] 상기 제1 타입 ECC 회로(122)는 상기 전송 데이터가 전송되기 이전에 상기 메모리 다이(120-n)로부터 출력되는 데이터에 대한 에러 정정도 수행할 수 있다.
- [0037] 상기 전송 데이터에 발생된 전송 에러는 상기 TSV 라인들에서 발생하는 노이즈에 기인하여 생성될 수 있다. 상기 TSV 라인들에서 발생하는 노이즈에 기인하여 생성되는 데이터 페일은 메모리 다이 자체에 기인하여 발생하는 데이터 페일과는 구별되는 것이므로 소프트 데이터 페일일 수 있다. 이러한 소프트 데이터 페일은 전송로 전송 페일에 의해 발생된 것이므로 ECC 동작 구현에 의해 검출 및 구제될 수 있다.
- [0038] 상기 전송 데이터가 64비트인 경우에 상기 전송 패리티 비트들은 8비트로 설정될 수 있다. 그러나 이러한 설정은 본 발명의 예시적인 설명에 불과하며 설정되는 비트 수의 가감이 가능함을 유의하라.
- [0039] 따라서, 하나의 메모리 다이(120-n)에 형성되는 데이터 TSV 라인 그룹(132)은 64개의 TSV 라인들(L1, L2, ..., Ln)로 구성될 수 있고, 패리티 TSV 라인 그룹(134)은 8개의 TSV 라인들(L10, ..., Lm)로 구성될 수 있다
- [0040] 데이터 TSV 라인 그룹(132)의 TSV 라인들(L1, L2, ..., Ln)과 패리티 TSV 라인 그룹(134)의 TSV 라인들(L10, ..., Lm)은 상기 복수의 메모리 다이들(120-1, 120-2, ..., 120-n)의 사이에 대응적으로 형성된 마이크로 범프(MB)들에

연결될 수 있다.

- [0041] 상기 복수의 메모리 다이들(120-1, 120-2, ..., 120-n) 중 적어도 하나는 하나의 액세스 트랜지스터와 하나의 스토리지 커패시터로 이루어진 DRAM 셀들을 가질 수 있다.
- [0042] 상기 반도체 메모리 장치(100)는 데이터 버스(B10)를 통해 호스트와 통신하기 위해 3D 칩 구조 또는 2.5D 칩 구조를 가질 수 있다.
- [0043] 상기 버퍼 다이(110)는 상기 데이터 버스(B10)를 통해 상기 호스트와 연결될 수 있다.
- [0044] 셀 코어 ECC 회로인 제1 타입 ECC 회로(122)는 데이터 TSV 라인 그룹(132)을 통해 전송 데이터를 출력한다. 또한, 제1 타입 ECC 회로(122)는 패리티 TSV 라인 그룹(134)을 통해 전송 패리티 비트들을 출력한다. 상기 출력되는 전송 데이터는 제1 타입 ECC 회로(122)에 의해 에러 정정된 데이터일 수 있다.
- [0045] 비아 ECC 회로인 제2 타입 ECC 회로(112)는 데이터 TSV 라인 그룹(132)을 통해 수신되는 상기 전송 데이터에 전송 에러가 발생되었는지의 여부를 상기 패리티 TSV 라인 그룹(134)을 통해 수신되는 상기 전송 패리티 비트들을 이용하여 체크한다. 전송 에러가 발생하는 경우에 제2 타입 ECC 회로(112)는 상기 전송 패리티 비트들을 이용하여 상기 전송 데이터에 대한 전송 에러를 정정한다. 전송 에러의 비트 수가 정정 불가능한 경우에 상기 제2 타입 ECC 회로(112)는 데이터 에러 발생을 알리는 정보를 출력할 수 있다.
- [0046] HBM 이나 스택드 칩 구조에서 리드되는 데이터에 에러가 발생된 경우에 메모리 다이의 자체에서 발생된 에러인지 쓰루 실리콘 비아를 통해 데이터가 전송될 시에 노이즈에 기인하여 발생된 전송 에러인지가 불량 유형의 분석을 위해 구별되어야 한다.
- [0047] 본 발명의 실시 예에서는 도 1에서와 같이 메모리 다이에는 셀 코어 ECC 회로를 설치하고, 버퍼 다이에는 비아 ECC 회로를 설치하는 것에 의해 소프트 데이터 페일이 검출 및 정정될 수 있다. 소프트 데이터 페일은 쓰루 실리콘 비아 라인들을 통해 데이터가 전송될 시에 노이즈에 기인하여 발생된 전송 에러를 포함할 수 있다.
- [0048] 도 2는 도 1의 ECC 회로들 간의 연결을 예시적으로 보여주는 도면이다.
- [0049] 도 2를 참조하면, 셀 코어 ECC 회로(122)와 비아 ECC 회로(112)는 데이터 TSV 라인 그룹(132)과 패리티 TSV 라인 그룹(134)을 통해 연결되어 있다.
- [0050] 보다 구체적으로, 하나의 메모리 다이는 메모리 셀 어레이를 포함하며, 메모리 셀 어레이는 데이터를 저장하는 데이터 영역(125)과 패리티 정보를 저장하는 패리티 영역(126)을 포함한다.
- [0051] 데이터 리드 시에 상기 데이터 영역(125)과 패리티 영역(126)으로부터 출력되는 코드 워드(128)는 해밍 코드일 수 있다. 이 경우에 상기 코드 워드(128)는 64 비트의 데이터와 8비트의 패리티로 예시적으로 구성될 수 있다.
- [0052] 셀 코어 ECC 회로(122)는 내부 데이터 버스(IB10)를 통해 데이터를 수신하고 내부 패리티 버스(IB12)를 통해 패리티를 수신할 수 있다. 상기 셀 코어 ECC 회로(122)는 상기 패리티를 이용하여 상기 데이터에 대한 리드 에러를 체크하고 에러 정정을 수행한다.
- [0053] 상기 셀 코어 ECC 회로(122)는 데이터 버스(B20)를 통해 상기 에러 정정된 데이터를 전송 데이터로서 출력하고 패리티 버스(B22)를 통해 전송 패리티 비트들을 출력한다. 여기서, 전송 패리티 비트들은 상기 패리티와 동일한 정보일 수 있다.
- [0054] 비아 ECC 회로(112)는 데이터 버스(B30)를 통해 상기 전송 데이터를 수신하고, 패리티 버스(B32)를 통해 상기 전송 패리티 비트들을 수신한다.
- [0055] 상기 데이터 버스(B20)와 데이터 버스(B30)는 도 1을 통해 설명된 데이터 TSV 라인 그룹(132)으로 구현될 수 있다.
- [0056] 상기 패리티 버스(B22)와 패리티 버스(B32)는 도 1을 통해 설명된 패리티 TSV 라인 그룹(134)으로 구현될 수 있다.
- [0057] 비아 ECC 회로(112)는 상기 패리티 TSV 라인 그룹(134)을 통해 수신되는 상기 전송 패리티 비트들을 이용하여 상기 데이터 TSV 라인 그룹(132)을 통해 수신되는 상기 전송 데이터에 대한 에러 체크를 수행한다. 에러 체크에 의해 전송 에러가 발생된 것으로 판명되면, 제2 타입 ECC 회로(112)는 상기 전송 패리티 비트들을 이용하여 상기 전송 데이터에 대한 전송 에러를 정정한다. 예를 들어, 정정 가능한 데이터 비트 수가 1비트 인 경우에 2비트 이상의 전송 에러가 발생되었다면 에러 정정은 불가능하다. 따라서, 이 경우에 상기 제2 타입 ECC 회로(112)

2)는 데이터 에러 발생을 알리는 정보를 데이터 버스(B10)로 출력할 수 있다.

- [0058] 한편, 에러 정정이 수행된 경우에 에러 정정된 전송 데이터는 상기 데이터 버스(B10)로 출력될 것이다.
- [0059] 도 3은 도 1에 관련된 전송 데이터 및 전송 패리티 비트들의 생성을 예시적으로 보여주는 도면이다.
- [0060] 도 3을 참조하면, 도 1의 셀 코어 ECC 회로(122)는 S300 단계에서 신드롬 발생 동작을 수행한다. 신드롬 데이터의 발생을 위해 도 2의 내부 데이터 버스(IB10)에 대응되는 글로벌 입출력 라인들(GIO[0:63])을 통해 제공되는 64비트의 출력 데이터와 도 2의 내부 패리티 버스(IB12)에 대응되는 패리티 데이터 라인들(ECCP[0:7])을 통해 제공되는 8비트의 패리티가 신드롬 발생기에 제공될 수 있다. 상기 패리티와 상기 출력 데이터에 대하여 XOR 어레이 연산이 수행되면 8비트의 신드롬 데이터가 생성될 수 있다.
- [0061] 셀 코어 ECC 회로(122)는 S310 단계에서 계수 계산 동작을 수행한다. 계수 계산은 신드롬 데이터(S[0:7])를 이용하여 오류 위치 방정식의 계수를 산출함에 의해 구현된다. 또한, 셀 코어 ECC 회로(122)는 S310 단계와 동시에 S320 단계에서 에러 포지션 검출을 수행할 수 있다. 예를 들어, 상기 신드롬 데이터(S[0:7])를 이용함에 의해 상기 출력 데이터에 대한 1 비트 에러의 위치가 검출될 수 있다. 에러 포지션 방정식은 에러 비트의 역수를 근으로 하는 방정식이다.
- [0062] 셀 코어 ECC 회로(122)는 S330 단계에서 에러 정정 동작을 수행한다. 에러 정정은 에러 위치 검출 정보에 따라 64 비트 데이터 중 에러가 발생한 비트의 로직 값을 반전시킴의 의해 구현된다.
- [0063] 상기 S330 단계의 수행에 의해 리드 데이터에 대한 ECC 디코딩이 완료되어 에러 정정된 64 비트 데이터(Data[0:63])가 얻어진다.
- [0064] 셀 코어 ECC 회로(122)는 S340 단계에서 TSV 패리티 추가 동작을 수행한다. TSV 패리티 추가 동작은 상기 에러 정정된 64 비트 데이터를 전송 데이터로서 출력하는 동작과, 소프트 데이터 페일의 검출 및 정정을 위해 8비트의 TSV 패리티를 출력하는 동작을 포함할 수 있다. 상기 리드 데이터에 대하여 에러 발생이 없거나 에러 정정된 경우에 상기 전송 데이터는 상기 리드 데이터와 동일할 수 있다. 상기 TSV 패리티는 상기 전송 데이터와 주어진 패리티 발생용 비트들을 XOR 어레이 연산함에 의해 생성될 수 있다.
- [0065] 한편, 셀 코어 ECC 회로(122)는 메모리 셀들에 기입될 데이터(Data[0:63])에 대한 패리티 비트들을 발생하는 ECC 인코딩 동작도 수행할 수 있다. 셀 코어 ECC 회로(122)는 64 비트 기입 데이터(Data[0:63])와 b'00000000 비트들을 XOR 어레이 연산함에 의해 기입(Write) 패리티 비트들을 발생할 수 있다. 여기서 b'00000000 비트들은 64 비트 기입 데이터(Data[0:63])에 대하여 기입 패리티 비트들이 발생되도록 하기 위한 설정 비트들이다. 64 비트 기입 데이터(Data[0:63])에 대한 기입 패리티 비트들이 발생되도록 하기 위해 b'00000000 비트들 대신에 다른 특정 비트들이 이용될 수 있다.
- [0066] 도 4는 도 1중 메모리 다이의 구체적 회로 구성을 예시적으로 보여주는 도면이다.
- [0067] 도 4를 참조하면, 메모리 다이는 메모리 셀 어레이 내에 복수의 메인 메모리 셀 블록들(131~138)과 ECC용 메모리 셀 블록(139)을 구비할 수 있다. 상기 메모리 다이는 또한 컨트롤 로직(121)과 셀 코어 ECC 회로(122)를 포함할 수 있다.
- [0068] 도 4에서 메인 메모리 셀 블록들(131~138)의 개수나 각 메모리 셀 블록의 사이즈는 메모리 다이의 메모리 용량에 관련되어 있다.
- [0069] 메인 메모리 셀 블록들(131~138) 각각에는 행들 및 열들의 매트릭스 형태로 복수개의 메모리 셀들이 배열될 수 있다. ECC 용 메모리 셀 블록(139)에도, 메인 메모리 셀 블록들(131~138)과 동일하게, 행들 및 열들의 매트릭스 형태로 복수개의 메모리 셀들이 배열될 수 있다.
- [0070] 본 실시 예에서는 메모리 다이가 64 비트 단위의 데이터 입출력을 수행하는 것으로 가정되었다.
- [0071] 메인 메모리 셀 블록들(131~138) 각각의 메모리 셀들에 저장된 데이터는 각기 대응되는 데이터 입출력 패드(DQ0-DQ7)를 통하여 입출력되므로, 설명의 편의를 위하여, 메인 메모리 셀 블록들(131~138)은 DQ0-DQ7 셀 블록들로 칭해질 것이다. 또한, ECC 용 메모리 셀 블록(139)은 ECC 셀 블록으로 칭해질 것이다.
- [0072] DQ0-DQ7 셀 블록들(131~138) 각각의 행들은 예컨대, 8K워드라인들(WL)로 구성되고, 열들은 예컨대, 1K 비트라인들(BL)로 구성될 수 있다. 워드라인들(WL)과 비트라인들(BL)의 교차점들에 각기 연결되는 메모리 셀은 하나의 액세스 트랜지스터와 하나의 스토리지 커패시터로 이루어진 DRAM(Dynamic Random Access Memory) 셀일 수 있다.

DQ0-DQ7 셀 블럭들(131~138)의 워드라인들(WL)은 로우 어드레스들(RA0-RAm)의 디코딩에 의해 인에이블되고, 비트라인들(BL)은 칼럼 어드레스들(CA0-CAn)의 디코딩에 의해 인에이블될 수 있다.

- [0073] 로우 어드레스들(RA0-RAm)은 로우 디코더(111)를 통해 디코딩되고, 디코딩된 로우 어드레스들(RA0-RAm)에 의해 워드라인(WL)이 선택된다. 칼럼 어드레스들(CA0-CAn)은 칼럼 디코더(115)를 통해 디코딩된다. 칼럼 디코더(115)는 칼럼 어드레스들(CA0-CAn)을 디코딩하여 비트라인(BL)을 선택하는 칼럼 선택 신호들(CSL0-CSL127)을 발생한다. 액세스할 수 있는 칼럼 로케이션들의 최대 수를 나타내는 버스트 길이(Burst Length)를 지원하기 위하여, 비트 라인들은 버스트 길이에 대응되는 수 만큼 동시에 액세스될 수 있다.
- [0074] 본 발명의 실시 예에 따른 메모리 다이는 예시적으로, BL=8로 설정될 수 있다. 이에 따라, 비트라인들(BLs)은 128개의 칼럼 선택 신호들(CSL0-CSL127) 각각에 연결되는 칼럼 선택부(113)와 연결되고, 하나의 칼럼 선택부(113)에 의해 8개의 비트라인들(BLs)이 동시에 선택될 수 있다. 칼럼 선택부(113) 각각은 8개의 스위치들로 구성될 수 있으며, 칼럼 선택 신호(CSL0-CSL127)에 의해 턴온될 수 있다.
- [0075] DQ0 셀 블럭(131)에서, 로우 어드레스들(RA0-RAm)에 의해 액세스되는 워드라인(WL)에는 복수개의 메모리 셀들이 연결된다. 복수개의 메모리 셀들 중 8개의 메모리 셀들이 CSL0 칼럼 선택 신호와 연결되는 칼럼 선택부(113)에 의해 선택되어 제 1 데이터 라인들(GIO[0:7])과 연결된다. 제 1 데이터 라인들(GIO[0:7]) 각각은 8 비트로 구성된다. DQ1 셀 블럭(132)에서도, 워드라인(WL)에 연결된 복수개의 메모리 셀들 중 8개의 메모리 셀들이 CSL0 칼럼 선택 신호와 연결되는 칼럼 선택부(113)에 의해 선택되어 제 2 데이터 라인들(GIO[8:15])과 연결된다. 나머지 DQ2-DQ7 셀 블럭들(133~138) 각각에서도 워드라인(WL)에 연결된 복수개의 메모리 셀들 중 8개의 메모리 셀들이 CSL0 칼럼 선택 신호와 연결되는 칼럼 선택부(113)에 의해 선택되어, 각기 대응되는 제 3 내지 제 8 데이터 라인들(GIO[56:63])과 연결된다.
- [0076] ECC 셀 블럭(139)은, DQ0-DQ7 셀 블럭들(131~138)과 동일하게, 예컨대, 8K워드라인들로 구성될 수 있다. ECC 셀 블럭(139)은, DQ0-DQ7 셀 블럭들(131~138)과는 다르게, 8개 비트라인들로 구성될 수 있다. ECC 셀 블럭(139)의 워드라인들(WL)과 비트라인들(BL)의 교차점들에 연결되는 메모리 셀들도 DRAM 셀들로 구성될 수 있다.
- [0077] ECC 셀 블럭(139)에서, 8개의 비트라인들(BLs)은 패리티 데이터 라인(ECCP[0:7])과 연결된다. 패리티 데이터 라인(ECCP[0:7])으로는 메모리 셀들에 저장되는 데이터(Data[0:63])에 관련된 패리티 비트들이 전달될 수 있다. 패리티 비트들은 패리티 데이터 라인(ECCP[0:7])를 통하여 ECC블럭(139) 내 8개의 메모리 셀들에 저장될 수 있다. 또한, 저장된 패리티 비트들은 상기 ECC블럭(139) 내 8개의 메모리 셀들로부터 리드될 수 있다. 이 때, ECC 셀 블럭(139)의 8개 메모리 셀들은 불량 셀의 워드라인(WL)과 동일한 워드라인(WL)에 연결될 수 있다.
- [0078] 컨트롤 로직(121)은 리드 동작 또는 기입 동작 등을 지시하는 커맨드(CMD)와, 상기 커맨드(CMD)와 함께 인가되는 로우 어드레스(RA0-RAm) 및 칼럼 어드레스(CA0-CAn)를 수신할 수 있다. 컨트롤 로직(121)은 로우 어드레스(RA0-RAm) 또는 칼럼 어드레스(CA0-CAn)와 페일 어드레스 저장부에 저장된 불량 셀 어드레스를 비교하는 동작을 수행할 수 있다. 페일 어드레스 저장부는 메인 메모리 셀 블럭들(131~138)내의 메모리 셀들 중 불량 메모리 셀들에 대한 위치 정보를 저장한다. 여기서, 불량 메모리 셀들은 정상적으로 데이터를 저장하거나 데이터를 기입할 수 있는 능력을 가지지만, 데이터 리텐션 능력이 상대적으로 열등한 연약 셀을 의미할 수 있다.
- [0079] 컨트롤 로직(121)은 어드레스의 비교 결과, 불량 셀 어드레스와 로우 어드레스(RA0-RAm) 또는 칼럼 어드레스(CA0-CAn)가 일치하는 경우 ECC 매치 신호(ECCMATCH_EN)를 발생할 수 있다.
- [0080] 또한, 컨트롤 로직(121)은 커맨드(CMD)에 응답하여 ECC (Error Correction Code) 디코딩 및 인코딩 동작을 지시하는 ECC 지시 신호(DEC_EN)를 발생할 수 있다. 컨트롤 로직(121)은 리드 동작의 커맨드(CMD)에 응답하여 예컨대, 로직 하이 레벨의 ECC 지시 신호(DEC_EN)를 발생함에 의해 ECC 디코딩 동작을 제어할 수 있다. 또한, 컨트롤 로직(121)은 기입 동작의 커맨드(CMD)에 응답하여 로직 로우 레벨의 ECC 지시 신호(DEC_EN)를 발생함에 의해 ECC 인코딩 동작을 제어할 수 있다.
- [0081] 셀 코어 ECC 회로(122)는 상기 ECC 지시 신호(DEC_EN) 및 ECC 매치 신호(ECCMATCH_EN)에 응답하여 ECC 디코딩 또는 ECC 인코딩 동작을 수행할 수 있다.
- [0082] 셀 코어 ECC 회로(122)는 ECC 디코딩 동작 시에 여러 정정된 데이터를 도 2의 데이터 TSV 라인 그룹(132)을 통해 전송 데이터(Data[0:63])로서 출력하고 도 2의 패리티 TSV 라인 그룹(134)을 통해 전송 패리티 비트들(Parity[0:7])을 출력할 수 있다. 데이터 TSV 라인 그룹(132)은 전송 데이터(Data[0:63])를 출력하는 라인들에 대응되고, 패리티 TSV 라인 그룹(134)은 전송 패리티 비트들(Parity[0:7])을 출력하는 라인들에 대응된다.

- [0083] 한편, 셀 코어 ECC 회로(122)은 기입 동작시, ECC 매치 신호(ECCMATCH_EN)에 응답하여 기입 데이터(Data[0:63])에 대한 패리티 비트들을 발생하고 패리티 데이터 라인(ECCP[0:7])으로 전달한다. 패리티 데이터 라인(ECCP[0:7]) 상의 패리티 비트들은 불량 셀의 워드라인(WL)과 연결되는 ECC 셀 블럭(139)의 메모리 셀들에 저장될 수 있다. 도 4의 경우에, 워드라인(WL)과 CSLO 칼럼 선택 신호와 연결되는 칼럼 선택부(113)에 의해 선택되는 DQ0-DQ7 셀 블럭들(131~138)의 메모리 셀들 중 DQ0 셀 블럭(131) 내 불량 셀(● 표시)이 하나 있는 경우, 불량 셀을 포함하는 메모리 셀들에 기입될 데이터(Data[0:63])에 대하여 패리티 비트들이 발생된다. 발생한 패리티 비트들은 대응되는 워드라인(WL)과 연결되는 ECC 셀 블럭(139)의 메모리 셀들에 저장된다.
- [0084] 셀 코어 ECC 회로(122)는 데이터 리드 동작시, ECC 매치 신호(ECCMATCH_EN)에 응답하여, 제1 내지 제8 데이터 라인들(GIO[0:63])으로 전달되는 데이터와 패리티 데이터 라인(ECCP[0:7])으로 전달되는 데이터를 수신한다. 제1 내지 제8 데이터 라인들(GIO[0:63])으로 전달되는 데이터는 DQ0-DQ7 셀 블럭들(131~138) 내 불량 셀의 워드라인(WL)과 연결되는 메모리 셀들에 저장된 데이터이고, 패리티 데이터 라인(ECCP[0:7])으로 전달되는 데이터는 ECC 셀 블럭(139)내 해당 워드라인(WL)과 연결되는 메모리 셀들에 저장된 패리티 비트들이다.
- [0085] 셀 코어 ECC 회로(122)는, 제1 내지 제8 데이터 라인들(GIO[0:63]) 및 패리티 데이터 라인(ECCP[0:7])으로 전달된 데이터를 이용하여, 신드롬 데이터를 발생하고, 불량 셀의 위치, 즉 에러 비트 위치를 계산할 수 있다. 또한, 셀 코어 ECC 회로(122)는 에러 비트 위치에 대응하는 데이터를 정정하고, 에러 정정된 데이터(Data[0:63])와 상기 전송 패리티 비트들(Parity[0:7])을 출력할 수 있다.
- [0086] 도 5는 도 1중 버퍼 다이의 ECC 회로의 데이터 비트 구성을 예시적으로 보여주는 도면이다.
- [0087] 도 5를 참조하면, 비아 ECC 회로(112)는 데이터 TSV 라인 그룹(132)을 통해 64비트의 전송 데이터를 수신할 수 있다. 상기 비아 ECC 회로(112)는 패리티 TSV 라인 그룹(134)을 통해 8비트의 전송 패리티 비트들을 수신할 수 있다.
- [0088] 비아 ECC 회로(112)는 상기 전송 패리티 비트들을 이용하여 상기 전송 데이터에 대한 소프트 데이터 패일을 체크하고, 소프트 데이터 패일이 발생된 경우에 비아 ECC 회로(112)는 상기 전송 패리티 비트들을 이용하여 상기 전송 데이터에 대한 전송 에러를 정정한다. 예를 들어, 정정 가능한 데이터 비트 수가 2비트 인 경우에 3비트 이상의 전송 에러가 발생되었다면 에러 정정은 불가능하다. 따라서, 이 경우에 상기 제2 타입 ECC 회로(112)는 데이터 에러 발생을 알리는 정보를 데이터 버스(B10)로 출력할 수 있다. 한편, 에러 정정이 성공적으로 수행된 경우에 에러 정정된 전송 데이터는 상기 데이터 버스(B10)로 출력될 것이다.
- [0089] 도 6은 본 발명의 또 다른 실시 예에 따른 반도체 메모리 장치를 보여주는 예시적 블록도이다.
- [0090] 도 6을 참조하면, 반도체 메모리 장치(100)는 버스(B10)를 통해 호스트(200)와 연결된다.
- [0091] 반도체 메모리 장치(100)는 버퍼 다이(110)와 복수의 메모리 다이들(120-1, 120-2, ..., 120-n)을 포함할 수 있다.
- [0092] 상기 버퍼 다이(110)는 기관에 형성될 수 있다.
- [0093] 복수의 메모리 다이들(120-1, 120-2, ..., 120-n)은 상기 버퍼 다이(110)의 상부에 적층되고 복수의 쓰루 실리콘 비아(TSV) 라인들을 통해 데이터를 통신할 수 있다.
- [0094] 상기 복수의 메모리 다이들(120-1, 120-2, ..., 120-n)은 각기 상기 버퍼 다이(110)로 전송되는 전송 데이터를 이용하여 전송 패리티 비트를 생성하는 패리티 비트 발생기(PBG:124)를 가질 수 있다.
- [0095] 상기 버퍼 다이(110)는 상기 복수의 쓰루 실리콘 비아(TSV) 라인들을 통해 수신되는 상기 전송 데이터에 전송 에러가 발생하였는 지를 상기 전송 패리티 비트를 이용하여 체크하는 패리티 체크 유닛(PCU:114)을 가질 수 있다.
- [0096] 상기 버퍼 다이(110)는 전송 데이터에 전송 에러가 발생되었을 때 상기 패리티 체크 유닛(114)으로부터 제공되는 패일 신호(Fail Signal)를 선택하여 외부 에러 포트(PO2)로 출력하는 선택회로(SC:116)를 포함할 수 있다.
- [0097] 상기 선택회로(116)는 전송 에러 미 발생시에 상기 전송 데이터를 선택하여 외부 데이터 출력 포트(PO1)로 출력할 수 있다.
- [0098] 상기 패리티 비트 발생기(PBG:124)는 상기 전송 데이터의 비트 조합에 따라 전송 패리티 비트를 생성한다. 예를 들어 짝수 패리티 정책의 경우에 전송 데이터가 "1111"이라면 "1"의 개수가 짝수이므로 패리티 비트는 "0"으로 생성되고, 조합 데이터는 "11110"이 된다.

- [0099] 상기 패리티 체크 유닛(PCU:114)은 "11110"으로 조합 데이터가 수신되면 패리티 체크의 결과를 패스(Pass)로서 판정한다. 결국, 이 경우에 전송 에러가 발생되지 않은 것으로 판단된다.
- [0100] 한편, 패리티 체크 유닛(PCU:114)은 "11100"으로 조합 데이터가 수신되면 "1"의 개수가 홀수에 해당되므로 패리티 체크의 결과를 페일(Fail)로서 판정한다.
- [0101] 체크의 결과가 패스인 경우에 전송 데이터가 호스트로 전송될 수 있다.
- [0102] 한편, 체크의 결과가 페일인 경우에 버퍼 다이의 에러 포트를 통해 에러 신호가 호스트로 전송될 수 있다. 따라서, 호스트는 커맨드(command)의 재실행을 제어할 수 있다.
- [0103] 상기 메모리 다이들(120-1,120-2,...,120-n)은 각기, 하나의 액세스 트랜지스터와 하나의 스토리지 커패시터로 이루어진 메모리 셀을 복수로 구비할 수 있다.
- [0104] 상기 반도체 메모리 장치(100)는 3D 칩 구조 또는 2.5D 칩 구조에 적용될 수 있다.
- [0105] 도 6에서는 메모리 다이의 칩 사이즈 오버헤드를 줄이기 위해 1비트 에러 검출만이 행해진다. 즉, 1비트 에러 검출 동작은 수행되나 에러 정정은 불가능해진다. 메모리 다이에 ECC 회로가 설치되는 경우에 칩 사이즈 오버헤드가 커진다. ECC 동작을 위해 패리티 비트들을 많이 사용할수록 정정되는 데이터 비트의 개수는 많아지나 칩 사이즈 오버헤드가 그에 따라 커진다.
- [0106] 따라서, 칩 사이즈 오버헤드를 줄이기 위해 도 6에서는 메모리 다이에 패리티 비트 발생기(PBG:124)가 설치되고, 버퍼 다이(110)에 패리티 체크 유닛(PCU:114)이 설치된다. 전송 데이터에 전송 에러가 발생되었을 때 페일 신호(Fail Signal)가 외부 에러 포트(P02)로 출력되고, 전송 에러 미 발생시에 전송 데이터가 외부 데이터 출력 포트(P01)로 출력될 수 있다.
- [0107] 따라서, 호스트(200)는 소프트 데이터 페일이 메모리 다이에서 발생되었음을 인지할 수 있다. 이 경우에 전송 에러 발생된 전송 데이터는 호스트(200)로 제공되지 않음으로 시스템 동작 오류가 회피될 수 있다.
- [0108] 불량 발생이 될 경우에 소프트 데이터 페일인지 메모리 다이 자체의 불량 인지가 판별될 수 있다. 즉, 패리티 체크의 결과가 패스(Pass)이나 메모리 다이에서 전송된 데이터가 페일인 경우에는 메모리 다이에서 불량이 발생된 것으로 판단될 수 있다. 한편, 패리티 체크의 결과가 페일인 경우에 TSV 와 같은 전송로에 의한 불량이 발생된 것으로 판단될 수 있다.
- [0109] 도 7은 본 발명이 적용되는 3D 칩 구조를 도시한 블록도이다.
- [0110] 도 7을 참조하면, PCB(50)의 상부에는 플립 칩 범프(FB)들을 통해 SoC, CPG, 혹은 GPU 일 수 있는 호스트 다이(201)가 배치된다. 상기 호스트 다이(201)의 상부에는 HBM(120) 구조를 형성하기 위한 메모리 다이들(D11-D14)이 적층된다. 도 7에서는 도 1의 버퍼 다이(110) 혹은 로직 다이가 생략되어 있으나, 메모리 다이(D11)와 상기 호스트 다이(201) 사이에 배치될 수 있다. 상기 HBM(120) 구조를 구현하기 위해 상기 메모리 다이들(D11-D14)에는 실리콘 관통 전극이라 불리는 TSV 라인들이 형성된다. TSV 라인들은 메모리 다이들 사이에 형성된 마이크로 범프(MB)들과 전기적으로 연결될 수 있다.
- [0111] 결국, 도 7은 인터포저 층의 개재 없이 호스트와 HBM을 직접 적으로 연결한 3D 칩 구조(1000)를 보여준다. 본 발명의 실시 예는 도 7과 같은 3D 칩 구조(1000)에 적용 가능하다.
- [0112] 도 8은 본 발명이 적용되는 2.5D 칩 구조를 도시한 블록도이다.
- [0113] 도 8을 참조하면, 2.5D 칩 구조(1100)는 PCB 대신에 인터포저(Interposer) 층(60)를 사용하여 상기 HBM(120)과 호스트(Host)를 서로 연결한 칩 구조이다.
- [0114] 상기 인터포저 층(60)은 PCB(50)의 상부에 배치되고 플립 칩 범프(FB)들을 통해 PCB(50)와 전기적으로 연결된다.
- [0115] 인터포저 층(60)의 상부에는 호스트 다이(201)와, HBM(120) 구조를 형성하기 위한 메모리 다이들(D11-D14)이 배치된다. 도 8에서는 도 1의 버퍼 다이(110) 혹은 로직 다이가 생략되어 있으나, 메모리 다이(D11)와 상기 인터포저 층(60)의 사이에 배치될 수 있다. 상기 HBM(120) 구조를 구현하기 위해 상기 메모리 다이들(D11-D14)에는 TSV 라인들이 형성된다. TSV 라인들은 메모리 다이들 사이에 형성된 마이크로 범프(MB)들과 전기적으로 연결될 수 있다.

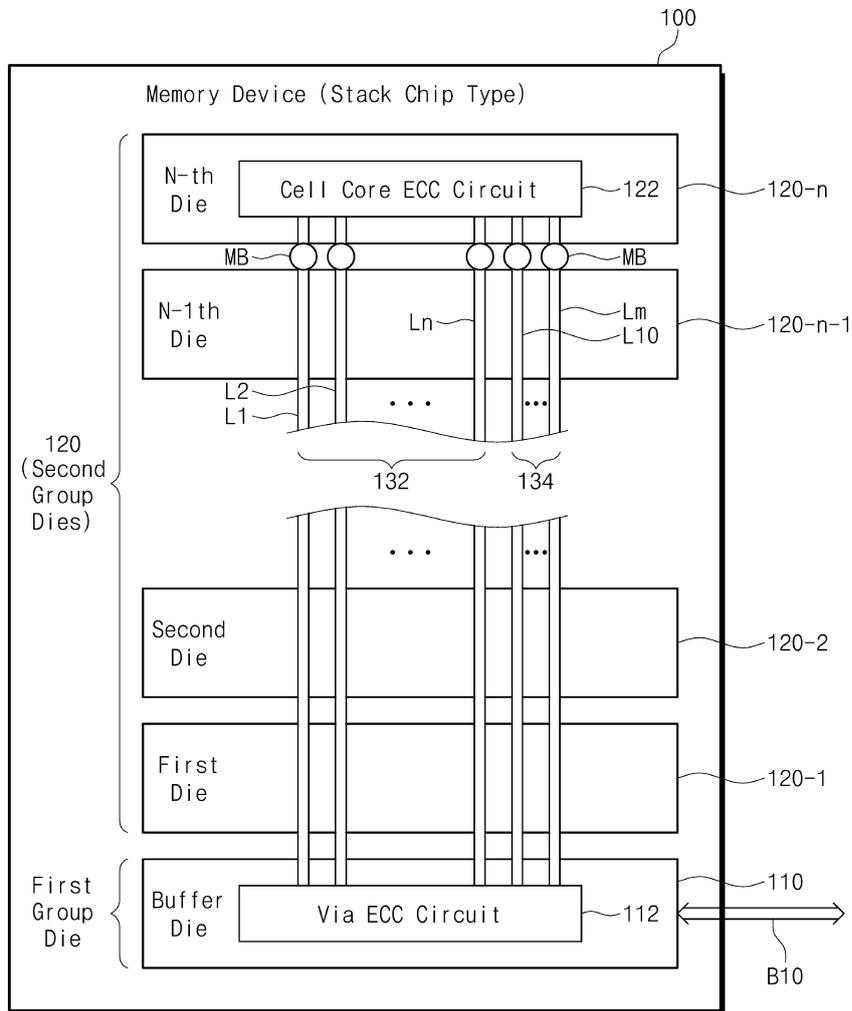
- [0116] 결국, 도 8은 인터포저 층을 개재한 2.5D 칩 구조(1100)를 보여준다. 본 발명의 실시 예는 도 8과 같은 2.5D 칩 구조(1100)에도 적용 가능함은 물론이다.
- [0117] 도 9는 스마트 폰에 적용된 본 발명의 응용 예를 도시한 블록도이다.
- [0118] 도 9를 참조하면, 스마트 폰(800)은 모바일 컴퓨팅 장치(mobile computing device)로 구현될 수 있다. 상기 모바일 컴퓨팅 장치는 UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 태블릿 컴퓨터(tablet computer), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), DMB (Digital Multimedia Broadcasting) 재생기, 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 데이터 센터를 구성하는 스토리지, 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 변경 또는 확장될 수도 있다.
- [0119] 어플리케이션 프로세서(application processor(AP)), 예컨대 모바일 어플리케이션 프로세서(810)는 각 구성 요소들(815, 820, 841, 및 850)의 동작을 제어할 수 있다.
- [0120] 모바일 어플리케이션 프로세서(810)는 모바일 DRAM(815)을 작업용 메모리로서 활용한다. 메모리 장치(821)는 베이스밴드 프로세서(820)의 작업용 및 프로그램 메모리로서 활용된다.
- [0121] 도 9의 경우에 모바일 디램(815)은 본 발명의 실시 예에 따른 HBM 구조로 구현될 수 있다. 따라서, 스택드 칩 구조에서 소프트 데이터 페일의 분석 및 구제가 용이하게 제공된다.
- [0122] 어플리케이션 프로세서(810)의 내부에 구현된 메모리 컨트롤러(MC:811)는 상기 모바일 DRAM(815)에 대한 액세스 동작을 제어한다.
- [0123] 어플리케이션 프로세서(810)의 내부에 구현된 디스플레이 드라이버(813)는 디스플레이(850)의 동작을 제어할 수 있다. 디스플레이(850)는 TFT-LCD(Thin film transistor liquid crystal display), LED(light-emitting diode) 디스플레이, OLED(organic LED) 디스플레이, AMOLED(active-matrix OLED) 디스플레이, 또는 플렉시블 디스플레이(flexible display)로 구현될 수 있다.
- [0124] 베이스밴드 프로세서(820)은 무선 송수신기(830)와 어플리케이션 프로세서(810) 사이에서 주고받는 데이터를 인터페이싱(interfacing)할 수 있다. 베이스밴드 프로세서(820)에 의해 처리된 데이터는 메모리 장치(821)에 저장되거나 어플리케이션 프로세서(810)로 전송될 수 있다.
- [0125] 상기 메모리 장치(821)는 휘발성 메모리 또는 불휘발성 메모리로 구현될 수 있다. 휘발성 메모리는 DRAM(dynamic random access memory), SRAM(static random access memory), TRAM(thyristor RAM), Z-RAM(zero capacitor RAM), 또는 TTRAM(Twin Transistor RAM)일 수 있다.
- [0126] 불휘발성 메모리는 EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시(flash) 메모리, MRAM(Magnetic RAM), 스핀전달토크 MRAM (Spin-Transfer Torque MRAM), Conductive bridging RAM(CBRAM), FeRAM (Ferroelectric RAM), PRAM(Phase change RAM), 저항 메모리(Resistive RAM: RRAM), 나노튜브 RRAM(Nanotube RRAM), 폴리머 RAM(Polymer RAM: PoRAM), 나노 부유 게이트 메모리(Nano Floating Gate Memory:NFGM), 홀로그래픽 메모리 (holographic memory), 분자 전자 메모리 소자(Molecular Electronics Memory Device), 또는 절연 저항 변화 메모리(Insulator Resistance Change Memory)일 수 있다. 불휘발성 메모리의 단위 셀에는 1비트 또는 그 이상의 비트들이 저장될 수 있다.
- [0127] 안테나(ANT)를 통하여 수신된 무선 데이터는 무선 송수신기(830)를 통하여 베이스밴드 프로세서(820)으로 전송되고, 베이스밴드 프로세서(820)로부터 출력된 데이터는 무선 송수신기(830)에 의해 무선 데이터로 변환된다. 변환된 무선 데이터는 안테나(ANT)를 통하여 출력된다.
- [0128] 이미지 신호 프로세서(841)는 카메라(또는 이미지 센서; 840)로부터 출력된 신호를 처리하고, 처리된 데이터를

어플리케이션 프로세서(810)로 전송할 수 있다.

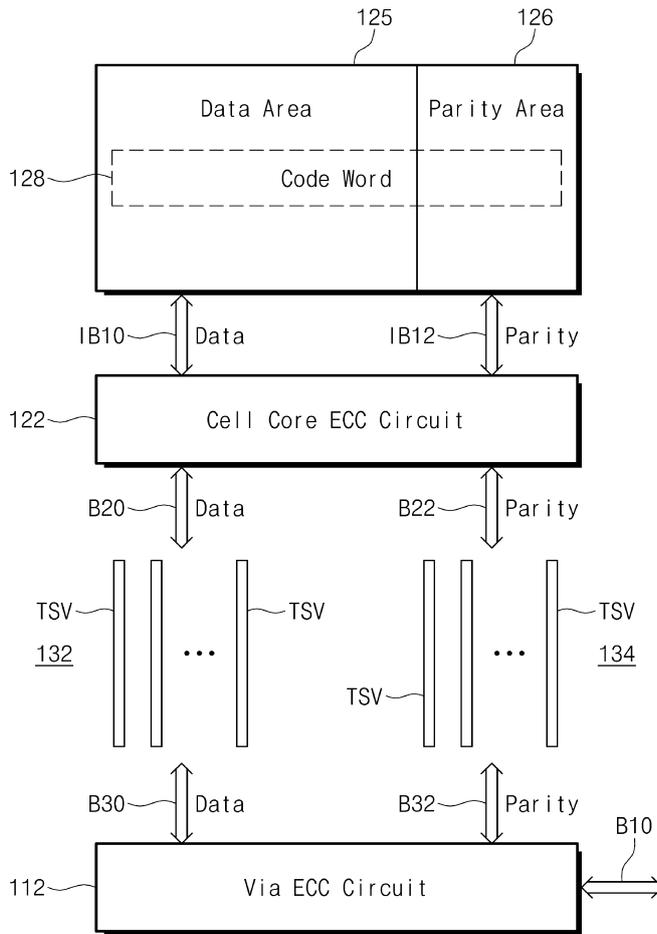
- [0129] 어플리케이션 프로세서(810)는 웹 브라우징(web browsing), 이-메일 액세스 (e-mail access), 비디오 재생 (video playback), 문서 편집(document editing), 및 이미지 편집(image editing) 중에서 적어도 하나의 수행을 제어할 수 있다.
- [0130] 도 10은 티에스브이(TSV)를 통해 적층되는 메모리 시스템에 적용된 본 발명의 응용 예를 나타내는 도면이다.
- [0131] 도 10에 도시된 바와 같이, 메모리 시스템(550)내에서 메모리 장치들(20-1~20-7)은 로직 레이어(520)의 위에 적층될 수 있다. 로직 레이어(520)는 패키지 기판(510)의 위에 적층될 수 있다. 이때, 메모리 장치들(20-1~20-7) 각각의 구조와 동작은 전술한 반도체 메모리 장치의 구조 및 동작과 실질적으로 동일할 수 있다.
- [0132] 도 10의 구성 요소들(20-1~20-7, 520, 및 510) 간의 커맨드, 어드레스, 데이터는 수직적 전기적 접속 수단 예를 들어 TSVs(Through Silicon Vias)를 통해 연결된다.
- [0133] 따라서, 도 10의 메모리 시스템(550)은 본 발명의 실시 예에 따른 HBM 구조나 스택드 칩 구조로 구현될 수 있다. 따라서, 데이터 전송 시에 발생된 에러 즉 소프트 데이터 페일의 분석 및 구제가 용이하게 제공된다.
- [0134] 메모리 장치들(20-1~20-7)은 예를 들어, PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등의 패키지로서 패키징될 수 있다.
- [0135] 도 10에서 반도체 메모리 장치들이 DRAM으로 구현된 것을 예로 들었으나, 사안이 다른 경우에 MRAM이 DRAM 대신에 탑재될 수 있다. 에스램(SRAM) 또는 디램(DRAM)과 같은 휘발성 반도체 메모리 장치는 전원이 중단될 때 저장된 데이터를 잃어버린다.
- [0136] 이와 대조적으로, 자기 랜덤 액세스 메모리(MRAM)와 같은 불휘발성 반도체 메모리 장치는 전원 공급이 중단된 후에도 저장된 데이터를 유지한다. 따라서, 전원 불량 또는 전원 차단에 의하여 데이터의 소실을 원하지 않는 경우에, 불휘발성 반도체 메모리 장치가 데이터를 저장하는데 선호적으로 사용된다.
- [0137] STT-MRAM(Spin transfer torque magneto resistive random access memory)이 메모리를 구성하는 경우에 DRAM이 갖는 장점에 더하여 MRAM이 갖는 장점이 부가될 수 있다.
- [0138] STT-MRAM 셀은 MTJ(Magnetic Tunnel Junction) 소자와 선택 트랜지스터를 포함할 수 있다. 상기 MTJ 소자는 고정층(fixed layer)과 자유층(free layer) 및 이들 사이에 형성된 터널층을 기본적으로 포함할 수 있다. 상기 고정층의 자화 방향은 고정되어 있으며, 자유층의 자화 방향은 조건에 따라 고정층의 자화 방향과 같거나 역방향이 될 수 있다.
- [0139] 도 11은 컴퓨팅 디바이스에 적용된 본 발명의 응용 예를 도시한 블록도이다.
- [0140] 도 11을 참조하면, 컴퓨팅 디바이스는 DDR SDRAM(4520)과 메모리 컨트롤러(4510)를 구비하는 메모리 시스템(4500)을 포함할 수 있다. 컴퓨팅 디바이스는 정보처리 장치나 컴퓨터 등을 포함할 수 있다. 일 예로, 컴퓨팅 디바이스는 메모리 시스템(4500) 이외에, 시스템 버스(4250)에 각기 전기적으로 연결된 모뎀(MODEM:4400), CPU(4100), 램(4200), 및 유저 인터페이스(4300)를 포함할 수 있다. 메모리 시스템(4500)에는 CPU(4100)에 의해 처리된 데이터 또는 외부에서 입력된 데이터가 저장될 수 있다.
- [0141] 상기 DRAM(4520)이 DDR4 SDRAM 인 경우에 상기 DDR SDRAM(4520)은 모노 패키지 내에서 2개 이상의 다이들로만 들어질 수 있다. 또한, DDR SDRAM(4520)은 본 발명의 실시 예에 따른 HBM 구조로 구현될 수 있다. 따라서, 스택드 칩 구조에서 소프트 데이터 페일의 분석 및 구제가 용이하게 제공된다.
- [0142] 컴퓨팅 디바이스는 솔리드 스테이트 디스크(Solid State Disk), 카메라 이미지 프로세서(Camera Image Sensor) 및 그 밖의 응용 칩셋(Application Chipset)에도 적용될 수 있다. 일 예로, 메모리 시스템(4500)은 2차원 또는 3차원 구조의 SSD로 구성될 수 있으며, 이 경우 컴퓨팅 디바이스는 대용량의 데이터를 메모리 시스템(4500)에 안정적으로 그리고 신뢰성 있게 저장할 수 있다.

도면

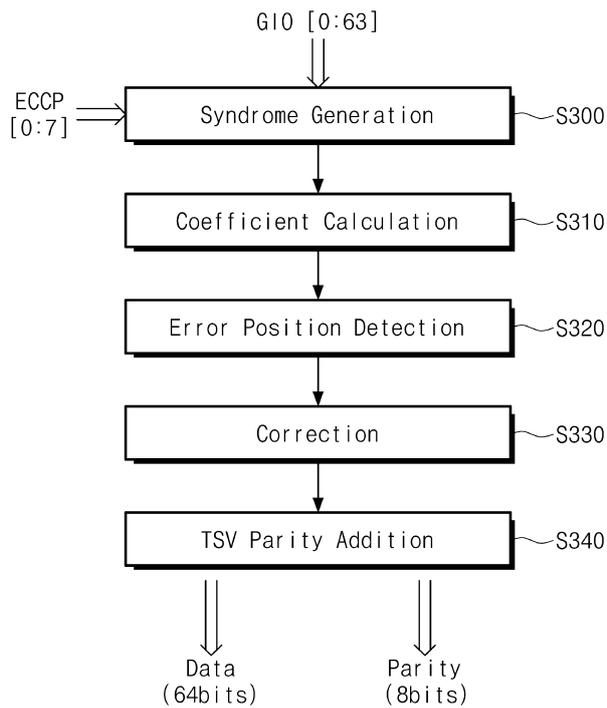
도면1



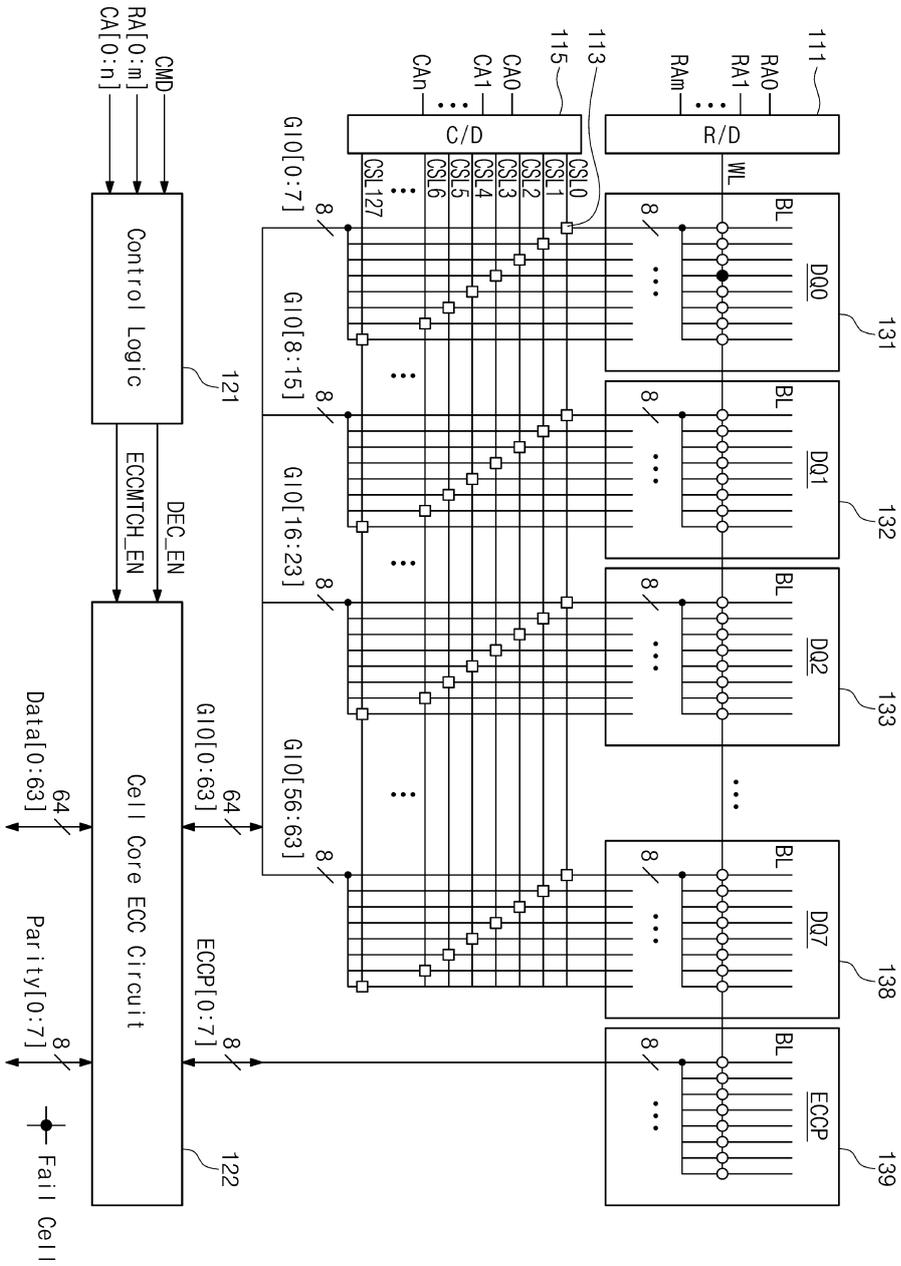
도면2



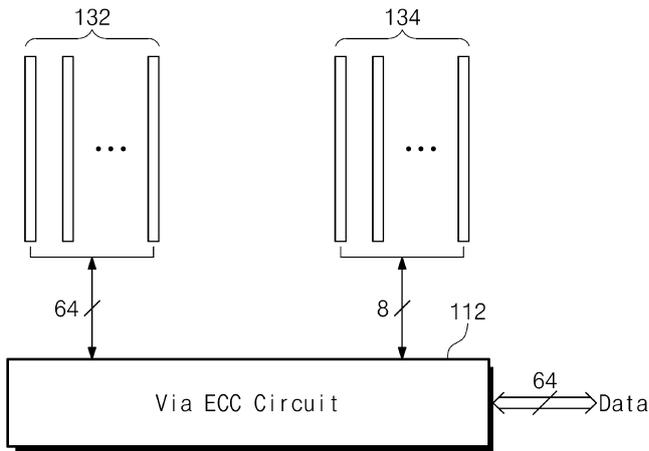
도면3



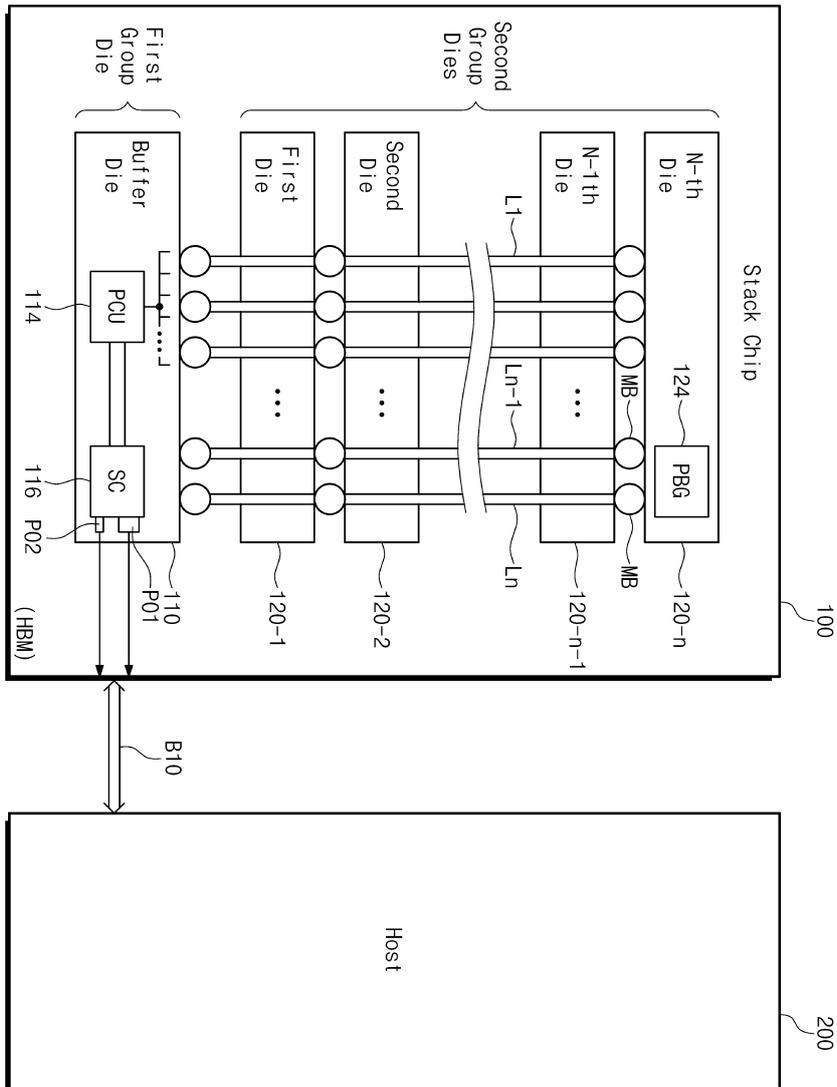
도면4



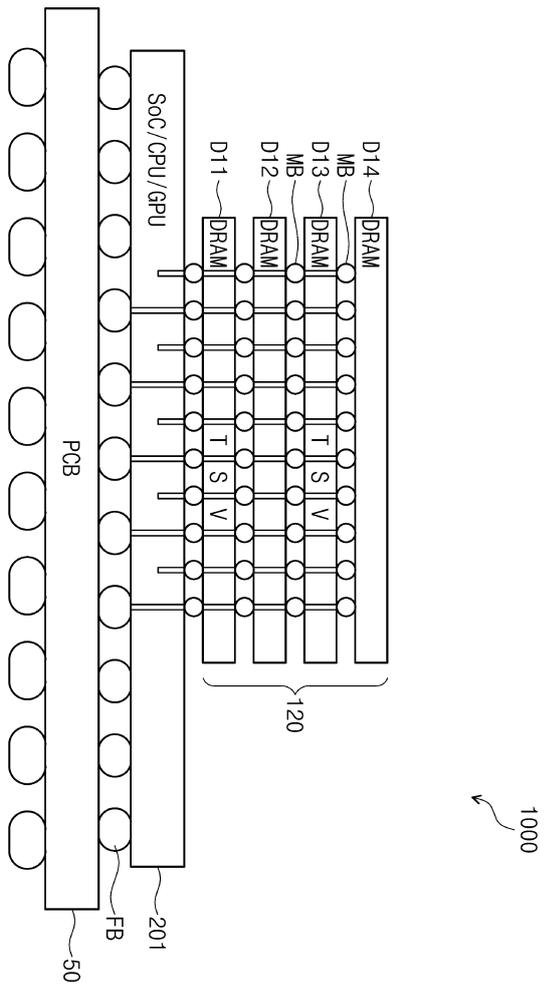
도면5



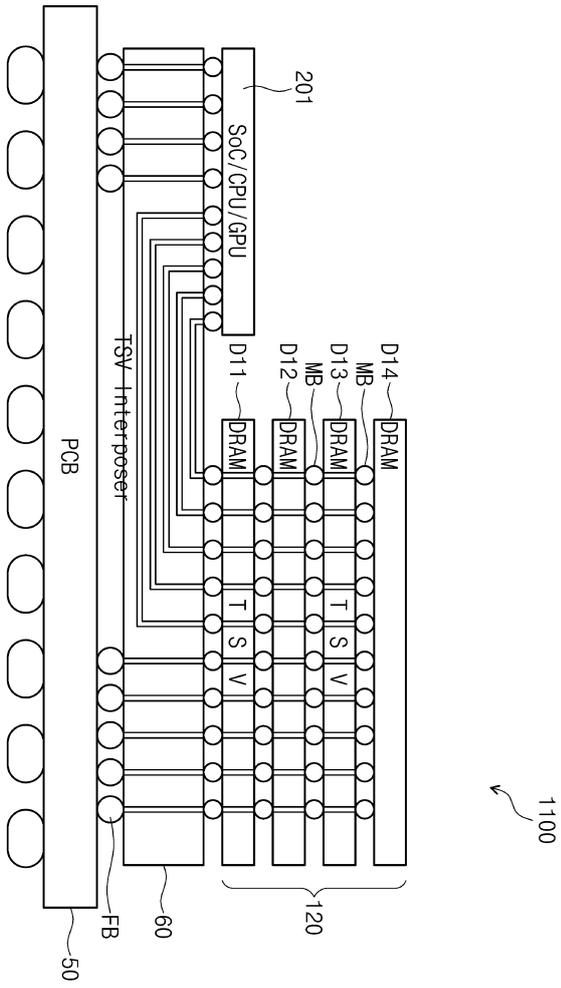
도면6



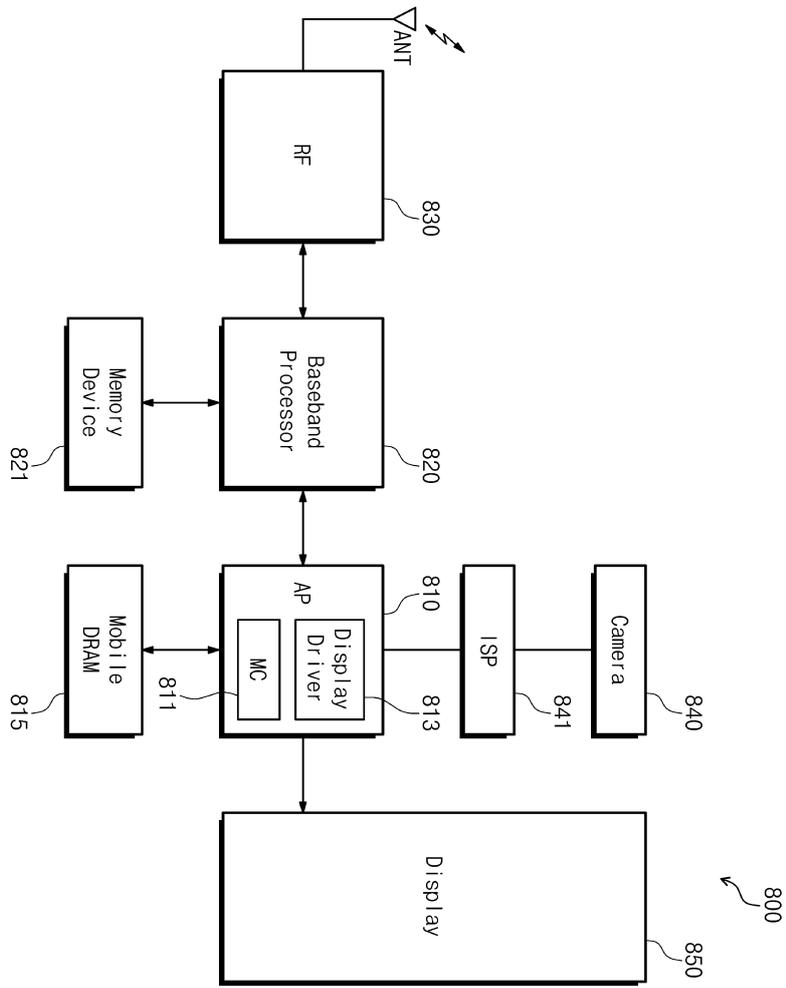
도면7



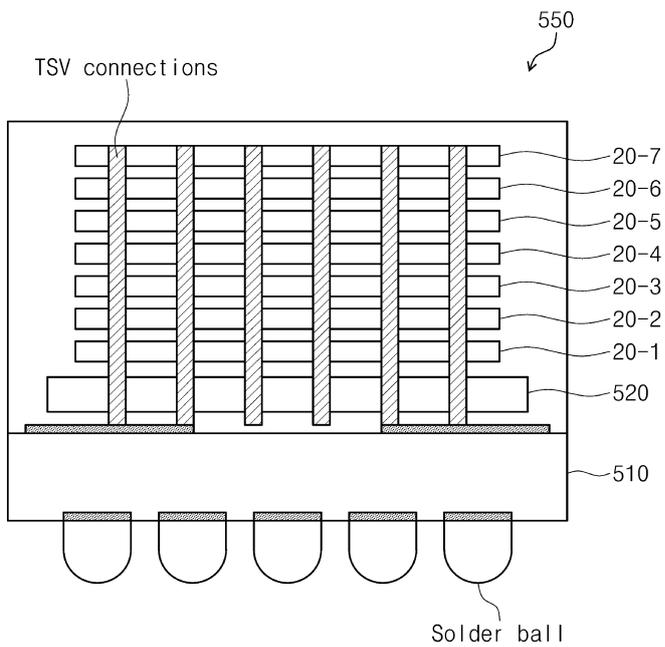
도면8



도면9



도면10



도면11

