



(12) 发明专利申请

(10) 申请公布号 CN 106656190 A

(43) 申请公布日 2017. 05. 10

(21) 申请号 201510740530. 4

(22) 申请日 2015. 11. 04

(71) 申请人 瑞昱半导体股份有限公司

地址 中国台湾新竹市

(72) 发明人 刘凯尹 张哲维 林圣雄 黄诗雄

(74) 专利代理机构 隆天知识产权代理有限公司

72003

代理人 周滨 章侃铨

(51) Int. Cl.

H03M 1/40(2006. 01)

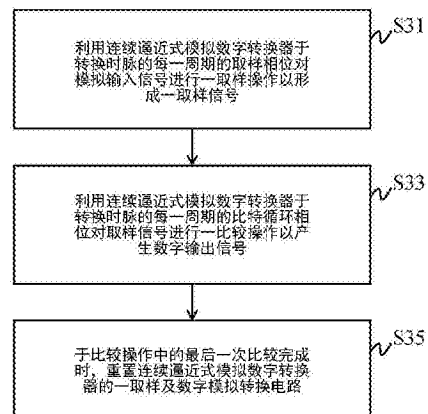
权利要求书2页 说明书5页 附图7页

(54) 发明名称

连续逼近式模拟数字转换电路及其方法

(57) 摘要

一种连续逼近式模拟数字转换电路及其方法。该方法包括：利用一连续逼近式模拟数字转换器依据一转换时脉执行一取样操作以及一比较操作以将一模拟输入信号转换成一数字输出信号，以及于比较操作中的一连续逼近动作完成时，重置连续逼近式模拟数字转换器的一取样及数字模拟转换电路。根据本发明的连续逼近式模拟数字转换电路及其方法得以降低推动连续逼近式模拟数字转换器的输入缓冲器与推动取样及数字模拟转换电路的参考缓冲器的设计成本。



1. 一种连续逼近式模拟数字转换方法,其特征在于,包括:

利用一连续逼近式模拟数字转换器依据一转换时脉执行一取样操作以及一比较操作以将一模拟输入信号转换成一数字输出信号;以及

于该比较操作中一连续逼近动作完成时,重置该连续逼近式模拟数字转换器的一取样及数字模拟转换电路。

2. 如权利要求 1 所述的连续逼近式模拟数字转换方法,其中该转换时脉包括多个周期、每一该周期包括一取样相位以及一比特循环相位,并且该转换步骤包括:

利用该连续逼近式模拟数字转换器于各该取样相位对该模拟输入信号进行一取样操作以形成一取样信号;以及

利用该连续逼近式模拟数字转换器于各该比特循环相位对该取样信号进行一比较操作以产生该数字输出信号,其中该连续逼近动作为执行用以决定该数字输出信号的 N 个数字码的 N 次比较,且 N 为正整数。

3. 如权利要求 2 所述的连续逼近式模拟数字转换方法,其中每一该比较包括:

在一控制信号的控制下,利用该取样及数字模拟转换电路根据该取样信号产生一第一电位以及一第二电位;

比较该第一电位以及该第二电位以产生一比较结果;

依据该比较结果产生有序的多循环时脉信号;

根据该多循环时脉信号以及该比较结果产生该 N 个数字码;

以该 N 个数字码作为下一该比较的控制信号;以及

依据该转换时脉、该比较结果以及最后一该循环时脉信号控制该 N 个数字码的输出。

4. 如权利要求 3 所述的连续逼近式模拟数字转换方法,其中该重置步骤包括:

依据该转换时脉以及最后一该循环时脉信号产生一重置信号;以及

根据该重置信号重置该 N 个数字码。

5. 如权利要求 4 所述的连续逼近式模拟数字转换方法,其中该重置信号的产生步骤包括:

进行该转换时脉与最后一该循环时脉信号的逻辑运算以输出该重置信号。

6. 一种连续逼近式模拟数字转换电路,其特征在于,包括:

一连续逼近式模拟数字转换器,依据一转换时脉执行一取样操作以及一比较操作以将一模拟输入信号转换成一数字输出信号,该连续逼近式模拟数字转换器包括:

一取样及数字模拟转换电路;

一比较电路,耦接该取样及数字模拟转换电路;以及

一连续逼近式控制电路,耦接该取样及数字模拟转换电路与该比较电路;以及

一重置决策单元,耦接该连续逼近式控制电路以及该取样及数字模拟转换电路,检测该比较操作中一连续逼近动作,并且于该连续逼近动作完成时重置该取样及数字模拟转换电路。

7. 如权利要求 6 所述的连续逼近式模拟数字转换电路,其中该连续逼近式控制电路包括:

一循环时脉产生器,依据该比较电路的比较结果产生有序的多循环时脉信号;

一连续逼近暂存器,根据该多循环时脉信号以及该比较结果产生该数字输出信号的 N

个数字码,其中 N 为正整数;以及

一输出逻辑单元,依据该转换时脉、该比较结果以及最后一该循环时脉信号控制该 N 个数字码的输出为该数字输出信号。

8. 如权利要求 7 所述的连续逼近式模拟数字转换电路,其中该重置决策单元依据该转换时脉以及最后一该循环时脉信号产生一重置信号,以致该重置信号经由重置该连续逼近暂存器而重置该取样及数字模拟转换电路。

9. 如权利要求 7 所述的连续逼近式模拟数字转换电路,其中该重置决策单元为一逻辑元件,该逻辑元件进行该转换时脉与最后一该循环时脉信号的逻辑运算以输出一重置信号,以致该重置信号经由重置该连续逼近暂存器而重置该取样及数字模拟转换电路。

10. 如权利要求 6 所述的连续逼近式模拟数字转换电路,其中该取样及数字模拟转换电路包括至少一开关电容阵列,该重置决策单元于该连续逼近动作完成时产生一重置信号,并且该至少一开关电容阵列根据该重置信号耦接至一参考电平。

## 连续逼近式模拟数字转换电路及其方法

### 技术领域

[0001] 本发明涉及一种模拟数字转换技术,特别涉及一种连续逼近式模拟数字转换电路及其方法。

### 背景技术

[0002] 模拟数字转换器 (analog-to-digital converter, ADC) 有多种架构且各有各的优点。其中,连续逼近式 (Successive Approximation Register, SAR) ADC 具有低功耗、较小面积及较低成本等特性,近年来已普遍应用于电子设备上。

[0003] 随着架构和工艺的改良, SAR ADC 亦开始朝向发展高速的应用,尤其是分时平行式 (timing-interleaved, TI) SAR ADC 更是经常被采用。由于 SAR ADC 是采用二元搜索演算法 (binary search algorithm) 来得到与模拟输入信号相匹配的数字输出信号。因此, SAR ADC 需要一个比取样频率更高的比特循环时脉 (Bit cycling clock) 来实现。一般而言, SAR ADC 的转换速率是由外部提供的转换时脉 (conversion clock) 所控制。转换时脉的每个转换周期分为取样相位与比特循环相位。在取样相位, SAR ADC 必须取样模拟输入信号,并接续进入比特循环相位。在比特循环相位, SAR ADC 从最高有效比特 (the most significant bit, MSB) 到最低有效比特 (the least significant bit, LSB) 逐位地产生相对应的数字输出码,即生成数字输出信号。

[0004] 在每次进行下一转换周期之前, SAR ADC 会有一段闲置 (idle) 时间 (即, SAR ADC 不进行任何动作), 而此闲置时间的长短会因应工艺 - 电压 - 温度 (PVT) 变异与噪声 (noise) 等因素而决定。为了提升 SAR ADC 的效能,发展出通过延长取样相位的设计,其是将取样相位的起始时间提前至最后一个比特循环时脉的转态时点。然而,在 TI SAR ADC 的架构下,此设计会造成不同 ADC 之间发生取样相位重叠,以致 SAR ADC 的取样电路所取样到的信号受到干扰,进而降低取样品质。

### 发明内容

[0005] 在一实施例中,一种连续逼近式模拟数字转换方法,其包括:利用一连串逼近式模拟数字转换器依据一转换时脉执行一取样操作以及一比较操作以将一模拟输入信号转换成一数字输出信号,以及于比较操作中一连串逼近动作完成时,重置连续逼近式模拟数字转换器的一取样及数字模拟转换电路。

[0006] 在一实施例中,一种连续逼近式模拟数字转换电路,其包括:一连串逼近式模拟数字转换器以及一重置决策单元。连续逼近式模拟数字转换器依据一转换时脉执行一取样操作以及一比较操作以将一模拟输入信号转换成一数字输出信号。其中,连续逼近式模拟数字转换器包括一取样及数字模拟转换电路、一比较电路以及一连串逼近式控制电路。比较电路耦接取样及数字模拟转换电路,并且连续逼近式控制电路耦接取样及数字模拟转换电路与比较电路。重置决策单元耦接连续逼近式控制电路以及取样及数字模拟转换电路。重置决策单元检测比较操作中一连串逼近动作,并且于连续逼近动作完成时重置取样及数

字模拟转换电路。

[0007] 综上,根据本发明的连续逼近式模拟数字转换电路及其方法适用于连续逼近式模拟数字转换电路,以于检测到连续逼近动作结束(最后的循环时脉信号拉起)时进入取样及数字模拟转换电路的重置状态。如此一来,传统 SAR ADC 的闲置(idle)时间可以拿来让取样及数字模拟转换电路跟参考缓冲器提早动作,因而能降低取样及数字模拟转换电路重置(reset)时的频宽要求以及降低参考缓冲器推动时的频宽要求。并且,因为取样及数字模拟转换电路的下板提早进入重置状态,所以取样及数字模拟转换电路的上板将回复到此次的取样值,因此在进入下一取样相位时,连续逼近式模拟数字转换器的共模电平已回复至输入缓冲器的共模电平,藉以避免需要额外的回复时间。因此,根据本发明的连续逼近式模拟数字转换电路及其方法得以降低推动连续逼近式模拟数字转换器的输入缓冲器与推动取样及数字模拟转换电路的参考缓冲器的设计成本。

### 附图说明

[0008] 图 1 为根据本发明一实施例的连续逼近式模拟数字转换电路的概要示意图。

[0009] 图 2 为根据本发明一实施例的 SAR 模拟数字转换方法的流程图。

[0010] 图 3 为图 1 中的连续逼近式控制电路的一实施例的示意图。

[0011] 图 4 为图 1 中的重置决策单元的一实施例的示意图。

[0012] 图 5 为图 1 中的取样及数字模拟转换电路的一实施例的示意图。

[0013] 图 6 为图 1 中的取样及数字模拟转换电路的另一实施例的示意图。

[0014] 图 7 为图 6 中的取样及数字模拟转换电路的重置状态的一范例的示意图。

[0015] 图 8 为图 1 的 SAR 模拟数字转换电路在  $N = 5$  的范例下,各信号的时序图。

[0016] 附图标记说明:

[0017] 10 连续逼近式(SAR)模拟数字转换器(ADC)

[0018] 110 取样及数字模拟转换电路

[0019] 111、113 开关电容阵列

[0020] 130 比较电路

[0021] 150 连续逼近式控制电路

[0022] 151 循环时脉产生器

[0023] 153 连续逼近暂存器

[0024] 155 输出逻辑单元

[0025] 1551 逻辑元件

[0026] 1553 输出单元

[0027] 20 重置决策单元

[0028]  $V_{in}$  模拟输入信号

[0029]  $V_{inp}$  正极信号

[0030]  $V_{inn}$  负极信号

[0031] CKs 转换时脉

[0032]  $B[1:N]$  数字输出信号

[0033]  $B1 \sim BN$  数字码

[0034]	OUTp	比较结果
[0035]	OUTn	比较结果
[0036]	Valid	有效信号
[0037]	V1	第一电位
[0038]	V2	第二电位
[0039]	CK1 ~ CKN	循环时脉信号
[0040]	Sc	控制信号
[0041]	DFF1	触发器
[0042]	DFF2	触发器
[0043]	CKc	控制时脉
[0044]	DR	重置信号
[0045]	Vref	参考电平
[0046]	S31	利用连续逼近式模拟数字转换器于转换时脉的每一周期的取样相位对模拟输入信号进行一取样操作以形成一取样信号
[0047]	S33	利用连续逼近式模拟数字转换器于转换时脉的每一周期的比特循环相位对取样信号进行一比较操作以产生数字输出信号
[0048]	S35	于比较操作中的最后一次比较完成时,重置连续逼近式模拟数字转换器的一取样及数字模拟转换电路

### 具体实施方式

[0049] 图 1 为根据本发明一实施例的连续逼近式 (Successive Approximation Register, SAR) 模拟数字转换电路的概要示意图。图 2 为根据本发明一实施例的 SAR 模拟数字转换方法的流程图。

[0050] 参照图 1, SAR 模拟数字转换电路包括一 SAR 模拟数字转换器 (analog-to-digital converter, ADC) 10 以及一重置决策单元 20。SAR ADC 10 耦接重置决策单元 20。SAR ADC 10 依据转换时脉 CKs 将模拟输入信号  $V_{in}$  转换成相匹配的数字输出信号  $B[1:N]$ 。转换时脉 CKs 具有多周期, 并且每一周期分为一取样相位 (sampling phase) 以及一比特循环相位 (bit-cycling phase)。参照图 2, 于取样相位, SAR ADC 10 对模拟输入信号  $V_{in}$  进行一取样操作以产生一取样信号 (步骤 S31)。于比特循环相位, SAR ADC 10 对取样信号进行一比较操作以产生相匹配的数字输出信号  $B[1:N]$  (步骤 S33)。换言之, SAR ADC 10 基于取样相位进行取样操作, 并且基于比特循环相位进行比较操作。在比较操作的期间, SAR ADC 10 进行 N 次比较 (执行连续逼近动作) 以依序决定数字输出信号  $B[1:N]$  的 N 个数字码。重置决策单元 20 于最后一次比较完成时重置 SAR ADC 10 的取样及数字模拟转换电路 (步骤 S35)。其中, N 为正整数。

[0051] 在一些实施例中, SAR ADC 10 包括一取样及数字模拟转换电路 110、一比较电路 130 以及一连续逼近式控制电路 150。连续逼近式控制电路 150 包括一循环时脉产生器 151、一连续逼近暂存器 153 以及一输出逻辑单元 155。取样及数字模拟转换电路 110 耦接比较电路 130 的二输入端, 并且比较电路 130 的输出端耦接循环时脉产生器 151。循环时脉产生器 151 耦接连续逼近暂存器 153、输出逻辑单元 155 以及重置决策单元 20。连续逼近暂存

器 153 耦接输出逻辑单元 155 以及取样及数字模拟转换电路 110。

[0052] SAR ADC 10 的运作始于取样操作。在取样操作的期间,连续逼近式控制电路 150 以数字控制信号  $S_c$  控制取样及数字模拟转换电路 110,以致使取样及数字模拟转换电路 110 对模拟输入信号  $V_{in}$  进行取样操作以形成一取样信号。

[0053] 接着,SAR ADC 10 进入比较操作。比特循环相位包括依序接连的  $N$  个比特决定期间(即, $N$ 次比较)。于此,取样及数字模拟转换电路 110 在同一比特决定期间只转换一个比特,并且由最大有效比特(most significant bit,MSB)开始转换至最小有效比特(least significant bit,LSB)。

[0054] 在每个比特决定期间,连续逼近式控制电路 150 以数字控制信号  $S_c$  控制取样及数字模拟转换电路 110,以致使取样及数字模拟转换电路 110 会切换一比特开关并根据取样信号形成一第一电位  $V_1$  以及一第二电位  $V_2$ 。比较电路 130 进行取样及数字模拟转换电路 110 上的第一电位  $V_1$  与取样及数字模拟转换电路 110 上的第二电位  $V_2$  的比较以得到比较结果  $OUT_p$ 、 $OUT_n$ 。循环时脉产生器 151 根据比较电路 130 的运作状态(有效信号  $Valid$ )产生有序的多循环时脉信号  $CK_1 \sim CK_N$ 。连续逼近暂存器 153 根据循环时脉信号  $CK_1 \sim CK_N$  以及比较结果  $OUT_p$  产生  $N$  个数字码以作为下一比特决定期间的控制信号  $S_c$ 。在每个比特决定期间,输出逻辑单元 155 暂存控制信号  $S_c$ 。

[0055] 并且,输出逻辑单元 155 依据转换时脉  $CK_s$ 、比较结果  $OUT_p$  以及最后一循环时脉信号  $CK_N$  将暂存的控制信号  $S_c$  输出以作为数字输出信号  $B[1:N]$ 。

[0056] 图 3 为图 1 中的连续逼近式控制电路 150 的一实施例的示意图。

[0057] 在一些实施例中,参照图 3,循环时脉产生器 151 能由依序串接的  $N$  个触发器 DFF1 所实现。在一些实施例中,比较电路 130 可包括比较器以及反及闸(NAND gate)。比较器比较第一电位  $V_1$ (正极输入)以及第二电位  $V_2$ (负极输入),并且比较器输出比较结果  $OUT_p$ (正极输出)以及比较结果  $OUT_n$ (负极输出)。反及闸根据比较结果  $OUT_p$ 、 $OUT_n$  判断比较器的输出是否有效。换言之,比较结果  $OUT_p$ 、 $OUT_n$  经由反及闸的逻辑运算而产生有效信号  $Valid$ 。第一级的触发器 DFF1 根据有效信号  $Valid$  及供应电压  $V_{DD}$  产生循环时脉信号  $CK_1$ 。后续的触发器 DFF1 则根据有效信号  $Valid$  及前一级的触发器 DFF1 输出的循环时脉信号产生对应的循环时脉信号( $CK_2 \sim CK_N$ )。

[0058] 在一些实施例中,参照图 3,连续逼近暂存器 153 能由依序串接的  $N$  个触发器 DFF2 所实现。 $N$  个触发器 DFF2 分别接收循环时脉信号  $CK_1 \sim CK_N$ 。各触发器 DFF2 依据接收到的循环时脉信号以及正极的比较结果  $OUT_p$  输出一个数字码。 $N$  个触发器 DFF2 所输出的数字码  $B_1 \sim B_N$  做为数字控制信号  $S_c$  并输入至取样及数字模拟转换电路 110 的控制端。

[0059] 在一些实施例中,参照图 3,输出逻辑单元 155 包括一逻辑元件 1551 以及一输出单元 1553。输出单元 1553 耦接连续逼近暂存器 153 的  $N$  个触发器 DFF2 以及逻辑元件 1551 的输出。逻辑元件 1551 接收转换时脉  $CK_s$ 、有效信号  $Valid$  及最后一循环时脉信号  $CK_N$ ,并且据以输出一控制时脉  $CK_c$ 。输出单元 1553 根据控制时脉  $CK_c$  记录数字码  $B_1 \sim B_N$  并根据控制时脉  $CK_c$  将记录的数字码  $B_1 \sim B_N$  输出为一输出信号  $B[1:N]$ 。在一些实施例中,逻辑元件 1551 能以或闸(OR gate)实现。在一些实施例中,输出单元 1553 能以位移暂存器(shift register)实现。

[0060] 图 4 为图 1 中的重置决策单元 20 的一实施例的示意图。

[0061] 在一些实施例中,参照图4,重置决策单元20依据转换时脉CKs与最后一循环时脉信号CKN产生重置信号DR,并且以此重置信号DR重置连续逼近暂存器153的N个触发器DFF2,以致重置N个触发器DFF2所输出的数字码B1~BN。于此,重置后的数字码B1~BN作为数字控制信号Sc输入至取样及数字模拟转换电路110的控制端,以重置取样及数字模拟转换电路110。

[0062] 在一些实施例中,重置决策单元20可为一逻辑元件,且此逻辑元件为或闸。换言之,重置决策单元20接收转换时脉CKs与最后一循环时脉信号CKN,并进行转换时脉CKs与循环时脉信号CKN的逻辑运算以输出重置信号DR。

[0063] 图5为图1中的取样及数字模拟转换电路110的一实施例的示意图。图6为图1中的取样及数字模拟转换电路110的另一实施例的示意图。

[0064] 在一些实施例中,参照第5及6图,取样及数字模拟转换电路110包括至少一开关电容阵列111、113。每一开关电容阵列111、113包括多组串联的开关元件与电容元件,并且各开关元件依据数字控制信号Sc中对应的数字码(B1~BN中的一)将耦接的电容元件耦接(电性连接)至参考电平Vref或接地。于N次比较中的最后一次比较完成(即,循环时脉信号CKN拉起时)时,重置决策单元20依据转换时脉CKs与最后一循环时脉信号CKN拉起重置信号DR,以输出高电平的重置信号DR。连续逼近暂存器153的N个触发器DFF2的重置(reset)端接收到高电平的重置信号DR因而重置。重置后的N个触发器DFF2输出重置后的数字控制信号Sc(数字码B1~BN)至开关电容阵列111、113中的开关元件,以控制开关电容阵列111、113中的开关元件将耦接的电容元件电性连接至参考电平Vref。在一些实施例中,模拟输入信号Vin可为单端信号。在一些实施例中,模拟输入信号Vin可包括正极信号Vinp与负极信号Vinn。

[0065] 举例来说,以5比特为例,于最后的循环时脉信号CK5拉起时,取样及数字模拟转换电路110因重置信号DR拉起而进入重置状态,即,其开关电容阵列111、113耦接至参考电平Vref,但输入开关仍维持关闭状态(OFF),如图7所示。其中,各信号的时序如图8所示。

[0066] 综上,根据本发明的连续逼近式模拟数字转换电路及其方法适用于连续逼近式模拟数字转换电路,以于检测到连续逼近动作结束(最后的循环时脉信号CKN拉起)时进入取样及数字模拟转换电路110的重置状态。如此一来,传统SAR ADC的闲置(idle)时间可以拿来让取样及数字模拟转换电路110跟参考缓冲器提早动作,因而能降低取样及数字模拟转换电路110重置(reset)时的频宽要求以及降低参考缓冲器推动时的频宽要求。并且,因为取样及数字模拟转换电路110的下板提早进入重置状态,所以取样及数字模拟转换电路110的上板将回复到此次的取样值,因此在进入下一取样相位时,连续逼近式模拟数字转换器10的共模电平已回复至输入缓冲器的共模电平,藉以避免需要额外的回复时间。因此,根据本发明的连续逼近式模拟数字转换电路及其方法得以降低推动连续逼近式模拟数字转换器10的输入缓冲器与推动取样及数字模拟转换电路110的参考缓冲器的设计成本。



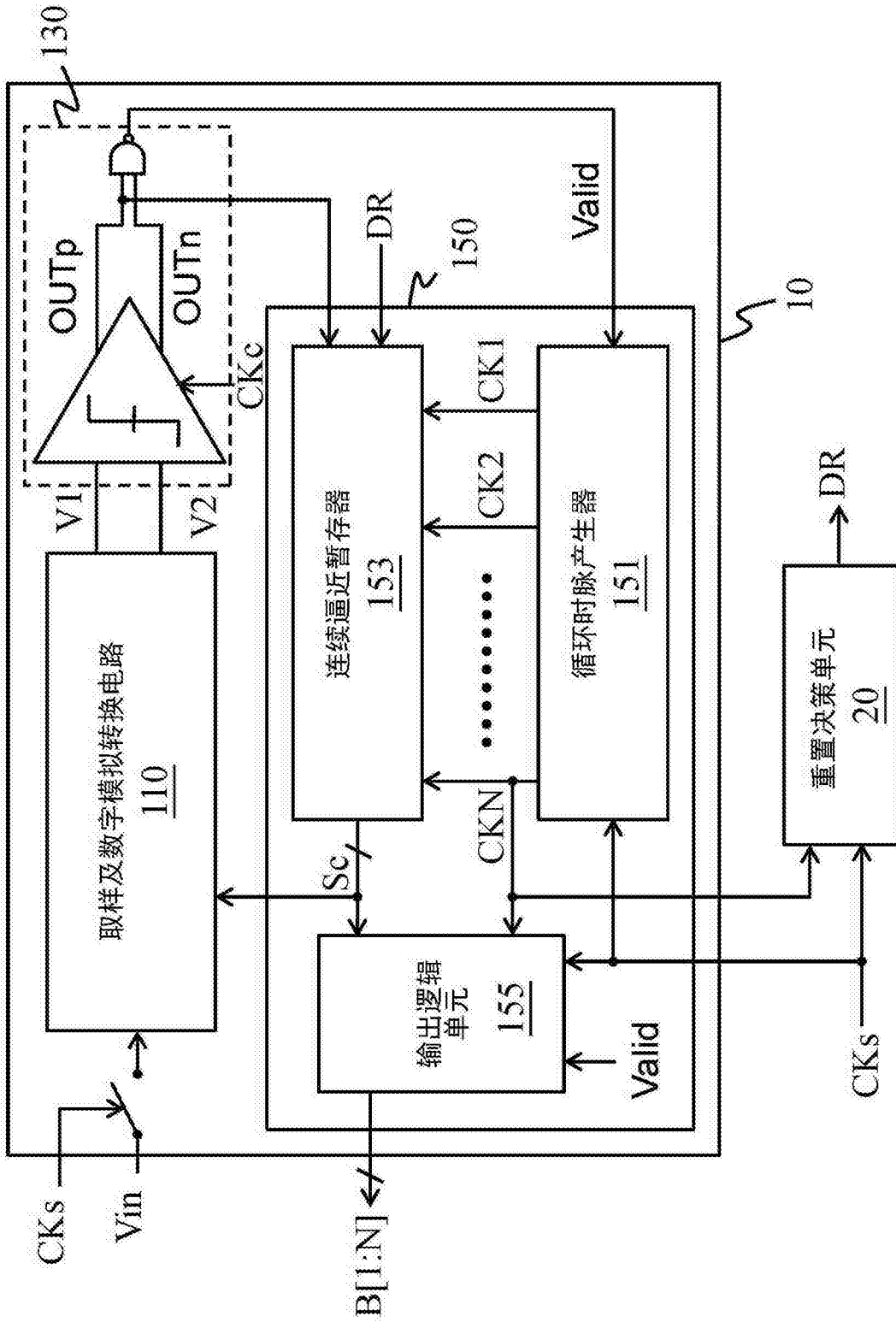


图 1

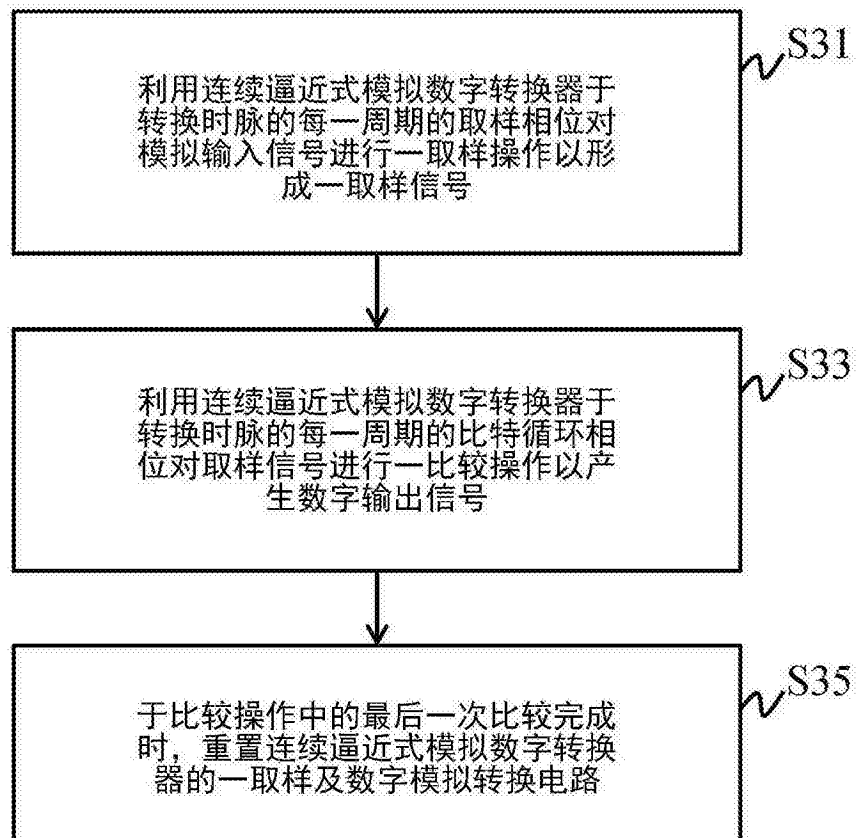


图 2

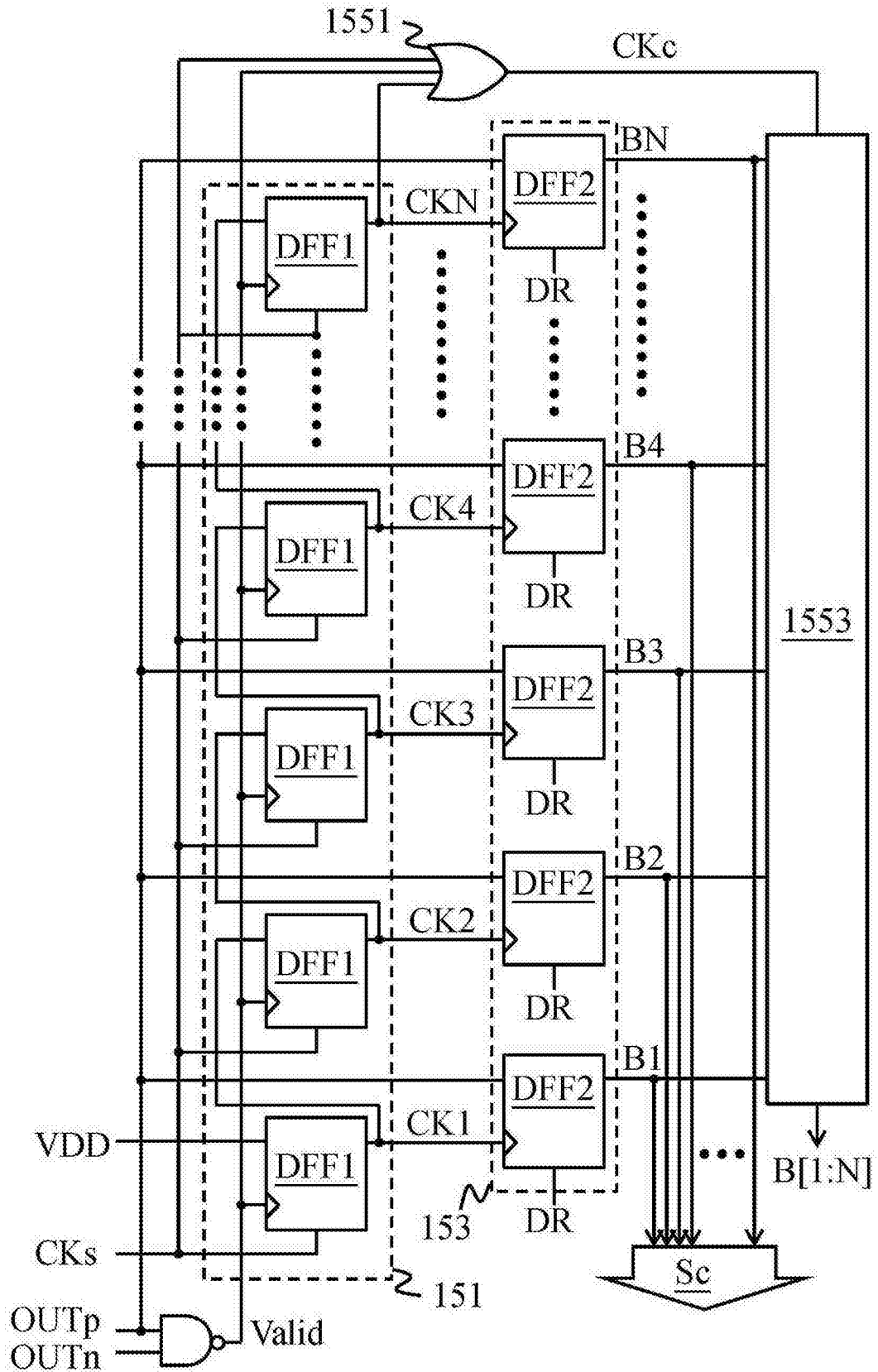


图 3

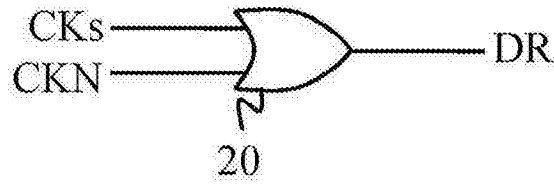


图 4

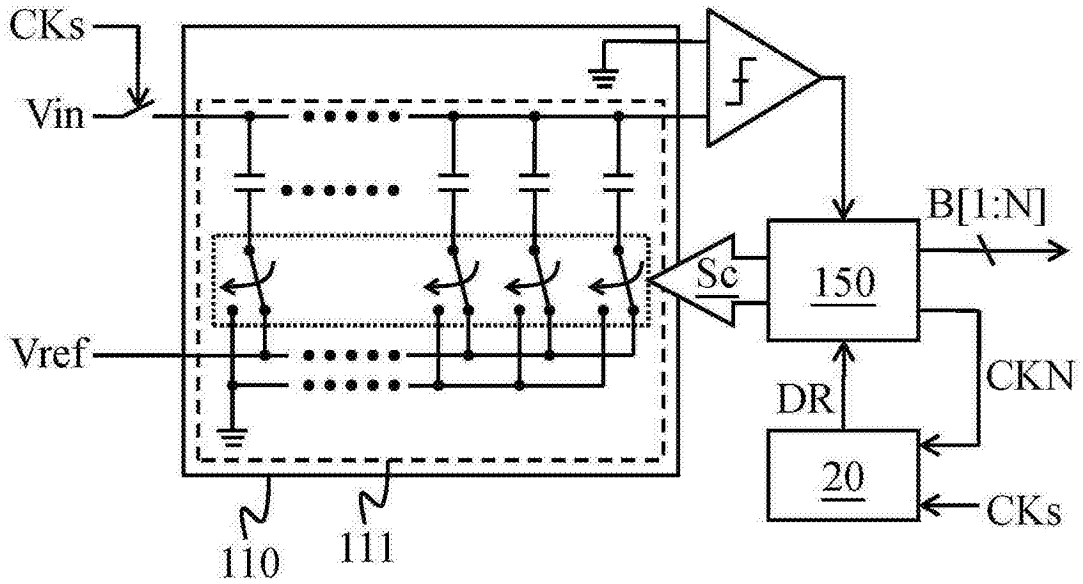


图 5

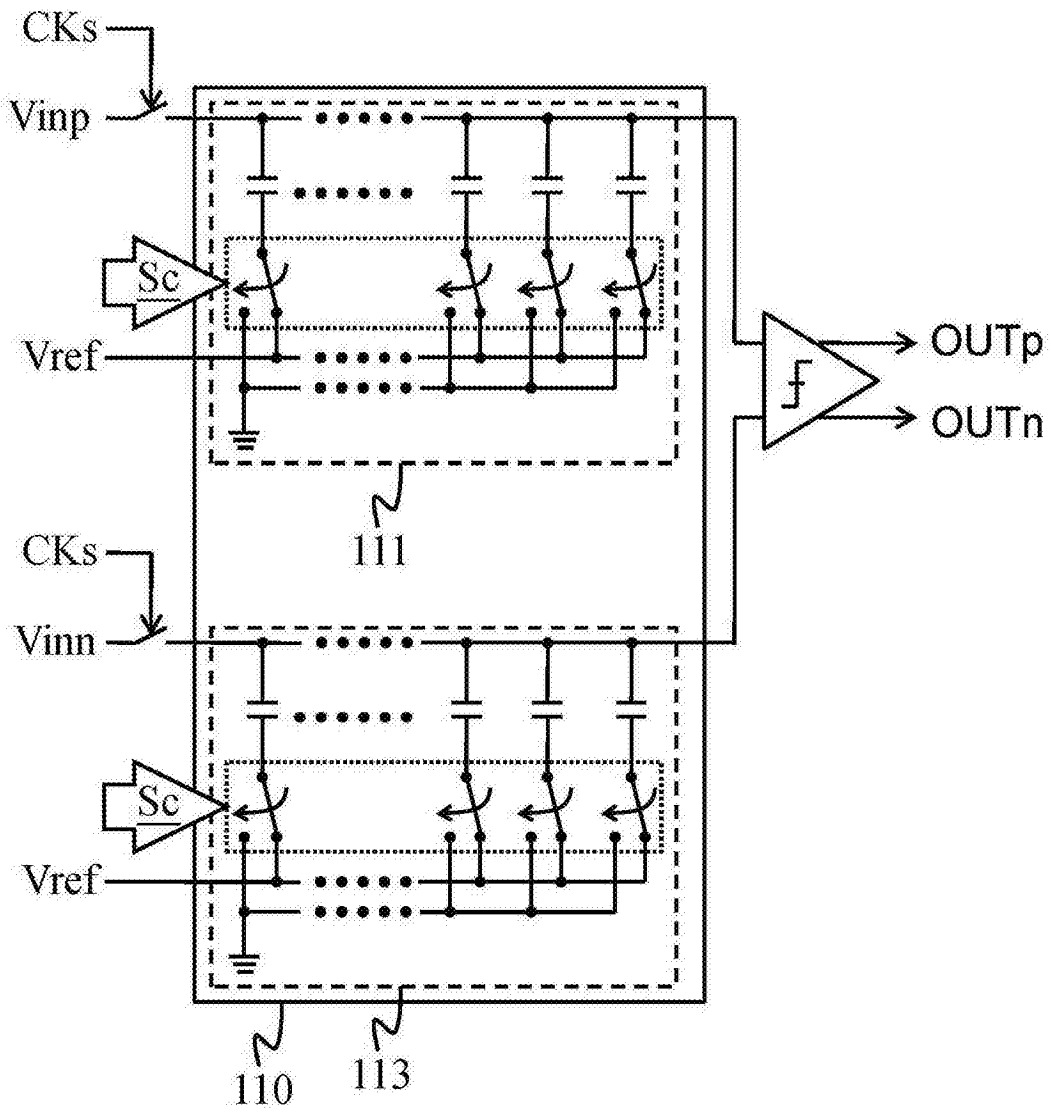


图 6

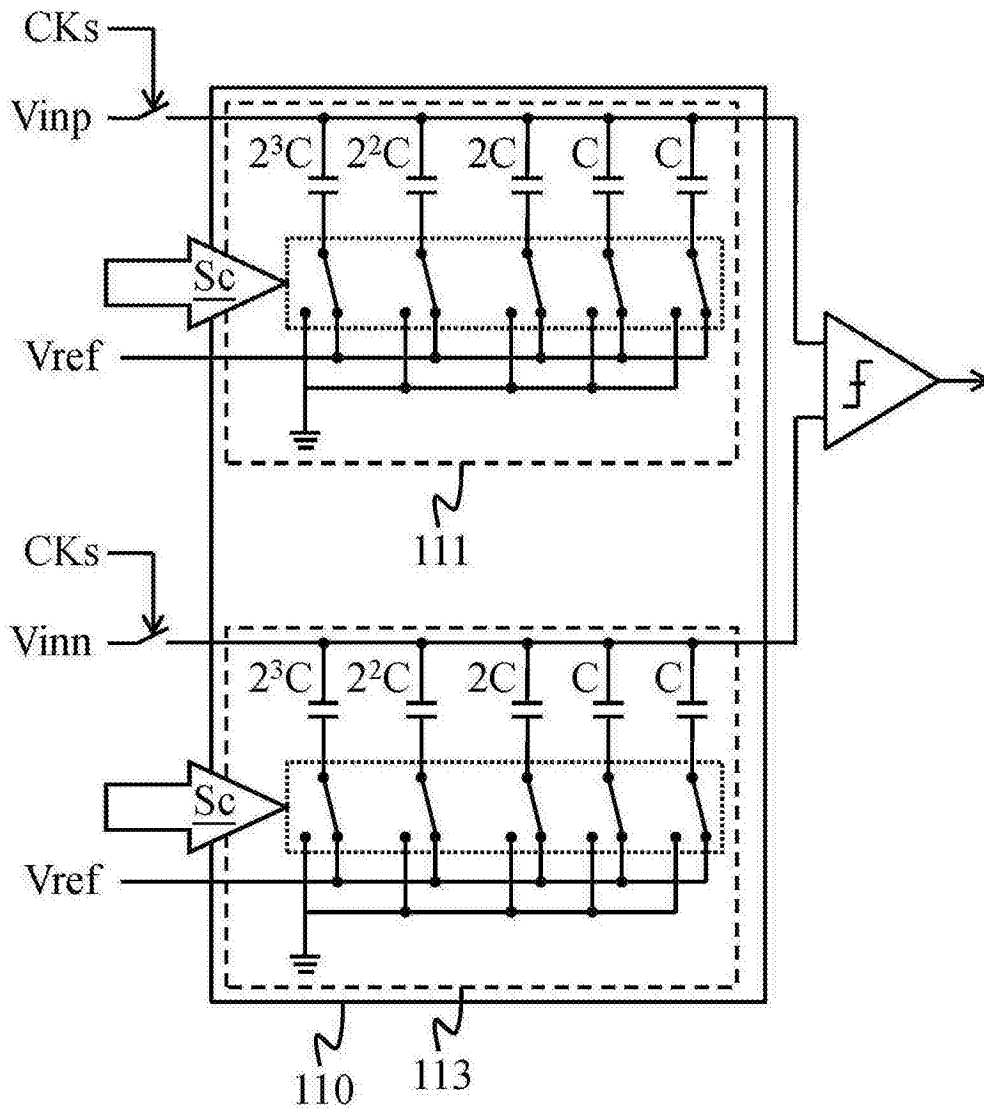


图 7

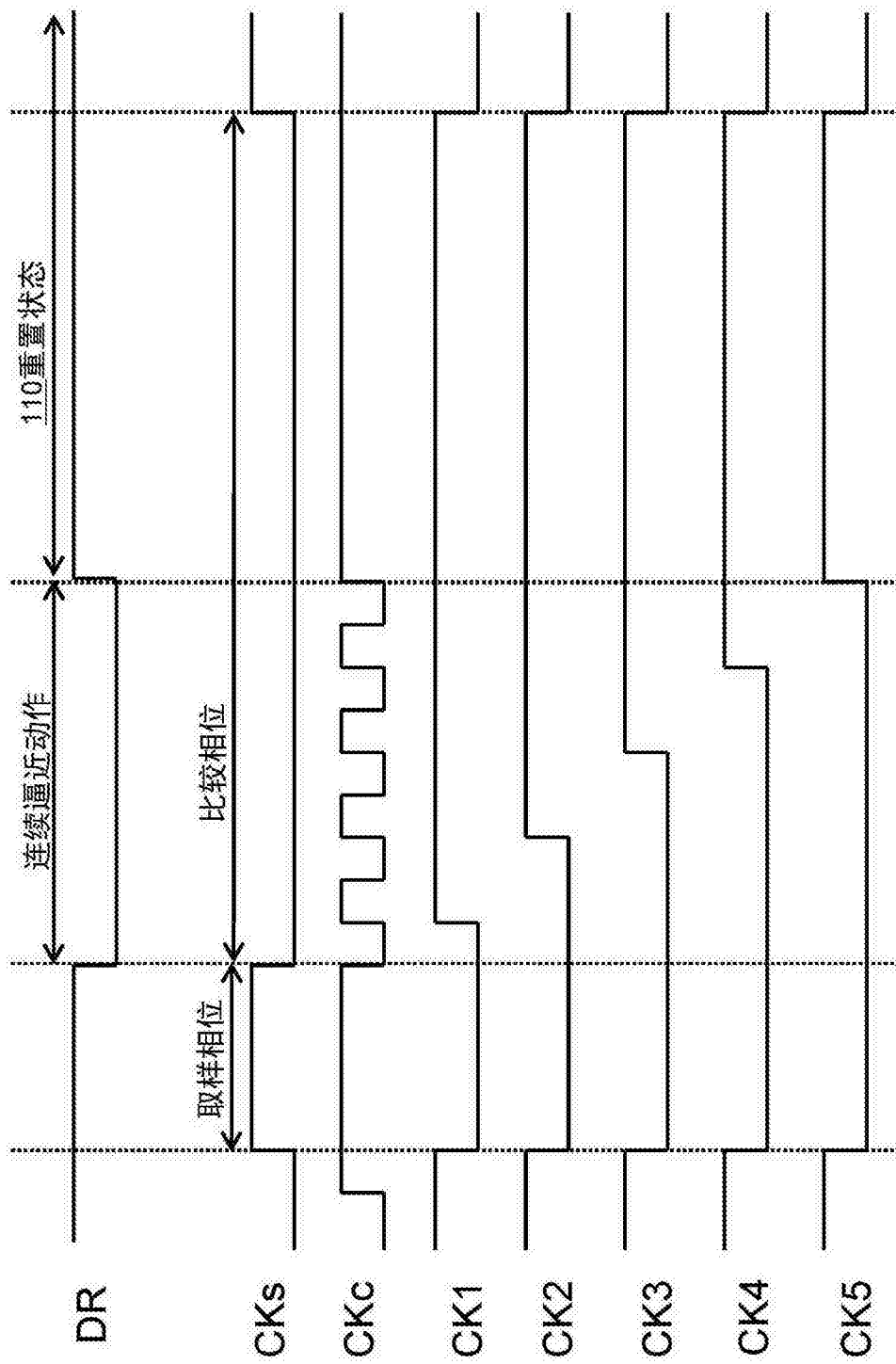


图 8