

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年11月2日 (02.11.2017)



(10) 国际公布号
WO 2017/185590 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) *G11C 19/28* (2006.01)
- (21) 国际申请号: PCT/CN2016/099181
- (22) 国际申请日: 2016年9月18日 (18.09.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610267107.1 2016年4月26日 (26.04.2016) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。
- (72) 发明人: 商广良 (SHANG, Guangliang); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 姚星 (YAO, Xing); 中国北京市经济技

术开发区地泽路9号, Beijing 100176 (CN)。 韩承佑 (HAN, Seungwoo); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 高玉杰 (GAO, Yujie); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 张元波 (ZHANG, Yuanbo); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 陈明 (CHEN, Ming); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 田正牧 (JUN, Jungmok); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 董学 (DONG, Xue); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区湾仔港湾道23号鹰君中心22号楼, Hong Kong (CN)。

(54) Title: SHIFT REGISTER UNIT, GATE DRIVING CIRCUIT AND DRIVING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器单元、栅极驱动电路及其驱动方法和显示装置

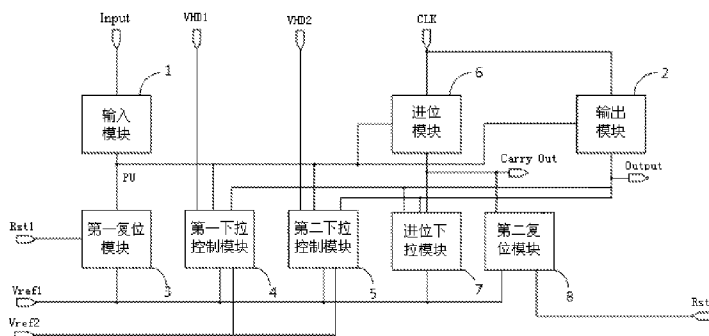


图 1

- 1 Input module
- 2 Output module
- 3 First resetting module
- 4 First pull-down control module
- 5 Second pull-down control module
- 6 Carry module
- 7 Carry pull-down module
- 8 Second resetting module

(57) Abstract: A shift register unit, a gate driving circuit (130) and a driving method therefor, and a display device (100). The shift register unit has a duty cycle comprising an input phase (t1), an output phase (t2), a resetting phase (t3), and a holding phase (t4). During the resetting phase (t3), a clock signal (CLK) is transmitted to an output terminal to pull down the voltage of the output terminal to a reference voltage (Vref1), and then the pulled-down voltage of the output terminal is changed from the reference voltage (Vref1) to a gate turn-off voltage (Vref2). During the holding phase (t4), the voltage of the output terminal is held at the gate turn-off voltage (Vref2). The reference voltage (Vref1) is less than the gate turn-off voltage (Vref2).



WO 2017/185590 A1

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种移位寄存器单元、栅极驱动电路 (130) 及其驱动方法、以及显示装置 (100)。移位寄存器单元具有包括输入阶段 (t1)、输出阶段 (t2)、复位阶段 (t3) 和保持阶段 (t4) 的工作周期。复位阶段 (t3), 将时钟信号 (CLK) 传送到输出端以将输出端的电压拉低至基准电压 (Vref1), 随后将输出端的被拉低的电压由基准电压 (Vref1) 改变至栅极关断电压 (Vref2)。保持阶段 (t4), 使输出端的电压保持在栅极关断电压 (Vref2)。基准电压 (Vref1) 小于栅极关断电压 (Vref2)。

移位寄存器单元、栅极驱动电路及其驱动方法和显示装置

技术领域

本公开涉及显示技术领域，尤其涉及一种移位寄存器单元、栅极驱动电路及其驱动方法、以及显示装置。

背景技术

随着显示技术的不断发展，越来越多的显示装置采用阵列基板行驱动（Gate On Array, GOA）技术，其中将栅极驱动电路集成在阵列基板的非显示区域上，从而缩小了显示装置的边框宽度。栅极驱动电路包括若干个移位寄存器单元，每个移位寄存器单元为阵列基板上的多条栅线中的对应一条提供栅极驱动信号。

分配到显示装置中每一行像素的时间是固定的。在该固定时间内，需要完成像素的充电和栅极驱动信号的复位。对于具有较高分辨率的显示装置，其栅极驱动信号的复位时间较长，导致用于每行像素的充电时间较短。这对于像素的充电是不利的。

发明内容

本公开的实施例提供一种移位寄存器单元、栅极驱动电路及其驱动方法、以及显示装置。所提出的移位寄存器单元可以输出具有缩短的复位时间的栅极驱动信号。

根据本公开的第一方面，提供一种移位寄存器单元，具有包括输入阶段、输出阶段、复位阶段和保持阶段的工作周期，所述移位寄存器单元包括：输入模块，被配置成在所述输入阶段将输入信号传至上拉节点以将所述上拉节点的电压拉高；输出模块，被配置成 a) 在所述输出阶段将时钟信号传送到输出端作为栅极开启电压并将所述上拉节点的电压进一步拉高一预定量，并且 b) 在所述复位阶段将所述时钟信号传送到所述输出端以将所述输出端的电压拉低至基准电压并将所述上拉节点的电压拉低所述预定量；第一复位模块，被配置成在所述复位阶段响应于第一复位信号将所述上拉节点的被拉低的电压进一步拉低至所述基准电压；以及第一下拉控制模块，被配置成响应于第一下拉控制信号而 a) 在所述复位阶段将所述输出端的被拉低的电压由所述基准电压改变至栅极关断电压，并且 b) 在所述保持阶段使所述上拉节点的电压保持在所述基准电压并使所述输出端的电压保持在所述栅

极关断电压，所述基准电压小于所述栅极关断电压。

根据本公开的第二方面，提供一种栅极驱动电路，包括多个级联的如第一方面中所述的移位寄存器单元。

5 根据本公开的第三方面，提供一种显示装置，包括如第二方面中任一项所述的栅极驱动电路。

根据本公开的第四方面，提供一种驱动包括多个移位寄存器单元的栅极驱动电路的方法，所述方法包括：对于所述多个移位寄存器单元中的每个：执行输入阶段，其中将输入信号传送至上拉节点以将所述上拉节点的电压拉高；执行输出阶段，其中将时钟信号传送到输出
10 端作为栅极开启电压并将所述上拉节点的电压进一步拉高一预定量；执行复位阶段，其中将所述时钟信号传送到所述输出端以将所述输出端的电压拉低至基准电压并将所述上拉节点的电压拉低所述预定量，响应于第一复位信号将所述上拉节点的被拉低的电压进一步拉低至所述基准电压，并且响应于第一下拉控制信号将所述输出端的被拉低的
15 电压由所述基准电压改变至栅极关断电压，所述基准电压小于所述栅极关断电压；以及执行保持阶段，其中响应于第一下拉控制信号使所述上拉节点的电压保持在所述基准电压并使所述输出端的电压保持在所述栅极关断电压。

根据在下文中所描述的实施例，本公开的这些和其它方面将是清
20 楚明白的，并且将参考在下文中所描述的实施例而被阐明。

附图说明

图 1 示意性地示出了根据本公开实施例的移位寄存器单元的框图；

图 2 示意性地示出了图示说明栅极驱动信号的复位时间的降低的
25 波形图；

图 3 示出了图 1 中所示的移位寄存器单元的示例电路图；

图 4 示出了图 3 中所示的移位寄存器单元的示例电路的工作时序图；

图 5 示意性地示出了根据本公开实施例的栅极驱动电路的框图；
30 并且

图 6 示意性地示出了根据本公开实施例的显示装置的框图。

具体实施方式

现在，将参照其中表示本公开的示范性实施例的附图更完整地描述本公开。然而，本公开可以按很多不同的方式体现，不应解读为局限于这里所述的实施例。相反，提供这些实施例使得本公开是详尽和完整的，并且向本领域的技术人员完全传达本公开的范围。全文中，
5 相同的参考数字指代相同的元素。

参阅图 1 和 4，根据本公开实施例的移位寄存器单元包括输入模块 1、输出模块 2、第一复位模块 3 和第一下拉控制模块 4。移位寄存器单元的一个工作周期包括输入阶段 t1、输出阶段 t2、复位阶段 t3 和保持阶段 t4。
10

输入模块 1 被配置成在输入阶段 t1 将输入信号 Input 传送至上拉节点 PU 以将所述上拉节点 PU 的电压拉高。

输出模块 2 被配置成 a) 在所述输出阶段 t2 将时钟信号 CLK 传送到输出端作为栅极开启电压并将所述上拉节点 PU 的电压进一步拉高一预定量，并且 b) 在所述复位阶段 t3 将所述时钟信号 CLK 传送到所述输出端以将所述输出端的电压拉低至基准电压 V_{ref1} 并将所述上拉节点 PU 的电压拉低所述预定量。时钟信号 CLK 的低电平为基准电压 V_{ref1} 。
15

第一复位模块 3 被配置成在所述复位阶段 t3 响应于第一复位信号 Rst1 将所述上拉节点 PU 的被拉低的电压进一步拉低至所述基准电压 V_{ref1} 。
20

第一下拉控制模块 4 被配置成响应于第一下拉控制信号 VHD1 而在所述复位阶段 t3 将所述输出端的被拉低的电压由所述基准电压 V_{ref1} 改变至栅极关断电压 V_{ref2} 。所述基准电压 V_{ref1} 小于所述栅极关断电压 V_{ref2} ，并且第一下拉控制信号 VHD1 与时钟信号 CLK 具有 180 度相位差。
25

第一下拉控制模块 4 还被配置成在所述保持阶段 t4 使所述上拉节点 PU 的电压保持在所述基准电压 V_{ref1} 并使所述输出端的电压保持在所述栅极关断电压 V_{ref2} 。移位寄存器单元的输出端在各个阶段输出的电压组合成栅极驱动信号“Output”。在保持阶段 t4，栅极驱动信号“Output”被保持在栅极关断电压 V_{ref2} ，使显示装置能够工作在稳定的状态。
30

参阅图 2，栅极驱动信号从高电平 VGH 被首先拉低至小于栅极关断电压 Vref2 的基准电压 Vref1，并且随后被改变为栅极关断电压 Vref2。与被直接拉低至栅极关断电压 Vref2 相比，栅极驱动信号在更短的时间内下降到预定值（例如，10%(VGH-Vref2)），从而实现了快速复位。

5 如图 2 所示，复位时间 Δt_2 小于复位时间 Δt_1 。栅极驱动信号的缩短的复位时间可以保证像素的充电时间。

返回参阅图 1 和 4，在一些实施例中，移位寄存器单元还包括第二下拉控制模块 5，其被配置成在所述保持阶段 t4 响应于第二下拉控制信号 VHD2 使所述上拉节点 PU 的电压保持在所述基准电压 Vref1 并使栅极驱动信号“Output”保持在所述栅极关断电压 Vref2。所述第二下拉控制信号 VHD2 具有与所述第一下拉控制信号 VHD1 的相位相反的相位。

在保持阶段 t4，第二下拉控制模块 5 与第一下拉控制模块 4 具有相同的功能，即在各自的下拉控制信号的控制下，使上拉节点 PU 的电压保持在基准电压 Vref1，并且使栅极驱动信号“Output”保持在栅极关断电压 Vref2。由于第一下拉控制信号 VHD1 与第二下拉控制信号 VHD2 的相位相反，所以第一下拉控制模块 4 和第二下拉控制模块 5 交替工作，使得在保持阶段 t4 中的任意时间点，上拉节点 PU 的电压总是保持在基准电压 Vref1，并且栅极驱动信号“Output”总是保持在栅极关断电压 Vref2。这避免了栅极驱动信号“Output”由于输出端的悬浮引起的不确定性。

将理解的是，在移位寄存器单元仅包括第一下拉控制模块 4 的实施例中，可以通过使第一下拉控制信号 VHD1 保持在高电平来避免栅极驱动信号“Output”的不确定性。

25 在一些实施例中，移位寄存器单元还包括进位模块 6 和进位下拉模块 7。

进位模块 6 被配置成 a) 在所述输出阶段 t2 将所述时钟信号 CLK 传送到进位端作为进位信号“Carry Out”，并且 b) 在所述复位阶段 t3 将所述时钟信号 CLK 传送到所述进位端以将所述进位端的电压拉低至所述基准电压 Vref1。

进位下拉模块 7 被配置成 a) 在所述复位阶段 t3 使所述进位端的被拉低的电压保持在所述基准电压 Vref1，并且 b) 在所述保持阶段 t4

使所述进位端的电压保持在所述基准电压 V_{ref1} 。

栅极驱动信号“Output”和进位信号“Carry Out”分别被提供在分离的输出端和进位端处，使得它们不会相互影响。在后面将描述的栅极驱动电路中，当前移位寄存器单元的进位信号“Carry Out”被提供
5 作为另一移位寄存器单元的输入信号 Input，并且不会受到当前移位寄存器单元的栅极驱动信号“Output”的负载的影响。而且，可以通过选用具有低功耗的晶体管来驱动栅极驱动信号“Output”以及进位信号“Carry Out”的输出来降低移位寄存器单元的功耗。当然，在其中未引入进位模块 6 和进位下拉模块 7 的实施例中，栅极驱动信号“Output”
10 也可以被用作进位信号“Carry Out”。这有利于减小显示装置的边框。

在一些实施例中，移位寄存器单元还包括第二复位模块 8，其被配置成在所述复位阶段 t3 响应于第二复位信号 Rst2 将所述进位端的电压拉低至所述基准电压 V_{ref1} 。第二复位模块 8 的存在使得能够将进位端的电压更快速地拉低至基准电压 V_{ref1} 。

15 现在参阅图 3，其中示出了图 1 中所示的移位寄存器单元的一个示例电路。

在该示例中，输入模块 1 包括第一晶体管 T1。第一晶体管 T1 的控制端和第一端均接收输入信号 Input，并且第一晶体管 T1 的第二端与上拉节点 PU 连接。在输入阶段 t1，输入信号 Input 控制第一晶体管
20 T1 导通，并且将上拉节点 PU 的电压拉高。

在该示例中，输出模块 2 包括第二晶体管 T2。第二晶体管 T2 的控制端与上拉节点 PU 连接，第二晶体管 T2 的第一端接收时钟信号 CLK，并且第二晶体管 T2 的第二端（即，输出端）输出栅极驱动信号“Output”。

25 在输出阶段 t2 开始时，上拉节点 PU 的电压控制第二晶体管 T2 导通，并且时钟信号 CLK 的高电平被传送到输出端。由于第二晶体管 T2 中的寄生电容（例如，栅-漏寄生电容和栅-源寄生电容）的自举，上拉节点 PU 的电压被进一步拉高一预定量。

在复位阶段 t3 开始时，由于第二晶体管 T2 中的寄生电容的自举，
30 时钟信号 CLK 从高电平到低电平的转变使得上拉节点 PU 的电压被拉低预定量，但是仍然为高电平并且能够使第二晶体管 T2 导通。第二晶体管 T2 的第二端的电压被拉低至时钟信号 CLK 的低电平，即基准电

压 V_{ref1} 。

在实践中，第二晶体管 T2 中的寄生电容可能将例如由于时钟信号 CLK 的高电平引起的噪声信号耦合到上拉节点 PU。为了减小这种由寄生电容造成的影响，移位寄存器单元还可以包括电容 C1。电容 C1 的一端与第二晶体管 T2 的第二端连接，并且电容 C1 的另一端与上拉节点 PU 连接。也即，电容 C1 与寄生电容并联。从上拉节点 PU 的视角，上拉节点 PU 一侧的电容增大，从而降低了来自时钟信号 CLK 的噪声对上拉节点 PU 的电压的影响。这可以增强移位寄存器单元的抗干扰能力。

10 在该示例中，第一复位模块 3 包括第三晶体管 T3。第三晶体管 T3 的控制端接收第一复位信号 Rst1，第三晶体管 T3 的第一端与上拉节点 PU 连接，并且第三晶体管 T3 的第二端与用于提供基准电压 V_{ref1} 的信号线连接。

15 在复位阶段 t_3 内的某个时间，第一复位信号 Rst1 控制第三晶体管 T3 导通，使得上拉节点 PU 与提供基准电压 V_{ref1} 的信号线连通，从而将上拉节点 PU 的电压拉低至基准电压 V_{ref1} 。

在该示例中，第一下拉控制模块 4 包括第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9。第四晶体管 T4 的控制端和第一端均接收第一下拉控制信号 VHD1，并且第四晶体管 T4 的第二端连接第五晶体管 T5 的控制端和第六晶体管 T6 的第一端。第五晶体管 T5 的第一端接收第一下拉控制信号 VHD1，并且第五晶体管 T5 的第二端与第一下拉节点 PD1 连接。第六晶体管 T6 的控制端与上拉节点 PU 连接，并且第六晶体管 T6 的第二端与用于提供基准电压 V_{ref1} 的信号线连接。第七晶体管 T7 的控制端与上拉节点 PU 连接，第七晶体管 T7 的第一端与第一下拉节点 PD1 连接，并且第七晶体管 T7 的第二端与用于提供基准电压 V_{ref1} 的信号线连接。第八晶体管 T8 的控制端与第一下拉节点 PD1 连接，第八晶体管 T8 的第一端与上拉节点 PU 连接，并且第八晶体管 T8 的第二端与用于提供基准电压 V_{ref1} 的信号线连接。第九晶体管 T9 的控制端与第一下拉节点 PD1 连接，第九晶体管 T9 的第一端与第二晶体管 T2 的第二端连接，并且第九晶体管 T9 的第二端与用于提供栅极关断电压 V_{ref2} 的信号线连接。

在复位阶段 t3, 第一下拉控制信号 VHD1 控制第四晶体管 T4 导通。在上拉节点 PU 的电压为高电平时, 第六晶体管 T6 和第七晶体管 T7 导通。由于第四晶体管 T4 和第六晶体管 T6 的宽长比设计, 第四晶体管 T4 的第二端的电压仍然处于低电平。在第一复位信号 Rst1 到来之后, 上拉节点 PU 的电压被拉低至基准电压 Vref1, 使得第六晶体管 T6 和第七晶体管 T7 截止。导通的第四晶体管 T4 进而控制第五晶体管 T5 导通, 使得第一下拉节点 PD1 的电压变为高电平。因此, 第八晶体管 T8 导通将上拉节点 PU 的电压拉低至基准电压 Vref1, 并且第九晶体管 T9 导通将第二晶体管 T2 的第二端的电压由基准电压 Vref1 改变至栅极关断电压 Vref2。

在保持阶段 t4, 在第一下拉控制信号 VHD1 为高电平时, 第一下拉节点 PD1 的电压处于高电平。因此, 第八晶体管 T8 导通使上拉节点 PU 的电压保持在基准电压 Vref1, 并且第九晶体管 T9 导通使第二晶体管 T2 的第二端电压保持在栅极关断电压 Vref2。

第八晶体管 T8 和第三晶体管 T3 均起到将上拉节点 PU 的电压拉低至基准电压 Vref1 的作用, 使得上拉节点 PU 的电压能够被更快速地拉低。

在该示例中, 第一下拉控制模块 4 还可以包括第十晶体管 T10 和第十一晶体管 T11。第十晶体管 T10 的控制端接收输入信号 Input, 第十晶体管 T10 的第一端与第四晶体管 T4 的第二端连接, 并且第十晶体管 T10 的第二端与用于提供基准电压 Vref1 的信号线连接。第十一晶体管 T11 的控制端接收输入信号 Input, 第十一晶体管 T11 的第一端与第一下拉节点 PD1 连接, 并且第十一晶体管 T11 的第二端与用于提供基准电压 Vref1 的信号线连接。

在输入阶段 t1, 在将上拉节点 PU 的电压拉高的同时, 输入信号 Input 还会控制第十晶体管 T10 和第十一晶体管 T11 导通。由于第四晶体管 T4 和第十晶体管 T10 的宽长比设计, 第四晶体管 T4 的第二端的电压仍然处于低电平并且使得第五晶体管 T5 截止。第十一晶体管 T11 导通会将第一下拉节点 PD1 的电压拉低至基准电压 Vref1。这样, 当拉高上拉节点 PU 的电压时, 输入信号 Input 将第一下拉节点 PD1 的电压拉低, 从而避免第八晶体管 T8 和第九晶体管 T9 导通而影响上拉节点 PU 和输出端的电压的情况。这提高了移位寄存器单元的可靠性。

在该示例中，第二下拉控制模块 5 包括第十二晶体管 T12、第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15、第十六晶体管 T16 和第十七晶体管 T17。第十二晶体管 T12 的控制端与第二下拉节点 PD2 连接，第十二晶体管 T12 的第一端与第二晶体管 T2 的第二端连接，并且第十二晶体管 T12 的第二端与用于提供栅极关断电压 V_{ref2} 的信号线连接。第十三晶体管 T13 的控制端和第十三晶体管 T13 的第一端均接收第二下拉控制信号 VHD2，并且第十三晶体管 T13 的第二端连接第十四晶体管 T14 的控制端和第十五晶体管 T15 的第一端。第十四晶体管 T14 的第一端接收第二下拉控制信号 VHD2，并且第十四晶体管 T14 的第二端与第二下拉节点 PD2 连接。第十五晶体管 T15 的控制端与上拉节点 PU 连接，并且第十五晶体管 T15 的第二端与用于提供基准电压 V_{ref1} 的信号线连接。第十六晶体管 T16 的控制端与上拉节点 PU 连接，第十六晶体管 T16 的第一端与第二下拉节点 PD2 连接，并且第十六晶体管 T16 的第二端与用于提供基准电压 V_{ref1} 的信号线连接。第十七晶体管 T17 的控制端与第二下拉节点 PD2 连接，第十七晶体管 T17 的第一端与上拉节点 PU 连接，并且第十七晶体管 T17 的第二端与用于提供基准电压 V_{ref1} 的信号线连接。

在输出阶段 t_2 ，上拉节点 PU 的高电平能够控制第十五晶体管 T15 和第十六晶体管 T16 均导通。由于第十三晶体管 T13 和第十五晶体管 T15 的宽长比设计，第十三晶体管 T13 的第二端的电压仍然处于低电平，使得第十四晶体管 T14 截止。导通的第十六晶体管 T16 将第二下拉节点 PD2 的电压拉低至基准电压 V_{ref1} 。因此，在输出阶段 t_2 ，第二下拉节点 PD2 的电压不能够使第十二晶体管 T12 和第十七晶体管 T17 导通，避免了对上拉节点 PU 和输出端的电压的影响。

在保持阶段 t_4 ，在第二下拉控制信号 VHD2 为高电平时，第十三晶体管 T13 和第十四晶体管 T14 导通，使得第二下拉节点 PD2 的电压为高电平，并且第十二晶体管 T12 和第十七晶体管 T17 导通。第十二晶体管 T12 导通使第二晶体管 T2 的第二端的电压保持在栅极关断电压 V_{ref2} ，并且第十七晶体管 T17 导通使上拉节点 PU 的电压保持在基准电压 V_{ref1} 。

在该示例中，第二下拉控制模块 5 还可以包括第十八晶体管 T18 和第十九晶体管 T19。第十八晶体管 T18 的控制端接收输入信号 Input，

第十八晶体管 T18 的第一端与第十三晶体管 T13 的第二端连接，第十八晶体管 T18 的第二端与用于提供基准电压 Vref1 的信号线连接；第十九晶体管 T19 的控制端接收输入信号 Input，第十九晶体管 T19 的第一端与第二下拉节点 PD2 连接，第十九晶体管 T19 的第二端与用于提供基准电压 Vref1 的信号线连接。

在输入阶段 t1，在将上拉节点 PU 的电压拉高的同时，输入信号 Input 还会控制第十八晶体管 T18 和第十九晶体管 T19 导通。由于第十三晶体管 T13 和第十八晶体管 T18 的宽长比设计，第十三晶体管 T13 的第二端的电压仍然处于低电平并且使得第十四晶体管 T14 截止。第十九晶体管 T19 导通会将第二下拉节点 PD2 的电压拉低至基准电压 Vref1。这样，当拉高上拉节点 PU 的电压时，输入信号 Input 将第二下拉节点的电压拉低，从而避免第十二晶体管 T12 和第十七晶体管 T17 导通而影响上拉节点 PU 和输出端的电压的情况。这提高了移位寄存器单元的可靠性。

在该示例中，进位模块 6 包括第二十晶体管 T20。第二十晶体管 T20 的控制端与上拉节点 PU 连接，第二十晶体管 T20 的第一端接收时钟信号 CLK，并且第二十晶体管 T20 的第二端（即，进位端）输出进位信号“Carry Out”。

在输出阶段 t2，上拉节点 PU 的电压控制第二十晶体管 T20 导通，并且时钟信号 CLK 的高电平被输出到第二十晶体管 T20 的第二端作为进位信号。在刚进入到复位阶段 t3 时，上拉节点 PU 的电压继续控制第二十晶体管 T20 导通，并且时钟信号 CLK 的低电平（基准电压 Vref1）被输出到第二十晶体管 T20。

在该示例中，进位下拉模块 7 包括第二十一晶体管 T21 和第二十二晶体管 T22。第二十一晶体管 T21 的控制端与第一下拉节点 PD1 连接，第二十一晶体管 T21 的第一端与第二十晶体管 T20 的第二端连接，并且第二十一晶体管 T21 的第二端与用于提供基准电压 Vref1 的信号线连接。第二十二晶体管 T22 的控制端与第二下拉节点 PD2 连接，第二十二晶体管 T22 的第一端与第二十晶体管 T20 的第二端连接，并且第二十二晶体管 T22 的第二端与用于提供基准电压 Vref1 的信号线连接。

在复位阶段 t3，第一下拉节点 PD1 的高电平控制第二十一晶体管

T21 导通，并且第二十晶体管 T20 的第二端的电压被保持在基准电压 Vref1。

在保持阶段 t4，第一下拉节点 PD1 的高电平控制第二十一晶体管 T21 导通，并且第二下拉节点 PD2 的高电平控制第二十二晶体管 T22 导通。第二十晶体管 T20 的第二端的电压被保持在基准电压 Vref1。

在该示例中，第二复位模块 8 包括第二十三晶体管 T23。第二十三晶体管 T23 的控制端接收第二复位信号 Rst2，第二十三晶体管 T23 的第一端与第二十晶体管 T20 的第二端连接，并且第二十三晶体管 T23 的第二端与用于提供基准电压 Vref1 的信号线连接。

在复位阶段 t3，第二复位信号 Rst2 控制第二十三晶体管 T23 导通，将进位端的电压拉低至基准电压 Vref1。第二十三晶体管 T23 与第二十一晶体管 T21 的配合使得进位端的电压能够被更快速地拉低至基准电压 Vref1。

在上面的实施例中，第一晶体管 T1 至第二十三晶体管 T23 被描述和图示为 N 型晶体管。然而，在适当的情况下，可以使用 P 型晶体管和对应的时序信号来实现相同的功能。用于开启 P 型晶体管的栅极电压为低电平电压，并且用于关断 P 型晶体管的栅极电压为高电平电压。

请参阅图 5，其中示出了根据本公开实施例的一种栅极驱动电路，其包括若干级联的上述移位寄存器单元。移位寄存器单元的细节已经在上面详细地描述，此处不做赘述。

图 5 示出了多个移位寄存器单元的示例性级联。第 n 个移位寄存器单元输出的进位信号“Carry Out”被提供作为第 n+k 个移位寄存器单元的输入信号 Input。第 n 个移位寄存器单元输出的进位信号“Carry Out”被提供作为第 n-k 个移位寄存器单元的第一复位信号 Rst1。第 n+1 个移位寄存器单元输出的进位信号“Carry Out”被提供作为第 n-k 个移位寄存器单元的第二复位信号 Rst2。第 n+1 个移位寄存器单元输出的进位信号“Carry Out”被提供作为第 n+1-k 级移位寄存器单元的第一复位信号 Rst1。n 为大于等于 4 的整数，并且 k 为小于 n 的整数且大于等于 3。

在图 5 的示例中，移位寄存器单元 GOA1 至 GOA6 分别连接第一时钟信号线至第六时钟信号线，即分别接收第一时钟信号 CLK1 至第六时钟信号 CLK6。GOA1 至 GOA6 连接同一个第一下拉控制信号线，

即接收同一个第一下拉控制信号 VHD1。GOA1 至 GOA6 连接同一个第二下拉控制信号线，即接收同一个第二下拉控制信号 VHD2。GOA1 至 GOA6 连接同一个用于提供基准电压 Vref1 的信号线，即接收同一个基准电压 Vref1。GOA1 至 GOA6 连接同一个用于提供栅极关断电压 Vref2 的信号线，即接收同一个栅极关断电压 Vref2。帧起始信号 STV 被提供作为 GOA1 至 GOA3 的输入信号 Input。GOA1 至 GOA6 的输出端为对应的栅线提供对应的栅极驱动信号“Output”。

GOA1 输出的进位信号“Carry Out”被提供作为 GOA4 的输入信号 Input。GOA4 输出的进位信号“Carry Out”被提供作为 GOA1 的第一复位信号 Rst1。GOA5 输出的进位信号“Carry Out”被提供作为 GOA1 的第二复位信号 Rst2。

GOA2 输出的进位信号“Carry Out”被提供作为 GOA5 的输入信号 Input。GOA5 输出的进位信号“Carry Out”被提供作为 GOA2 的第一复位信号 Rst1。GOA6 输出的进位信号“Carry Out”被提供作为 GOA2 的第二复位信号 Rst2。

GOA3 输出的进位信号“Carry Out”被提供作为 GOA6 的输入信号 Input。GOA6 输出的进位信号“Carry Out”被提供作为 GOA3 的第一复位信号 Rst1。GOA6 的下一个移位寄存器单元（未示出）输出的进位信号被提供作为 GOA3 的第二复位信号 Rst2。

GOA4 至 GOA6 以及另外的移位寄存器单元（未示出）的连接是类似的，并且此处为了简单起见被省略。

本公开实施例还提供一种驱动包括多个移位寄存器单元的栅极驱动电路的方法。参阅图 1 和 4，该方法包括针对每个移位寄存器单元执行以下步骤。

在输入阶段 t1，输入模块 1 将输入信号 Input 传送至上拉节点 PU 以将上拉节点 PU 的电压拉高。

在输出阶段 t2，输出模块 2 将时钟信号 CLK 传送到输出端作为栅极开启电压并将上拉节点 PU 的电压进一步拉高一预定量。

在复位阶段 t3，输出模块 2 将时钟信号 CLK 传送到所述输出端以将输出端的电压拉低至基准电压 Vref1 并将上拉节点 PU 的电压拉低所述预定量。第一复位模块 3 响应于第一复位信号 Rst1 将上拉节点 PU 的被拉低的电压进一步拉低至基准电压 Vref1。第一下拉控制模块 4 响

应于第一下拉控制信号 VHD1 将输出端的被拉低的电压由基准电压 Vref1 改变至栅极关断电压 Vref2。

在保持阶段 t4，第一下拉控制模块 4 响应于第一下拉控制信号 VHD1 使上拉节点 PU 的电压保持在基准电压 Vref1 并使输出端的电压
5 保持在栅极关断电压 Vref2。

该方法的各个阶段的细节在前面结合图 1、3 和 4 描述的实施例中
被描述，并且在此为了简单起见被省略。

栅极驱动信号从高电平 VGH 被首先拉低至小于栅极关断电压
Vref2 的基准电压 Vref1，并且随后被改变为栅极关断电压 Vref2。与被
10 直接拉低至栅极关断电压 Vref2 相比，栅极驱动信号在更短的时间内下
降到预定值（例如，10%(VGH-Vref2)），从而实现了快速复位。

此外，在保持阶段 t4，栅极驱动信号“Output”被保持在栅极关断
电压 Vref2，使显示装置能够工作在稳定的状态。

图 6 为根据本公开实施例的显示装置 100 的示意图。参照图 6，显
15 示装置 100 包括用于显示图像的显示面板 110、用于向显示面板 110 输
出数据电压的数据驱动电路 120 以及用于向显示面板 110 输出栅极电
压的栅极驱动电路 130。栅极驱动电路 130 可以是上面实施例中描述的
栅极驱动电路，对其的详细描述在此被省略。

显示面板 110 的示例包括液晶显示面板和有机发光二极管显示面
20 板。在一些实施例中，数据驱动电路 120 和栅极驱动电路 130 可以集
成在显示面板 110 上。在一些实施例中，数据驱动电路 120 和栅极驱
动电路 130 中的至少一个可以形成单独的芯片。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并
不局限于此。任何熟悉本技术领域的技术人员可轻易想到的变化或替
25 换都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以
权利要求为准。

权 利 要 求

1. 一种移位寄存器单元，具有包括输入阶段、输出阶段、复位阶段和保持阶段的工作周期，所述移位寄存器单元包括：

5 输入模块，被配置成在所述输入阶段将输入信号传送至上拉节点以将所述上拉节点的电压拉高；

输出模块，被配置成 a) 在所述输出阶段将时钟信号传送到输出端作为栅极开启电压并将所述上拉节点的电压进一步拉高一预定量，并且 b) 在所述复位阶段将所述时钟信号传送到所述输出端以将所述输出
10 端的电压拉低至基准电压并将所述上拉节点的电压拉低所述预定量；

第一复位模块，被配置成在所述复位阶段响应于第一复位信号将所述上拉节点的被拉低的电压进一步拉低至所述基准电压；以及

第一下拉控制模块，被配置成响应于第一下拉控制信号而 a) 在所述复位阶段将所述输出端的被拉低的电压由所述基准电压改变至栅极
15 关断电压，并且 b) 在所述保持阶段使所述上拉节点的电压保持在所述基准电压并使所述输出端的电压保持在所述栅极关断电压，所述基准电压小于所述栅极关断电压。

2. 根据权利要求 1 所述的移位寄存器单元，其中所述输入模块包括第一晶体管，其具有均用于接收所述输入信号的控制端和第一端，
20 以及与所述上拉节点连接的第二端。

3. 根据权利要求 1 所述的移位寄存器单元，其中所述输出模块包括第二晶体管，其具有与所述上拉节点连接的控制端、用于接收所述时钟信号的第一端、以及与所述输出端连接的的第二端。

4. 根据权利要求 1 所述的移位寄存器单元，其中所述第一复位模块包括第三晶体管，其具有用于接收所述第一复位信号的控制端、与
25 所述上拉节点连接的第一端、以及用于接收所述基准电压的第二端。

5. 根据权利要求 1 所述的移位寄存器单元，其中所述第一下拉控制模块包括：

第四晶体管，具有均用于接收所述第一下拉控制信号的控制端和
30 第一端、以及第二端；

第五晶体管，具有与所述第四晶体的第二端连接的控制端、用于接收所述第一下拉控制信号的第一端、以及与第一下拉节点连接的

第二端；

第六晶体管，具有与所述上拉节点连接的控制端、与所述第四晶体管的第二端连接的第一端、以及用于接收所述基准电压的第二端；

5 第七晶体管，具有与所述上拉节点连接的控制端、与所述第一下拉节点连接的第一端、以及用于接收所述基准电压的第二端；

第八晶体管，具有与所述第一下拉节点连接的控制端、与所述上拉节点连接的第一端、以及用于接收所述基准电压的第二端；以及

第九晶体管，具有与所述第一下拉节点连接的控制端、与所述输出端连接的第一端、以及用于接收所述栅极关断电压的第二端。

10 6. 根据权利要求 5 所述的移位寄存器单元，其中所述第一下拉控制模块还包括：

第十晶体管，具有用于接收所述输入信号的控制端、与所述第四晶体管的第二端连接的第一端、以及用于接收所述基准电压的第二端；以及

15 第十一晶体管，具有用于接收所述输入信号的控制端、与所述第一下拉节点连接的第一端、以及用于接收所述基准电压的第二端。

7. 根据权利要求 1 所述的移位寄存器单元，还包括第二下拉控制模块，其被配置成在所述保持阶段响应于第二下拉控制信号使所述上拉节点的电压保持在所述基准电压并使所述输出端的电压保持在所述栅极关断电压，所述第二下拉控制信号具有与所述第一下拉控制信号的相位相反的相位。

8. 根据权利要求 7 所述的移位寄存器单元，其中所述第二下拉控制模块包括：

25 第十二晶体管，具有与第二下拉节点连接的控制端、与所述输出端连接的第一端、以及用于接收所述栅极关断电压的第二端；

第十三晶体管，具有均用于接收所述第二下拉控制信号的控制端和第一端、以及第二端；

30 第十四晶体管，具有与所述第十三晶体管的第二端连接的控制端、用于接收所述第二下拉控制信号的第一端、以及与所述第二下拉节点连接的第二端；

第十五晶体管，具有与所述上拉节点连接的控制端、与所述第十三晶体管的第二端连接的第一端、以及用于接收所述基准电压的第二

端；

第十六晶体管，具有与所述上拉节点连接的控制端、与所述第二下拉节点连接的第一端、以及用于接收所述基准电压的第二端；以及

第十七晶体管，具有与所述第二下拉节点连接的控制端、与所述上拉节点连接的第一端、以及用于接收所述基准电压的第二端。

9. 根据权利要求 8 所述的移位寄存器单元，其中所述第二下拉控制模块还包括：

第十八晶体管，具有用于接收所述输入信号的控制端、与所述第十三晶体管的第二端连接的第一端、以及用于接收所述基准电压的第二端；以及

第十九晶体管，具有用于接收所述输入信号的控制端、与所述第二下拉节点连接的第一端、以及用于接收所述基准电压的第二端。

10. 根据权利要求 7 所述的移位寄存器单元，还包括：

进位模块，被配置成 a) 在所述输出阶段将所述时钟信号传送到进位端作为进位信号，并且 b) 在所述复位阶段将所述时钟信号传送到所述进位端以将所述进位端的电压拉低至所述基准电压；以及

进位下拉模块，被配置成 a) 在所述复位阶段使所述进位端的被拉低的电压保持在所述基准电压，并且 b) 在所述保持阶段使所述进位端的电压保持在所述基准电压。

11. 根据权利要求 10 所述的移位寄存器单元，其中所述进位模块包括第二十晶体管，其具有与所述上拉节点连接的控制端、用于接收所述时钟信号的第一端、以及与所述进位端连接的第二端。

12. 根据权利要求 10 所述的移位寄存器单元，其中所述进位下拉模块包括：

第二十一晶体管，具有与第一下拉节点连接的控制端、与所述进位端连接的第一端、以及用于接收所述基准电压的第二端；以及

第二十二晶体管，具有与第二下拉节点连接的控制端、与所述进位端连接的第一端、以及用于接收所述基准电压的第二端。

13. 根据权利要求 10 所述的移位寄存器单元，还包括第二复位模块，其被配置成在所述复位阶段响应于第二复位信号将所述进位端的电压拉低至所述基准电压。

14. 根据权利要求 13 所述的移位寄存器单元，其中所述第二复位

模块包括第二三晶体管，其具有用于接收所述第二复位信号的控制端、与所述进位端连接的第一端、以及用于接收所述基准电压的第二端。

15 15. 根据权利要求 1 所述的移位寄存器单元，还包括电容，其具有与所述输出端连接的一端和与所述上拉节点连接的另一端。

16. 一种栅极驱动电路，包括多个级联的如权利要求 1-6 中任一项所述的移位寄存器单元。

10 17. 根据权利要求 16 所述的栅极驱动电路，其中所述多个移位寄存器单元中的每个还包括第二下拉控制模块，其被配置成在所述保持阶段响应于第二下拉控制信号使所述上拉节点的电压保持在所述基准电压并使所述输出端的电压保持在所述栅极关断电压，所述第二下拉控制信号具有与所述第一下拉控制信号的相位相反的相位。

18. 根据权利要求 17 所述的栅极驱动电路，其中所述多个移位寄存器单元中的每个还包括：

15 19 进位模块，被配置成 a) 在所述输出阶段将所述时钟信号传送到进位端作为进位信号，并且 b) 在所述复位阶段将所述时钟信号传送到所述进位端以将所述进位端的电压拉低至所述基准电压；以及

20 进位下拉模块，被配置成 a) 在所述复位阶段使所述进位端的被拉低的电压保持在所述基准电压，并且 b) 在所述保持阶段使所述进位端的电压保持在所述基准电压。

19. 根据权利要求 18 所述的栅极驱动电路，其中所述多个移位寄存器单元中的每个还包括第二复位模块，其被配置成在所述复位阶段响应于第二复位信号将所述进位端的电压拉低至所述基准电压。

25 20. 根据权利要求 19 所述的栅极驱动电路，其中来自所述多个移位寄存器单元中的第 n 个的进位信号被提供作为所述多个移位寄存器单元中的第 $n+k$ 个的输入信号和所述多个移位寄存器单元中的第 $n-k$ 个的第一复位信号，并且来自所述多个移位寄存器单元输出中的第 $n+1$ 个的进位信号被提供作为所述多个移位寄存器单元中的第 $n-k$ 个的第二复位信号和所述多个移位寄存器单元中的第 $n+1-k$ 个的第一复位信号，其中 n 为大于等于 4 的整数，并且 k 为小于 n 的整数且大于等于 3。

30 21. 根据权利要求 16-20 中任一项所述的栅极驱动电路，其中所述多个移位寄存器单元中的每个还包括电容，其具有与所述输出端连接

的一端和与所述上拉节点连接的另一端。

22. 一种显示装置, 包括如权利要求 16-21 中任一项所述的栅极驱动电路。

23. 一种驱动包括多个移位寄存器单元的栅极驱动电路的方法, 所述方法包括:

对于所述多个移位寄存器单元中的每个:

执行输入阶段, 其中将输入信号传送至上拉节点以将所述上拉节点的电压拉高;

执行输出阶段, 其中将时钟信号传送到输出端作为栅极开启电压并将所述上拉节点的电压进一步拉高一预定量;

执行复位阶段, 其中将所述时钟信号传送到所述输出端以将所述输出端的电压拉低至基准电压并将所述上拉节点的电压拉低所述预定量, 响应于第一复位信号将所述上拉节点的被拉低的电压进一步拉低至所述基准电压, 并且响应于第一下拉控制信号将所述输出端的被拉低的电压由所述基准电压改变至栅极关断电压, 所述基准电压小于所述栅极关断电压; 以及

执行保持阶段, 其中响应于第一下拉控制信号使所述上拉节点的电压保持在所述基准电压并使所述输出端的电压保持在所述栅极关断电压。

24. 根据权利要求 23 所述的方法, 其中执行所述保持阶段还包括响应于第二下拉控制信号使所述上拉节点的电压保持在所述基准电压并使所述输出端的电压保持在所述栅极关断电压, 所述第二下拉控制信号具有与所述第一下拉控制信号的相位相反的相位。

25. 根据权利要求 24 所述的方法, 其中执行所述输出阶段还包括将所述时钟信号传送到进位端作为进位信号, 其中执行所述复位阶段还包括将所述时钟信号传送到所述进位端以将所述进位端的电压拉低至所述基准电压, 并且使所述进位端的被拉低的电压保持在所述基准电压, 并且其中执行所述保持阶段还包括使所述进位端的电压保持在所述基准电压。

26. 根据权利要求 25 所述的方法, 其中执行所述复位阶段还包括响应于第二复位信号将所述进位端的电压拉低至所述基准电压。

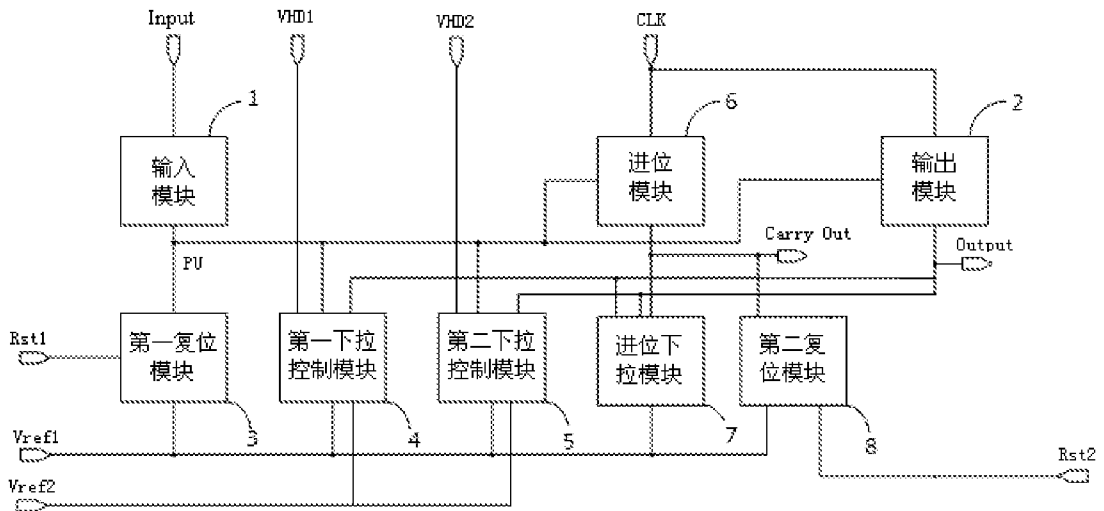


图 1

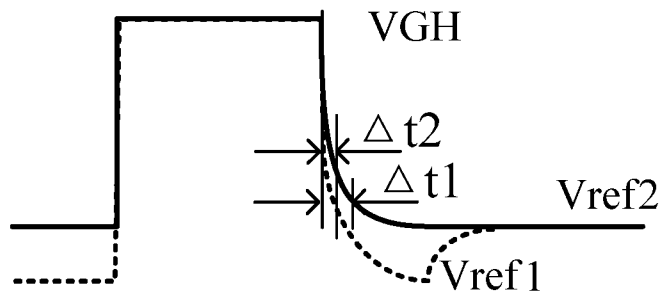


图 2

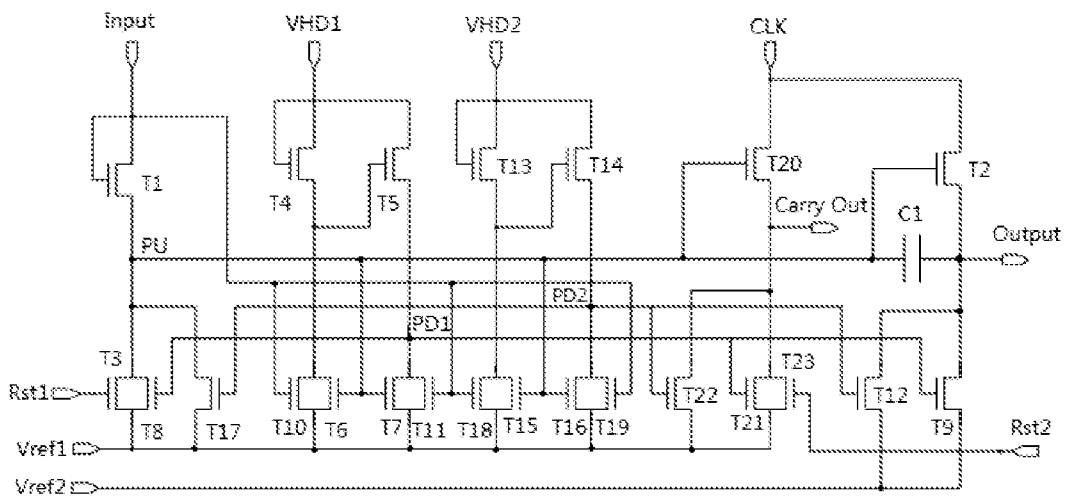


图 3

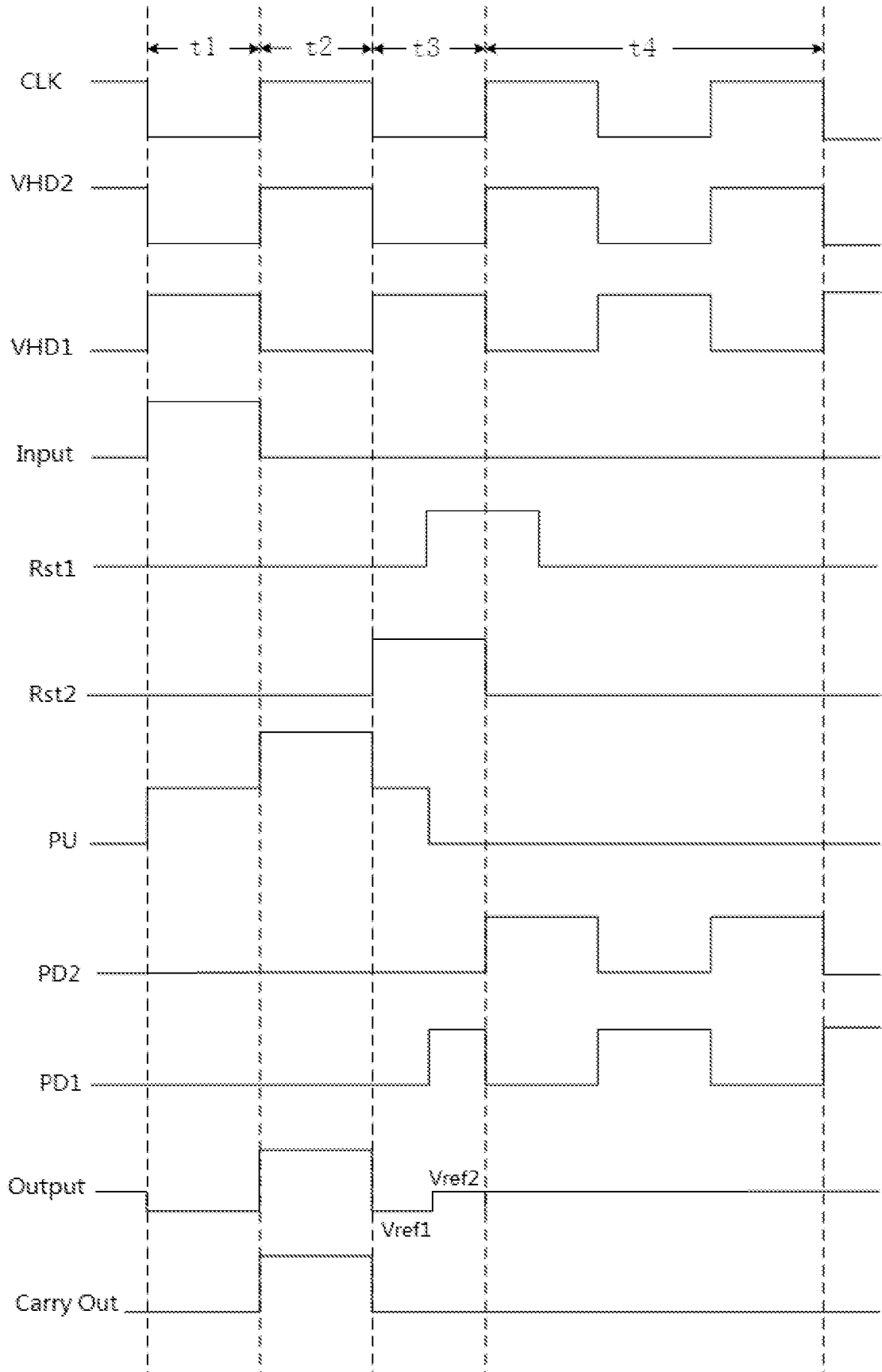


图 4

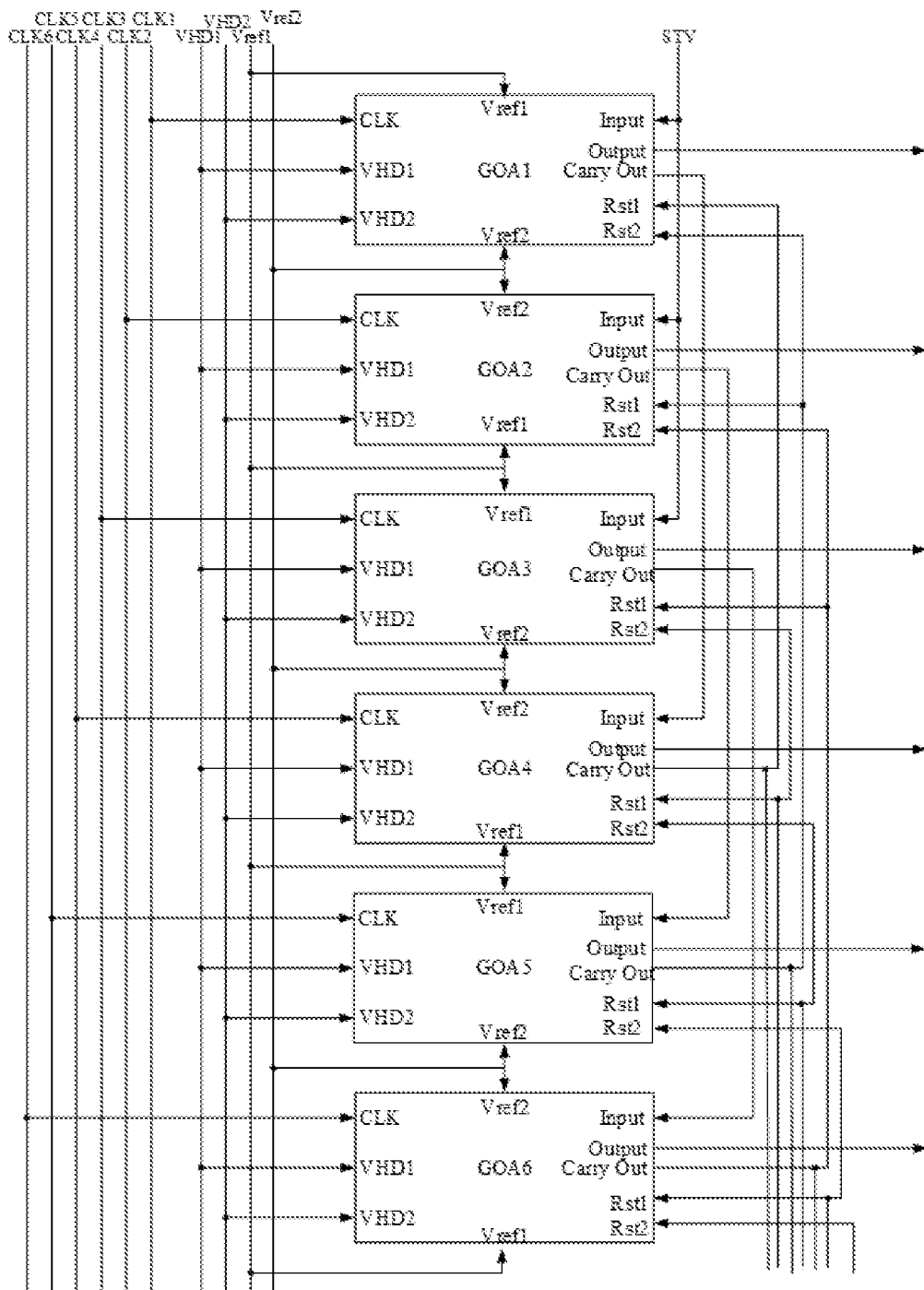


图 5

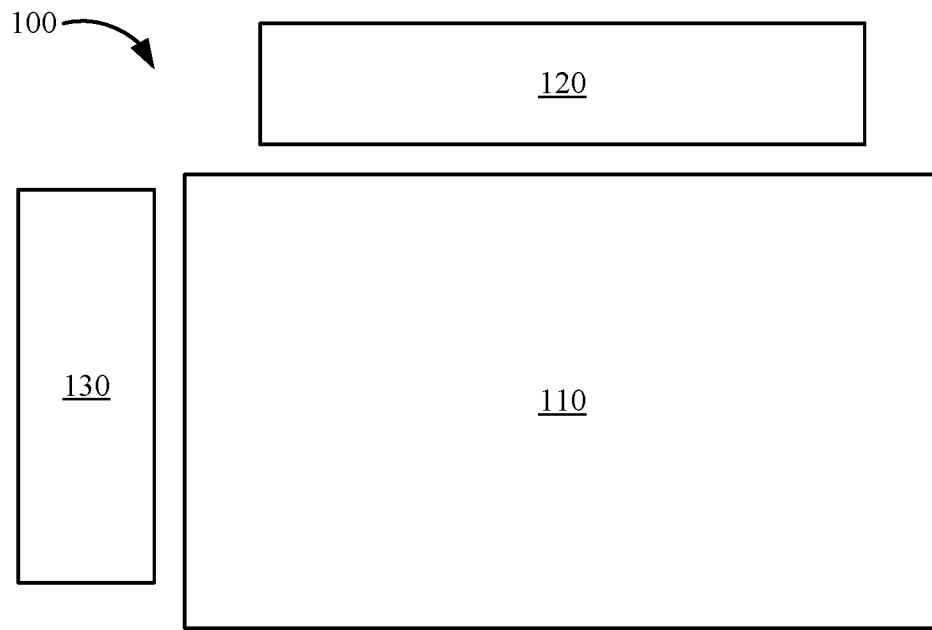


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/099181

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, TWABS, CNTXT, TWTXT, CNKI, WPI, EPODOC: shifting, register, short time, shift W register?, scan, grid, gate, pull+ W down, voltage, level, low+, re IW set+, time, short, quick

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105702194 A (BOE TECHNOLOGY GROUP CO., LTD.), 22 June 2016 (22.06.2016), claims 1-25, and description, paragraphs [0045]-[0103]	1-26
X	CN 104882108 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 02 September 2015 (02.09.2015), description, paragraphs [0003] and [0042]-[0054], and figures 2 and 11	1-4, 15-16, 21-23
A	CN 101552040 A (AU OPTRONICS CORP.), 07 October 2009 (07.10.2009), the whole document	1-26
A	CN 103761949 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 30 April 2014 (30.04.2014), the whole document	1-26
A	CN 103514843 A (INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 15 January 2014 (15.01.2014), the whole document	1-26
A	CN 104464656 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 March 2015 (25.03.2015), the whole document	1-26
A	CN 202771779 U (BOE TECHNOLOGY GROUP CO., LTD.), 06 March 2013 (06.03.2013), the whole document	1-26

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">16 December 2016 (16.12.2016)</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">06 February 2017 (06.02.2017)</p>
<p>Name and mailing address of the ISA/CN:</p> <p>State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">WANG, Shaowei</p> <p>Telephone No.: (86-10) 53318977</p>

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/099181

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 204966057 U (BOE TECHNOLOGY GROUP CO., LTD.), 13 January 2016 (13.01.2016), the whole document	1-26
A	US 2012008731 A1 (HSU, K.H. et al.), 12 January 2012 (12.01.2012), the whole document	1-26

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/099181

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105702194 A	22 June 2016	None	
CN 104882108 A	02 September 2015	None	
CN 101552040 A	07 October 2009	CN 101552040 B	13 April 2011
CN 103761949 A	30 April 2014	US 2015206495 A1	23 July 2015
		GB 2536160 A	07 September 2016
		CN 103761949 B	24 February 2016
		WO 2015100828 A1	09 July 2015
		KR 20160087893 A	22 July 2016
CN 103514843 A	15 January 2014	None	
CN 104464656 A	25 March 2015	WO 2016070510 A1	12 May 2016
CN 202771779 U	06 March 2013	None	
CN 204966057 U	13 January 2016	None	
US 2012008731 A1	12 January 2012	TW 201203861 A	16 January 2012
		US 2012235890 A1	20 September 2012
		US 8406372 B2	26 March 2013
		US 8218713 B2	10 July 2012
		TW I433459 B	01 April 2014

<p>A. 主题的分类</p> <p>G09G 3/20(2006.01)i; G11C 19/28(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																										
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G 3/-; G11C 19/-</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, TWABS, CNTXT, TWTXT, CNKI, WPI, EPODOC:移位, 寄存, 暂存, 栅极, 闸极, 扫描, 扫描, 电压, 电平, 拉低, 更低, 复位, 重置, 快, 时间短, shift W register?, scan, grid, gate, pull+ W down, voltage, level, low+, re lW set+, time, short, quick</p>																										
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 105702194 A (京东方科技集团股份有限公司) 2016年 6月 22日 (2016 - 06 - 22) 权利要求1-25, 说明书第[0045]-[0103]段</td> <td>1-26</td> </tr> <tr> <td>X</td> <td>CN 104882108 A (深圳市华星光电技术有限公司) 2015年 9月 2日 (2015 - 09 - 02) 说明书第[0003]、[0042]-[0054]段、附图2, 11</td> <td>1-4, 15-16, 21-23</td> </tr> <tr> <td>A</td> <td>CN 101552040 A (友达光电股份有限公司) 2009年 10月 7日 (2009 - 10 - 07) 全文</td> <td>1-26</td> </tr> <tr> <td>A</td> <td>CN 103761949 A (深圳市华星光电技术有限公司) 2014年 4月 30日 (2014 - 04 - 30) 全文</td> <td>1-26</td> </tr> <tr> <td>A</td> <td>CN 103514843 A (群康科技深圳有限公司 等) 2014年 1月 15日 (2014 - 01 - 15) 全文</td> <td>1-26</td> </tr> <tr> <td>A</td> <td>CN 104464656 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 全文</td> <td>1-26</td> </tr> <tr> <td>A</td> <td>CN 202771779 U (京东方科技集团股份有限公司) 2013年 3月 6日 (2013 - 03 - 06) 全文</td> <td>1-26</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105702194 A (京东方科技集团股份有限公司) 2016年 6月 22日 (2016 - 06 - 22) 权利要求1-25, 说明书第[0045]-[0103]段	1-26	X	CN 104882108 A (深圳市华星光电技术有限公司) 2015年 9月 2日 (2015 - 09 - 02) 说明书第[0003]、[0042]-[0054]段、附图2, 11	1-4, 15-16, 21-23	A	CN 101552040 A (友达光电股份有限公司) 2009年 10月 7日 (2009 - 10 - 07) 全文	1-26	A	CN 103761949 A (深圳市华星光电技术有限公司) 2014年 4月 30日 (2014 - 04 - 30) 全文	1-26	A	CN 103514843 A (群康科技深圳有限公司 等) 2014年 1月 15日 (2014 - 01 - 15) 全文	1-26	A	CN 104464656 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 全文	1-26	A	CN 202771779 U (京东方科技集团股份有限公司) 2013年 3月 6日 (2013 - 03 - 06) 全文	1-26
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
PX	CN 105702194 A (京东方科技集团股份有限公司) 2016年 6月 22日 (2016 - 06 - 22) 权利要求1-25, 说明书第[0045]-[0103]段	1-26																								
X	CN 104882108 A (深圳市华星光电技术有限公司) 2015年 9月 2日 (2015 - 09 - 02) 说明书第[0003]、[0042]-[0054]段、附图2, 11	1-4, 15-16, 21-23																								
A	CN 101552040 A (友达光电股份有限公司) 2009年 10月 7日 (2009 - 10 - 07) 全文	1-26																								
A	CN 103761949 A (深圳市华星光电技术有限公司) 2014年 4月 30日 (2014 - 04 - 30) 全文	1-26																								
A	CN 103514843 A (群康科技深圳有限公司 等) 2014年 1月 15日 (2014 - 01 - 15) 全文	1-26																								
A	CN 104464656 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 全文	1-26																								
A	CN 202771779 U (京东方科技集团股份有限公司) 2013年 3月 6日 (2013 - 03 - 06) 全文	1-26																								
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																										
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																										
<p>国际检索实际完成的日期</p> <p>2016年 12月 16日</p>		<p>国际检索报告邮寄日期</p> <p>2017年 2月 6日</p>																								
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>王少伟</p> <p>电话号码 (86-10)53318977</p>																								

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 204966057 U (京东方科技集团股份有限公司) 2016年 1月 13日 (2016 - 01 - 13) 全文	1-26
A	US 2012008731 A1 (HSU, KUO-HUA 等) 2012年 1月 12日 (2012 - 01 - 12) 全文	1-26

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/099181

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105702194	A	2016年 6月 22日	无			
CN	104882108	A	2015年 9月 2日	无			
CN	101552040	A	2009年 10月 7日	CN	101552040	B	2011年 4月 13日
CN	103761949	A	2014年 4月 30日	US	2015206495	A1	2015年 7月 23日
				GB	2536160	A	2016年 9月 7日
				CN	103761949	B	2016年 2月 24日
				WO	2015100828	A1	2015年 7月 9日
				KR	20160087893	A	2016年 7月 22日
CN	103514843	A	2014年 1月 15日	无			
CN	104464656	A	2015年 3月 25日	WO	2016070510	A1	2016年 5月 12日
CN	202771779	U	2013年 3月 6日	无			
CN	204966057	U	2016年 1月 13日	无			
US	2012008731	A1	2012年 1月 12日	TW	201203861	A	2012年 1月 16日
				US	2012235890	A1	2012年 9月 20日
				US	8406372	B2	2013年 3月 26日
				US	8218713	B2	2012年 7月 10日
				TW	1433459	B	2014年 4月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)