



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

(12) ТИТУЛЬНЫЙ ЛИСТ ОПИСАНИЯ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(21)(22) Заявка: 2015111389/07, 30.03.2015

(24) Дата начала отсчета срока действия патента:
30.03.2015

Приоритет(ы):

(22) Дата подачи заявки: 30.03.2015

(45) Опубликовано: 20.11.2015 Бюл. № 32

Адрес для переписки:

390005, г. Рязань, ул. Гагарина, 59/1, ФГБОУ
ВПО "РГРТУ", патентная служба

(72) Автор(ы):

Попов Дмитрий Иванович (RU)

(73) Патентообладатель(и):

Федеральное государственное бюджетное
образовательное учреждение высшего
профессионального образования "Рязанский
государственный радиотехнический
университет" (RU)

(54) УСТРОЙСТВО КОМПЕНСАЦИИ ФАЗЫ ПАССИВНЫХ ПОМЕХ

(57) Формула полезной модели

Устройство компенсации фазы пассивных помех, содержащее блок оценивания фазы, первый блок комплексного умножения, второй блок комплексного умножения, блок комплексного сопряжения, первый блок задержки и синхрогенератор, при этом первые входы первого блока комплексного умножения соединены с выходами блока комплексного сопряжения, выходы второго блока комплексного умножения соединены с объединенными входами блока комплексного сопряжения и первого блока задержки, выходы первого блока задержки соединены с первыми входами второго блока комплексного умножения, выход синхрогенератора соединен с синхровходами блока оценивания фазы, первого и второго блоков комплексного умножения, блока комплексного сопряжения и первого блока задержки, отличающееся тем, что введены второй блок задержки, первый умножитель, первый косинусно-синусный функциональный преобразователь, второй умножитель, второй косинусно-синусный функциональный преобразователь, первый блок памяти, комплексный сумматор, дополнительный вычислитель фазы, второй блок памяти, дополнительный блок оценивания фазы, третий и четвертый косинусно-синусные функциональные преобразователи, первый дополнительный блок комплексного умножения, дополнительный блок комплексного сопряжения, третий блок задержки, четвертый блок задержки и второй дополнительный блок комплексного умножения, при этом входы блока оценивания фазы через второй блок задержки соединены со вторыми входами первого блока комплексного умножения, выход блока оценивания фазы соединен с первым входом первого умножителя, второй вход которого соединен с выходом первого блока памяти, выход первого умножителя соединен с входом первого косинусно-синусного функционального преобразователя, выходы которого соединены с первыми входами комплексного сумматора, выходы комплексного сумматора соединены с входами дополнительного вычислителя фазы, выход которого соединен

с объединенными первым входом второго умножителя и входом четвертого косинусно-синусного функционального преобразователя, второй вход второго умножителя соединен с выходом второго блока памяти, выход второго умножителя соединен с входом второго косинусно-синусного функционального преобразователя, выходы которого соединены со вторыми входами второго блока комплексного умножения, выход дополнительного блока оценивания фазы соединен с входом третьего косинусно-синусного функционального преобразователя, выходы которого соединены со вторыми входами комплексного сумматора, выходы первого дополнительного блока комплексного умножения соединены с объединенными входами дополнительного блока комплексного сопряжения и третьего блока задержки, выходы третьего блока задержки соединены с первыми входами первого дополнительного блока комплексного умножения, вторые входы которого соединены с выходами четвертого косинусно-синусного функционального преобразователя, входы дополнительного блока оценивания фазы через четвертый блок задержки соединены с первыми входами второго дополнительного блока комплексного умножения, вторые входы которого соединены с выходами дополнительного блока комплексного сопряжения, выход синхрогенератора соединен с синхровходами второго, третьего и четвертого блоков задержки, первого и второго умножителей, первого, второго, третьего и четвертого косинусно-синусных функциональных преобразователей, первого и второго блоков памяти, комплексного сумматора, дополнительного вычислителя фазы, дополнительного блока оценивания фазы, первого и второго дополнительных блоков комплексного умножения и дополнительного блока комплексного сопряжения, причем первыми и вторыми входами устройства компенсации фазы пассивных помех являются соответственно входы блока оценивания фазы и дополнительного блока оценивания фазы, а первыми и вторыми выходами - соответственно выходы первого блока комплексного умножения и второго дополнительного блока комплексного умножения.