



(21)申請案號：112130556

(22)申請日：中華民國 108 (2019) 年 05 月 27 日

(51)Int. Cl. : C30B15/20 (2006.01)

C30B15/24 (2006.01)

C30B29/06 (2006.01)

(30)優先權：2018/06/08 美國

62/682,228

(71)申請人：環球晶圓股份有限公司 (中華民國) GLOBALWAFERS CO., LTD. (TW)

新竹市工業東二路 8 號

(72)發明人：沙曼塔 古拉伯 SAMANTA, GAURAB (IN)；佐佩達 薩凡朵 ZEPEDA, SALVADOR (US)

(74)代理人：陳長文；洪榮宗

申請實體審查：有 申請專利範圍項數：34 項 圖式數：4 共 37 頁

(54)名稱

將矽薄層移轉之方法

(57)摘要

本發明揭示一種用於製備絕緣體上半導體結構之方法，其包括將一矽薄層自一施體基板移轉至一處置基板上。

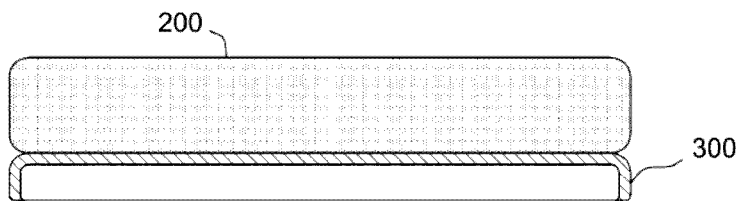
A method for preparing semiconductor on insulator structures comprises transferring a thin layer of silicon from a donor substrate onto a handle substrate.

指定代表圖：

符號簡單說明：

200:半導體處置基板

300:半導體裝置層



【圖1F】

【發明摘要】

【中文發明名稱】

將矽薄層移轉之方法

【英文發明名稱】

METHOD FOR TRANSFER OF A THIN LAYER OF SILICON

【中文】

本發明揭示一種用於製備絕緣體上半導體結構之方法，其包括將一矽薄層自一施體基板移轉至一處置基板上。

【英文】

A method for preparing semiconductor on insulator structures comprises transferring a thin layer of silicon from a donor substrate onto a handle substrate.

【指定代表圖】

圖1F

【代表圖之符號簡單說明】

200:半導體處置基板

300:半導體裝置層

【發明說明書】

【中文發明名稱】

將矽薄層移轉之方法

【英文發明名稱】

METHOD FOR TRANSFER OF A THIN LAYER OF SILICON

【技術領域】

【0001】 本發明大體上係關於半導體晶圓製造之領域。更具體而言，本發明係關於一種在絕緣體上矽結構之製造中將薄矽層自一施體基板移轉至一處置基板之方法。

【先前技術】

【0002】 一般由一單晶錠(例如一矽錠)製備半導體晶圓，該單晶錠經修整及研磨以具有用於在後續程序中適當定向晶圓之一或多個平面或切口。接著，將錠切割成個別晶圓。儘管本文中將參考由矽建構之半導體晶圓，但其他材料可用於製備半導體晶圓，諸如鍺、碳化矽、矽鍺、砷化鎵及III族及V族元素之其他合金(諸如氮化鎵或磷化銮)或II族及VI族元素之合金(諸如硫化鎘或氧化鋅)。

【0003】 半導體晶圓(例如矽晶圓)可用於製備複合層結構。一複合層結構(例如一絕緣體上半導體，且更具體而言，一絕緣體上矽(SOI)結構)大體上包括一處置晶圓或層、一裝置層及處置層與裝置層之間的一絕緣(即，介電)膜(通常為氧化物層)。裝置層之厚度一般介於0.01微米至20微米之間，諸如0.05微米至20微米之間。厚膜裝置層可具有約1.5微米至約20微米之間的一裝置層厚度。薄膜裝置層可具有約0.01微米至約0.20微米之間的一厚度。一般而言，藉由使兩個晶圓緊密接觸以藉此由凡得瓦

(van der Waal)力引發接合，接著進行一熱處理以強化接合來產生諸如絕緣體上矽(SOI)、藍寶石上矽(SOS)及石英上矽之複合層結構。退火可將封端矽烷醇基轉換成兩個界面之間的矽氧烷鍵以藉此強化接合。

【0004】 在熱退火之後，接合結構經受進一步處理以移除施體晶圓之一實質部分以達成層移轉。例如，可使用晶圓薄化技術(例如蝕刻或研磨)(通常指稱回蝕SOI (即，BESOI))，其中將一矽晶圓結合至處置晶圓且接著緩慢蝕除矽晶圓，直至處置晶圓上僅保留一矽薄層。例如，參閱美國專利第5,189,500號，其揭示內容以宛如全文闡述之引用方式併入本文中。此方法耗時且昂貴，浪費一基板，且一般不具有適合不到數微米之層之厚度均勻性。

【0005】 達成層移轉之另一常用方法利用氫植入，接著進行熱誘發分層。在施體晶圓之前表面下方之一特定深度處植入粒子(原子或電離原子，例如氫原子或氫及氮原子之一組合)。植入粒子在植入其特定深度處形成施體晶圓中之一分裂面。清潔施體晶圓之表面以移除在植入程序期間沈積於晶圓上之有機化合物或其他污染物，諸如硼化合物。

【0006】 接著，透過一親水接合程序來將施體晶圓之前表面接合至一處置晶圓以形成一接合晶圓。在接合之前，藉由使晶圓之表面暴露於含有(例如)氧或氮之一電漿來活化施體晶圓及/或處置晶圓。暴露於電漿在通常指稱表面活化之一程序中使表面之結構改質，該活化程序使施體晶圓及處置晶圓之一或兩者之表面呈親水性。另外，可藉由一濕式處理(諸如一SC1清潔或氫氟酸)來化學活化晶圓之表面。濕式處理及電漿活化可依任一順序發生，或晶圓可僅經受一種處理。接著，將晶圓按壓在一起且在其間形成一接合。歸因於凡得瓦力，此接合相對較弱且必須在進一步處理可

發生之前強化。

【0007】 在一些程序中，藉由加熱或退火接合晶圓對來強化施體晶圓與處置晶圓(即，一接合晶圓)之間的親水接合。在一些程序中，晶圓接合可發生於低溫處，諸如約300°C至約500°C之間。在一些程序中，晶圓接合可發生於高溫處，諸如約800°C至約1100°C之間。高溫引起施體晶圓及處置晶圓之鄰接表面之間形成共價鍵以因此固化施體晶圓與處置晶圓之間的接合。在加熱或退火接合晶圓之同時，早先植入施體晶圓中之粒子弱化分裂面。

【0008】 接著，使施體晶圓之一部分沿分裂面與接合晶圓分離(即，分裂)以形成SOI晶圓。可藉由將接合晶圓放置於一夾具中來實施分裂，其中垂直於接合晶圓之對置側施加機械力以將施體晶圓之一部分拉離接合晶圓。根據一些方法，利用吸盤來施加機械力。藉由在分裂面處之接合晶圓之邊緣處施加一機械楔以引發一裂縫沿分裂面蔓延來引發施體晶圓之部分分離。接著，由吸盤施加之機械力將施體晶圓之部分拉離接合晶圓以因此形成一SOI晶圓。

【0009】 根據其他方法，接合對可代以經受一段時間之高溫以使施體晶圓之部分與接合晶圓分離。暴露於高溫引起沿分裂面引發及蔓延裂縫以因此分離施體晶圓之一部分。裂縫歸因於由植入離子(其藉由奧士瓦(Ostwald)熟化來生長)形成空隙而形成。空隙由氫氣及氮氣填充。空隙變成薄板。薄板中之加壓氣體使微腔及微裂縫蔓延以弱化植入面上之矽。若在適當時間停止退火，則可藉由一機械程序來分裂弱化接合晶圓。然而，若熱處理持續較長時間及/或發生一較高溫度處，則微裂縫蔓延達到所有裂縫沿分裂面合併以因此分離施體晶圓之一部分的程度。此方法允許改善

移轉層之均勻性且允許施體晶圓循環使用，但通常需要將植入及接合對加熱至接近500°C之溫度。

【發明內容】

【0010】 本發明係針對一種將一矽層自一單晶矽施體基板移轉至一處置基板之方法，該方法包括：(a)透過與該單晶矽施體基板之一前表面接觸之二氧化矽層及透過該單晶矽施體基板之該前表面來植入 H_2^+ 離子、 H^+ 離子或 H_2^+ 離子及 H^+ 離子之一組合，該單晶矽施體基板包括兩個平行主表面(其一者係該前表面且其一者係後表面)、連結該前表面及該後表面之一圓周邊緣、該前表面與該後表面之間的一中心面、垂直於該前表面之一中心軸線及該前表面與該後表面之間的一塊體區域；(b)透過與該單晶矽施體基板之該前表面接觸之該二氧化矽層及透過該單晶矽施體基板之該前表面來植入 He^+ 離子；(c)使該經離子植入之單晶矽施體基板以一溫度且在足以使一損壞層形成於該單晶矽施體基板中之一持續時間內退火；(d)將與該單晶矽施體基板之該前表面接觸之該二氧化矽層接合至與該處置基板接觸之一介電層以藉此製備多層基板；(e)使該多層基板退火；及(f)在該單晶矽施體基板中之該損壞層處分裂該經退火多層基板以藉此將具有約500埃至約2500埃之間的一厚度之該矽層自該單晶矽施體基板移轉至該處置基板。

【0011】 下文將部分闡明及部分指出其他目的及特徵。

【圖式簡單說明】

【0012】 圖1A至圖1F描繪根據本發明之一些實施例之一程序流程。

【0013】 圖2係描繪分別在16 Kev及22 kev處植入之 H^+ 及 He^+ 離子之SRIM計算深度分佈的一曲線圖。此等資料根據實例1之方法來獲得。

【0014】圖3係描繪各種 H_2^+ 劑量之移轉矽裝置層之分裂後厚度變動範圍(·)的一圖形。

【0015】圖4係描繪分別在8 Kev及11 kev處植入之 H^+ 及 He^+ 離子之SRIM計算深度分佈的一曲線圖。此等資料根據實例2之方法來獲得。

【實施方式】

【0016】本申請案主張2018年6月8日申請之美國臨時申請案第62/682,228號之優先權權利，該案之揭示內容以宛如全文闡述之引用方式併入。

【0017】一全空乏絕緣體上矽(FD-SOI)結構依賴一埋藏氧化物層(BOX)上之一超薄矽層。埋藏氧化物層可具有習知厚度(約100奈米至約200奈米)或其亦可超薄，例如介於10 nm至25 nm之間。極薄矽層使一CMOS裝置之電晶體閘極(電晶體之基極)下方之矽能夠完全耗盡電荷。因此，本發明係針對一種將極薄矽層自一施體基板移轉至一處置基板之方法。

【0018】根據本發明，提供一種用於製備具有一相對較薄矽裝置層之一絕緣體上半導體複合結構(SOI，例如一絕緣體上半導體複合結構)之方法。在一些實施例中，SOI結構進一步包括一相對較薄介電層，例如一埋藏氧化物層。因此，在一些實施例中，本發明係針對一種將具有約500埃至約2500埃之間的厚度之薄矽層自一施體基板移轉至一處置基板上之方法。根據本發明之一些實施例，使氫(H_2^+ 及/或 H^+)離子及氦(He^+)離子以低離子能共同植入至施體基板中。使經共同植入之施體基板退火以在施體基板中形成一損壞層。損壞層之深度判定移轉至處置基板上之矽層之厚度。

【0019】 為達成薄層移轉，使氣體離子之植入能保持較低，尤其當施體晶圓上之氧化物層亦較薄(例如數百埃)時。將一薄矽裝置層移轉能夠製備全空乏SOI結構(FD-SOI)。基於FD-SOI之低功率高效能CMOS應用需要限制矽裝置層之厚度及埋藏氧化物層之厚度。可藉由在離子植入期間限制離子束能來移轉薄層。此外，根據一些實施例，藉由減少植入劑量來進一步降低生產製造成本。

I. 半導體施體基板及半導體處置基板

【0020】 用於本發明中之基板包含一半導體施體基板(例如一單晶半導體施體晶圓)及一半導體處置基板(例如一單晶半導體處置晶圓)。一絕緣體上半導體複合結構中之半導體裝置層源自半導體施體基板。

【0021】 圖1A至圖1F描繪根據本發明之一些實施例之一程序流程。參考圖1A，描繪一例示非限制性半導體施體基板100，例如一單晶半導體施體晶圓。一般而言，單晶半導體施體基板100包括兩個大體上平行之主表面。一平行表面係單晶半導體施體基板100之一前表面102，且另一平行表面係單晶半導體施體基板100之一後表面104。單晶半導體施體基板100包括連結前表面102及後表面104之一圓周邊緣106。單晶半導體施體基板100包括一中心軸線108，其垂直於兩個大體上平行之主表面102、104且亦垂直於由前表面102與後表面104之間的中點界定之一中心面110。單晶半導體施體基板100包括兩個大體上平行之主表面102、104之間的一塊體區域。因為半導體晶圓(例如矽晶圓)通常具有一些總厚度變動(TTV)、翹曲及彎曲，所以前表面102上之每個點與後表面104上之每個點之間的界定中心面110之中點不可能精確落於一平面內。然而，實際上，TTV、翹曲及彎曲通常相當小，使得非常接近中點可被認為落於與前表面

102及後表面104大致等距之一假想中心面110內。

【0022】 在本文中所描述之任何操作之前，單晶半導體施體基板100之前表面102及後表面104可實質上相同。僅為了便利且一般為了區分其上執行本發明之方法之操作之表面而將一表面稱為一「前表面」或一「後表面」。在本發明之內文中，一單晶半導體施體基板100之一「前表面」係指透過其植入離子之基板之主表面。前表面變成接合結構之一內表面。因此，一單晶半導體施體基板100之一「後表面」係指變成接合結構之一外表面之主表面。類似地，一處置基板之一「前表面」係指變成接合結構之一內表面之處置基板之主表面，且一處置基板之一「後表面」係指變成接合結構之一外表面之主表面。在完成習知接合及分裂步驟之後，單晶半導體施體基板形成絕緣體上半導體(例如絕緣體上矽)複合結構之半導體裝置層。

【0023】 處置基板及單晶半導體施體基板可為單晶半導體晶圓。在較佳實施例中，半導體晶圓包括選自由以下各者組成之群組之一材料：矽、碳化矽、矽鍺、砷化鎵、氮化鎵、磷化銦、砷化銦鎵、鍺及其組合。另外，處置晶圓可包括藍寶石、石英或玻璃。本發明之單晶半導體晶圓(例如單晶矽處置晶圓及單晶矽施體晶圓)通常具有至少約150 mm、至少約200 mm、至少約300 mm或至少約450 mm之一標稱直徑。晶圓厚度可在約100微米至約5000微米之間變動，諸如約100微米至約1500微米之間、約250微米至約1500微米之間、約300微米至約1000微米之間，較佳在約500微米至約1000微米之範圍內。在一些特定實施例中，晶圓厚度可為約725微米。在一些實施例中，晶圓厚度可為約775微米。

【0024】 在尤佳實施例中，單晶半導體晶圓包括自根據習知丘克拉

斯基(Czochralski)晶體生長法或浮區生長法所生長之一單晶錠切割之單晶矽晶圓。例如，F. Shimura 之「Semiconductor Silicon Crystal Technology」(Academic Press, 1989年)及「Silicon Chemical Etching」(J. Grabmaier ed.)(Springer-Verlag, N.Y., 1982年)(其以引用方式併入本文中)中揭示此等方法及標準矽切割、研磨、蝕刻及拋光技術。較佳地，藉由熟習技術者已知之標準方法來拋光及清潔晶圓。例如，參閱W.C. O'Mara等人之「Handbook of Semiconductor Silicon Technology」(Noyes Publications)。例如，可視需要以一標準SC1溶液(5份水：1份含水性氫氧化銨(29重量%)：1份水性過氧化氫(30重量%))/SC2溶液(6份水：1份水性鹽酸(37重量%)：1份水性過氧化氫(30重量%))清潔晶圓。在一些實施例中，本發明之單晶矽晶圓係自根據習知丘克拉斯基(「Cz」)晶體生長法所生長之一單晶錠切割之單晶矽晶圓，其通常具有至少約150 mm、至少約200 mm、至少約300 mm或至少約450 mm之一標稱直徑。較佳地，單晶矽處置晶圓及單晶矽施體晶圓兩者具有無表面缺陷(諸如劃痕、大微粒等等)之經鏡面拋光之前表面光潔度。晶圓厚度可自約250微米變動至約1500微米，諸如約300微米至約1000微米之間，較佳在約500微米至約1000微米之範圍內。在一些特定實施例中，晶圓厚度可介於約725微米至約800微米之間，諸如約750微米至約800微米之間。在一些實施例中，晶圓厚度可為約725微米。在一些實施例中，晶圓厚度可為約775微米。

【0025】 在一些實施例中，單晶半導體晶圓(即，單晶半導體處置晶圓及單晶半導體施體晶圓)包括具有一般由丘克拉斯基生長法達成之濃度之填隙氧。在一些實施例中，單晶半導體晶圓包括具有約4 PPMA至約18

PPMA之間的一濃度之氧。在一些實施例中，半導體晶圓包括具有約10 PPMA至約35 PPMA之間的一濃度之氧。在一些實施例中，單晶矽晶圓包括具有不大於約10 PPMA之一濃度之氧。可根據SEMI MF 1188-1105來量測填隙氧。

【0026】 單晶半導體施體基板100及處置基板可具有可由丘克拉斯基或浮區法獲得之任何電阻率。因此，單晶半導體施體基板100及處置基板之電阻率係基於本發明之結構之最終用途/應用之要求。因此，電阻率可自毫歐姆或更小變動至百萬歐姆或更大。在一些實施例中，單晶半導體施體基板100未摻雜。在一些實施例中，處置基板200未摻雜。在一些實施例中，單晶半導體施體基板100包括一p型或n型摻雜劑。在一些實施例中，處置基板200包括一p型或n型摻雜劑。適合摻雜劑包含硼(p型)、鎵(p型)、鋁(p型)、銮(p型)、磷(n型)、銻(n型)及砷(n型)。基於單晶半導體施體基板之所要電阻率來選擇摻雜劑濃度。

【0027】 在一些實施例中，單晶半導體施體基板100具有一相對較低最小體電阻率，諸如低於約100 ohm-cm、低於約50 ohm-cm、低於約1 ohm-cm、低於約0.1 ohm-cm或甚至低於約0.01 ohm-cm。在一些實施例中，單晶半導體施體基板100具有一相對較低最小體電阻率，諸如低於約100 ohm-cm或介於約1 ohm-cm至約100 ohm-cm之間。低電阻率晶圓可包括電活性摻雜劑，諸如硼(p型)、鎵(p型)、鋁(p型)、銮(p型)、磷(n型)、銻(n型)及砷(n型)。

【0028】 在一些實施例中，單晶半導體施體基板100具有一相對較高最小體電阻率。高電阻率晶圓一般自藉由丘克拉斯基法或浮區法所生長之單晶錠切割。高電阻率晶圓可包括一般具有非常低濃度之電活性摻雜

劑，諸如硼(p型)、鎵(p型)、鋁(p型)、銦(p型)、磷(n型)、銻(n型)及砷(n型)。Cz生長矽晶圓可經受自約600°C至約1000°C範圍內之一溫度之一熱退火以湮滅在晶體生長期間併入之由氧引起之熱施體。在一些實施例中，單晶半導體處置晶圓具有至少100 Ohm-cm或甚至至少約500 Ohm-cm之一最小體電阻率，諸如約100 Ohm-cm至約100,000 Ohm-cm之間、或約500 Ohm-cm至約100,000 Ohm-cm之間、或約1000 Ohm-cm至約100,000 Ohm-cm之間、或約500 Ohm-cm至約10,000 Ohm-cm之間、或約750 Ohm-cm至約10,000 Ohm-cm之間、約1000 Ohm-cm至約10,000 Ohm-cm之間、約1000 Ohm-cm至約6000 Ohm-cm之間、約2000 Ohm-cm至約10,000 Ohm-cm之間、約3000 Ohm-cm至約10,000 Ohm-cm之間或約3000 Ohm-cm至約5,000 Ohm-cm之間。在一些較佳實施例中，單晶半導體處置晶圓具有約1000 Ohm-cm至約6,000 Ohm-cm之間的一體電阻率。此項技術中已知用於製備高電阻率晶圓之方法，且此等高電阻率晶圓可自商業供應商(諸如SunEdison Semiconductor有限公司(St. Peters, MO；原先為MEMC Electronic Materials公司))獲得。

【0029】 單晶半導體施體基板100可包括單晶矽。單晶半導體施體基板100可具有(100)、(110)或(111)晶體定向之任何者，且晶體定向之選擇可取決於結構之最終用途。

【0030】 可視情況根據此項技術中已知之方法來氧化單晶半導體施體基板100之前表面102、後表面104或兩個表面。可藉由此項技術中已知之方法(諸如熱氧化(其中將消耗沈積半導體材料膜之一些部分)、CVD氧化沈積或藉由暴露於一標準清潔溶液(諸如一SC1/SC2清潔溶液)來完成氧化。可在諸如ASM A400或ASM A400XT之一爐中熱氧化單晶半導體施體

基板100。在氧化環境中，溫度可在自750°C至1100°C之範圍內，諸如約800°C至約1200°C之間。氧化環境氛圍可為惰性氣體(諸如Ar或N₂)及O₂之一混合物。氧含量可自1%變動至10%或更高。在一些實施例中，氧化環境氛圍可高達100% (「乾式氧化」)。在一些實施例中，環境氛圍可包括惰性氣體(諸如Ar或N₂)及氧化氣體(諸如O₂及水蒸氣)之一混合物(「濕式氧化」)。在一例示性實施例中，可將施體晶圓載入至諸如ASM A400或ASM A400XT之一垂直爐中。可使用N₂及O₂之一混合物使溫度斜變至氧化溫度。在所要溫度處，將水蒸氣引入至氣流中。在獲得所要氧化物厚度之後，關閉水蒸氣及O₂且降低爐溫，且自爐卸載晶圓。在其中單晶半導體施體基板100係一單晶矽施體基板之實施例中，氧化層120包括二氧化矽。參閱圖1B，前表面102、後表面104或兩者上之氧化層120可介於約100埃至約1000埃之間，諸如約100埃至約700埃之間、或約100埃至約500埃之間或約100埃至約250埃之間。

【0031】 在一些實施例中，氧化層120相對較薄，諸如約5埃至約25埃之間，諸如約10埃至約15埃之間。可藉由暴露於諸如一SC1/SC2清潔溶液之一標準清潔溶液來獲得一半導體晶圓之兩側上之薄氧化物層。在一些實施例中，SC1溶液包括5份去離子水、1份水性NH₄OH (氫氧化銨，29重量%之NH₃)及1份水性H₂O₂ (過氧化氫，30%)。在一些實施例中，可藉由暴露於包括氧化劑之一水溶液(諸如一SC2溶液)來氧化處置晶圓。在一些實施例中，SC2溶液包括5份去離子水、1份水性HCl (鹽酸，39重量%)及1份水性H₂O₂ (過氧化氫，30%)。

II. 離子植入

【0032】 可在一市售儀器(諸如一Applied Materials Quantum II、

一Quantum LEAP或一Quantum X)中實施離子植入。根據一些實施例，植入離子包含 H^+ 及/或 H_2^+ 離子及 He^+ 離子之一組合。可在植入 He^+ 離子之前植入 H^+ 及/或 H_2^+ 離子，可在植入 He^+ 離子之後植入 H^+ 及/或 H_2^+ 離子，或 H^+ 及/或 H_2^+ 離子可與 He^+ 離子同時植入。依足以形成半導體施體基板中之一損壞層之一密度及持續時間實施離子植入。參考圖1C，透過單晶半導體施體基板100之氧化層120及前表面102來發生離子植入，使得單晶半導體施體基板100包括一峰值深度D1處之 H^+ 及/或 H_2^+ 離子及一峰值深度D2處之 He^+ 離子。峰值深度D1及D2僅供說明且不被視為按比例繪製。自單晶矽施體基板100之前表面102沿中心軸線108量測峰值深度D1及D2之長度。植入深度判定最終SOI結構中單晶半導體裝置層之厚度。

【0033】 在一些實施例中，方法包括透過單晶施體基板之前表面來將氫離子(例如 H_2^+ 離子、 H^+ 離子或 H_2^+ 及 H^+ 離子之一組合)植入至自前表面朝向中心面所量測之一平均深度D1。植入氫離子之平均深度D1之範圍可自約100埃至約4000埃、自約100埃至約3000埃、或介於約500埃至約3000埃之間或約500埃至約2500埃之間，如自單晶矽施體基板之前表面沿中心軸線所量測。在一些實施例中，在約10 Kev至約40 Kev之間的一植入能(諸如約20 Kev至約40 Kev之間或約25 Kev至約35 Kev之間，諸如約16 Kev或約32 Kev)處， H_2^+ 離子植入劑量可在自 4.3×10^{15} 個離子/cm²至 1.1×10^{16} 個離子/cm²之範圍內或介於約 6.8×10^{15} 個離子/cm²至約 1.1×10^{16} 個離子/cm²之間。在一些實施例中，在約20 Kev至約40 Kev之間或約25 Kev至約35 Kev之間的一植入能(諸如約16 Kev或約32 Kev)處， H_2^+ 離子植入劑量可在自約 4.3×10^{15} 個離子/cm²至約 1.1×10^{16} 個離子/cm²之範圍內或介於約 6×10^{15} 個離子/cm²至約 1.1×10^{16} 個離子/cm²之間。在一些實施例

中，在約10 Kev至約30 Kev之間的一植入能(諸如約15 Kev至約20 Kev之間，諸如約16 Kev)處， H_2^+ 離子植入劑量可在自約 5.9×10^{15} 個離子/cm²至約 6.7×10^{15} 個離子/cm²之範圍內。在一些實施例中，在約5 Kev至約20 Kev之間的一植入能(諸如約10 Kev至約20 Kev之間，諸如約16 Kev)處， H^+ 離子植入劑量可在自約 5×10^{15} 個離子/cm²至約 2×10^{16} 個離子/cm²之範圍內。在一些實施例中，在約5 Kev至約20 Kev之間的一植入能(諸如約10 Kev至約20 Kev之間，諸如約16 Kev)處， H^+ 離子植入劑量可在自約 1.1×10^{16} 個離子/cm²至約 2×10^{16} 個離子/cm²之範圍內。在一些實施例中，在約5 Kev至約20 Kev之間的一植入能(諸如約10 Kev至約20 Kev之間，諸如16 Kev)處， H^+ 離子植入劑量可在自約 6.1×10^{15} 個離子/cm²至約 6.8×10^{15} 個離子/cm²之範圍內。在一些實施例中，可在上述劑量範圍及能量內將 H_2^+ 及 H^+ 離子之一組合植入至自前表面朝向中心面所量測之一平均深度D1。

【0034】 在一些實施例中，方法包括透過單晶施體基板之前表面來將氦離子(例如 He^+ 離子)植入至自前表面102沿中心軸線108所量測之一平均深度D2。植入氦離子之平均深度D2之範圍可自約100埃至約4000埃、自約100埃至約3000埃或介於約500埃至約3000埃之間或約500埃至約2500埃之間，如自單晶矽施體基板之前表面沿中心軸線所量測。在一些實施例中，在約5 Kev至約30 Kev之間的一植入能(諸如約10 Kev至約25 Kev之前或約15 Kev至約25 Kev之間，諸如約22 Kev)處，總氦離子植入劑量之範圍可自約 6×10^{15} 個離子/cm²至約 2×10^{16} 個離子/cm²、自約 6×10^{15} 個離子/cm²至約 1.3×10^{16} 個離子/cm²、自約 6.3×10^{15} 個離子/cm²至約 1.1×10^{16} 個離子/cm²、自約 6.6×10^{15} 個離子/cm²至約 8×10^{15} 個離子/cm²。

在一些實施例中，在約5 Kev至約30 Kev之間的一植入能(諸如約10 Kev至約25 Kev之間或約15 Kev至約25 Kev之間，諸如約22 Kev)處，總氦離子植入劑量之範圍可自約 6×10^{15} 個離子/cm²至約 2×10^{16} 個離子/cm²、自約 6×10^{15} 個離子/cm²至約 1.3×10^{16} 個離子/cm²、自約 6.3×10^{15} 個離子/cm²至約 1.1×10^{16} 個離子/cm²、自約 6.6×10^{15} 個離子/cm²至約 8×10^{15} 個離子/cm²。在一些實施例中，在約5 Kev至約20 Kev之間的一植入能(諸如約5 Kev至約15 Kev之間，諸如11 Kev)處，總氦離子植入劑量之範圍可自約 6×10^{15} 個離子/cm²至約 2×10^{16} 個離子/cm²、自約 6×10^{15} 個離子/cm²至約 1.3×10^{16} 個離子/cm²、自約 6.3×10^{15} 個離子/cm²至約 1.1×10^{16} 個離子/cm²、自約 6.6×10^{15} 個離子/cm²至約 8×10^{15} 個離子/cm²或自約 6.6×10^{15} 個離子/cm²至約 7×10^{15} 個離子/cm²。

【0035】 較佳地，H₂⁺離子、H⁺離子或H₂⁺離子及H⁺離子之一組合之峰值密度(D1)及He⁺離子之峰值密度(D2)係彼此相差約1000埃內、彼此相差約600埃內或彼此相差約500埃內、彼此相差約450埃內、彼此相差約400埃內、彼此相差約300埃內或彼此相差約200埃內。

【0036】 在一些實施例中，可期望單晶半導體施體晶圓(例如單晶矽施體晶圓)在植入之後經受一清潔。在一些較佳實施例中，清潔可包含過氧硫酸清潔(Piranha clean)(硫酸及過氧化氫之混合物)及接著一DI水沖洗及SC1 (呈5:1:1比率之水：水性氫氧化銨：水性過氧化氫之混合物)及SC2 (呈6:1:1比率之水：水性鹽酸：水性過氧化氫之混合物)清潔。

III. 退火

【0037】 在本發明之一些實施例中，以足以使一熱活化損壞層或分裂面130形成於單晶半導體施體基板中之一溫度使經離子植入之單晶半導

體施體基板100退火。此退火發生於接合之前。藉由利用低植入能，損壞層130發生於能夠將一薄矽層移轉至處置基板之一深度處，諸如約500埃至約2500埃之間的一厚度。

【0038】 一適合工具之一實例可為諸如一Blue M型號之一簡單箱式爐。在一些較佳實施例中，以自約200°C至約350°C、自約225°C至約350°C (諸如約250°C至約300°C之間)之一溫度使經離子植入之單晶半導體施體基板退火。熱退火可發生自約10分鐘至約10小時(諸如自約10分鐘至約2小時或約10分鐘至約60分鐘之間)之一持續時間。此等溫度範圍內之熱退火足以形成一熱活化分裂面130。在用於活化分裂面130之熱退火之後，較佳地清潔單晶半導體施體基板表面。在一些較佳實施例中，清潔可包含過氧硫酸清潔(硫酸及過氧化氫之混合物)及接著一DI水沖洗及SC1 (呈5:1:1比率之水：水性氫氧化銨：水性過氧化氫之混合物)及SC2 (呈6:1:1比率之水：水性鹽酸：水性過氧化氫之混合物)清潔。

IV. 電漿活化

【0039】 在一些實施例中，經離子植入及退火之單晶半導體施體基板經受氧氣電漿及/或氮氣電漿表面活化。在一些實施例中，氧氣電漿表面活化工具係一市售工具，諸如購自EV Group之工具，諸如EVG®810LT低溫電漿活化系統。將經離子植入及視情況經清潔之單晶半導體施體晶圓載入至室中。抽空室且使用一運載氣體(諸如氬氣)中之氧氣源及/或氮氣源來回填室至小於大氣壓之一壓力以藉此產生電漿。氧氣及/或水係適合於電漿氧化處理之源氣體。氮氣及/或氫氣及/或氧化氮(NO)及/或一氧化二氮(N₂O)氣體係適合於電漿氮化處理之源氣體。氮氧化物電漿活化可包含環境大氣中之氧氣及氮氣源。使單晶半導體施體晶圓暴露於此

電漿達所要時間(其可在自約1秒至約120秒之範圍內)。執行氧氣或氮氣電漿表面氧化以使單晶半導體施體基板之前表面親水且適於接合至一處置基板。在電漿活化之後，使用去離子水來沖洗活化表面。接著，在接合之前甩乾水分。

V. 製備接合結構

【0040】 接著，參考圖1E，將具有分裂面或損壞層130之單晶半導體施體基板100之前表面102上之氧化層120接合至一半導體處置基板200之一主表面(藉由使此等表面緊密接觸)。在一些實施例中，半導體處置基板200包括一介電層。介電層可包括選自二氧化矽、氮化矽、氮氧化矽、氧化鉛、氧化鈦、氧化鋯、氧化釧、氧化鋇及其任何組合之絕緣材料。在一些實施例中，介電層包括選自由二氧化矽、氮化矽、氮氧化矽及其任何組合組成之群組之一或多種絕緣材料。在一些實施例中，介電層具有至少約1奈米厚或至少約10奈米厚之一厚度，諸如約10奈米至約10,000奈米之間、約10奈米至約5,000奈米之間、50奈米至約500奈米之間或約100奈米至約400奈米之間，諸如約50奈米、約75奈米、約85奈米、約100奈米、約150奈米、約175奈米或約200奈米。介電層可介於約100埃至約1000埃之間，諸如約100埃至約700埃之間、或約100埃至約500埃之間或約100埃至約250埃之間。在一些實施例中，介電層薄得多，諸如約5埃至約25埃之間，諸如約10埃至約15埃之間。

【0041】 在一些實施例中，介電層可包括一或多個絕緣層，例如兩個絕緣層、三個絕緣層或更多個絕緣層。各介電層可包括選自由二氧化矽、氮化矽及氮氧化矽組成之群組之一材料。各絕緣層可具有至少約1奈米厚或至少約10奈米厚之一厚度，諸如約10奈米至約10,000奈米之間、約

10奈米至約5,000奈米之間、50奈米至約500奈米之間或約100奈米至約400奈米之間，諸如約50奈米、約75奈米、約85奈米、約100奈米、約150奈米、約175奈米或約200奈米。

【0042】由於在一些實施例中，機械接合相對較弱，所以可進一步使接合結構退火以固化單晶半導體施體基板100與處置基板200之間的接合。在本發明之一些實施例中，以足以使一熱活化分裂面形成於單晶半導體施體基板中之一溫度使接合結構退火。一適合工具之一實例可為諸如一Blue M型號之一簡單箱式爐。在一些較佳實施例中，以自約200°C至約400°C (諸如自約300°C至約400°C)之一溫度使接合結構退火。熱退火可發生自10分鐘至約10小時(諸如自約10分鐘至約60分鐘)之一持續時間。

【0043】在一些實施例中，退火發生於相對較高壓力處，諸如約0.5 MPa至約200 MPa之間、約0.5 MPa至約100 MPa之間、約0.5 MPa至約50 MPa之間、或約0.5 MPa至約10 MPa之間或約0.5 MPa至約5 MPa之間。在習知接合方法中，溫度可能受限於「自動分裂」。此發生於植入面處之薄板之壓力超過外部等靜壓時。因此，習知退火可由於自動分裂而受限於約350°C至約400°C之間的接合溫度。在植入及接合之後，晶圓弱弱地保持在一起。但晶圓之間間隙足以防止氣體滲透或逸出。可藉由熱處理來強化弱接合，但植入期間所形成之腔由氣體填充。當加熱時，腔內之氣體增壓。據估計，壓力可達到0.2 GPa至1 GPa (Cherkashin等人，J. Appl. Phys. 118, 245301 (2015))，其取決於劑量。當壓力超過一臨界值時，層分層。此指稱一自動分裂或熱分裂。其防止較高退火溫度或較長退火時間。根據本發明之一些實施例，接合發生於高壓處(例如約0.5 MPa至約200 MPa之間，諸如約0.5 MPa至約100 MPa之間、約0.5 MPa至約50

MPa之間、或約0.5 MPa至約10 MPa之間或約0.5 MPa至約5 MPa之間)，其藉此實現高溫接合。在一些實施例中，以自約300°C至約700°C、自約400°C至約600°C (諸如約400°C至約450°C之間或甚至約450°C至約600°C之間或約350°C至約450°C之間)之一溫度使接合結構退火。增加熱預算將對接合強度產生積極影響。熱退火可發生自約0.5小時至約10小時(諸如約0.5小時至約3小時之間)之一持續時間，較佳地，約2小時之一持續時間。此等溫度範圍內之熱退火足以形成一熱活化分裂面。在習知接合退火中，處置晶圓及施體晶圓兩者之邊緣會因滾降(roll off)而明顯分開。在此區域中，不存在層移轉。其被稱為階地。預期增壓接合會減少此階地以使SOI層進一步朝向邊緣向外延伸。此機制係基於陷留氣穴被壓縮及「拉合(zippering)」向外。在用於活化分裂面之熱退火之後，可分裂接合結構。

【0044】 在熱退火之後，單晶半導體施體基板100與處置基板200之間的接合足夠強以經由在分裂面處分裂接合結構來引發層移轉。可根據此項技術中已知之技術來發生分裂。在一些實施例中，可將接合結構放置於一習知分裂台中，其一側貼附至固定吸盤且另一側藉由額外吸盤來貼附於一鉸接臂上。在吸盤附件附近引發一裂縫且可移動臂圍繞鉸鏈樞轉以使晶圓分裂開。分裂移除半導體施體晶圓之一部分以藉此留下絕緣體上半導體複合結構上之一單晶半導體裝置層300，較佳為一矽裝置層。參閱圖1F。本發明之方法能夠將一矽薄層自施體基板移轉至處置基板。因此，在一些實施例中，矽層具有約500埃至約2500埃之間的一厚度。

【0045】 在分裂之後，分裂結構可經受一高溫退火以進一步強化移轉裝置層300與處置基板之間的接合。一適合工具之一實例可為諸如一ASM A400之一垂直爐。在一些較佳實施例中，以自約1000°C至約

1200°C (較佳地，約1000°C)之一溫度使接合結構退火。熱退火可發生自約0.5小時至約8小時之一持續時間，較佳地，約2小時至約4小時之一持續時間。此等溫度範圍內之熱退火足以強化移轉裝置層與單晶半導體處置基板之間的接合。

【0046】 在分裂及高溫退火之後，接合結構可經受經設計以移除薄熱氧化物且自表面清除微粒之一清潔程序。在一些實施例中，可藉由在使用H₂作為一運載氣體之一水平流動單晶圓磊晶反應器中經受一氣相HCl蝕刻程序來使單晶半導體裝置層達到所要厚度及平滑度。

【0047】 在一些實施例中，可將一磊晶層沈積於移轉單晶半導體裝置層300上。一沈積磊晶層可包括實質上相同於下伏單晶半導體裝置層300之電特性。替代地，磊晶層可包括不同於下伏單晶半導體裝置層300之電特性。一磊晶層可包括選自由矽、碳化矽、矽鍺、砷化鎵、氮化鎵、磷化銮、砷化銮鎵、鍺及其組合組成之群組之一材料。取決於最終積體電路裝置之所要性質，磊晶層可包括選自硼(p型)、鎵(p型)、鋁(p型)、銮(p型)、磷(n型)、銻(n型)及砷(n型)之一摻雜劑。磊晶層之電阻率可在自1 Ohm-cm至50 Ohm-cm之範圍內，通常為自5 Ohm-cm至25 Ohm-cm。在一些實施例中，磊晶層可具有約10奈米至約20微米之間、約20奈米至約3微米之間的一厚度，諸如約20奈米至約2微米之間，諸如約20奈米至約1.5微米之間或約1.5微米至約3微米之間。

【0048】 接著，完成SOI晶圓可經受最後度量檢測且最後使用典型SC1-SC2程序來清潔。

【0049】 可由以下非限制性實例進一步說明本發明。

實例1

【0050】單晶矽施體基板經受離子植入。首先，晶圓經受 7×10^{15} cm^{-2} 劑量之 He^+ 離子植入。植入能係22 Kev。其後，晶圓經受 H_2^+ 離子植入或 H^+ 離子植入。 H_2^+ 離子植入能係32 Kev。 H^+ 離子植入能係16 Kev。劑量根據表1來變動。

【0051】物質中離子之停止及範圍(SRIM)計算表明， H^+ 及 He^+ 深度分佈之峰值差係約450埃。參閱圖1。經離子植入之施體基板接合至處置基板，經退火，且經分裂。表1進一步提供分裂結果。

表1：各種 H_2^+ 及 H^+ 劑量之機械分裂操作之結果

H_2^+ 劑量	H^+ 劑量	分裂結果
$3.1 \times 10^{15} \text{ cm}^{-2}$		不分裂
	$6.8 \times 10^{15} \text{ cm}^{-2}$	不分裂
$3.7 \times 10^{15} \text{ cm}^{-2}$		不分裂
$4 \times 10^{15} \text{ cm}^{-2}$		不分裂
$4.3 \times 10^{15} \text{ cm}^{-2}$		分裂
$4.6 \times 10^{15} \text{ cm}^{-2}$		分裂
$4.9 \times 10^{15} \text{ cm}^{-2}$		分裂
$5.2 \times 10^{15} \text{ cm}^{-2}$		分裂
$5.5 \times 10^{15} \text{ cm}^{-2}$		分裂
$5.8 \times 10^{15} \text{ cm}^{-2}$		分裂
	$1.22 \times 10^{16} \text{ cm}^{-2}$	分裂
$7.6 \times 10^{15} \text{ cm}^{-2}$		分裂
$7.9 \times 10^{15} \text{ cm}^{-2}$		分裂
$8.2 \times 10^{15} \text{ cm}^{-2}$		分裂
$8.5 \times 10^{15} \text{ cm}^{-2}$		分裂
$8.8 \times 10^{15} \text{ cm}^{-2}$		分裂
$9.1 \times 10^{15} \text{ cm}^{-2}$		分裂
$9.4 \times 10^{15} \text{ cm}^{-2}$		分裂
$9.7 \times 10^{15} \text{ cm}^{-2}$		分裂
	$2 \times 10^{16} \text{ cm}^{-2}$	分裂
$1.03 \times 10^{16} \text{ cm}^{-2}$		分裂

【0052】 根據表1中所展示之結果，若He⁺離子植入劑量固定為22 Kev處之 $7 \times 10^{15} \text{ cm}^{-2}$ ，則無法在小於 $4.3 \times 10^{15} \text{ cm}^{-2}$ 之H₂⁺離子植入劑量或小於 $6.8 \times 10^{15} \text{ cm}^{-2}$ 之H⁺離子植入劑量處觀察到分裂。

【0053】 量測依據H₂⁺離子植入劑量而變化之移轉矽裝置層之分裂後厚度變動範圍。參閱圖3。圖2及圖3中所展示之資料能夠判定：當H₂⁺離子植入劑量係至少 $6 \times 10^{15} \text{ cm}^{-2}$ 且He⁺離子植入劑量固定為22 Kev能量處之 $7 \times 10^{15} \text{ cm}^{-2}$ 時，獲得移轉矽裝置層之最小厚度變動。顯而易見，使移轉矽裝置層之厚度變動最小化之H₂⁺離子植入劑量顯著大於透過機械分裂操作來獲得分裂所需之H₂⁺離子植入劑量。

實例2

【0054】 單晶矽施體基板經受離子植入。各晶圓經受He⁺離子及H₂⁺或H⁺之一者之離子植入。He⁺、H₂⁺及H⁺之各者之植入劑量係變動的。He⁺離子植入劑量變動於 $6.6 \times 10^{15} \text{ cm}^{-2}$ 至 $7 \times 10^{15} \text{ cm}^{-2}$ 之間。He⁺離子劑量之植入能係11 Kev。H₂⁺離子植入能係16 Kev且H⁺離子植入能係8 Kev。SRIM計算表明，H⁺及He⁺深度分佈之峰值差係約200埃。參閱圖4。

【0055】 經離子植入之施體基板接合至處置基板，經退火，且經分裂。表2進一步提供分裂結果。

表2：各種H₂⁺及H⁺劑量之機械分裂操作之結果

He ⁺ 劑量	H ₂ ⁺ 劑量	H ⁺ 劑量	分裂結果
7 x 10 ¹⁵ cm ⁻²	6.7 x 10 ¹⁵ cm ⁻²		具有空隙之分裂
7 x 10 ¹⁵ cm ⁻²		6.8 x 10 ¹⁵ cm ⁻²	不分裂
7 x 10 ¹⁵ cm ⁻²	6.3 x 10 ¹⁵ cm ⁻²		具有空隙之分裂
7 x 10 ¹⁵ cm ⁻²		6.1 x 10 ¹⁵ cm ⁻²	不分裂
7 x 10 ¹⁵ cm ⁻²	5.9 x 10 ¹⁵ cm ⁻²		分裂
6.9 x 10 ¹⁵ cm ⁻²	6.7 x 10 ¹⁵ cm ⁻²		具有空隙之分裂
6.9 x 10 ¹⁵ cm ⁻²		6.5 x 10 ¹⁵ cm ⁻²	不分裂
6.9 x 10 ¹⁵ cm ⁻²	6.3 x 10 ¹⁵ cm ⁻²		具有空隙之分裂
6.9 x 10 ¹⁵ cm ⁻²		6.1 x 10 ¹⁵ cm ⁻²	不分裂
6.9 x 10 ¹⁵ cm ⁻²	5.9 x 10 ¹⁵ cm ⁻²		部分分裂
6.8 x 10 ¹⁵ cm ⁻²	6.7 x 10 ¹⁵ cm ⁻²		分裂
6.8 x 10 ¹⁵ cm ⁻²		6.5 x 10 ¹⁵ cm ⁻²	不分裂
6.8 x 10 ¹⁵ cm ⁻²	6.3 x 10 ¹⁵ cm ⁻²		分裂
6.8 x 10 ¹⁵ cm ⁻²		6.1 x 10 ¹⁵ cm ⁻²	不分裂
6.8 x 10 ¹⁵ cm ⁻²	5.9 x 10 ¹⁵ cm ⁻²		分裂
6.7 x 10 ¹⁵ cm ⁻²	6.7 x 10 ¹⁵ cm ⁻²		分裂
6.7 x 10 ¹⁵ cm ⁻²		6.5 x 10 ¹⁵ cm ⁻²	不分裂
6.7 x 10 ¹⁵ cm ⁻²	6.3 x 10 ¹⁵ cm ⁻²		分裂
6.7 x 10 ¹⁵ cm ⁻²		6.1 x 10 ¹⁵ cm ⁻²	不分裂
6.7 x 10 ¹⁵ cm ⁻²	5.9 x 10 ¹⁵ cm ⁻²		分裂
6.6 x 10 ¹⁵ cm ⁻²	6.7 x 10 ¹⁵ cm ⁻²		分裂
6.6 x 10 ¹⁵ cm ⁻²		6.5 x 10 ¹⁵ cm ⁻²	不分裂
6.6 x 10 ¹⁵ cm ⁻²	6.3 x 10 ¹⁵ cm ⁻²		分裂
6.6 x 10 ¹⁵ cm ⁻²		6.1 x 10 ¹⁵ cm ⁻²	不分裂
6.6 x 10 ¹⁵ cm ⁻²	5.9 x 10 ¹⁵ cm ⁻²		分裂

【0056】在He⁺之非常低能量(即，11 Kev)處，低至8 Kev處之5.9×10¹⁵ cm⁻²之H⁺共同植入可導致成功機械分裂。

【0057】儘管已詳細描述本發明，但應明白，可在不背離隨附申請專利範圍中所界定之本發明之範疇之情況下進行修改及變動。

【0058】當介紹本發明或其(若干)較佳實施例之元件時，冠詞「一」及「該」旨在意謂存在一或多個該等元件。術語「包括」、「包含」及「具有」意欲具包含性且意謂可存在除所列元件之外之額外元件。

【0059】 可看出，鑑於上文來達成本發明之若干目的且實現其他有利結果。

【0060】 因為可在不背離本發明之範疇之情況下對上述產品及方法作出各種改變，所以意欲將以上描述中所含及附圖中所展示之所有事項解譯為意在說明而非限制。

【符號說明】

【0061】

100:單晶半導體施體基板

102:前表面

104:後表面

106:圓周邊緣

108:中心軸線

110:中心面

120:氧化層

130:損壞層/分裂面

200:半導體處置基板

300:半導體裝置層

D1: H_2^+ 離子/ H^+ 離子或 H_2^+ 離子及 H^+ 離子之一組合之峰值深度/峰值密度

D2: He^+ 離子之峰值深度/峰值密度

【發明申請專利範圍】

【請求項1】

一種將一矽層自一單晶矽施體基板移轉至一處置基板之方法，該方法包括：

(a) 透過與該單晶矽施體基板之一前表面接觸之二氧化矽層及透過該單晶矽施體基板之該前表面來植入 H_2^+ 離子、 H^+ 離子或 H_2^+ 離子及 H^+ 離子之一組合，該單晶矽施體基板包括兩個平行主表面，該兩個平行主表面之一者係該前表面且該兩個平行主表面之一者係一後表面、連結該前表面及該後表面之一圓周邊緣、該前表面與該後表面之間的一中心面、垂直於該前表面之一中心軸線及該前表面與該後表面之間的一塊體區域，其中該 H_2^+ 離子係在約10 Kev至約30 Kev之間的一植入能處植入，及該 H^+ 離子係在約5 Kev至約20 Kev之間的一植入能處植入；

(b) 透過與該單晶矽施體基板之該前表面接觸之該二氧化矽層及透過該單晶矽施體基板之該前表面來植入 He^+ 離子，其中該 He^+ 離子係在約5 Kev至約30 Kev之間的一植入能處植入；

(c) 以一溫度且在足以使一損壞層形成於該單晶矽施體基板中之一持續時間內使經離子植入之該單晶矽施體基板退火；

(d) 將與該單晶矽施體基板之該前表面接觸之該二氧化矽層接合至與該處置基板接觸之一介電層以藉此製備一多層基板；

(e) 退火該多層基板；及

(f) 在該單晶矽施體基板中之該損壞層處分裂經退火之該多層基板，以藉此將具有約500埃至約2500埃之間的一厚度之該矽層，自該單晶矽施體基板移轉至該處置基板。

【請求項2】

如請求項1之方法，其中步驟(a)發生於步驟(b)之前。

【請求項3】

如請求項1之方法，其中步驟(b)發生於步驟(a)之前。

【請求項4】

如請求項1之方法，其中步驟(a)及(b)同時發生。

【請求項5】

如請求項1之方法，其中步驟(a)包括：(i)在約10 Kev至約30 Kev之間的一植入能處，依約 4.3×10^{15} 個離子/cm²至約 1.1×10^{16} 個離子/cm²之間的一劑量植入H₂⁺離子；(ii)在約5 Kev至約20 Kev之間的一植入能處，依約 5×10^{15} 個離子/cm²至約 2×10^{16} 個離子/cm²之間的一劑量植入H⁺離子；或(iii)在約10 Kev至約30 Kev之間的一植入能處依約 4.3×10^{15} 個離子/cm²至約 1.1×10^{16} 個離子/cm²之間的一劑量植入H₂⁺離子且在約5 Kev至約20 Kev之間的一植入能處依約 5×10^{15} 個離子/cm²至約 2×10^{16} 個離子/cm²之間的一劑量植入H⁺離子。

【請求項6】

如請求項1之方法，其中步驟(a)包括：(i)在約10 Kev至約30 Kev之間的一植入能處，依約 4.3×10^{15} 個離子/cm²至約 1.1×10^{16} 個離子/cm²之間的一劑量植入H₂⁺離子；(ii)在約5 Kev至約20 Kev之間的一植入能處，依約 1.1×10^{16} 個離子/cm²至約 2×10^{16} 個離子/cm²之間的一劑量植入H⁺離子；或(iii)在約10 Kev至約30 Kev之間的一植入能處依約 4.3×10^{15} 個離子/cm²至約 1.1×10^{16} 個離子/cm²之間的一劑量植入H₂⁺離子且在約5 Kev至約20 Kev之間的一植入能處依約 1.1×10^{16} 個離子/cm²至約 2×10^{16} 個離子/cm²之

間的一劑量植入H⁺離子。

【請求項7】

如請求項1之方法，其中步驟(a)包括：(i)在約10 Kev至約30 Kev之間的一植入能處，依約 5.9×10^{15} 個離子/cm²至約 6.7×10^{15} 個離子/cm²之間的一劑量植入H₂⁺離子；(ii)在約5 Kev至約20 Kev之間的一植入能處，依約 6.1×10^{15} 個離子/cm²至約 6.8×10^{15} 個離子/cm²之間的一劑量植入H⁺離子；或(iii)在約10 Kev至約30 Kev之間的一植入能處依約 5.9×10^{15} 個離子/cm²至約 6.7×10^{15} 個離子/cm²之間的一劑量植入H₂⁺離子且在約5 Kev至約20 Kev之間的一植入能處依約 6.1×10^{15} 個離子/cm²至約 6.8×10^{15} 個離子/cm²之間的一劑量植入H⁺離子。

【請求項8】

如請求項1之方法，其中步驟(b)包括：在約5 Kev至約30 Kev之間的一植入能處，依約 6×10^{15} 個離子/cm²至約 8×10^{15} 個離子/cm²之間的一劑量植入He⁺離子。

【請求項9】

如請求項1之方法，其中步驟(b)包括：在約10 Kev至約30 Kev之間的一植入能處，依約 6×10^{15} 個離子/cm²至約 8×10^{15} 個離子/cm²之間的一劑量植入He⁺離子。

【請求項10】

如請求項1之方法，其中步驟(b)包括：在約5 Kev至約20 Kev之間的一植入能處，依約 6.6×10^{15} 個離子/cm²至約 7×10^{15} 個離子/cm²之間的一劑量植入He⁺離子。

【請求項11】

如請求項1之方法，其中 H_2^+ 離子、 H^+ 離子或 H_2^+ 離子及 H^+ 離子之一組合之一峰值密度(D1)係介於約100埃至約3000埃之間，如自該單晶矽施體基板之該前表面沿該中心軸線所量測。

【請求項12】

如請求項11之方法，其中 He^+ 離子之一峰值密度(D2)係介於約100埃至約4000埃之間，如自該單晶矽施體基板之該前表面沿該中心軸線所量測。

【請求項13】

如請求項12之方法，其中 H_2^+ 離子、 H^+ 離子或 H_2^+ 離子及 H^+ 離子之一組合之該峰值密度(D1)及 He^+ 離子之該峰值密度(D2)係彼此相差約600埃內。

【請求項14】

如請求項1之方法，其中步驟(c)包括：在約10分鐘至約60分鐘之一持續時間內以約 $200^{\circ}C$ 至約 $350^{\circ}C$ 之間的一溫度使經離子植入之該單晶矽施體基板退火。

【請求項15】

如請求項1之方法，其中步驟(e)包括：在約10分鐘至約60分鐘之一持續時間內以約 $200^{\circ}C$ 至約 $400^{\circ}C$ 之間的一溫度使經離子植入之該單晶矽施體基板退火。

【請求項16】

如請求項1之方法，其中自該單晶矽施體基板移轉至該處置基板之具有約500埃至約2500埃之間的該厚度之該矽層，具有小於約10埃之一厚度變動。

【請求項17】

如請求項1之方法，其中步驟(e)包括：以約0.5 MPa至約200 MPa之間的一壓力使該多層基板退火。

【請求項18】

一種將一矽層自一單晶矽施體基板移轉至一處置基板之方法，該方法包括：

(a) 透過與該單晶矽施體基板之一前表面接觸之二氧化矽層及透過該單晶矽施體基板之該前表面來植入 H^+ 離子，該單晶矽施體基板包括兩個平行主表面，該兩個平行主表面之一者係該前表面且該兩個平行主表面之一者係一後表面、連結該前表面及該後表面之一圓周邊緣、該前表面與該後表面之間的一中心面、垂直於該前表面之一中心軸線及該前表面與該後表面之間的一塊體區域，其中該 H^+ 離子係在約5 Kev至約20 Kev之間的一植入能處植入；

(b) 透過與該單晶矽施體基板之該前表面接觸之該二氧化矽層及透過該單晶矽施體基板之該前表面來植入 He^+ 離子，其中該 He^+ 離子係在約5 Kev至約30 Kev之間的一植入能處植入；

(c) 以一溫度且在足以使一損壞層形成於該單晶矽施體基板中之一持續時間內使經離子植入之該單晶矽施體基板退火；

(d) 將與該單晶矽施體基板之該前表面接觸之該二氧化矽層接合至與該處置基板接觸之一介電層以藉此製備一多層基板；

(e) 退火該多層基板；及

(f) 在該單晶矽施體基板中之該損壞層處分裂經退火之該多層基板，以藉此將具有約500埃至約2500埃之間的一厚度之該矽層，自該單晶矽施

體基板移轉至該處置基板。

【請求項19】

如請求項18之方法，其中步驟(a)發生於步驟(b)之前。

【請求項20】

如請求項18之方法，其中步驟(b)發生於步驟(a)之前。

【請求項21】

如請求項18之方法，其中步驟(a)及(b)同時發生。

【請求項22】

如請求項18之方法，其中步驟(a)包括：在約5 Kev至約20 Kev之間的一植入能處，依約 5×10^{15} 個離子/cm²至約 2×10^{16} 個離子/cm²之間的一劑量植入H⁺離子。

【請求項23】

如請求項18之方法，其中步驟(a)包括：在約5 Kev至約20 Kev之間的一植入能處，依約 1.1×10^{15} 個離子/cm²至約 2×10^{16} 個離子/cm²之間的一劑量植入H⁺離子。

【請求項24】

如請求項18之方法，其中步驟(a)包括：在約5 Kev至約20 Kev之間的一植入能處，依約 6.1×10^{15} 個離子/cm²至約 6.8×10^{15} 個離子/cm²之間的一劑量植入H⁺離子。

【請求項25】

如請求項18之方法，其中步驟(b)包括：在約5 Kev至約30 Kev之間的一植入能處，依約 6×10^{15} 個離子/cm²至約 8×10^{15} 個離子/cm²之間的一劑量植入He⁺離子。

【請求項26】

如請求項18之方法，其中步驟(b)包括：在約10 Kev至約30 Kev之間的一植入能處，依約 6×10^{15} 個離子/cm²至約 8×10^{15} 個離子/cm²之間的一劑量植入He⁺離子。

【請求項27】

如請求項18之方法，其中步驟(b)包括：在約5 Kev至約20 Kev之間的一植入能處，依約 6.6×10^{15} 個離子/cm²至約 7×10^{15} 個離子/cm²之間的一劑量植入He⁺離子。

【請求項28】

如請求項18之方法，其中H⁺離子之一峰值密度(D1)係介於約100埃至約3000埃之間，如自該單晶矽施體基板之該前表面沿該中心軸線所量測。

【請求項29】

如請求項28之方法，其中He⁺離子之該峰值密度(D2)係介於約100埃至約4000埃之間，如自該單晶矽施體基板之該前表面沿該中心軸線所量測。

【請求項30】

如請求項29之方法，其中H⁺離子之該峰值密度(D1)及He⁺離子之該峰值密度(D2)係彼此相差約600埃內。

【請求項31】

如請求項18之方法，其中步驟(c)包括：在約10分鐘至約60分鐘之一持續時間內以約200°C至約350°C之間的一溫度使經離子植入之該單晶矽施體基板退火。

【請求項32】

如請求項18之方法，其中步驟(e)包括：在約10分鐘至約60分鐘之一持續時間內以約200°C至約400°C之間的一溫度使經離子植入之該單晶矽施體基板退火。

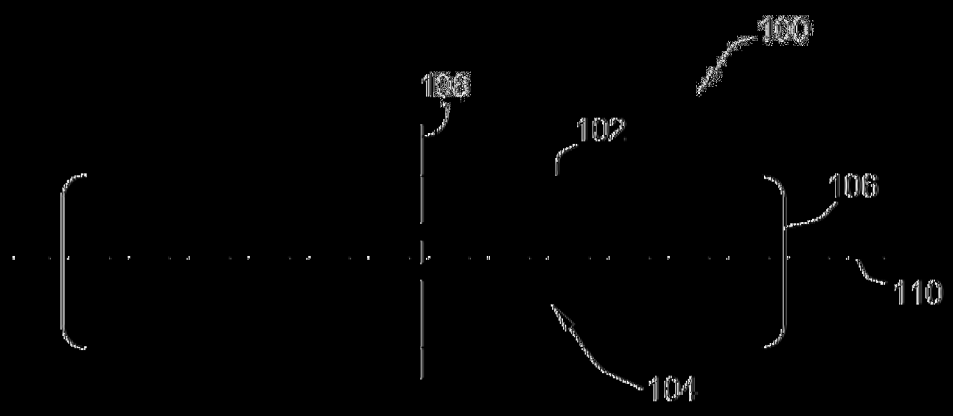
【請求項33】

如請求項18之方法，其中自該單晶矽施體基板移轉至該處置基板之具有約500埃至約2500埃之間的該厚度之該矽層，具有小於約10埃之一厚度變動。

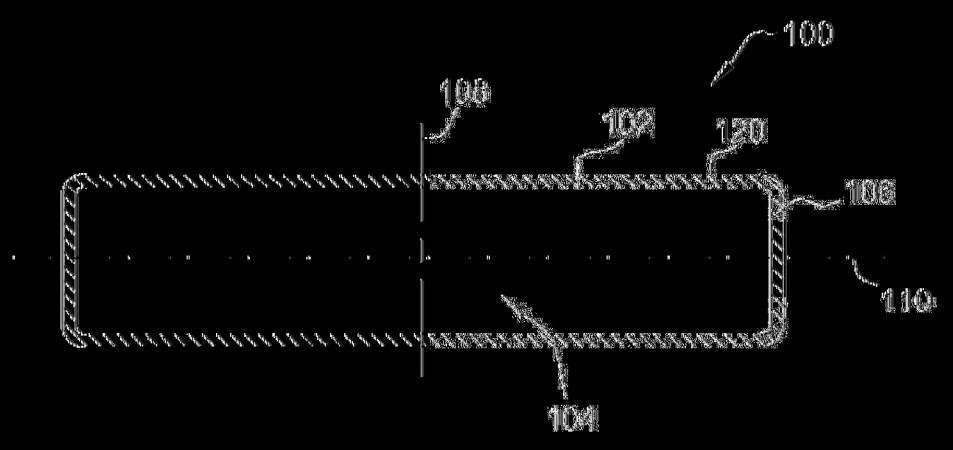
【請求項34】

如請求項18之方法，其中步驟(e)包括：以約0.5 MPa至約200 MPa之間的一壓力使該多層基板退火。

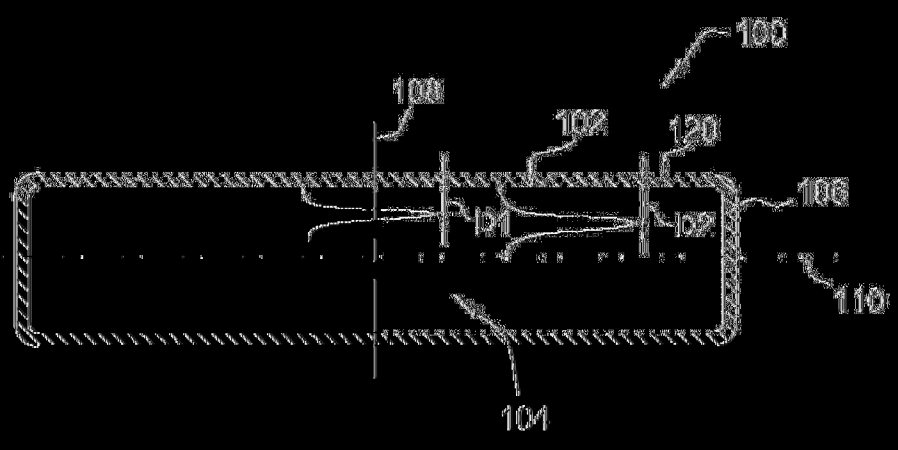
(發明圖式)



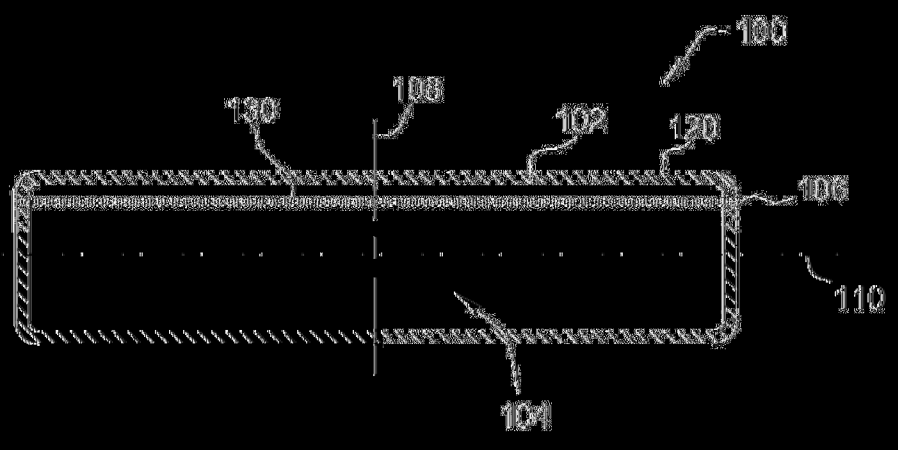
(圖1A)



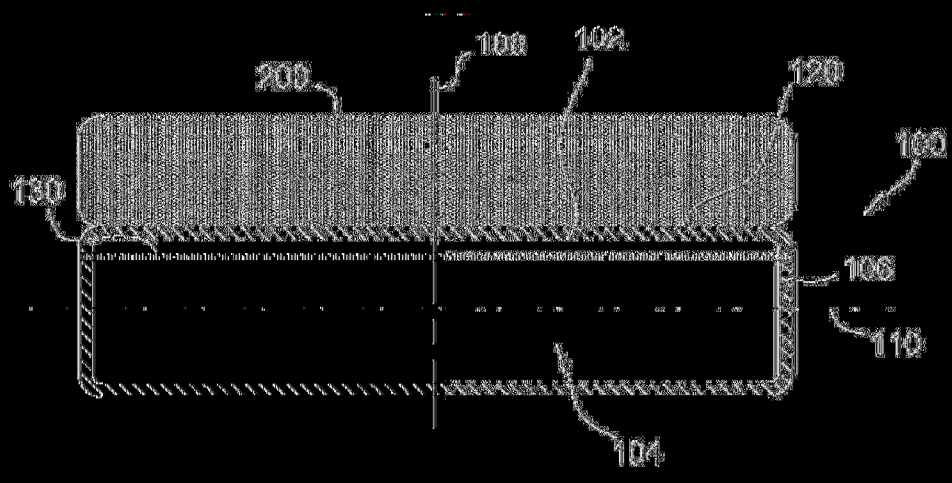
(圖1B)



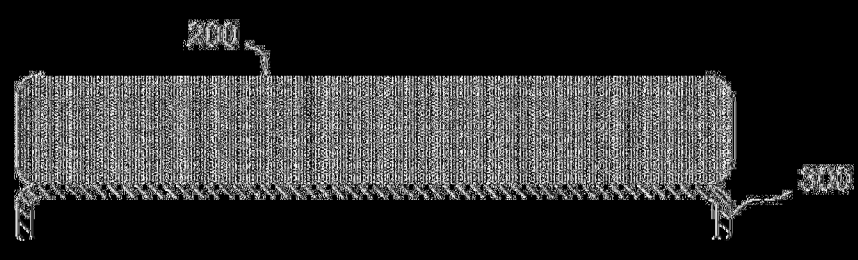
[(圖)1C]



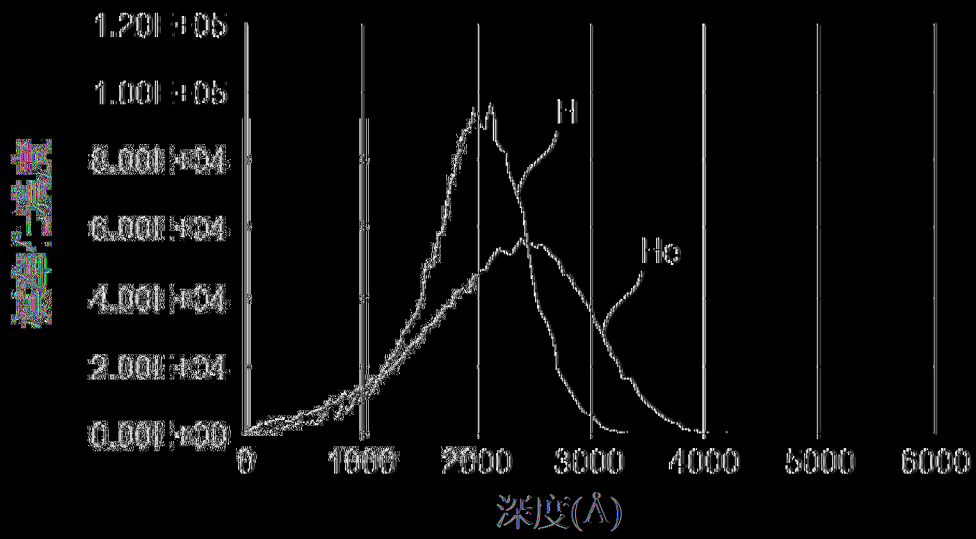
[(圖)1D]



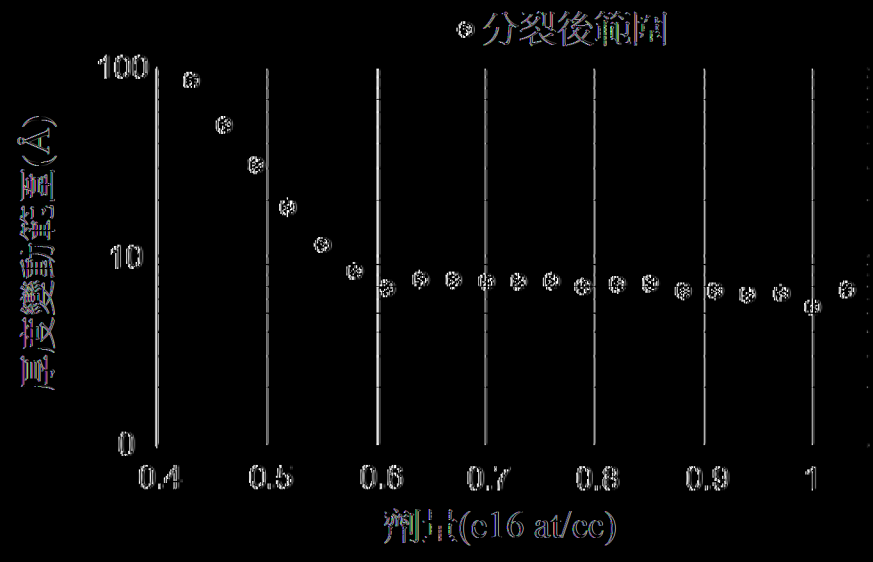
(B)



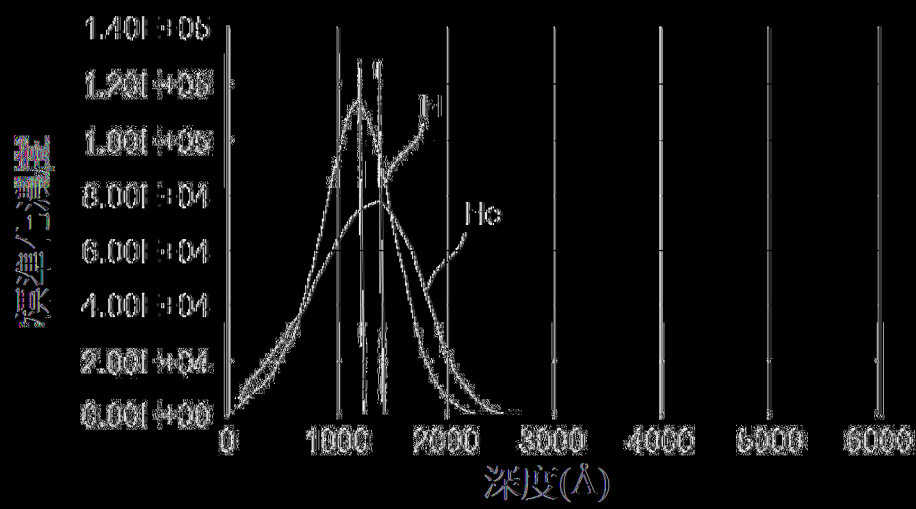
(C)



(圖2)



(圖3)



(图4)