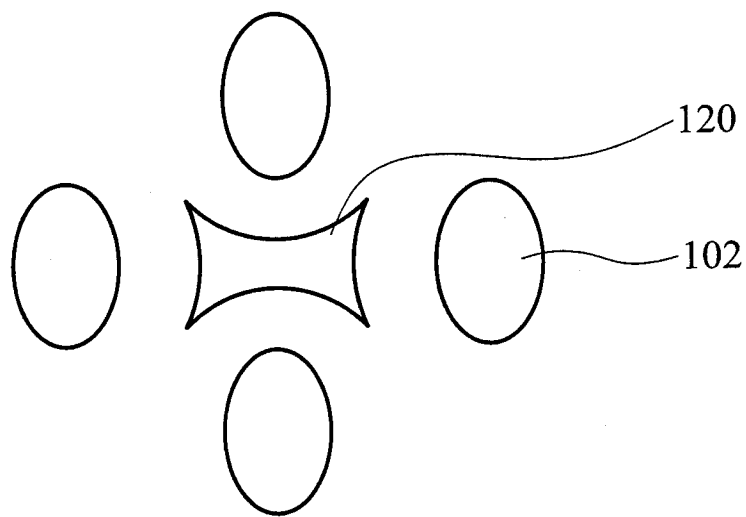
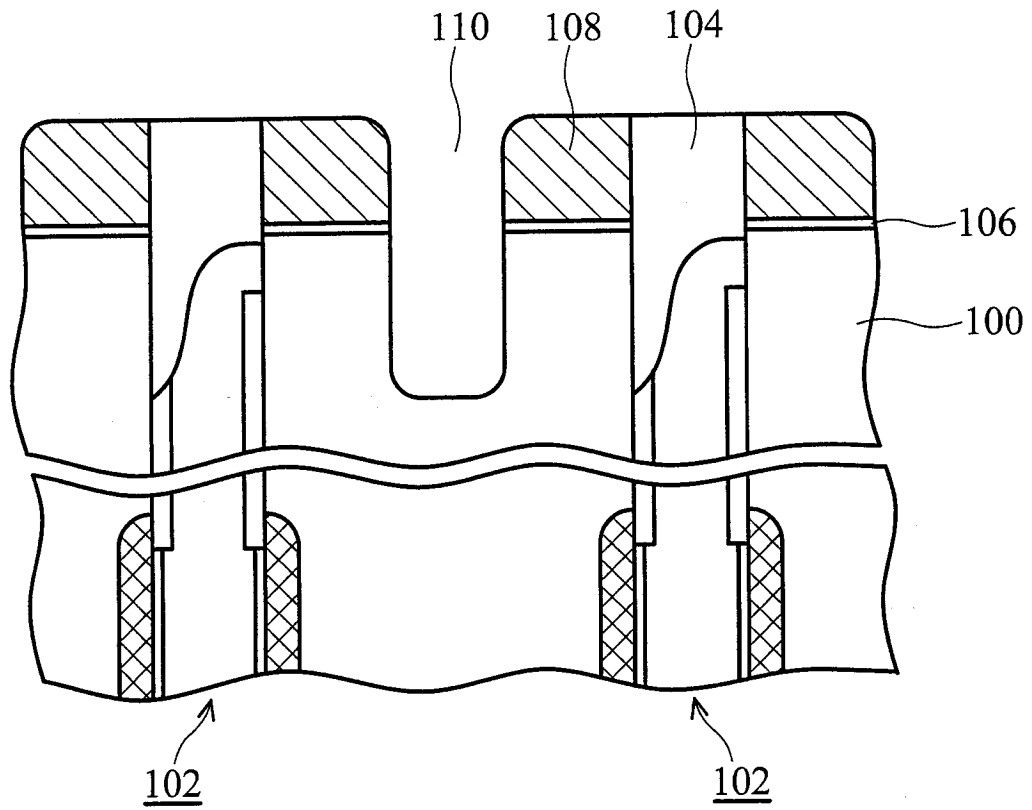


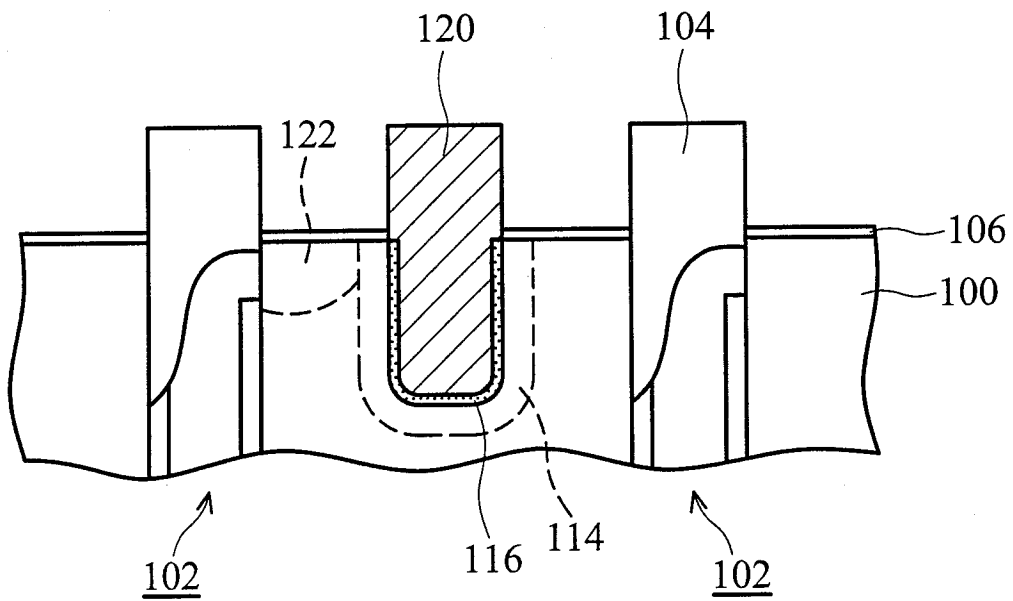
第 1 圖



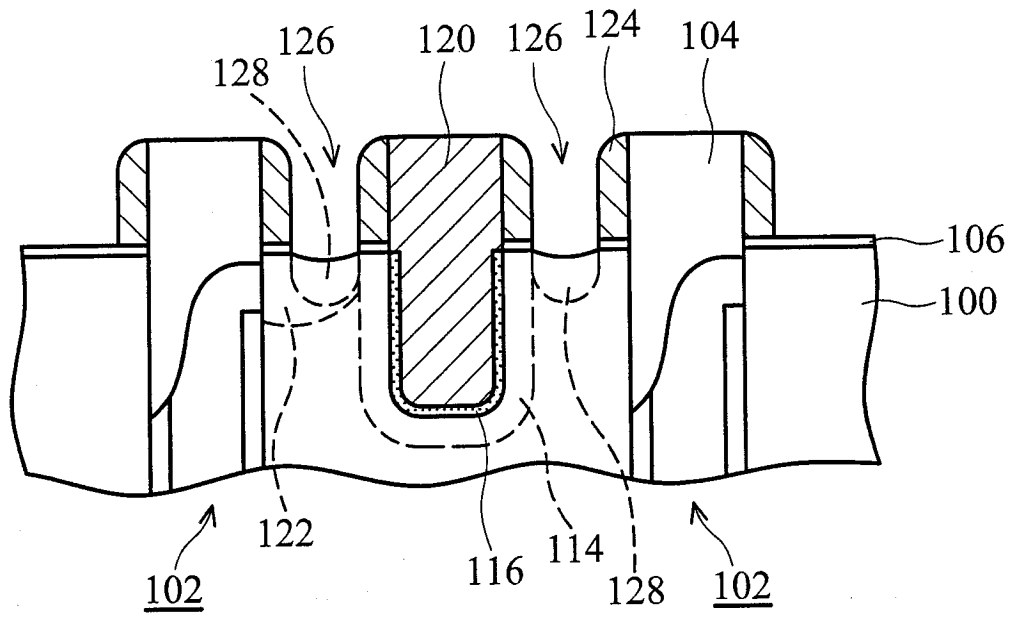
第 2 圖



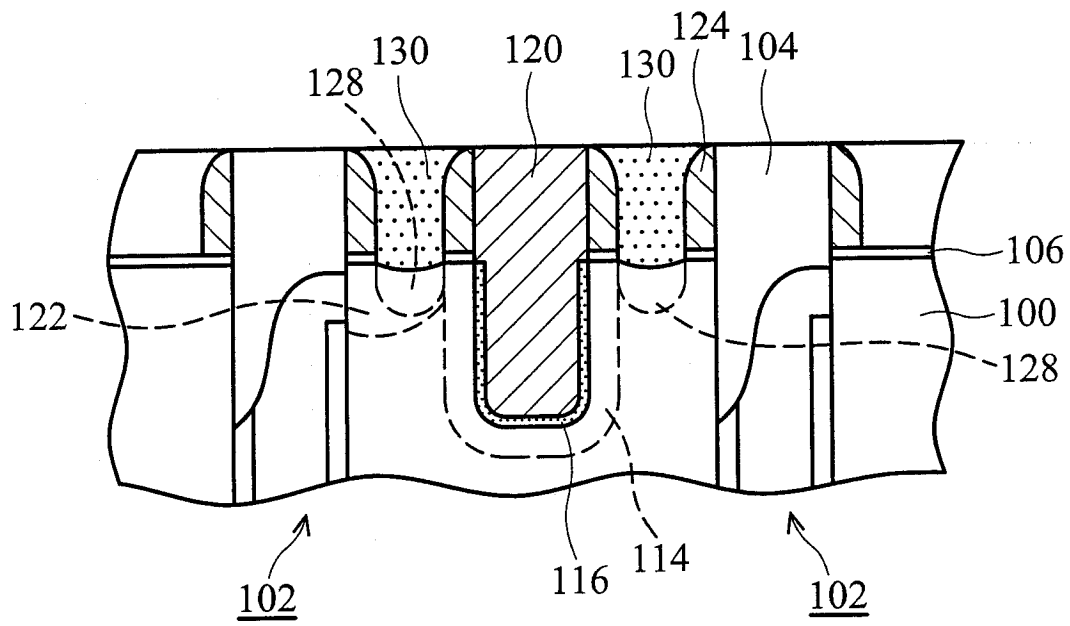
第 3A 圖



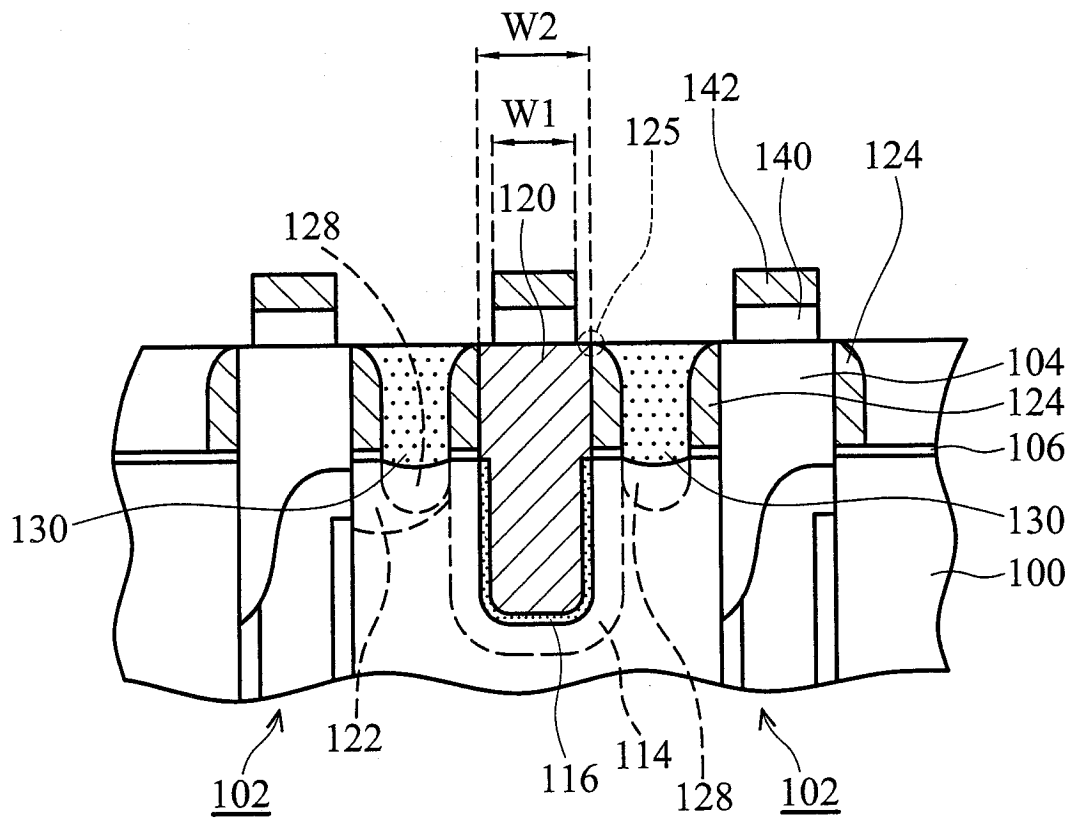
第 3B 圖



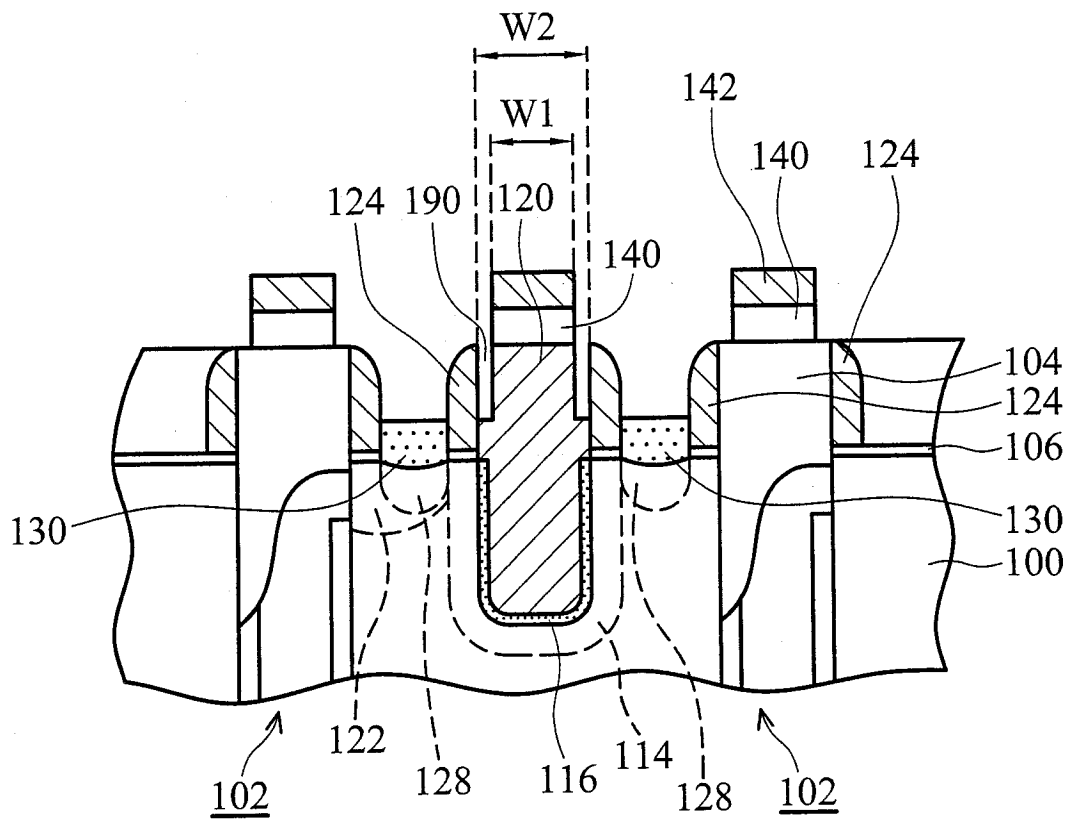
第 3C 圖



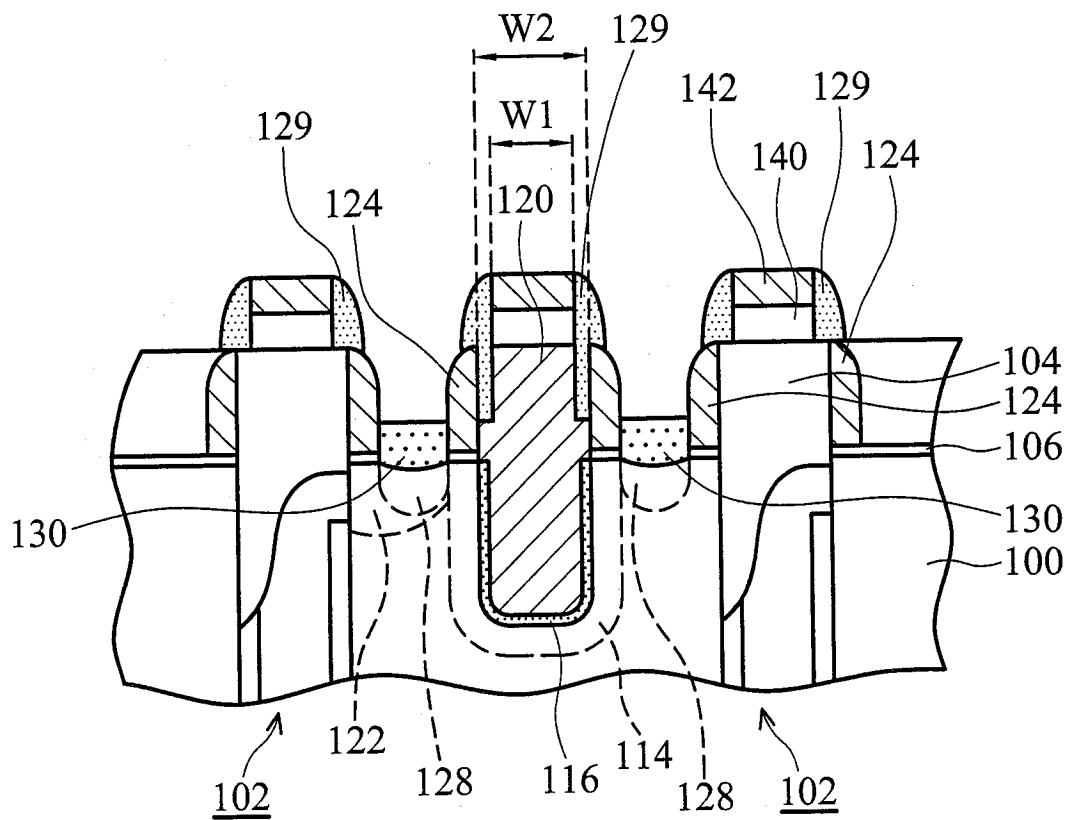
第 3D 圖



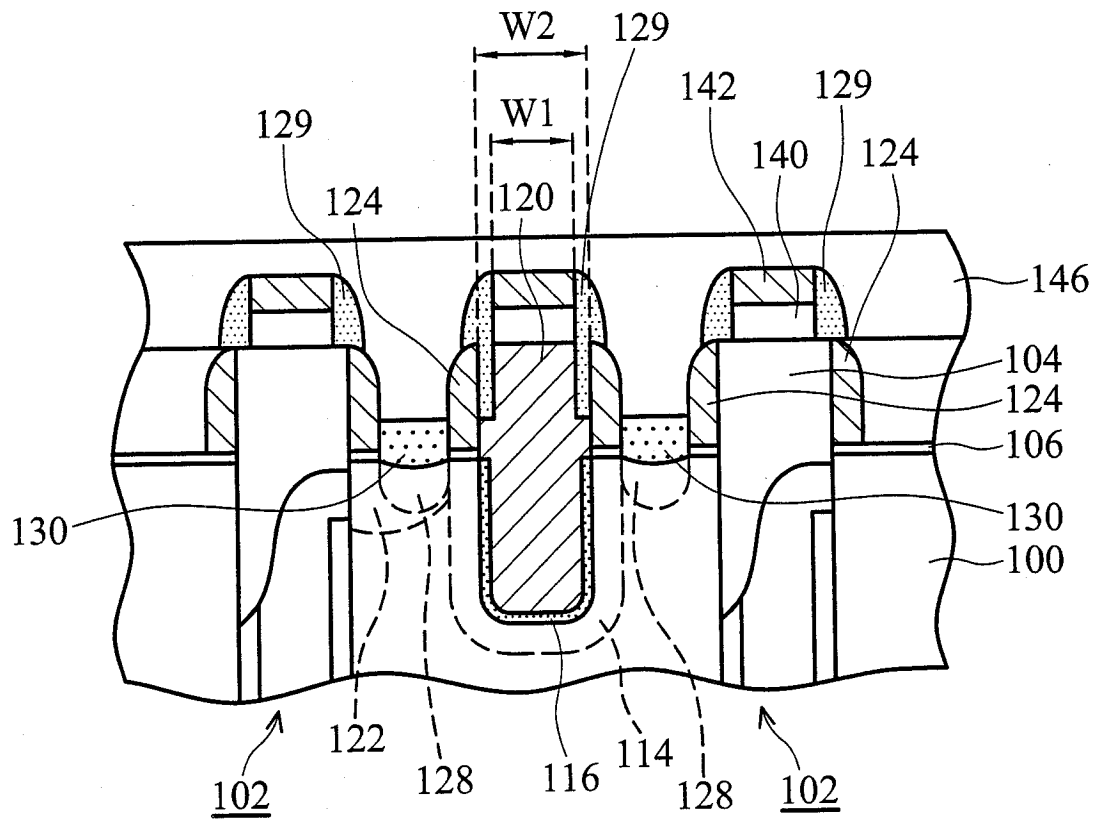
第 3E 圖



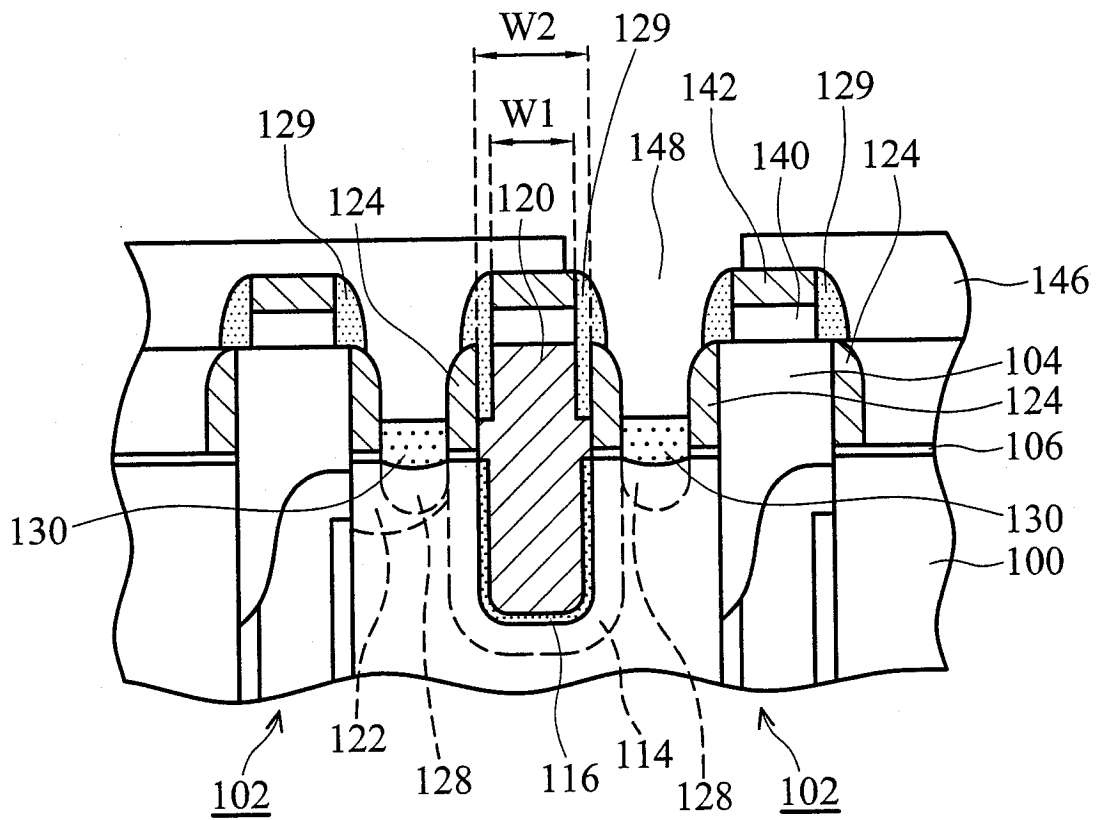
第 3F 圖



第 3G 圖



第3H圖

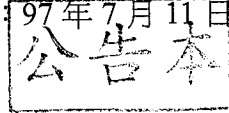


第 3I 圖





# 發明專利說明書



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95111776

※ 申請日期：95.4.3

※IPC 分類：H01L 21/8242, 27/108, 29/18

## 一、發明名稱：(中文/英文)

半導體元件及其製造方法

Semiconductor device and fabrication thereof

## 二、申請人：(共1人)

姓名或名稱：(中文/英文)

南亞科技股份有限公司/Nanya Technology Corporation.

代表人：(中文/英文) 連日昌/Jih-Chang Lien

住居所或營業所地址：(中文/英文)

桃園縣龜山鄉華亞科技園區復興三路 669 號

Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C

國籍：(中文/英文) 中華民國/TW

## 三、發明人：(共4人)

姓名：(中文/英文)

1. 何家銘/Jar-Ming HO

2. 林瑄智/Shian-Jyh LIN

3. 楊青天/Chin-Tien YANG

4. 程謙禮/Chien-Li CHENG

國籍：(中文/英文)

中華民國/TW

**四、聲明事項：**

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種半導體元件及其製造方法，且特別是有關於一種記憶體元件及其製造方法。

### 【先前技術】

隨著積體電路廣泛地運用，為因應不同使用目的，更高效能與更低廉價格之各類半導體元件相繼產出，其中，動態隨機存取記憶體（DRAM）在現今資訊電子業中更有著不可或缺的地位。

現今大多數的 DRAM 單元是由一個電晶體與一個電容器所構成。由於目前 DRAM 之記憶容量已達到 256 百萬位甚至 512 百萬位元以上，在元件積集度要求越來越高的情況下，記憶單元與電晶體的尺寸需要大幅縮小，才可能製造出記憶容量更高，處理速度更快的 DRAM。

然而，傳統的平面電晶體技術需要更多的晶片面積，且其難以達到上述高記憶容量，快處理速度的要求，因此，DRAM 已應用嵌壁式閘極和嵌壁式通道技術，以減少位於半導體基底上之電晶體和電容器之使用面積，也因此，傳統的平面電晶體技術無法達到較高的整合度，然而，傳統的平面電晶體技術上述的缺點可使用嵌壁式閘極垂直電晶體技術(recessed vertical gate transistor，以下可簡稱 RVERT)改善，因此，嵌壁式閘極垂直電晶體技術(RVERT)已成為重要的半導體製造技術。

第 1 圖係為傳統垂直閘極電晶體之上視圖。請參照第 1 圖，由於需要精準的控制外擴散距離，因此必需精準的

控制鑲嵌式閘極 103 和溝槽式電容器 105 間的距離 D，然而，在線寬 60nm 以下，傳統黃光微影方法之疊對精度 (overlay) 的控制對於製造鑲嵌式閘極記憶體係非常的困難。

有鑑於此，本案申請人在美國專利申請案第 11/145,728 號中亦揭示一種垂直閘極電晶體之製造方法，其利用圖案化墊層做為圓角化間隙壁 (rounded spacer)，且使之與溝槽電容上部之溝槽頂部絕緣層做為罩幕，然後蝕刻基底以形成自動對準之用於鑲嵌式閘極之凹陷溝槽。

#### 【發明內容】

根據上述問題，本發明進一步提供一種半導體元件及其製造方法，可精準的控制鑲嵌式閘極和溝槽式電容器間的距離，並且可解決此種技術之相關問題。

本發明提供一種半導體元件之製造方法。首先，提供一基底，基底包括一鑲嵌式閘極和深溝槽電容器設置於基底中，其中鑲嵌式閘極之突出部和深溝槽電容器之頂部係突出基底表面。其後，於鑲嵌式閘極之突出部和深溝槽電容器之頂部側壁形成間隙壁，於相鄰間隙壁間之區域形成具有導電性質之接觸部。接下來，形成一例如字元線之導線結構於鑲嵌式閘極上，其中導線結構之寬度較鑲嵌式閘極小，進行一蝕刻製程，以部分移除鑲嵌式閘極之暴露部分，並於鑲嵌式閘極位於導線結構和間隙壁間形成凹陷部。後續，於導線結構之側壁形成複數個導線結構間隙壁，其中導線結構間隙壁填入鑲嵌式閘極中位於導線結構

和間隙壁間之凹陷部。

本發明提供一種半導體元件。一鑲嵌式閘極設置於基底中，其中鑲嵌式閘極之突出部突出基底表面。複數個深溝槽電容器位於基底中且包圍鑲嵌式閘極，其中該些深溝槽電容器之頂部突出基底表面。複數個間隙壁設置於深溝槽電容器之頂部和鑲嵌式閘極之突出部之側壁。一具導電特性之接觸部設置於相鄰之間隙壁間。一字元線位於鑲嵌式閘極上，其中字元線之寬度較鑲嵌式閘極之寬度小。一字元線間隙壁位於字元線之側壁上，且向下延伸至鑲嵌式閘極中。

### 【實施方式】

以下將以實施例詳細說明做為本發明之參考，且範例係伴隨著圖式說明之。在圖式或描述中，相似或相同之部分係使用相同之圖號。在圖式中，實施例之形狀或是厚度可擴大，以簡化或是方便標示。圖式中各元件之部分將以分別描述說明之，值得注意的是，圖中未繪示或描述之元件，可以具有各種熟習此技藝之人士所知的形式。此外，當敘述一層係位於一基板或是另一層上時，此層可直接位於基板或是另一層上，或是其間亦可以有中介層。

第 2 圖揭示本發明一實施例包括深溝槽電容器 102 和鑲嵌式電晶體 120 之記憶體元件的上視圖，其中鑲嵌式電晶體 120 之輪廓係由圍繞鑲嵌式電晶體 112 之深溝槽電容器 102 及深溝槽電容器上部之間隙壁所定義出。

請參照第 3A 圖，提供一基底 100，而基底 100 包括複數個形成於其中之深溝槽電容器 102，並且深溝槽電容

器 102 之上部 104 係突出於基底 100 表面。形成一例如氮化矽所組成之墊層 106 和定義間隙壁 108 於深溝槽電容器 102 上部 104 之側壁上。定義間隙壁 108 間具有一凹陷區，而凹陷區大體上係介於兩相鄰之深溝槽電容器 102 之間位置，因此，可以定義間隙壁 108 和深溝槽電容器 102 為罩幕，使用自對準之方法蝕刻基底 100，以於兩深溝槽電容器 102 間形成一凹陷溝槽 110。

請參照第 3B 圖，對鄰近凹陷溝槽 110 之基底 100 進行離子佈植，以形成圍繞凹陷溝槽 110 之通道區 114。之後，形成一例如氮化矽之閘極介電層 116 於基底 100 之凹陷溝槽 110 中，較佳者，可使用熱氧化法形成閘極介電層 116。後續，填入例如多晶矽、鎢或是矽化鎢之導電材料於凹陷溝槽中，以形成一鑲嵌式閘極 120，其中在形成閘極介電層 116 或後續其它之熱製程中，可於基底 100 中形成一外擴散區 122。

接下來，對深溝槽電容器 102 之上部 104、定義間隙壁 108 和鑲嵌式閘極 120 之上表面進行平坦化，並對定義間隙壁 108 進行一選擇性蝕刻，移除定義間隙壁 108，以暴露深溝槽電容器 102 之上部 104 及鑲嵌式閘極 120 之突出部。上述之平坦化方法可包括化學機械平坦法或回蝕刻製程。在本發明之一實施例中，鑲嵌式閘極 120 之突出部的上表面係大體上和深溝槽電容器 102 之上部 104 共面。

請參照第 3C 圖，形成間隙壁 124 於鑲嵌式閘極 120 之突出部之側壁，和深溝槽電容器 102 之上部 104 之側壁，如此，可以自對準之方式定義出位於間隙壁 124 間之區域 126。間隙壁 124 可由氮化矽所組成，且其可由沉積

和乾蝕刻方法形成，如此，間隙壁 124 包圍鑲嵌式閘極 120 之突出部和深溝槽電容器 102 之上部 104，並且基底 100 係為深溝槽電容器 102、鑲嵌式閘極 120 和間隙壁 124 所遮蓋，暴露出環狀區域 126。之後，進行一離子佈植製程，以於鑲嵌式通道區域 114 之兩對邊和區域 126 下形成源極摻雜區和汲極摻雜區 128。

請參照第 3D 圖，沉積例如金屬或是摻雜多晶矽之導電材料於基底 100 上，且填入間隙壁間 124 之區域中。之後，對導電材料、間隙壁 124、深溝槽電容器 102 和鑲嵌式閘極 120 進行平坦化，於間隙壁間 124 之區域 126 中形成接觸部 130，其中平坦化製程可以是化學機械平坦化製程或是回蝕刻製程。

接下來，請參照第 3E 圖，毯覆性的沉積一導電材料層於基底 100 上，導電材料層可以為例如矽化鎢之金屬矽化物或是例如鎢之金屬，在本發明之較佳實施例中，導電材料層之厚度係為約 800 埃~1500 埃。後續，毯覆性的沉積一介電材料層於導電材料層上，介電材料層可以為氮化矽所組成，且可以化學氣相沉積法所形成，在本發明之較佳實施例中，介電材料層之厚度係為約 800 埃~1500 埃，其中，介電材料層係可在後續製程供作一自對準之蝕刻阻擋層。

其後，以一般的微影和蝕刻製程圖形化介電材料層和導電材料層，以形成字元線 140 和閘極蓋層 142，其中字元 140 線通過深溝槽電容器 102 上方和鑲嵌式閘極 120 上方。在本發明之一較佳實施例中，字元線 140 之寬度  $W1$  係較鑲嵌式閘極 120 之寬度  $W2$  小。



鑲嵌式閘極 120 之寬度大體上為半導體元件線寬的 1.1~1.3 倍，字元線 140 之寬度大體上為半導體元件線寬的 0.7~0.9 倍，字元線 140 之寬度係大體上為鑲嵌式閘極 120 寬度之 0.6~0.8 倍。

請參照第 3E 圖，在此需注意的是，由於上述製程形成之間隙壁係採用沉積再回蝕刻的方法形成，間隙壁 124 在靠近頂端之部分具有較窄之寬度，間隙壁 124 在此頂端部 125 之隔絕能力較差，也因此，位於兩相鄰間隙壁 124 間之區域的具導電性質之接觸部 130 可能會和鑲嵌式閘極 120 產生漏電流，而造成元件運作產生問題。

根據上述問題，請參照第 3F 圖，在本發明之一較佳實施例中，係以閘極蓋層 142、深溝槽電容器 102 之頂部 104 和間隙壁 124 為罩幕，進行一非等向性蝕刻製程，凹陷暴露之部份鑲嵌式閘極 120 和位於兩相鄰間隙壁間 124 之接觸部 130，在此需注意的是，此蝕刻製程需為一對於間隙壁 124 和鑲嵌式閘極 120 有較高蝕刻選擇比之製程，以在移除部份之鑲嵌式閘極 120 時，不會對於間隙壁 124 產生太大的影響，舉例來說，若間隙壁 124 是氮化矽所組成，而鑲嵌式閘極 120 和位於兩相鄰間隙壁間 124 之接觸部 130 係為摻雜之多晶矽，可使用  $\text{Cl}_2$  為反應氣體，進行電漿反應蝕刻，如第 3F 圖所示，在上述蝕刻製程之後，鑲嵌式閘極 120 之位於鑲嵌式閘極上之字元線 140 和間隙壁 124 間之部分係產生凹陷 190，此外，位於兩相鄰間隙壁間 124 之接觸部 130 亦產生凹陷。在本發明之一較佳實施例中，凹陷 190 之深度大體上大於字元線 140 寬度的 1/10。

接下來，請參照第 3G 圖，進行一沉積及回蝕刻製程，以於字元線 120 兩側之側壁形成字元線間隙壁 129，字元線間隙壁 129 可以為氮化矽或氮氧化矽所組成，需注意的是，字元線間隙壁 129 填入鑲嵌式閘極 120 中之位於字元線 140 和間隙壁 124 間之凹陷，易言之，位於字元線 140 側壁上之字元線間隙壁 129 向下延伸至鑲嵌式閘極 120 中。如此，可提供鑲嵌式閘極 120 及源極/汲極 130 間良好之絕緣，避免產生漏電流或是短路現象。

請參照第 3H 圖，毯覆性的沉積一層間介電層 146 於基底 100 上方，層間介電層 146 可以是硼矽玻璃 BPSG，氧化矽或是低介電材料，例如聚烯胺(Polyimide)、類鑽石碳(例如美商應材所開發之 Black Diamond)、氟矽玻璃 FSG、多晶氟化碳和/或其它材料。後續，請參照第 3I 圖，以微影及蝕刻方法圖形化層間介電層 146，以形成位元線接觸孔 148，暴露上述之源極或汲極 130。

後續，請參照第 3J 圖，毯覆性的沉積一例如銅、鎢或鋁之導電材料於層間介電層 146 上，並填入位元線接觸孔中，以形成位元線 150 和位元線接觸插塞 152。需注意的是，本案詳細之製程條件及材料組成可參考美國專利申請號第 11-145-728 號案。

根據本發明之上述實施例，字元線 140 係佔據較小之空間，也因此可增大的位元線接觸 152 之製程裕度(process window)，此外，本發明亦可改進字元線 140 之 RC 延遲時間，及減少字元線 140 和位元線 150 間之耦合。又另外，本發明可提供源極/汲極 130 和鑲嵌式閘極 120 間較佳之隔絕，可減少漏電流或短路的現象。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

第 1 圖係為習知垂直閘極電晶體之上視圖。

第 2 圖揭示本發明一實施例包括深溝槽電容器和鑲嵌式電晶體之記憶體元件的上視圖。

第 3A 圖~第 3J 圖揭示本發明一實施例包括深溝槽電容器和鑲嵌式電晶體之記憶體元件的剖面圖。

**【主要元件符號說明】**

D~距離；	102~深溝槽電容器；
103~鑲嵌式閘極；	104~上部；
105~溝槽式電容器；	100~基底；
106~墊層；	108~定義間隙壁；
110~凹陷溝槽；	112~鑲嵌式電晶體；
114~通道區；	116~閘極介電層；
120~鑲嵌式閘極；	122~外擴散區；
124~間隙壁；	125~頂端部；
126~環狀區域；	128~源極摻雜區和汲極摻雜區；
130~接觸部；	140~字元線；
142~閘極蓋層；	129~字元線間隙壁；
146~層間介電層；	148~位元線接觸孔；
150~位元線；	152~位元線接觸插塞；
190~凹陷。	

## 五、中文發明摘要：

一種半導體元件之製造方法。首先，提供一基底，基底包括一鑲嵌式閘極和深溝槽電容器設置於基底中，其中鑲嵌式閘極之突出部和深溝槽電容器之頂部係突出基底表面。其後，於鑲嵌式閘極之突出部和深溝槽電容器之頂部側壁形成間隙壁，於相鄰間隙壁間之區域形成具有導電性質之接觸部。接下來，形成一字元線於鑲嵌式閘極上，其中字元線之寬度較鑲嵌式閘極小，進行一蝕刻製程，以移除部分接觸部，並於鑲嵌式閘極位於字元線和間隙壁間形成凹陷部。後續，於字元線之側壁形成複數個字元線間隙壁，其中字元線間隙壁填入鑲嵌式閘極中位於字元線和間隙壁間之凹陷部。

## 六、英文發明摘要：

A method for forming a semiconductor device is disclosed. A substrate comprising a recessed gate and a deep trench capacitor is provided, wherein a protrusion portion of the recessed gate and a top portion of the deep trench capacitor are revealed. Next, spacers are formed on sidewalls of the protrusion portion of the recessed gate and the top portion of the deep trench capacitor. A conductive contact portion is formed between the spacers. Thereafter, a word line is formed on the recess gate, wherein the word line is narrower than the recessed gate. An etching process is achieved to remove a portion of the contact portion and a portion of the recessed gate between the word line and the spacers to form a recess portion. Word line spacers are formed on sidewalls of the word line, wherein the word line spacers fill the recess portion of the recessed gate between the word line and the spacers.

## 十、申請專利範圍：

1. 一種半導體元件之製造方法，包括：

提供一基底，包括一鑲嵌式閘極，其中該鑲嵌式閘極之一突出部係突出該基底表面；

於該突出部之側壁形成一間隙壁；

形成一導線結構於該鑲嵌式閘極上，其中該導線結構之寬度較該鑲嵌式閘極之寬度小，以曝露出部分該鑲嵌式閘極；

進行一蝕刻製程，以部分移除該鑲嵌式閘極之暴露部份，並於該鑲嵌式閘極和該間隙壁間形成一凹陷部；以及

於該導線結構之側壁形成導線結構間隙壁，其中該導線結構間隙壁填入該凹陷部。

2. 如申請專利範圍第 1 項所述之半導體元件之製造方法，其中該間隙壁之頂端之寬度較該間隙壁下部之寬度窄。

3. 如申請專利範圍第 1 項所述之半導體元件之製造方法，其中該凹陷部的深度大體上大於該導線結構寬度的 1/10。

4. 如申請專利範圍第 1 項所述之半導體元件之製造方法，其中該鑲嵌式閘極之寬度大體上為半導體元件線寬的 1.1~1.3 倍。

5. 如申請專利範圍第 1 項所述之半導體元件之製造方法，其中該間隙壁係由氮化矽所組成。

6. 如申請專利範圍第 1 項所述之半導體元件之製造方法，其中該鑲嵌式閘極係由摻雜之多晶矽所組成。

7. 如申請專利範圍第 1 項所述之半導體元件之製造方

法，其中該導線結構係為金屬矽化物所組成。

8.如申請專利範圍第 1 項所述之半導體元件之製造方法，其中該導線結構之寬度係為該鑲嵌式閘極寬度之 0.6~0.8 倍。

9.如申請專利範圍第 1 項所述之半導體元件之製造方法，尚包括：

形成一層間介電層，至少覆蓋該導線結構；

圖形化該層間介電層，以形成一位元線接觸孔；及

毯覆性的沉積一導電材料於該層間介電層上，並填入該位元線接觸孔中，以形成一位元線和一位元線接觸插塞。

10.一種半導體元件，包括：

一基底；

一鑲嵌式閘極，位於該基底中，其中該鑲嵌式閘極之一突出部突出該基底表面；

一間隙壁，設置於該突出部之側壁；

一字元線，位於該鑲嵌式閘極上，其中該字元線之寬度較該鑲嵌式閘極之寬度小；及

一字元線間隙壁，位於該字元線之側壁上，且向下延伸至該鑲嵌式閘極中。

11.如申請專利範圍第 10 項所述之半導體元件，其中該間隙壁之頂端之寬度較該間隙壁下部之寬度窄。

12.如申請專利範圍第 10 項所述之半導體元件，其中該字元線間隙壁係由氮化矽所組成。

13.如申請專利範圍第 10 項所述之半導體元件，其中該字元線之寬度係為該鑲嵌式閘極寬度之 0.6~0.8 倍。

14.如申請專利範圍第 10 項所述之半導體元件，尚包括：

複數個深溝槽電容器，位於該基底中且包圍該鑲嵌式閘極，其中該些深溝槽電容器之頂部突出該基底表面；

一具導電特性之接觸部，鄰接該間隙壁；

一層間介電層，至少覆蓋該接觸部；

一位元線接觸插塞，位於該層間介電層中，且電性連接該接觸部；及

一位元線，設置於該層間介電層和該位元線接觸插塞上。



**七、指定代表圖：**

(一)本案指定代表圖為：第 3J 圖。

(二)本代表圖之元件符號簡單說明：

- |                  |              |
|------------------|--------------|
| 100~基底；          | 102~深溝槽電容器；  |
| 106~墊層；          | 112~鑲嵌式電晶體；  |
| 114~通道區；         | 116~閘極介電層；   |
| 120~鑲嵌式閘極；       | 122~外擴散區；    |
| 124~間隙壁；         |              |
| 128~源極摻雜區和汲極摻雜區； |              |
| 129~字元線間隙壁；      | 130~接觸部；     |
| 140~字元線；         | 142~閘極蓋層；    |
| 146~層間介電層；       | 148~位元線接觸孔；  |
| 150~位元線；         | 152~位元線接觸插塞。 |

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。**