

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5106442号  
(P5106442)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月12日(2012.10.12)

(51) Int.Cl. F I  
**HO4B 1/04 (2006.01)** HO4B 1/04 A  
**HO3F 1/06 (2006.01)** HO3F 1/06

請求項の数 15 (全 35 頁)

(21) 出願番号	特願2009-36702 (P2009-36702)	(73) 特許権者	000003078
(22) 出願日	平成21年2月19日 (2009.2.19)		株式会社東芝
(65) 公開番号	特開2010-193280 (P2010-193280A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成22年9月2日 (2010.9.2)	(74) 代理人	100108855
審査請求日	平成23年9月16日 (2011.9.16)		弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 カーテシアンループを用いた無線送信装置

(57) 【特許請求の範囲】

【請求項1】

カーテシアンループを用いた無線送信装置において、  
 送信すべき入力 I / Q 信号と帰還 I / Q 信号とを合成して合成 I / Q 信号を生成する合成器と；

前記合成 I / Q 信号を直交変調して直交変調信号を生成する直交変調器と；

前記直交変調信号を増幅して送信 RF 信号を出力する電力増幅器と；

前記送信 RF 信号から分岐されたフィードバック RF 信号に対しローカル信号を用いて直交復調を行って前記帰還 I / Q 信号を生成する直交復調器と；

前記合成器への前記帰還 I / Q 信号の入力をオン / オフするためのスイッチと；

前記送信 RF 信号の少なくとも一つの電力を設定可能な電力設定部と；

前記スイッチがオフの期間に、前記入力 I / Q 信号と前記帰還 I / Q 信号との間の振幅差を検出して振幅差検出信号を生成する振幅差検出器と；

前記スイッチがオフの期間に、前記入力 I / Q 信号と前記帰還 I / Q 信号との間の位相差を検出して位相差検出信号を生成する位相差検出器と；

前記位相差検出信号を前記信号振幅で規格化して規格化位相差信号を生成するために、前記入力 I / Q 信号及び前記帰還 I / Q 信号のいずれかの信号振幅が基準値より大きい期間は前記位相差検出信号の現在の値を用いて前記規格化を行い、前記信号振幅が前記基準値より小さくなると前記位相差検出信号の前記信号振幅が前記基準値より小さくなる前の値を用いて前記規格化を行う規格化器と；

10

20

前記振幅差検出信号及び前記規格化位相差信号を受け、前記スイッチがオフの期間に、前記電力が設定された状態の下で前記振幅差を最小化する振幅制御信号及び前記位相差を最小化する位相制御信号を生成する制御信号生成器と；

前記振幅制御信号及び前記位相制御信号を記憶するメモリと；

前記スイッチがオンの期間に、前記メモリに記憶されている振幅制御信号に従って前記フィードバックRF信号の振幅を調整する振幅調整器と；

前記スイッチがオンの期間に、前記メモリに記憶されている位相制御信号に従って前記ローカル信号の位相を調整する位相調整器；及び

前記カーテシアンループに対して、前記スイッチがオフのとき第1のループ利得を設定し、前記スイッチがオフからオンに転じたとき前記第1のループ利得より高い第2のループ利得を設定する利得設定部を具備する無線送信装置。

10

【請求項2】

前記規格化器は、前記位相差検出信号を前記信号振幅で除して除算信号を生成する除算器と、前記信号振幅と前記基準値とを比較して比較結果信号を得る比較器と、前記比較結果信号により制御され、(a)前記信号振幅が前記基準値より大きい期間は前記位相差検出信号の現在の値に対応する除算信号を前記規格化位相差信号として出力し、(b)前記信号振幅が前記基準値より小さくなると前記除算信号をサンプルホールドして前記規格化位相差信号を出力するサンプルホールド回路とを含む請求項1記載の無線送信装置。

【請求項3】

前記規格化器は、前記信号振幅と前記基準値とを比較して比較結果信号を得る比較器と、前記比較結果信号により制御され、(a)前記信号振幅が前記基準値より大きい期間は前記位相差検出信号の現在の値を前記規格化位相差信号として出力し、(b)前記信号振幅が前記基準値より小さくなると前記位相差検出信号をサンプルホールドして前記規格化位相差信号を出力するサンプルホールド回路とを含む請求項1記載の無線送信装置。

20

【請求項4】

前記規格化器は、前記信号振幅を第1の基準値と比較して第1の比較結果信号を得る第1の比較器と、前記信号振幅を前記第1の基準値より大きい第2の基準値と比較して第2の比較結果信号を得る第2の比較器と、前記第1の比較結果信号及び前記第2の比較結果信号により制御され、(a)前記信号振幅が前記第1の基準値より大きくかつ前記第2の基準値より小さい期間は前記位相差検出信号の現在の値を前記規格化位相差信号として出力し、(b)前記信号振幅が前記第1の基準値より小さいかまたは前記第2の基準値より大きくなると前記位相差検出信号をサンプルホールドして前記規格化位相差信号を出力するサンプルホールド回路とを含む請求項1記載の無線送信装置。

30

【請求項5】

前記信号振幅は、前記入力I/Q信号のベクトルの大きさである請求項1記載の無線送信装置。

【請求項6】

前記信号振幅は、前記帰還I/Q信号のベクトルの大きさである請求項1記載の無線送信装置。

【請求項7】

前記直交変調器の前段に設けられた、前記合成I/Q信号を増幅する利得可変のベースバンド増幅器と；

前記ベースバンド増幅器に対して、前記スイッチがオフのとき第1の利得を設定し、前記スイッチがオフからオンに転じたとき前記第1の利得より高い第2の利得を設定する利得設定部と；をさらに具備する請求項1記載の無線送信装置。

40

【請求項8】

カーテシアンループを用いた無線送信装置において、送信すべき入力I/Q信号と帰還I/Q信号とを合成して合成I/Q信号を生成する合成器と；

前記合成I/Q信号を直交変調して直交変調信号を生成する直交変調器と；

50

- 前記直交変調信号を増幅して送信RF信号を出力する電力増幅器と；
- 前記送信RF信号から分岐されたフィードバックRF信号に対しローカル信号を用いて直交復調を行って前記帰還I/Q信号を生成する直交復調器と；
- 前記合成器への前記帰還I/Q信号の入力をオン/オフするためのスイッチと；
- 前記送信RF信号の少なくとも一つの電力を設定可能な電力設定部と；
- 前記スイッチがオフの期間に、前記入力I/Q信号と前記帰還I/Q信号との間の振幅差を検出して振幅差検出信号を生成する振幅差検出器と；
- 前記スイッチがオフの期間に、前記入力I/Q信号と前記帰還I/Q信号との間の位相差を検出して位相差検出信号を生成する位相差検出器と；
- 前記位相差検出信号を前記信号振幅で規格化して規格化位相差信号を生成するために、前記信号振幅に従って遮断周波数が変化するように構成された低域通過フィルタを含み、該低域通過フィルタによって前記位相差検出信号をフィルタリングして前記規格化位相差信号を生成する規格化器と；
- 前記振幅差検出信号及び前記規格化位相差信号を受け、前記スイッチがオフの期間に、前記電力が設定された状態の下で前記振幅差を最小化する振幅制御信号及び前記位相差を最小化する位相制御信号を生成する制御信号生成器と；
- 前記振幅制御信号及び前記位相制御信号を記憶するメモリと；
- 前記スイッチがオンの期間に、前記メモリに記憶されている振幅制御信号に従って前記フィードバックRF信号の振幅を調整する振幅調整器と；
- 前記スイッチがオンの期間に、前記メモリに記憶されている位相制御信号に従って前記ローカル信号の位相を調整する位相調整器；及び
- 前記カーテシアンループに対して、前記スイッチがオフのとき第1のループ利得を設定し、前記スイッチがオフからオンに転じたとき前記第1のループ利得より高い第2のループ利得を設定する利得設定部を具備する無線送信装置。
- 【請求項9】
- 前記低域通過フィルタは、前記信号振幅が大きくなるに従って前記遮断周波数が上昇するように構成される請求項8記載の無線送信装置。
- 【請求項10】
- 前記低域通過フィルタは、前記信号振幅が大きくなるに従って抵抗値が単調に減少するように制御される可変抵抗器と、前記可変抵抗器と接続されるキャパシタとを含む請求項8記載の無線送信装置。
- 【請求項11】
- 前記低域通過フィルタは、前記信号振幅が基準値に近づくに従って前記遮断周波数が上昇するように構成される請求項8記載の無線送信装置。
- 【請求項12】
- 前記低域通過フィルタは、前記信号振幅が大きくなるに従って抵抗値が単調に減少するように制御される第1の可変抵抗器と、該第1の可変抵抗器と直列に接続され、前記信号振幅が小さくなるに従って抵抗値が単調に増加するように制御される第2の可変抵抗器と、前記第1の可変抵抗器と前記第2の可変抵抗器との直列回路と接続されるキャパシタとを含む請求項8記載の無線送信装置。
- 【請求項13】
- 前記信号振幅は、前記入力I/Q信号のベクトルの大きさである請求項8記載の無線送信装置。
- 【請求項14】
- 前記信号振幅は、前記帰還I/Q信号のベクトルの大きさである請求項8記載の無線送信装置。
- 【請求項15】
- 前記直交変調器の前段に設けられた、前記合成I/Q信号を増幅する利得可変のベースバンド増幅器と；
- 前記ベースバンド増幅器に対して、前記スイッチがオフのとき第1の利得を設定し、前

10

20

30

40

50

記スイッチがオフからオンに転じたとき前記第 1 の利得より高い第 2 の利得を設定する利得設定部と；をさらに具備する請求項 8 記載の無線送信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、カーテシアンループを用いた無線送信装置に関する。

【背景技術】

【0002】

携帯無線機のような無線通信装置では、送信側において送信 R F (radio frequency) 信号をアンテナから放射させるために電力増幅器によって送信 R F 信号が増幅される。電力増幅器は、送信 R F 信号が無線システムの規格により決められたスペクトルマスク内に入るような線形性が保つことが要求される。また、例えば無線システムの規格で規定されているパラメータの一つである隣接チャネル漏洩電力は、主に電力増幅器の奇数次歪により生じるので、奇数次歪を小さくすることも望まれる。

10

【0003】

奇数次歪などを小さくして電力増幅器の線形性を改善するために、例えばカーテシアンループ(Cartesian loop)が用いられる。カーテシアンループは、送信 R F 信号の電力の一部を直交復調器により復調してベースバンドの I / Q 信号に戻してから、送信部の直交変調器の入力にフィードバックする帰還パスを含む帰還ループである。

【0004】

20

より詳しくは、電力増幅器から出力される送信 R F 信号の電力の一部は、カーテシアンループの帰還パスに導かれ、可変減衰器及び低雑音増幅器を介して直交復調器に入力される。直交復調器により得られた帰還 I / Q 信号は、入力 I / Q 信号と合成(加算または減算)される。合成後の I / Q 信号は、ベースバンド増幅器を介して直交変調器に入力される。直交変調器から直交復調器までの利得が 1 より十分大きいと、直交変調器の入力端から電力増幅器の出力端までの利得はカーテシアンループの帰還パスの減衰量で決まり、また送信 R F 信号の線形性は帰還パスの線形性に依存する。従って、帰還パスの線形性を高くする必要がある。

【0005】

一方、携帯無線機では内蔵のバッテリーを電源として動作するため、バッテリーの消費を少なくして通信時間を長くするために I C の低消費電力化技術が必須である。携帯無線機においては、送信部の電力増幅器の消費電力が最も大きい。携帯無線機に用いられる無線部の集積化が進み、最近では低周波部から高周波部までを低コスト化に適した C M O S (complementary metal-oxide semiconductor) 技術により製造できるようになってきた。一般に電力増幅器は C M O S 構造にすると低コスト化が可能な反面、効率が劣化する。カーテシアンループは、上述したように無線部の高線形化技術であるが、見方を変えれば電力増幅器の高効率化を図る技術と考えてもよい。従って、C M O S 構造の無線部にカーテシアンループを適用することで、電力増幅部または無線部の効率を向上させることができる。

30

【0006】

カーテシアンループは帰還回路をもつため、動作の安定性をいかに確保するかが重要である。カーテシアンループの安定性を確保するため、特許文献 1 ではカーテシアンループが開の状態帰還 I / Q 信号の位相を検出し、帰還 I / Q 信号と入力 I / Q 信号間の位相差に応じて、帰還パス内の直交復調器に供給されるローカル信号の位相を制御する手法が提案されている。しかしながら、特許文献 1 では送信 R F 信号の電力(送信電力)を可変にすることを想定していない。

40

【0007】

カーテシアンループを用いると、送信 R F 信号の高出力時には帰還回路の消費電力を考慮しても送信装置全体の消費電力を下げるのが可能である。一方、送信 R F 信号の低出力時には、電力増幅器及びこれを駆動するドライバ増幅器の線形性は高いので、カーテシアンループによる高線形化の必要はない。低出力時でもカーテシアンループが働いている

50

と、帰還回路の消費電力により効率が下がってしまう。従って、近年の無線システムで使われる送信電力制御を効率よく行うには、低消費電力化の観点からカーテシアンループを送信電力に応じて開閉することが望ましい。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平10-136048号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

カーテシアンループを送信電力に応じて開閉すると、ループを閉じてから送信電力が所定値に達するまでの過渡応答時間が大きくなる。例えば、ループを閉じる前の入力I/Q信号の平均出力が100mVに設定されていた場合、帰還I/Q信号の平均出力が1000mVになるように帰還回路内の可変減衰器の利得が設定されていたとすると、ループを閉じたときの送信出力はループが開のときの送信電力と異なるため、ループを閉じてから送信電力が収束する時間は長くなる。ループを閉じてから帰還パス内の可変減衰器の利得を制御して送信電力を設定する操作を行うと、送信電力の収束時間はさらに長くなる。特許文献1では送信電力制御の概念がなく、従ってカーテシアンループの開閉時における送信電力の収束時間を短くする手法は開示されていない。

【0010】

本発明は、カーテシアンループを開の状態から閉じた状態にするときに送信電力が所定値に達するまでの過渡応答時間を短縮することを目的とする。

【課題を解決するための手段】

【0011】

本発明の一観点によると、送信すべき入力I/Q信号と帰還I/Q信号とを合成して合成I/Q信号を生成する合成器と；前記合成I/Q信号を直交変調して直交変調信号を生成する直交変調器と；前記直交変調信号を増幅して送信RF信号を出力する電力増幅器と；前記送信RF信号から分岐されたフィードバックRF信号に対しローカル信号を用いて直交復調を行って前記帰還I/Q信号を生成する直交復調器と；前記合成器への前記帰還I/Q信号の入力をオン/オフするためのスイッチと；前記送信RF信号の電力を設定可能な電力設定部と；前記スイッチがオフの期間に、前記入力I/Q信号と前記帰還I/Q信号との間の振幅差を検出して振幅差検出信号を生成する振幅差検出器と；前記スイッチがオフの期間に、前記入力I/Q信号と前記帰還I/Q信号との間の位相差を検出して位相差検出信号を生成する位相差検出器と；前記位相差検出信号を前記信号振幅で規格化して規格化位相差信号を生成するために、前記入力I/Q信号及び前記帰還I/Q信号のいずれかの信号振幅が基準値より大きい期間は前記位相差検出信号の現在の値を用いて前記規格化を行い、前記信号振幅が前記基準値より小さくなると前記位相差検出信号の前記信号振幅が前記基準値より小さくなる前の値を用いて前記規格化を行う規格化器と；前記振幅差検出信号及び前記規格化位相差信号を受け、前記スイッチがオフの期間に、前記電力が設定された状態の下で前記振幅差を最小化する振幅制御信号及び前記位相差を最小化する位相制御信号を生成する制御信号生成器と；前記スイッチがオフの期間に、前記電力が設定された状態の下で、前記振幅差を最小化する少なくとも一つの振幅制御信号、及び前記位相差を最小化する少なくとも一つの位相制御信号を生成するように構成される制御信号生成器と；前記振幅制御信号及び前記位相制御信号を記憶するメモリと；前記スイッチがオンの期間に、前記メモリに記憶されている振幅制御信号に従って前記フィードバックRF信号の振幅を調整する振幅調整器と；前記スイッチがオンの期間に、前記メモリに記憶されている位相制御信号に従って前記ローカル信号の位相を調整する位相調整器；及びカーテシアンループに対して、前記スイッチがオフのとき第1のループ利得を設定し、前記スイッチがオフからオンに転じたとき前記第1のループ利得より高い第2のループ利得を設定する利得設定部を具備する、カーテシアンループを用いた無線送信装置を提供する

10

20

30

40

50

## 【0012】

本発明の他の観点によると、送信すべき入力 I / Q 信号と帰還 I / Q 信号とを合成して合成 I / Q 信号を生成する合成器と；前記合成 I / Q 信号を直交変調して直交変調信号を生成する直交変調器と；前記直交変調信号を増幅して送信 RF 信号を出力する電力増幅器と；前記送信 RF 信号から分岐されたフィードバック RF 信号に対しローカル信号を用いて直交復調を行って前記帰還 I / Q 信号を生成する直交復調器と；前記合成器への前記帰還 I / Q 信号の入力をオン / オフするためのスイッチと；前記送信 RF 信号の電力を設定可能な電力設定部と；前記スイッチがオフの期間に、前記入力 I / Q 信号と前記帰還 I / Q 信号との間の振幅差を検出して振幅差検出信号を生成する振幅差検出器と；前記スイッチがオフの期間に、前記入力 I / Q 信号と前記帰還 I / Q 信号との間の位相差を検出して位相差検出信号を生成する位相差検出器と；前記位相差検出信号を前記信号振幅で規格化して規格化位相差信号を生成するために、前記信号振幅に従って遮断周波数が変化するように構成された低域通過フィルタを含み、該低域通過フィルタによって前記位相差検出信号をフィルタリングして前記規格化位相差信号を生成する規格化器と；前記振幅差検出信号及び前記規格化位相差信号を受け、前記スイッチがオフの期間に、前記電力が設定された状態の下で前記振幅差を最小化する振幅制御信号及び前記位相差を最小化する位相制御信号を生成する制御信号生成器と；前記スイッチがオフの期間に、前記電力が設定された状態の下で、前記振幅差を最小化する少なくとも一つの振幅制御信号、及び前記位相差を最小化する少なくとも一つの位相制御信号を生成するように構成される制御信号生成器と；前記振幅制御信号及び前記位相制御信号を記憶するメモリと；前記スイッチがオンの期間に、前記メモリに記憶されている振幅制御信号に従って前記フィードバック RF 信号の振幅を調整する振幅調整器と；前記スイッチがオンの期間に、前記メモリに記憶されている位相制御信号に従って前記ローカル信号の位相を調整する位相調整器；及びカーテシアンループに対して、前記スイッチがオフのとき第 1 のループ利得を設定し、前記スイッチがオフからオンに転じたとき前記第 1 のループ利得より高い第 2 のループ利得を設定する利得設定部を具備する、カーテシアンループを用いた無線送信装置を提供する。

## 【発明の効果】

## 【0013】

本発明によれば、特にカーテシアンループを開の状態から閉の状態にしたときの送信電力の過渡応答時間を短縮することができる。従って、送信電力制御が必要となる無線通信システムにおいても、送信電力に応じてカーテシアンループを開閉することができるので、低消費電力化が図られる。また、高精度に位相差信号を抽出できるため、平均化に必要な時間が低減でき、高速な位相差キャリブレーションが可能となる。

## 【図面の簡単な説明】

## 【0014】

【図 1】本発明の一実施形態に従う無線送信装置を示すブロック図

【図 2】電力増幅器の出力の終端法の他の例を示す図

【図 3】コントローラの機能を説明する図

【図 4】コントローラの実例を示すブロック図

【図 5】入力 I / Q 信号と帰還 I / Q 信号との関係を示す図

【図 6】コントローラの実例を示すブロック図

【図 7】キャリブレーションモードの処理手順を示すフローチャート

【図 8】送信モードの処理手順を示すフローチャート

【図 9】カーテシアンループについて説明するための帰還系システムを示す略図

【図 10】カーテシアンループを閉じたときの過渡応答及びカーテシアンループをとじたまま送信電力を変えたときの過渡応答を示す図

【図 11】起動時キャリブレーションモードの処理手順を示すフローチャート

【図 12】起動時キャリブレーションモード後の送信モードの処理手順を示すフローチャート

10

20

30

40

50

【図 1 3】本発明の他の実施形態に従うアナログフィードバックを用いた無線送信装置の一部を示すブロック図

【図 1 4】可変減衰器の具体例を示す回路図

【図 1 5】プロセスばらつき補償付きインタフェースを示す回路図

【図 1 6】直交復調器のためのローカル信号供給経路を示す回路図

【図 1 7】移相器の具体例を示す回路図

【図 1 8】移相器の他の具体例を示す回路図

【図 1 9】振幅 / 位相検出回路を示す回路図

【図 2 0】差分検出回路の回路図

【図 2 1】極性反転スイッチ及びベースバンド増幅器の具体例を示す回路図

10

【図 2 2】極性反転スイッチ及びベースバンド増幅器の他の具体例を示す回路図

【図 2 3】位相比較器の一部の詳細を示すブロック図

【図 2 4】位相比較器に含まれる振幅規格化器の第 1 の例を示すブロック図

【図 2 5】図 2 4 中の除算器の具体例を示す回路図

【図 2 6】位相比較器に含まれる振幅規格化器の第 2 の例を示すブロック図

【図 2 7】位相比較器に含まれる振幅規格化器の第 3 の例を示すブロック図

【図 2 8】位相比較器に含まれる振幅規格化器の第 4 の例を示すブロック図

【図 2 9】位相比較器に含まれる振幅規格化器の第 5 の例を示すブロック図

【発明を実施するための形態】

【 0 0 1 5 】

20

以下、図面を参照して本発明の実施の形態を説明する。

(第 1 の実施形態)

図 1 を参照して本発明の一実施形態に従う無線送信装置について説明する。図 1 において、入力端子 1 1, 1 2 には図示しないベースバンド処理部あるいはコントローラ 4 0 からの送信すべき変調された入力 I / Q 信号 I, Q が入力される。入力 I / Q 信号 I, Q は、合成器 1 3, 1 4 によって後述する帰還 I / Q 信号 F I, F Q と合成 (加算または減算) され、合成 I / Q 信号が生成される。合成 I / Q 信号は、ベースバンド増幅器 1 5 により増幅されることによって、直交変調器 1 6 に入力される。ベースバンド増幅器 1 5 は、好ましくは可変利得増幅器が用いられ、さらに必要に応じて無線送信装置の安定性を確保するためのフィルタ機能も含まれる。

30

【 0 0 1 6 】

直交変調器 1 6 は、ミキサ 1 7, 1 8 とローカル発振器 2 0 からの周波数  $f_{LO}$  の原ローカル信号を位相シフトして直交ローカル信号、すなわち  $90^\circ$  異なる位相の二つのローカル信号を生成する  $90^\circ$  移相器 1 9 を有する。ミキサ 1 7, 1 8 ではベースバンド増幅器 1 5 からの合成 I / Q 信号の各々と直交ローカル信号の各々とが乗算される。直交変調器 1 6 では、さらにミキサ 1 7, 1 8 の出力信号が加算されることによって、直交変調信号が生成される。

【 0 0 1 7 】

直交変調器 1 6 から出力される直交変調信号は、可変減衰器 2 1 及びドライバ増幅器 2 2 を介して電力増幅器 2 3 に入力され、電力増幅器 2 3 により所要電力レベルまで増幅されることによって送信 RF 信号が生成される。送信 RF 信号は電力分岐器である電力カップラ 2 4 を介してアンテナ 2 5 に供給され、アンテナ 2 5 から空間へ放射される。以下、送信 RF 信号の電力を送信電力という。

40

【 0 0 1 8 】

電力増幅器 2 3 の出力端子は、アンテナスイッチ 2 6 によって終端素子、この例では抵抗 R を介して適宜終端される。終端素子として抵抗 R に代えて他の線形素子を用いることも可能である。なお、図 1 では電力増幅器 2 3 の出力端子を無線機のグラウンド GND に抵抗 R を介して終端しているが、図 2 に示すように電力増幅器 2 3 の出力端子にアイソレータ 3 7 が接続される場合、アイソレータ 3 7 の出力端子を抵抗 R などで終端することもできる。以降、簡単のため図 1 に示したように電力増幅器 2 3 の出力端子を終端する場合

50

を例にとり説明する。

【 0 0 1 9 】

電力カプラ 2 4 では送信電力の一部が分岐され、帰還 R F 信号が生成される。帰還 R F 信号は、可変減衰器 2 7 及び低雑音増幅器 2 8 を介して直交復調器 3 0 に入力される。可変減衰器 2 7 は、帰還 R F 信号の振幅を調整するための振幅調整器として用いられる。

【 0 0 2 0 】

直交復調器 3 0 は、ミキサ 3 1 , 3 2 とローカル発振器 2 0 から可変移相器 2 9 を介して供給される周波数  $f_{LO1}$  の原ローカル信号を位相シフトして直交ローカル信号、すなわち  $90^\circ$  異なる位相の二つのローカル信号を生成する  $90^\circ$  移相器 3 3 を有する。可変移相器 2 9 は、直交ローカル信号の位相を調整するための位相調整器として用いられる。ミキサ 3 1 , 3 2 では、入力される帰還 R F 信号と直交ローカル信号の各々が乗算されることによって、帰還 I / Q 信号 F I , F Q が生成される。

【 0 0 2 1 】

帰還 I / Q 信号 F I , F Q は、極性反転機能を有するスイッチ 3 4 を介して合成器 1 3 , 1 4 に帰還される。カーテシアンループは、電力カプラ 2 4 ~ 可変減衰器 2 7 ~ 低雑音増幅器 2 8 ~ 位相復調器 3 0 ~ 合成器 1 3 及び 1 4 による帰還パスと合成器 1 3 及び 1 4 ~ ベースバンド増幅器 1 5 ~ 直交変調器 1 6 ~ . . . ~ 電力増幅器 2 3 による送信パスを含む帰還ループで構成される。スイッチ 3 4 は、このカーテシアンループの開閉、具体的には合成器 1 3 , 1 4 への帰還 I / Q 信号 F I , F Q の入力をオン / オフするために設けられている。スイッチ 3 4 がオンであれば、カーテシアンループは閉となり、スイッチ 3 4 がオフであればカーテシアンループは開となる。

【 0 0 2 2 】

さらに、帰還 I / Q 信 F I , F Q と入力 I / Q 信号 I , Q との間の振幅差を検出する振幅差検出器 3 5 と、帰還 I / Q 信 F I , F Q と入力 I / Q 信号 I , Q との位相比較を行って位相差を検出する位相比較器 3 6 が設けられる。振幅差検出器 3 5 からは帰還 I / Q 信 F I , F Q と入力 I / Q 信号 I , Q との間の振幅差を表す振幅差検出信号  $V^{DA}$  が出力され、位相比較器 3 6 からは帰還 I / Q 信 F I , F Q と入力 I / Q 信号 I , Q との間の位相差を主として表す位相差検出信号  $V^D$  が出力される。なお、後述する規格化位相差信号 C P H S と区別するため、 $V^D$  を複合位相差検出信号と呼ぶことにする。

【 0 0 2 3 】

振幅差検出器 3 5 及び位相比較器 3 6 については、後に詳しく説明する。また、位相比較器 3 6 は後述するように位相差検出器と振幅規格化器及びリミッタからなる。

【 0 0 2 4 】

キャリアレーションを行う場合、スイッチ 3 4 をオフ、すなわちカーテシアンループを開とする。以下、スイッチ 3 4 がオフの状態をキャリアレーションモードと称する。信号を送信する場合は、スイッチ 3 4 をオン、すなわちカーテシアンループを閉とする。これにより、カーテシアンループによる帰還が施される。この状態を送信モードと称する。コントローラ 4 0 は、例えば図 3 に示すように主としてカーテシアンループの制御を司るよう構成される。図 2 では、図 1 中に示した種々の制御信号がコントローラ 4 0 から出力されることが示されている。

【 0 0 2 5 】

すなわち、コントローラ 4 0 からは可変減衰器 2 7 への振幅制御信号 V A と、可変移相器 2 9 への位相制御信号 V と、可変移相器 2 9 、スイッチ 3 4 、振幅差検出器 3 5 及び位相比較器 3 6 への極性切替信号 p / m が出力される。振幅差検出器 3 5 からの振幅差検出信号  $V^{DA}$  及び位相比較器 3 6 からの複合位相差検出信号  $V^D$  は、コントローラ 4 0 に入力される。さらに、コントローラ 4 0 からは入力 I / Q 信号 I , Q 及びアンテナスイッチ 2 6 への制御信号 A S も出力される。なお、コントローラ 4 0 からの制御により入力 I / Q 信号 I , Q として用いられる信号の種類が制御できるのであれば、必ずしもコントローラ 4 0 から I , Q が出力されなくとも差し支えない。

【 0 0 2 6 】

10

20

30

40

50

(コントローラ 40 の具体例その 1)

図 4 は、コントローラ 40 の具体例であり、制御信号生成器 41、デジタル - アナログ変換器 (DAC) 42、アナログ - デジタル変換器 (ADC) 43 及びメモリ 44 を有する。制御信号生成器 41 によって生成されるデジタル値の制御信号が DAC 42 によりアナログ信号に変換されることにより、振幅制御信号 VA 及び位相制御信号 V が生成される。振幅制御信号 VA は可変減衰器 27 に供給され、位相制御信号 V は可変移相器 29 に供給される。

【0027】

一方、振幅差検出器 35 からの振幅差検出信号  $V^D$ A 及び位相比較器 36 からの複合位相差検出信号  $V^D$  は ADC 43 に取り込まれ、アナログ信号からデジタル値に変換される。メモリ 44 は、制御信号生成器 41 及び ADC 43 に接続され、ADC 43 によりデジタル値に変換された振幅差検出信号及び複合位相差検出信号を記憶したり、記憶した振幅差検出信号及び複合位相差検出信号を制御信号生成器 41 に出力したりするために用いられる。

10

【0028】

(コントローラ 40 の具体例その 2)

コントローラ 40 の他の具体例によると、図 5 に示されるように ADC 43 が除去され、代わりに振幅差検出器 35 及び位相比較器 36 に ADC 43 が内蔵されている。ここでは ADC 43 は、振幅差検出器 35 及び位相比較器 36 で共有されているが、振幅差検出器 35 及び位相比較器 36 にそれぞれ内蔵されていても構わない。図 5 の例によると、振幅差検出器 35 及び位相比較器 36 からデジタル値の振幅差検出信号及び複合位相差検出信号が出力され、メモリ 44 に直接取り込まれる。

20

【0029】

図 4 及び図 5 では示されていないが、コントローラ 40 にはさらに図 1 中に示したようにキャリブレーションモードと送信モードを選択的に設定するモード設定部 45、ループ利得設定部 46 及び送信電力設定部 47 が設けられる。

【0030】

本実施形態では、カーテシアンループの開閉による応答時間を短くするために、帰還を施す前と後の各部の信号振幅の差をできるだけ小さくすることを目指す。すなわち、カーテシアンループによる帰還をかけた後の信号振幅を推定し、カーテシアンループを閉じて帰還をかける前にその信号振幅を設定することを目指す。このような処理を達成するために、以下の手順でカーテシアンループによる帰還をかける前に振幅及び位相を調整する。

30

【0031】

(キャリブレーションモード)

以下、図 6 を用いてキャリブレーションモードにおける処理手順について説明する。図 6 の手順は、コントローラ 40 によって制御される。

【0032】

キャリブレーションモードを開始すると、スイッチ 34 がオフされることによりカーテシアンループが開とされる (ステップ S101)。このときアンテナ 25 から送信 RF 信号が出力されないように、アンテナスイッチ 26 を用いて電力増幅器 23 の出力端子またはアイソレータ 37 の出力端子が抵抗 R によって終端される。アンテナスイッチ 26 には、電力増幅器 23 の出力端子またはアイソレータ 37 の出力端子を終端させるか否かを制御する制御信号 AS がコントローラ 40 から供給される。

40

【0033】

コントローラ 40 では、電力設定部 45 によって設定された所望の送信電力 ( $P_i$  とする) が認識されている。コントローラ 40 によってカーテシアンループが開の状態において送信用可変減衰器 21 の減衰量が  $P_i$  に応じて設定されることにより、所望の送信電力  $P_i$  が設定される (ステップ S102)。このとき送信電力が最大出力であれば送信 RF 信号は歪むが、キャリブレーションモードでは歪が大きくとも特に問題はない。

【0034】

50

送信RF信号の電力の一部である帰還RF信号は電力カプラ24、可変減衰器27及び低雑音増幅器28を介して直交復調器30に入力され、帰還I/Q信号FI、FQが生成される。振幅差検出器35によって帰還I/Q信号FI、FQと入力I/Q信号I、Qとの振幅差Aが検出され、この振幅差Aが最小となるようにコントローラ40により可変減衰器27への振幅制御信号VAが設定される。

【0035】

ここで、入力I/Q信号I、Qの振幅は $I^2 + Q^2$ の根で定義され、帰還I/Q信号FI、FQの振幅は $FI^2 + FQ^2$ の根で定義される。ここでは、簡単のため入力I/Q信号I、Qの振幅は $I^2 + Q^2$ 、帰還I/Q信号FI、FQの振幅は $FI^2 + FQ^2$ とする。

【0036】

帰還I/Q信号FI、FQの振幅と入力I/Q信号I、Qの振幅を等しくするために、振幅差検出器35から出力される振幅差検出信号 $V^D_A$ が0に近づくように、コントローラ40によって可変減衰器27の減衰量が制御される。ここで、 $V^D_A$ は以下の式(1)で表される。

【数1】

$$V^D_A = (FI^2 + FQ^2) - (I^2 + Q^2) \quad (1)$$

【0037】

式(1)の右辺を定数倍して振幅差検出信号 $V^D_A$ を算出してもよい。式(1)は、右辺に乘じる定数が1の場合である。

【0038】

図4及び図5に示したように、コントローラ40から可変減衰器27に供給される振幅制御信号VAがDAC42により発生されるアナログ信号である場合、振幅制御信号VAの生成時に制御信号生成器41からDAC42に入力されるデジタル値は、逐次的に増加または減少される。これにより単調増加または単調減少する振幅制御信号VA(これを振幅キャリブレーション制御信号という)が生成され、この振幅キャリブレーション制御信号によって帰還RF信号の振幅が調整される(ステップS103)。これに伴い、振幅差検出器35により帰還I/Q信号と入力I/Q信号との振幅差が検出され、振幅差検出信号 $V^D_A$ が出力される。振幅差検出信号 $V^D_A$ の零クロスポイントに最も近い、すなわち $V^D_A$ が正から負もしくは負から正に切り替わるときの振幅キャリブレーション制御信号は、所望の振幅調整量を与える。これにより送信RF信号の振幅と帰還RF信号の振幅がほぼ等しくなる。言い換えれば、後述するループ利得はほぼ1となる。振幅差検出信号 $V^D_A$ の零クロスポイントに最も近い振幅キャリブレーション制御信号は、帰還I/Q信号と入力I/Q信号との振幅差を最小化する振幅制御信号VAとして用いられる。

【0039】

こうして生成される振幅制御信号VAは、ADC43によりデジタル値に変換され、次の位相調整時及び後の送信モードで用いるために、メモリ44に記憶される(ステップS104)。メモリ44に記憶されたデジタル値は、次の位相調整時に読み出され、制御信号生成器41及びDAC42を経て可変減衰器27に設定される。

【0040】

ステップS104で振幅制御信号VAがメモリ42に記憶された後、位相比較器36によって検出される位相差に基づきコントローラ40から出力される位相制御信号Vによって可変移相器29が制御される。これにより直交復調器30に供給されるローカル信号の位相、言い換えれば帰還I/Q信号の位相が調整される(ステップS105)。

【0041】

図7は、I-Q平面上に入力I/Q信号I、Qと帰還I/Q信号FI、FQを描いたものである。先の可変減衰器27の減衰量制御により、 $I^2 + Q^2 = FI^2 + FQ^2$ になっているものとする。ベクトル(I, Q)とベクトル(FI, FQ)の位相差はであるので、

10

20

30

40

【数 2】

$$I = FI \cos \theta - FQ \sin \theta \quad (2)$$

【0042】

【数 3】

$$Q = FI \sin \theta + FQ \cos \theta \quad (3)$$

【0043】

となる。

10

【0044】

入力 I / Q 信号 I , Q と帰還 I / Q 信号 F I , F Q との位相差 を表す位相差検出信号 PHS を  $F I \times Q - F Q \times I$  とすると、PHS は以下ようになる。

【数 4】

$$\begin{aligned} PHS &= FI \times Q - FQ \times I \\ &= FI^2 \sin \theta + FI \times Q \cos \theta - \{FI \times FQ \cos \theta - FQ^2 \sin \theta\} \quad (4) \\ &= \sin \theta \{FI^2(t) + FQ^2(t)\} \end{aligned}$$

【0045】

20

一方、位相差 が 0 または シフトしているを検出するため、以下に示す符号検出信号 PL を定義する。

【数 5】

$$\begin{aligned} PL &= FI(t)I(t) + FQ(t)Q(t) \\ &= FI^2 \cos \theta - FI FQ \sin \theta + FI FQ \sin \theta + FQ^2 \cos \theta \quad (5) \\ &= \cos \theta \{FI^2(t) + FQ^2(t)\} \end{aligned}$$

【0046】

30

$FI^2 + FQ^2 \gg 0$  のとき、位相差検出信号 PHS の 0 近傍時は、位相差 は 0 近傍または 近傍である。この違いを判定するために、式 (5) の PL の値を参照する。 が 0 近傍時では PL は正、 が 近傍時では PL は負になる。

【0047】

= 0° を検出するために、位相制御信号 V を逐次大きくしていき、位相差検出信号 PHS と符号検出信号 PL の値を検出する。ここで、コントローラ 40 から可変移相器 29 に供給される位相制御信号 V が DAC 42 から出力されるアナログ信号である場合、位相制御信号 V の生成時に生成器 41 から DAC 42 に入力されるデジタル値は、逐次的に増加または減少される。これにより単調増加または単調減少する位相制御信号 V (これを位相キャリブレーション制御信号という) が生成され、この過程で位相差検出信号 PHS をほぼ 0° にする位相キャリブレーション制御信号が帰還 I / Q 信号と入力 I / Q 信号との位相差 を最小化する位相制御信号 V として求められる。さらに、このときの符号検出信号 PL の符号に従って、スイッチ 34 により合成器 13, 14 に帰還される帰還 I / Q 信号 F I , F Q の極性が制御される。図 1 ではコントローラ 40 から出力される極性切替信号 p / m により、帰還 I / Q 信号 F I , F Q の極性が設定できる。符号検出信号 PL が正であれば帰還 I / Q 信号 F I , F Q の極性は正に設定され、PL が負であれば帰還 I / Q 信号 F I , F Q の極性は負に設定される。

40

【0048】

以上の操作により得られる = 0 近傍の位相キャリブレーション制御信号である位相制御信号 V は、ADC 43 によりデジタル値に変換され、後の送信モードで用いるために

50

デジタル値としてメモリ44に記憶され(ステップS106)、キャリブレーションモードが終了する。

【0049】

ここでは  $F I^2 + F Q^2 > 0$  を仮定したが、 $F I^2 + F Q^2 > 0$  でない場合には、 $\theta = 0^\circ$  近傍でなくとも位相差検出信号 PHS の値は  $0$  近傍になる。従って、振幅一定のトーン信号を用いずに、変調信号すなわち入力 I / Q 信号 I, Q を用いてキャリブレーションを行うと、位相差  $\theta$  の検出誤差が大きくなる。ただし、 $F I^2 + F Q^2$  は正であるため、極性は正確に判断できる。位相差  $\theta$  の検出誤差を小さくするために、位相差検出信号 PHS を例えば入力 I / Q 信号の振幅  $F I^2 + F Q^2$  で除して規格化を行うことにより、送信波の振幅信号に依存しない  $\sin \theta$  の信号である規格化位相差信号 CPHS を生成することができる。すなわち、規格化位相差信号 CPHS は

【数6】

$$CPHS = PHS / A_1 (FI^2 + FQ^2) = \sin \theta / A_1 \quad (6)$$

【0050】

ここで  $A_1$  は係数、 $\theta$  で表される。

【0051】

式(6)に示される規格化位相差信号 CPHS を用いて、例えば逐次比較法に従って  $\theta = 0^\circ$  近傍になる位相制御信号 V の値をメモリ44に格納する。ここまでがキャリブレーションモードである。なお、複合位相差検出信号  $V^D$  は規格化位相差信号 CPHS 及び符号検出信号 PL のペアを意味する。

【0052】

上述したキャリブレーションモードの操作をまとめると、カーテシアンループが開の状態において、まず所望の送信電力 ( $P_i$ ) 近傍において所定のループ利得(ここでは、ループ利得1)が得られるように可変減衰器27に与える振幅制御信号 VA を調整する。次に、帰還 I / Q 信号と入力 I / Q 信号との位相差が  $180^\circ$  となるように可変移相器29に与える位相制御信号 V を調整する。振幅調整の後に位相調整を行うことにより、位相調整を精度よく行うことができる。

【0053】

(送信モード)

次に、図8を用いて送信モードでの処理手順について説明する。図7の手順もコントローラ40によって制御される。送信モードが開始すると、振幅制御信号 VA 及び位相制御信号 V をメモリ44からロードして可変減衰器27及び可変移相器29に設定する(ステップS201)。次に、スイッチ34をオンとすることにより、カーテシアンループを閉じる(ステップS202)。ただし、このときは必要に応じて電力増幅器23の出力端子またはアイソレータ37の出力端子は抵抗 R を介して終端させておく。

【0054】

この後、ループ利得を増加させ(ステップS203)、送信を行う(ステップS204)。ステップS201においてカーテシアンループを閉じると同時に、スイッチ26を切り替えて電力増幅器23の出力端子またはアイソレータ37の出力端子を終端することを中止し、代わってアンテナ25に接続するように設定する。または、過渡応答時間を考慮し、カーテシアンループを閉じてから過渡応答時間だけ遅らせて電力増幅器23の出力端子またはアイソレータ37の出力端子を終端することを中止する。

【0055】

次に、ステップS203におけるループ利得増加の処理の意義について説明する。カーテシアンループは I, Q の2次元のループであるが、簡単のため1次元のループとして考え、図9に示されるような1次元の帰還系を仮定する。一般に帰還系では、増幅段の利得(裸利得)を G、帰還率を  $\beta$ 、入力を I / Q、出力を Out とすれば、以下の関係が成り立つ。

10

20

30

40

50

## 【数 7】

$$\text{Out} = \frac{G}{1 + G\beta} I / Q \approx \frac{1}{\beta} I / Q \quad (7)$$

## 【0056】

帰還後の利得は  $G / (1 + G)$  で表される。  $G$  はループ利得と呼ばれる。  $1 + G = 0$  のとき分母が 0 となるため、帰還系は不安定になる。  $1 + G = 0$  は、入力信号から帰還信号の減算を行った場合、  $G$  が 1 で位相が  $180^\circ$  回ったとき状態である。カーテシアンループにおいても、このような状態となる周波数が存在しない条件で帰還をかける必要がある。本実施形態においては、カーテシアンループを閉じると  $1 + G = 2$  となり、利得が半分になるばかりか、歪の改善を見込むこともできない。

10

## 【0057】

一方、前述したキャリブレーションモードが終了した後に送信モードに移行し、カーテシアンループを閉じて帰還を施すと、図 9 に示す  $G = 1$  の状態と等価な状態となる。そこで、図 8 の手順ではステップ S 201 で予め設定された送信電力に対応する振幅制御信号 VA 及び位相制御信号 V をロードした後、ステップ S 202 でカーテシアンループを閉じ、次のステップ S 203 でループ利得  $G$  を 1 より大きくし、  $G$  の影響を小さくする。具体的には、スイッチ 34 をオンにして、カーテシアンループ開の状態から所定の極性でカーテシアンループ閉の状態とした後、ループ利得  $G$  を大きくする。

## 【0058】

ループ利得  $G$  を変化させるための調整対象は、ベースバンド増幅器 15 から電力増幅器 23 までの利得に相当する  $G$  であり、 については変化させないことが望ましい。 はカーテシアンループをかけた場合の利得に相当するので、これを変えると設定すべき利得が変化してしまうからである。本実施形態では、利得  $G$  を高めるために、図 1 中に示したようにループ利得設定部 46 によりベースバンド増幅器 15 の利得を上げる。ここでは、カーテシアンループ開の状態でのループ利得  $G$  が 1 であったため、ベースバンド増幅器 15 の利得変更分が全体のループ利得になる。

20

## 【0059】

ループ利得が 1 より十分大きいと仮定すると、所望の送信出力はキャリブレーションモードにおいてカーテシアンループ開のときに設定した、帰還パス内の可変減衰器 27 の減衰量（振幅調整量）により決まる。このような振幅調整量の設定によって、帰還  $I / Q$  信号  $F I$  ,  $F Q$  の振幅は入力  $I / Q$  信号  $I$  ,  $Q$  の振幅と等しくなるので、入力端子 11 , 12 から電力増幅器 23 の出力端までの利得（入力  $I / Q$  信号  $I$  ,  $Q$  に対する送信出力の利得）と、カーテシアンループの帰還パスの利得（減衰量の逆数）は等しくなる。従って、カーテシアンループを閉じてから送信出力を調整する必要はない。

30

## 【0060】

ステップ S 203 の処理を行うと、帰還  $I / Q$  信号の振幅はカーテシアンループが開のときとほぼ同じ振幅に設定されるので、カーテシアンループを閉じたときの過渡応答時間はさらに短くなる。

## 【0061】

図 10 は、図 6 及び図 8 で説明した手順のような処理を行わずにカーテシアンループを閉じたときの送信電力の過渡応答（  $T 1$  ）、及びカーテシアンループを閉じたまま送信電力を変えたとき（カーテシアンループを閉じた後に送信電力を設定したとき）の送信電力の過渡応答（  $T 2$  ）を示している。本実施形態によると、これらの過渡応答を改善することができる。

40

## 【0062】

（送信終了処理）

次に、送信終了時の処理について述べる。送信終了時には、送信ベースバンド信号  $I$  ,  $Q$  をランプダウンして送信電力を下げる。送信電力が所定のレベルまで下がれば、スイッチ 34 をオフにすることで、カーテシアンループを開とする。次に、カーテシアンループ

50

の動作を止め、さらにループ利得の増分を元に戻す。例えば、ベースバンド増幅器 15 の利得をカーテシアンループによる帰還が施される前の設定に戻すことにより、ループ利得を元の 1 に戻すことができる。

【 0 0 6 3 】

( 送信電力変更処理 )

次に、送信電力変更時の処理について述べる。送信電力レベルをある程度以上小さく設定する場合、カーテシアンループによる線形化は必要とされないため、カーテシアンループの動作を止める。この場合は、上述した送信停止時と同様のシーケンスをとる。

【 0 0 6 4 】

または、第 1 ステップでスイッチ 3 4 をオフにしてカーテシアンループを開にするとともに、前記の利得  $G$  を下げる。すなわち、利得偏差を小さくするために行ったループ利得の増分を元に戻す。一例としてベースバンド増幅器 15 の利得を元に戻す。次に、第 2 ステップで、カーテシアンループを止める。

【 0 0 6 5 】

送信電力レベルを変更するがカーテシアンループの動作が必要な場合は、以下のようにする。第 1 ステップまでの手順を行った後、図 6 で説明したキャリブレーションモードの手順を踏んで、利得変更後を模擬した送信電力をカーテシアンループ開の状態を設定するとともに、前記の位相調整を行う。その後、送信モードに移行する。または、送信モードを維持したままを所定のレベルまで下げるとともに、増幅段の利得  $G$  を下げた分だけ上げてもよい。

【 0 0 6 6 】

図 6 に示したキャリブレーションモードによると、図 8 に示した送信動作の直前に振幅及び位相の調整が行われる。従って、カーテシアンループを施す前、または送信電力を変更する前に、必ず振幅制御信号及び位相制御信号を取り込むため、オープンループで試験を行うことが前提となっている。

【 0 0 6 7 】

これに対し、以下に説明する他のキャリブレーションモードは、送信前のキャリブレーション時間をさらに短縮化することを目的とし、キャリブレーションモードを無線送信装置の立ち上げ時もしくは無線送信装置が搭載された集積回路 ( IC ) の出荷検査時に行うことを想定している。従って、以下に説明するキャリブレーションモードを便宜上起動時キャリブレーションと呼ぶが、必ずしも起動時に行うことに限定はされない。

【 0 0 6 8 】

( 起動時キャリブレーションモード )

図 11 は、起動時キャリブレーションモードにおける処理手順を示している。図 11 では、送信出力をステップ的に変化させ、各送信出力における振幅制御信号  $V_A$  及び位相制御信号  $V$  を調整して記憶するところが図 6 と異なっている。

【 0 0 6 9 】

まず、キャリブレーションモードを開始すると、スイッチ 3 4 がオフされることによりカーテシアンループが開とされる ( ステップ S 1 1 1 )。このときアンテナ 2 5 から送信 RF 信号が出力されないように、アンテナスイッチ 2 6 を用いて電力増幅器 2 3 の出力端子またはアイソレータ 3 7 の出力端子が抵抗  $R$  によって終端される。

【 0 0 7 0 】

次に、ステップ S 1 1 2 で  $i = 1$  に設定された後、送信電力  $P_i$  が設定される ( ステップ S 1 1 3 )。最初は  $P_{i=1}$  が設定される。この後、図 6 のステップ S 1 0 3 ~ S 1 0 6 と同様に、帰還 RF 信号の振幅調整 ( ステップ S 1 1 4 )、振幅制御信号  $V_A$  の記憶 ( ステップ S 1 1 5 )、帰還 I / Q 信号 ( ローカル信号 ) の位相調整 ( ステップ S 1 1 6 ) 及び位相制御信号  $V$  の記憶 ( ステップ S 1 1 7 ) が行われる。

【 0 0 7 1 】

ステップ S 1 1 8 で  $i$  が  $I$  に達したと判断されるまで、ステップ S 1 1 9 で  $i$  が 1 ずつインクリメントされてステップ S 1 1 3 ~ S 1 1 7 の処理が繰り返される。このとき送信

10

20

30

40

50

電力設定ステップ S 1 0 3 では、 $i$  が 1 インクリメントされる毎に例えば 1 d B ステップで送信電力が上昇する。このようにして各送信出力において調整された振幅制御信号 VA 及び位相制御信号 V がメモリ 4 4 に記憶され、起動時キャリブレーションモードが終了する。

【 0 0 7 2 】

(送信モード)

次に、図 1 2 を用いて図 1 1 で説明した起動時キャリブレーションが行われた後、送信中にカーテシアンループをかける場合の処理を説明する。まず、スイッチ 3 4 をオフとしてカーテシアンループが開の状態で作動を開始し、所望の送信電力  $P_i$  を設定する(ステップ S 2 1 1)。

10

【 0 0 7 3 】

図 1 1 のステップ S 1 1 5 及び S 1 1 7 では、各送信電力  $P_i$  ( $i = 1 \sim I$ ) における振幅制御信号 VA 及び位相制御信号 V がメモリ 4 4 に記憶されている。そこで、ステップ S 2 1 1 で設定された送信電力に対応する振幅制御信号 VA 及び位相制御信号 V をメモリ 4 4 からロードして可変減衰器 2 7 及び可変移相器 2 9 に設定する(ステップ S 2 1 2)。ただし、このときは電力増幅器 2 3 の出力端子またはアイソレータ 3 7 の出力端子は抵抗 R を介して終端させておく。

【 0 0 7 4 】

この後、所定時間が経ってからスイッチ 3 4 をオンにしてカーテシアンループを閉にする(ステップ S 2 1 3)。このとき、電力増幅器 2 3 の出力端子またはアイソレータ 3 7 の出力端子を終端することを中止する。

20

【 0 0 7 5 】

次に、図 8 のステップ S 2 0 3 と同様に例えばベースバンド増幅器 1 5 の利得を高く設定してループ利得を上げ(ステップ S 2 1 4)、送信を開始する(ステップ S 2 1 5)。

【 0 0 7 6 】

送信終了処理及び送信電力変更処理については、先と同様であるため説明を省く。ただし、送信電力を変える場合で、しかもカーテシアンループの動作が必要な場合は、第 1 のステップとしてスイッチ 3 4 をオフとしてカーテシアンループを開とし、第 2 のステップとして利得 G を下げる。すなわち、ループ利得の増分をもとに戻す。振幅制御信号 VA 及び位相制御信号 V が既にメモリ 4 4 に記憶されているので、第 2 ステップまでの手順でカーテシアンループを動作させた後、所定の送信電力において図 1 2 の手順で送信を行えばよい。または、送信モードを維持したままを所定のレベルまで下げるとともに、増幅段の利得 G を下げた分だけ上げてよい。

30

【 0 0 7 7 】

図 1 1 で説明した起動時キャリブレーションモードにおいては、まず図 4 または図 5 に示したコントローラ 4 0 内の制御信号生成器 4 1 によって生成される制御信号のデジタル値に、初期値が与えられる。この状態で振幅差検出器 3 5 及び位相比較器 3 6 で得られる振幅差検出信号  $V^{DA}$  及び複合位相差検出信号  $V^D$  は、ADC 4 3 を介してデジタル値としてメモリ 4 4 に格納される。

【 0 0 7 8 】

次に、制御信号のデジタル値が例えば 1 ステップインクリメントされ、そのときに振幅差検出器 3 5 及び位相比較器 3 6 で得られる振幅差検出信号  $V^{DA}$  及び複合位相差検出信号  $V^D$  が同様にデジタル値としてメモリ 4 4 に格納される。同様の処理が所定回数(N回)繰り返される。こうしてメモリ 4 4 に格納された振幅差検出信号  $V^{DA}$  のデジタル値の中から、式(1)に示す  $V^{DA}$  が 0 となるか、もしくはこれに最も近い値が選定され、これが制御信号生成器 4 1 に取り込まれて振幅制御信号 VA が生成される。

40

【 0 0 7 9 】

一方、メモリ 4 4 に格納された複合位相差検出信号  $V^D$  のデジタル値の中から、式(6)に示す符号検出信号 C P H S が所定の符号となるか、式(4)に示す P H S が 0 となるか、もしくはこれに最も近い値が選定され、これが制御信号生成器 4 1 に取り込まれて

50

位相制御信号  $V$  が生成される。メモリ 44 に格納された振幅差検出信号  $V^{DA}$  及び複合位相差検出信号  $V^D$  のデジタル値のうち不要な情報、例えば選定された検出信号のデジタル値以外の情報は廃棄してもよい。

【0080】

上述した手法は、コントローラ 40 を介して行うフィードバックに基づいているので、デジタルフィードバックによる調整手法と呼ぶ。ここでは、式 (1)、(4) 及び (6) に示した  $V^{DA}$ 、 $PHS$  及び  $CPHS$  はアナログ信号として求めることを想定したが、 $I$ 、 $Q$ 、 $FI$ 、 $FQ$  を例えば図 5 中に示した ADC 43 によりデジタル値に変換した後、 $V^{DA}$ 、 $PHS$  及び  $CPHS$  をデジタル演算により求めるようにしてもよい。

【0081】

以上述べたように、第 1 の実施形態ではカーテシアンループが開かつ所望の送信電力が設定された状態の下で、振幅及び位相の誤差を最小化するような振幅制御信号及び位相制御信号が生成され、メモリ 44 に記憶される。送信時にメモリ 44 から振幅制御信号及び位相制御信号がロードされ、帰還 RF 信号の振幅調整を行う可変減衰器 27 及び帰還回路内での直交復調に用いられるローカル信号の位相を調整するための可変移相器 29 にセットされる。従って、カーテシアンループが開のとくと閉のととの送信電力の差を小さくできるので、カーテシアンループを開の状態から閉の状態にしたときの送信電力の過渡応答時間が効果的に短縮される。

【0082】

(第 2 の実施形態)

第 1 の実施形態では、デジタルフィードバックによるキャリブレーションモード時の振幅調整及び位相調整の手法では、コントローラ 40 を介してフィードバック制御が行われる。しかし、キャリブレーションモードにおいてコントローラ 40 を介さずに、アナログ処理のみで送信モードに必要な振幅制御信号及び位相制御信号を生成することも可能である。ただし、アナログ処理で得られる制御信号はアナログ信号であるので、後の送信モードのためにアナログの制御信号をコントローラ 40 に取り込み、ADC 43 によりデジタル値に変換してメモリ 44 に格納する必要がある。

【0083】

以下、本発明の第 2 の実施形態としてアナログフィードバックにより振幅制御信号及び位相制御信号を生成する手法について図 13 を用いて説明する。図 13 は、図 1 と共通の一部と、新たに加えられた制御信号フィードバックループ内のスイッチ 51、52 を示している。キャリブレーションモードにおいて、振幅制御信号  $VA$  及び位相制御信号  $V$  は以下のようにして生成される。

【0084】

まず、アナログフィードバックにより振幅制御信号  $VA$  を生成する手法について説明する。カーテシアンループの帰還回路内のスイッチ 34 はオフとなっており、かつ電力増幅器 23 の出力端子またはアイソレータ 37 の出力端子は終端され、カーテシアンループの帰還パス内の可変減衰器 27 には、電力増幅器 23 の出力の送信 RF 信号から分岐された一部の微小な電力が帰還 RF 信号として入力されている。また、カーテシアンループの帰還回路の電源はすでに投入されているとする。帰還 RF 信号の振幅調整時には、スイッチ 51 はオン、スイッチ 52 はオフとされる。スイッチ 52 のオフ時には、可変移相器 29 には所定の基準制御信号が印加されているとする。

【0085】

振幅差検出器 35 及び位相比較器 36 では、第 1 の実施形態と同様に入力  $I/Q$  信号  $I$ 、 $Q$  及び帰還  $I/Q$  信号  $FI$ 、 $FQ$  に対して式 (1) の処理がアナログ処理によって行われる。これにより、アナログの振幅差検出信号  $V^{DA}$  (もしくは  $V^{DA}$  の定数倍の信号) が可変減衰器 27 に振幅制御信号  $VA$  (これを振幅キャリブレーション制御信号という) として入力される。すなわち、可変減衰器 27 ~ 低雑音増幅器 28 ~ 直交復調器 30 ~ 振幅差検出器 35 の帰還ループにより、 $VA$  の安定点が  $FI = I$ 、 $FQ = Q$  の点に近似できることになる。

10

20

30

40

50

## 【 0 0 8 6 】

例えば、可変減衰器 27 の入力端子 R X IN の信号振幅が大きく、( F I , F Q ) のベクトルの振幅 m M が ( I , Q ) のベクトルの振幅 M に比べ十分大きいとすると、式 ( 1 ) より  $V^D A$  は正の大きな値となり、この  $V^D A$  が可変減衰器 27 への振幅制御信号 VA に帰還される。ここで、可変減衰器 27 の特性として振幅制御信号 VA が大きいほど減衰量が大きくなるように設計されているとする。振幅調整器 VA として大きな  $V^D A$  が入力されるので、可変減衰器 27 の減衰量は大きくなる。これにより振幅 m M は小さくなり、振幅 M とほぼ等しい値で収束する。収束した振幅 m M の値は、コントローラ 40 内で ADC 43 を介してデジタル値として取り込まれ、メモリ 44 に格納される。この後、スイッチ 51 がオフとされると共に、コントローラ 40 から可変減衰器 27 に振幅制御信号 VA が入力される。これについては後で述べる。

10

## 【 0 0 8 7 】

次に、同様にアナログフィードバックにより位相制御信号 V を生成する手法について説明する。位相調整時には、スイッチ 51 はオフ、スイッチ 52 はオンとされる。スイッチ 52 のオンにより、可変移相器 29 ~ 直交復調器 30 ~ 位相差調整器 36 からなる位相制御ループが形成される。

## 【 0 0 8 8 】

この位相制御ループにおいて、式 ( 4 ) により ( F I , F Q ) のベクトルと ( I , Q ) のベクトルとの位相差  $\theta$  が検出される。( F I , F Q ) のベクトルと ( I , Q ) のベクトルが同相あるいは逆相であれば  $\sin \theta = 0$  を満足するので、その点で収束する。ただし、 $\theta$  が  $0^\circ$  であるか  $180^\circ$  であるかが区別できないため、その区別は式 ( 5 ) 中の  $\cos \theta$  の値で行われる。 $\cos \theta$  が正であれば  $0^\circ$  すなわち同相と判定され、負であれば  $180^\circ$  すなわち逆相と判定される。こうして得られる V の値と  $\cos \theta$  の値はコントローラ 40 内で ADC 43 を介して取り込まれ、メモリ 44 に格納される。

20

## 【 0 0 8 9 】

カーテシアンループを閉じるときは、スイッチ 34 がオンとされると共に、 $\cos \theta$  の極性に応じてスイッチ 34 で接続の極性が選択される。一方、位相制御信号 V に関しては、スイッチ 52 がオフとされた後、ADC 43 で検出される電圧と同じ電圧が制御信号生成器 41 及び DAC 42 を介して位相制御信号 V として生成される。

## 【 0 0 9 0 】

こうしてメモリ 44 に格納された振幅制御信号 VA 及び位相制御信号 V の値は、送信モードにおいて用いられる。また、メモリ 44 に格納された振幅制御信号 VA はキャリアレーション時に位相制御信号 V を調整するときにも用いられる。

30

## 【 0 0 9 1 】

ここで、コントローラ 40 について述べる。図 13 に示すように、コントローラ 40 の DAC 42 がスイッチ 53 , 54 を介して可変減衰器 27 及び可変移相器 29 に接続されており、ADC 43 がスイッチ 51 , 52 を介して振幅差検出器 35 及び位相比較器 36 に接続されている。スイッチ 51 をオンとすることで、振幅制御信号 VA がコントローラ 40 の ADC 43 を介してメモリ 44 に取り込まれ、スイッチ 52 をオンとすることで、位相制御信号 V が ADC 43 を介してメモリ 44 に取り込まれる。また、送信モード開始時に、スイッチ 53 をオンとすることで振幅制御信号 VA が可変減衰器 27 にロードされ、スイッチ 54 をオンとすることで、位相制御信号 V が DAC 43 を介して可変移相器 29 にロードされる。

40

## 【 0 0 9 2 】

次に、第 1 及び第 2 の実施形態におけるカーテシアンループ内の各構成要素の具体例について説明する。

( 可変減衰器の具体例 )

図 14 は、可変減衰器の具体例を示している。図 14 において破線で囲まれたブロックはダミー減衰器であり、ATT で示されるブロックはダミー減衰器と同一回路の減衰器である。ダミー減衰器は、MOSFET M1 - M5 及び抵抗 R1 , R2 を含む可変減衰器

50

である。減衰器 A T T は、ダミー減衰器と同一構成であるため、M O S F E T M 1 - M 5 及び抵抗 R 1 , R 2 が存在するものとして説明する。

【 0 0 9 3 】

M O S F E T M 1 , M 2 , M 3 は信号をグランド G N D にシャントするパスを形成し、グランド G N D へ流れる信号の量を制御する。一方、M O S F E T M 4 , M 5 はスルーパスを形成し、次段の回路に伝える信号の量を制御する。抵抗 R 1 は M 4 , M 5 のゲート端子に直流成分を伝えるために用いられる。

【 0 0 9 4 】

演算増幅器 O P 1 の + 入力端子には抵抗 R B と R T の一端が接続され、R B の他端は電源 V D D に接続され、R T の他端はグランド G N D に接続される。もう一つの抵抗 R B の一端は V D D に接続され、他端はダミー減衰器の M O S F E T M 5 のドレイン端子に接続される。もう一つの抵抗 R の一端は G N D に接続され、他端はダミー減衰器の M O S F E T M 4 のソース端子に接続される。ダミー減衰器の二つの抵抗 R 1 の共通端子は演算増幅器 O P 1 の出力端子、及び減衰器 A T T の抵抗 R 1 の共通端子に接続される。利得制御信号 V C 1 は、ダミー減衰器及び減衰器 A T T 内の M O S F E T M 1 , M 2 , M 3 のゲート端子に与えられる。

10

【 0 0 9 5 】

図 1 4 の構成によると、利得制御信号 V C 1 と減衰器 A T T の利得 ( = O U T / I N ) は d B 直線性 ( linear-in-dB ) の特性を示すことが文献 H. Dogan, et. al., " A DC-10GHz Linear-in-dB Attenuator in 0.13um CMOS Technology, " IEEE 2004 CICC, pp.609-612. に記載

20

【 0 0 9 6 】

( しきい値ばらつき補償インタフェース )

図 1 4 の可変減衰器では、M O S F E T のプロセスばらつきによるしきい値ばらつき ( V t h fluctuation ) が生じると、利得制御信号 V C 1 が一定でも M O S F E T の抵抗が変化してしまう。M O S F E T の出力抵抗は、ゲート - ソース間電圧 V G S からしきい値電圧 V t h を引いた値に依存するからである。また、後述する可変移相器においても M O S F E T のしきい値ばらつきが問題となる場合がある。

【 0 0 9 7 】

図 1 5 は、このような M O S F E T のしきい値ばらつきを補償する回路の例を示している。図 1 5 のしきい値ばらつき補償回路は、例えば図 1 3 における可変減衰器 2 7 の振幅制御信号 V A の入力側及び図 1 3 における可変移相器 2 9 の位相制御信号 V の入力側のいずれか一方または両方にインタフェースとして挿入される。

30

【 0 0 9 8 】

図 1 5 の回路は、基本的には基準電流 I r e f と基準抵抗 R r e f により発生される基準電圧 I r e f × R r e f と制御電流 I c n t ( I c n t 1 , I c n t 2 ) を用いて M O S F E T M 1 のしきい値ばらつきを補償するように構成される。ここで、制御電流 I c n t は振幅制御信号 V A または位相制御信号 V を電流信号で表している。

【 0 0 9 9 】

スイッチ S W A 1 がオン、スイッチ S W A 2 がオフの場合、2 系統用意されている制御電流 I c n t 1 , I c n t 2 のうち、I c n t 1 のみがスイッチ S W A 1 を介して M O S F E T M 1 に流れる。基準電圧 I r e f × R r e f は演算増幅器 O P 1 の非反転入力端子に与えられ、O P 1 の出力端子は M O S F E T M 1 のゲート端子に接続され、M 1 のドレイン端子は O P 1 の反転入力端子に接続される。このような帰還系の働きにより、M O S F E T M 1 のドレイン電圧は基準電圧 I r e f × R r e f と等しくなるように制御される。従って、M O S F E T M 1 のしきい値電圧 V t h が大きくなったならば、自動的に M 1 のゲート - ソース間電圧 V G S は V t h の増加分だけ大きくなり、しきい値ばらつきは補償される。

40

【 0 1 0 0 】

次に、2 つのスイッチ S W A 1 , S W A 2 と 2 つの制御電流 I c n t 1 , I c n t 2 を用いる理由について述べる。図 1 3 に示した第 2 の実施形態によると、キャリブレーションモード及び

50

位相調整モードでは、振幅差検出器 35 からの振幅差検出信号  $V^D$  が振幅制御信号 VA として可変減衰器 27 に与えられ、またキャリブレーションモードでは位相比較器 36 からの複合位相差検出信号  $V^D$  が位相制御信号 V として可変移相器 29 に与えられる。一方、送信モードではコントローラ 40 からメモリ 44 に記憶されているデジタル値が DAC 42 を介して振幅制御信号 VA 及び位相制御信号 V が出力され、可変減衰器 27 及び可変移相器 29 に与えられる。

#### 【0101】

このように特に図 13 に示した第 2 の実施形態の場合、可変減衰器 27 及び可変移相器 29 への制御信号パスは、キャリブレーションモードと送信モードとで異なる。図 15 のしきい値ばらつきインタフェースを用いると、可変減衰器 27 及び可変移相器 29 に対し

10

#### 【0102】

図 13 では、スイッチ 51 及び 52 が設けられているが、これらは例えば図 15 のスイッチ SWA1 によって代用できる。一方、図 15 の SWA2 のオン/オフは、例えば可変減衰器 27 及び可変移相器 29 へのコントローラ 40 からの振幅制御信号 VA 及び位相制御信号 V の伝達をオン/オフすることに対応する。

#### 【0103】

従って、キャリブレーションモードでは SWA1 をオン、SWA2 をオフとすることにより、可変減衰器 27 には振幅差検出器 35 からの振幅差検出信号  $V^D$  が振幅制御信号 VA として与えられ、可変移相器 29 には位相比較器 36 からの複合位相差検出信号  $V^D$  が位

20

#### 【0104】

(直交復調器のためのローカル信号供給経路)

図 1 及び図 13 に示したように、直交復調器 30 のミキサ 31, 32 には、ローカル発振器 20 からのローカル信号が可変移相器 29 及び  $90^\circ$  移相器 33 を介して供給される。図 16 は、直交復調器 30 のためのローカル信号供給経路であり、可変移相器 29 及び  $90^\circ$  移相器 33 に相当する部分を詳しく示している。

30

#### 【0105】

図 16 において、ローカル発振器 20 からのローカル信号 LO は、カスケード接続された移相器 PS1, PS2 に入力される。移相器 PS1, PS2 の移相量は、位相制御信号 VPSC によって変化する。位相制御信号 VPSC と図 1 の位相制御信号 V の関係は後述する。移相器 PS1, PS2 から出力されるローカル信号は、バッファ回路 CKBUF を介してフリップフロップ FF に入力される。

#### 【0106】

フリップフロップ FF では、入力されたローカル信号が 2 分周され、 $90^\circ$  の位相差を持つ 2 つのローカル信号が生成される。フリップフロップ FF から出力される 2 つのローカル信号は、I 用ローカルバッファ ICKBUF 及び Q 用ローカルバッファ QCKBUF をそれぞれ介して直交復調器 30 内のミキサ 31, 32 に供給される。フリップフロップ FF の出力では、LO 信号の周波数は  $1/2$  倍となるので、ローカル発振器 20 では直交復調器 30 で必要なローカル信号の周波数の 2 倍の周波数のローカル信号を発生する必要がある。一方、フリップフロップ FF の代わりに、例えば微分器と積分器を用いた RC-CR による  $90^\circ$  移相器を用いてもよく、この場合は  $90^\circ$  移相器の入出力のローカル信号の周波数は等しくてよい。

40

#### 【0107】

移相器 PS1, PS2 には、極性切替信号 Pm が入力されており、この Pm により入力されるローカル信号の極性、すなわち位相を  $180^\circ$  変えることが可能である。上述したように移相器 PS1, PS2 の後段の  $90^\circ$  移相器として、2 分周を行うフリップ

50

ロップFFを用いることを想定すると、Pm によるローカル信号の180°の位相変化によって、ミキサ31, 32に供給されるローカル信号の位相を90°変えることができる。このようなPm によるローカル信号の位相調整は、例えばプロセスの誤差により移相器PS1, PS2の可変範囲が減少したときに有効である。

【0108】

(移相器の具体例その1)

図17は、図16中の移相器PS1, PS2の具体的な回路例を示している。図17の移相器は、MOSFET M1~M5とキャパシタC1~C4を有し、入力端子+VIN, -VINに入力される差動信号を位相シフトして出力端子+VOUT, -VOUTから出力する。C1, M3, C2, C3, M4, C4によって移相回路が形成される。電流源I1が共通ソース端子に接続されたM1, M2の差動ペアと、M1, M2のドレイン端子に接続されるM5, M6, R1, R2からなる同相レベル設定回路によって、移相回路のための駆動回路が形成される。

10

【0109】

MOSFET M3とM4は、位相制御信号VPSCにより抵抗値が変化する可変抵抗として動作する。可変抵抗では減衰器と同様にMOSFETの線形領域が使用されるようにするため、M3とM4ではドレイン-ソース間電圧VDS、ゲート-ソース間電圧VGS及びしきい値電圧VthがVDS < VGS - Vthの間系を満足するように設定される。位相制御信号VPSCによる制御範囲を広くするためには、MOSFET M4のドレイン端子及びM3のソース端子の電位は電源電位またはGND電位の近傍であることが望ましい。このためにキャパシタC3によってM4のドレイン端子の直流電位がブロックされ、キャパシタC2によってM3のソース端子の直流電位がブロックされる。

20

【0110】

一方、キャパシタC4はMOSFET M4による抵抗と共にCR回路を形成し、キャパシタC1はMOSFET M3と共にCR回路を形成する。これら2つのCR回路によってCRブリッジ回路が形成される。従って、位相制御信号VPSCによりM4, M3の抵抗値が変化すると、ローカル信号の位相が変化する。

【0111】

本移相器の動作を説明するために、MOSFET M3, M4の抵抗が大きい場合と小さい場合とで出力の位相がどのように変化するかを以下に示す。M3, M4の抵抗が大きい場合、すなわちVPSCがVth付近の場合、M4の抵抗が大きいことにより、端子+VOUTにはC4を介してM2のドレインの信号が伝達される。また、M3の抵抗が大きいことにより、端子-VOUTにはM1のドレインの信号が伝達される。

30

【0112】

一方、M3, M4の抵抗が小さい場合、すなわちVPSCがVDD付近となった場合、M4の抵抗が小さいことにより、端子+VOUTにはM1のドレインの信号がC3を介して伝達される。また、M3の抵抗が小さいことにより、端子-VOUTにはC2を介してM2のドレインの信号が伝達される。このようにM3, M4の抵抗を可変にすることにより端子+VOUT, -VOUTからの出力信号の位相は最大で180°変化する。

【0113】

キャパシタC1, C4の値をCとし、MOSFET M3, M4の抵抗値(オン抵抗)をRONとすると、CRブリッジ回路による移相特性は以下の式で表される。

40

【数8】

$$\theta = 2 \tan^{-1}(1 / \omega CR_{ON}) \quad (8)$$

【0114】

ここで、 $\theta$ はM2とM1のドレイン端子間電圧と出力端子+VOUT, -VOUT間電圧との位相差を表す。M3, M4は線形領域で動作するので、比例定数をAとすると、図16で説明したように $R_{ON} = A / (V_{PSC} - V_{th})$ と近似できる。従って、式(8)は以下のよ

50

うに変形できる。

【数 9】

$$\theta = 2 \tan^{-1} \{ (V_{PSC} - V_{th}) / A\omega C \} \quad (9)$$

【0115】

$V_{PSC}$ が $V_{th}$ より小さいとMOSFETが完全にオフ状態となるので、 $V_{PSC}$ により位相が制御できなくなる。これを避けるために図15に示したしきい値補償回路を図14に示した減衰器ATTに対してと同様に適用すればよい。すなわち、制御電流 $I_{cnt1}$ 、 $I_{cnt2}$ が0より大きくなると、M1には電流を流すためにOP1の出力、すなわちM1のゲート電位は $V_{th}$ より大きい値に自動的に設定される。なお、ここで振幅制御信号や位相制御信号を電圧や電流で規定しているが、それらの変換は $V = IR$ の式に応じて変換できる。例えば、ここでは制御電流 $I_{cnt1}$ 、 $I_{cnt2}$ が位相制御信号 $V$ と等価である。

10

【0116】

(移相器の具体例その2)

図18は、図17の移相器に対して図16中の移相器PS1が備える極性反転機能を追加した回路図である。図18の移相器では、図17中に示したMOSFET M1、M2の第1差動ペアに加えて、MOSFET M7、M8の第2差動ペアが追加される。第1差動ペアに電流源I1から供給されるテール電流は、極性切替信号 $p_m$ によってスイッチされ、第2差動ペアに電流源I2から供給されるテール電流は、反転された極性切替信号 $p_m /$ によってスイッチされる。

20

【0117】

極性切替信号 $p_m$ 、 $p_m /$ によりM1、M2の第1差動ペアが動作するか、M7、M8の第2差動ペアが動作するかが決定される。図18に示されるように、M1とM7のゲート端子は $+V_{IN}$ に共通に接続され、M2とM8のゲート端子は $-V_{IN}$ に共通に接続されているが、出力であるドレイン端子はM1とM8、M2とM7が共通に接続される。すなわち、第1差動ペアと第2差動ペアとでは、出力であるドレイン端子の接続は逆の関係にある。従って、極性切替信号 $p_m$ 、 $p_m /$ によって第1差動ペアと第2差動ペアを選択的に動作させることにより、移相器の出力信号の極性を反転することができる。

【0118】

(振幅/位相検出回路)

次に、図1及び図13中の振幅差検出器35及び位相比較器36の具体例について説明する。振幅差検出器35及び位相比較器36をアナログ回路により実現する場合、例えば図19に示すような振幅/位相検出回路を用いることができる。図19は、振幅または位相の検出対象の入力A、B、C、Dを受けて検出力OUTを得る回路である。

30

【0119】

振幅差検出は、例えば前述したように式(1)に従って行われる。式(1)中の $(FI^2 + FQ^2)$ は入力A、CをFIとし、B、DにFQを入力したときの出力OUT(OUT1とする)を表す。同様に、式(1)中の $(I^2 + Q^2)$ は入力A、CをIとし、B、DにQを入力したときの出力OUT(OUT2とする)を表す。OUT1 - OUT2に相当する差分を検出することにより、式(1)に従う振幅差検出信号 $V^DA$ をアナログ回路で得ることができる。

40

【0120】

図20は、上記OUT1 - OUT2を検出する差分検出回路の一例を示している。OUT1は入力IN1として与えられ、OUT2は入力IN2として与えられる。図20の差分検出回路は、MOSFET M3、M4の差動ペアと共通電流源I1からなる第1差動増幅器と、MOSFET M5、M6の差動ペアと共通電流源I2からなる第2差動増幅器、及び第1と第2差動増幅器に共通に設けられたMOSFET M1、M2、及び抵抗R1、R2による負荷回路を有する。第1差動増幅器の入力はIN1であり、第2差動増幅器の入力はIN2である。

50

## 【 0 1 2 1 】

第 1 差動増幅器と第 2 差動増幅器の出力は、共通の負荷回路に対して極性を反対にして接続される。図 20 の差分検出回路によって、出力 OUT に  $I N 1 - I N 2$ 、すなわち  $O U T 1 - O U T 2$  に対応する信号が得られる。従って、図 19 の回路に図 20 の回路を組み合わせるにより、振幅差検出器 35 を実現することができる。

## 【 0 1 2 2 】

位相差検出信号 PHS 及び符号検出信号 PL は、例えば前述したように式 (4) 及び (5) を用いて算出されるので、図 19 の回路により実現できる。すなわち、入力 A に I、入力 C に FI、入力 B に Q、入力 D に FQ をそれぞれ入力すると、式 (4) の計算を実現できる。また、入力 A に I、入力 C に FQ、入力 B に Q、入力 D に FI をそれぞれ入力すると、式 (5) の計算を実現できる。

10

## 【 0 1 2 3 】

アナログ回路で帰還を施して必要な振幅制御信号 VA や位相制御信号 V を求めるには、電圧信号のまま帰還をかけることも可能であるが、電圧信号を一度電流に変換してから帰還をかけてもよい。電圧信号を電流信号に変えてから帰還をかける場合、図 15 に示したしきい値ばらつき補償回路を用いることが望ましい。

## 【 0 1 2 4 】

(極性反転スイッチ及びベースバンド増幅器)

図 21 は、図 1 及び図 13 に示したスイッチ 34 とベースバンド増幅器 15 の具体的な回路例を示している。図 21 では、スイッチ 34 は二つのブロック 34-1 と 34-2 に分けて示されている。ここで、VIN は入力 I/Q 信号 I, Q を表し、帰還信号 VF は帰還 I/Q FI, FQ に相当する。スイッチ A またはスイッチ B のいずれか一方をオンとし、他方をオフとすることにより帰還 I/Q 信号 (VF) は極性が変更されて取り込まれる。一方、入力 I/Q 信号 VIN については極性を切り替える必要がないので、そのまま取り込まれる。利得は  $-R 2 / R 1$  で与えられる。

20

## 【 0 1 2 5 】

ベースバンド増幅器 15 は、カーテシアンループを開としたキャリブレーションモードとカーテシアンループを閉としたときとで利得を変えるように構成される。ベースバンド増幅器 15 は、カスケード接続された 2 段の演算増幅器 OP1, OP2、及び OP1 と OP2 の間に挿入された利得切替回路 38-1, 38-2 を有する。帰還抵抗を含めた 2 段目の演算増幅器 OP2 の利得は、 $-R 5 / R 3$  または  $-R 5 / R 4$  で表される。利得切替回路 38-1, 38-2 は、この例では二つの抵抗 R3, R4 をスイッチ C により切り替えることで利得を 2 段階にわたって切り替えることができる。

30

## 【 0 1 2 6 】

例えば、 $R 3 = 10 \times R 4 = R 5$  とし、キャリブレーションモードでは R3 を選択し、送信モードでは R4 を選択することを考える。キャリブレーションモードでは、ベースバンド増幅器 15 は利得  $-R 5 / R 3 = -1$  の増幅器として働く。この状態でループ利得が 1 となるように帰還 V-ATT が設定される。キャリブレーションモードから送信モードに移ると、抵抗 R3 から R4 に切り替えられるので、利得は  $-R 5 / R 4 = -10$  となり、キャリブレーションモード時より 20 dB 増加する。すなわち、送信モードではループ利得は 20 dB となるので、線形性を高めることができる。

40

## 【 0 1 2 7 】

図 21 中の利得切替回路 38-1, 38-2 ではスイッチ C により抵抗 R3 と R4 を選択するため、利得切り替え時には過渡応答が生じる。無線仕様により過渡応答の時間に制限がある場合は、利得を急峻に変化させるのではなく連続的に変化させることが望まれる。

## 【 0 1 2 8 】

図 22 中のベースバンド増幅器 15 では、図 21 中の利得切替回路 38-1, 38-2 が MOSFET M1 と M2 による可変抵抗回路 39 に置き換えられている。M1, M2 のゲート端子にコントローラ 40 から利得設定信号に相当する利得制御電圧 VCNT が与え

50

られている。利得制御電圧  $V_{CNT}$  によって  $MOSFET M1, M2$  の抵抗が変化することにより、ベースバンド増幅器 15 の利得は連続的に変化する。キャリブレーションモードでは  $M1, M2$  の抵抗値を  $R5$  と同じ値にしておく。キャリブレーションモードから送信モードへの遷移時には、 $M1, M2$  の抵抗値が  $R5$  から  $R5/10$  程度までに緩やかに遷移するように利得制御電圧  $V_{CNT}$  を設定する。これによりベースバンド増幅器 15 の急峻な利得変化がなくなるので、利得が所定の値に収束する時間が短縮される場合がある。

【0129】

(I/Qインバランス補償)

直交変調器や直交復調器をアナログ回路で実現した場合、アナログ回路の不完全性により、I成分(同相成分)とQ成分(直交成分)との間の振幅誤差や位相誤差が生じる。このようなI-Q成分間の振幅や位相の誤差は、一般にI/Qインバランスと呼ばれる。カーテシアンループは、以下のようにI/Qインバランスの補償にも適用できる。

10

【0130】

これまでの実施形態では、送信部で生ずる歪をカーテシアンループの帰還回路の線形性を利用して補償する例について述べてきた。同様に、帰還回路内の直交復調器 30 のI/Qインバランスが小さければ、カーテシアンループを用いて送信系の直交変調器 16 のI/Qインバランスも補償できる。

【0131】

具体的には、従来から無線受信装置で行われている直交復調器のI/Qインバランス補償技術をカーテシアンループ内の直交復調器 30 に適用する。例えば、I/Qインバランスのうち振幅誤差の補償を行うためには、図21の帰還信号  $V_F$  を入力とする抵抗  $R1$  の値を必要に応じて調整すればよい。また、ローカル信号のための  $90^\circ$  移相器 33 の移相誤差に起因するI/Qインバランスが生じる場合は、 $90^\circ$  移相器 33 から出力される二つのローカル信号の位相差が  $90^\circ$  となるように調整を行う。この位相差の調整は、例えば図17の移相器を用いて行ってもよい。このようにカーテシアンループの帰還回路内の直交復調器 30 にI/Qインバランス補償を適用することにより、カーテシアンループによって送信部系の誤差を補正することが可能である。

20

【0132】

(位相比較器 36 について)

次に、位相比較器 36 についてさらに詳しく説明する。位相比較器 36 は、複合位相差検出信号  $V^D$  を出力する。前述したように、複合位相差検出信号  $V^D$  は規格化位相差信号  $CPHS$  と符号検出信号  $PL$  を含む。図23は、位相比較器 36 のうちの規格化位相差信号  $CPHS$  を生成する部分について示している。

30

【0133】

図23において、位相差検出器 51 では式(4)に従って入力I/Q信号  $I, Q$  と帰還I/Q信号  $F_I, F_Q$  との位相差が検出され、位相差検出信号  $PHS$  が生成される。位相差検出器 51 は、例えば図19に示した振幅/位相検出回路によって実現される。

【0134】

図13に示すアナログフィードバックにより振幅制御信号及び位相制御信号を生成する手法を用いる場合は、式(4)で示した位相差検出信号  $PHS$  は位相と振幅の関数であるため、正常に制御がかからない。そこで、図23に示すように位相差検出器 51 の後段に振幅規格化器 52 を接続し、振幅規格化器 52 によって位相差検出信号  $PHS$  の振幅を規格化した規格化位相差信号  $CPHS$  を移相器 29 に入力する。

40

【0135】

位相差検出信号  $PHS$  を振幅で規格化するためには、式(4)から分かるように位相差検出信号  $PHS$  を下記の式(10)の値で除算(言い替えば、位相差検出信号  $PHS$  に式(10)の逆数を乗算)すればよい。

【数 10】

$$FI^2(t) + FQ^2(t) \quad (10)$$

【0136】

式(10)は、帰還 I/Q 信号 FI, FQ のベクトルの大きさを表す。ここでは、位相差検出信号 PHS を帰還 I/Q 信号 FI, FQ のベクトルの大きさの 2 乗で除することにより規格化を行う例を示したが、位相差検出信号 PHS を入力 I/Q 信号 I, Q のベクトルの大きさの 2 乗で除することにより規格化を行ってもよい。以下、帰還 I/Q 信号 FI, FQ のベクトルの大きさの 2 乗、または入力 I/Q 信号 I, Q のベクトルの大きさの 2 乗を I/Q 信号振幅と呼び、 $A^2(t)$  で表すものとする。

【0137】

しかし、この振幅規格化の手法では式(10)に示されるような I/Q 信号振幅が 0 に近い場合、アナログ乗算器により無限大に近い増幅度で位相差検出信号 PHS を増幅しなければならず、現実的な回路で振幅規格化器 52 を実現することは困難である。

【0138】

以下、このような困難を克服する振幅規格化器 52 の構成について、図 24 ~ 図 29 を用いて説明する。図 24、図 26 ~ 図 29 は、振幅規格化器 52 の種々の例を入出力信号及び中間処理信号の波形例と共に示している。

【0139】

(振幅規格化器 52 の第 1 の例)

図 24 の振幅規格化器 52 は、除算器 53、比較器 54 及びサンプルホールド回路 55 から構成され、比較器 54 からの比較結果信号に従って、除算器 53 及びサンプルホールド回路 55 により位相差検出信号 PHS から規格化位相差信号 CPHS が生成される。

【0140】

除算器 53 は、ある利得以下の領域では位相差検出信号 PHS の振幅を規格化できるが、有限の利得までしか増幅できない。このため、式(10)に示されるような I/Q 信号振幅  $A^2(t)$  の値が 0 付近の時は、除算器 53 の出力信号は図 24 中に示すように値が発散してしまう。従って、除算器 53 のみでは正常に規格化を行うことができない。そこで、図 24 の例では除算器 53 の出力信号は、サンプルホールド回路 55 により以下のようにサンプルホールドされる。

【0141】

サンプルホールド回路 55 は、比較器 54 によって制御される。比較器 54 は、基準値入力端子と I/Q 信号振幅入力端子を有し、基準値(基準電圧)  $V_{REF}$  に対して I/Q 信号振幅  $A^2(t)$  の方が大きい場合には比較結果信号として HIGH を出力し、そうでない場合には比較結果信号として LOW を出力する。

【0142】

サンプルホールド回路 55 は、比較器 54 からの比較結果信号が HIGH の期間では除算器 53 から出力される除算信号、すなわち位相差検出信号 PHS の現在の値に対応する除算信号をそのまま規格化位相差信号 CPHS として出力する。このように比較器 54 からの比較結果信号が HIGH の期間では、サンプルホールド回路 55 はサンプルホールド動作を行わず、除算器 52 から出力される除算信号をトラッキングして規格化位相差信号 CPHS を出力する。

【0143】

比較器 55 からの比較結果信号が LOW になると、サンプルホールド回路 55 はサンプルホールド動作を行う。すなわち、サンプルホールド回路 55 は比較結果信号が LOW になる直前のタイミングで除算器 53 からの除算信号をサンプルして以降 LOW の間ホールドし、そのサンプルホールドした除算信号を規格化位相差信号 CPHS として出力し続ける。ここで、基準値  $V_{REF}$  は例えば除算器 53 が正常に規格化を行うことが可能な I/Q 信号振幅以上の値に設定される。

## 【 0 1 4 4 】

このような構成を取ることで、現実的なアナログ回路によって振幅規格化器 5 3 を実現することが可能となる。

## 【 0 1 4 5 】

次に、図 2 3 中の除算器 5 3 の具体例を説明する。図 2 5 は、除算器 5 3 の具体例を示す回路図である。位相差検出信号 P H S は、差動電流信号  $I_1 + b I_M \sin$  及び  $I_1 - b I_M \sin$  で表される。ここで  $I_M = I^2 + Q^2 = F I^2 + F Q^2$ 、 $I_1$  は直流電流、 $b$  は定数を表す。一方、振幅差検出信号  $V^{DA}$  は差動電流信号  $I_2 + (1/2) a I_M$  及び  $I_2 + (1/2) a I_M$  で表される。ここで、 $I_2$  は直流電流、 $a$  は定数である。

## 【 0 1 4 6 】

振幅差検出信号  $V^{DA}$  である差動電流信号  $I_2 + (1/2) a I_M$  及び  $I_2 + (1/2) a I_M$  は、M O S F E T : M 1 - M 4 による第 1 カレントミラー、及び M O S F E T : M 5 - M 6 による第 2 カレントミラーによって受信され、M O S F E T : M 7 - M 8 による第 1 差動対の共通ソース端子に電流信号  $a I_M$  が流れる。

## 【 0 1 4 7 】

一方、位相差検出信号 P H S である差動電流信号  $I_1 + b I_M \sin$  及び  $I_1 - b I_M \sin$  は、M O S F E T : M 1 4 - M 1 3 による第 3 カレントミラー、及び M O S F E T : M 1 6 - M 1 5 による第 4 カレントミラーによって受信され、M O S F E T : M 9 - M 1 0 による第 2 差動対の共通ソース端子、及び M O S F E T : M 1 1 - M 1 2 による第 3 差動対に共通ソース端子にそれぞれ入力される。M O S F E T : M 7 - M 1 2 を弱反転領域で動作させると、

## 【 数 1 1 】

$$I_o/aI_M = I_+ / (I_1 + bI_M \sin\theta) = I_- / (I_1 - bI_M \sin\theta) \quad (11)$$

## 【 0 1 4 8 】

を満足する。図 2 5 の除算器 5 3 の出力信号である  $I_+$  と  $I_-$  の差分は

## 【 数 1 2 】

$$I_+ - I_- = I_o/a \times 2b \sin\theta \quad (12)$$

## 【 0 1 4 9 】

となり、 $I_M$  の成分の影響のない信号が得られる。図 2 5 の除算器 5 3 の出力信号は電流信号なので、図示しない抵抗のような電流 - 電圧変換器により電圧信号に変換された後、サンプルホールド回路 5 5 に入力される。

## 【 0 1 5 0 】

( 振幅規格化器 5 2 の第 2 の例 )

図 2 6 の振幅規格化器 5 2 は除算器 5 3 を使用せず、位相差検出信号 P H S を直接サンプルホールド回路 5 5 に入力している点で図 2 4 と異なっている。図 2 6 の振幅規格化器 5 2 では、 $I/Q$  信号振幅  $A^2(t)$  が基準値  $V_{REF}$  より大きい時のみ位相差検出信号 P H S がそのまま規格化位相差信号 C P H S として出力されることによって振幅の規格化が行われる。このようにアナログ増幅器による除算器を必要としない簡単な構成で、位相差検出信号 P H S の振幅を規格化することができる。

## 【 0 1 5 1 】

( 振幅規格化器 5 2 の第 3 の例 )

図 2 7 の振幅規格化器 5 2 では、 $I/Q$  信号振幅  $A^2(t)$  が 2 つの比較器 5 6 及び 5 7 に入力され、2 つの基準値  $V_{REF, low}$  及び  $V_{REF, high}$  と比較される。比較器 5 6 及び比較器 5 7 からの比較結果信号は、排他的論理和回路 5 8 に入力される。排他的論理和回路 5 8 の出力信号は、 $I/Q$  信号振幅  $A^2(t)$  が 2 つの基準値  $V_{REF, low}$  と  $V_{REF, high}$  の間にある時に H I G H を出力し、それ以外の場合には L O W を出力する。ただし、2 つの基準値は  $V_{REF, l}$

10

20

30

40

50

$v_{ow} < V_{REF, high}$  の関係を満たすものとする。排他的論理和回路 5 8 の出力信号によって、サンプルホールド回路 5 5 が制御される。

【 0 1 5 2 】

すなわち、図 2 7 の振幅規格化器 5 2 は排他的論理和回路 5 8 を介して入力される比較器 5 6 及び比較器 5 7 からの比較結果信号に従って、( a )  $I / Q$  信号振幅  $A^2(t)$  が基準値  $V_{REF, low}$  より大きくかつ基準値  $V_{REF, high}$  より小さい場合には、位相差検出信号  $PHS$  の現在の値を規格化位相差信号  $CPHS$  として出力し、( b )  $I / Q$  信号振幅  $A^2(t)$  が基準値  $V_{REF, low}$  より小さいかまたは基準値  $V_{REF, high}$  より大きい場合には、 $I / Q$  信号振幅  $A^2(t)$  が基準値  $V_{REF, low}$  より小さくなるかまたは基準値  $V_{REF, high}$  より大きくなる直前でサンプルホールド回路 5 5 によりサンプルホールドされた位相差検出信号  $PHS$  の値を規格化位相差信号  $CPHS$  として出力する。

10

【 0 1 5 3 】

このように図 2 7 の振幅規格化器 5 2 によると、アナログ増幅器による除算器を使うことなく、等価的に振幅が規格化された信号を生成することができる。

【 0 1 5 4 】

( 振幅規格化器 5 2 の第 4 の例 )

図 2 8 の振幅規格化器 5 2 では、可変抵抗器 6 1 及びキャパシタ 6 2 を有する低域通過フィルタ 6 0 によって位相差検出信号  $PHS$  の振幅規格化を行い、規格化位相差信号  $CPHS$  を生成する。可変抵抗器 6 1 は、例えば  $NMOSFET$  によって実現され、その場合はゲート端子が可変抵抗器 6 1 の制御端子として用いられる。可変抵抗器 6 1 の制御端子には、 $I / Q$  信号振幅  $A^2(t)$  が制御電圧として与えられる。可変抵抗器 6 1 の抵抗値は、制御電圧に対して単調に減少する。すなわち、可変抵抗器 6 1 の抵抗値は、 $I / Q$  信号振幅  $A^2(t)$  が大きい時に低くなり、 $I / Q$  信号振幅  $A^2(t)$  が小さい時に高くなる。

20

【 0 1 5 5 】

位相差検出信号  $PHS$  は、低域通過フィルタ 6 0 に入力される。このとき、可変抵抗器 6 1 の抵抗値が前述のように  $I / Q$  信号振幅  $A^2(t)$  によって制御されることにより、低域通過フィルタ 6 0 の遮断周波数は  $I / Q$  信号振幅  $A^2(t)$  が大きい時に高くなり、 $I / Q$  信号振幅  $A^2(t)$  が小さい時に低くなる。従って、 $I / Q$  信号振幅  $A^2(t)$  が大きい時には位相差検出信号  $PHS$  の減衰量が減少し、 $I / Q$  信号振幅  $A^2(t)$  が小さい時には位相差検出信号  $PHS$  の減衰量が増加する。

30

【 0 1 5 6 】

このように振幅規格化器 5 2 の第 4 の例によれば、第 2 の例と同様に、 $I / Q$  信号振幅  $A^2(t)$  が大きい時のみ位相差検出信号  $PHS$  を出力することができ、これによって位相差検出信号  $PHS$  の振幅規格化を行うことが可能となる。

【 0 1 5 7 】

なお、図 2 8 に示した第 4 の例の振幅規格化器 5 2 を位相キャリブレーションループのループフィルタとして使用することもできる。

【 0 1 5 8 】

( 振幅規格化器 5 2 の第 5 の例 )

図 2 9 に、振幅規格化器 5 2 の第 5 の例を示す。図 2 9 では、低域通過フィルタ 6 0 に 2 つの可変抵抗器 6 1 A 及び 6 2 B が設けられる。可変抵抗器 6 1 A は、図 2 8 の可変抵抗器 6 1 と同様に例えば  $NMOSFET$  によって実現され、可変抵抗器 6 1 B は例えば  $PMOSFET$  によって実現される。ここでは、分かりやすくするため可変抵抗器 6 1 A 及び 6 1 B にそれぞれ  $NMOSFET$  及び  $PMOSFET$  を用いたが、これはあくまで一例であり、他の構成の可変抵抗器を用いてもよい。

40

【 0 1 5 9 】

可変抵抗器 6 1 A の抵抗値は、図 2 8 の可変抵抗器 6 1 と同様に、 $I / Q$  信号振幅  $A^2(t)$  が大きくなるに従って単調に減少する。すなわち、可変抵抗器 6 1 A の抵抗値は  $I / Q$  信号振幅  $A^2(t)$  が大きい時に低くなり、 $I / Q$  信号振幅  $A^2(t)$  が小さい時に高くなる。一方、可変抵抗器 6 1 B の抵抗値は、逆に  $I / Q$  信号振幅  $A^2(t)$  が大きくなるに従って単調

50

に増加する。すなわち、可変抵抗器 6 1 B の抵抗値は I / Q 信号振幅  $A^2(t)$  が大きい時に高くなり、I / Q 信号振幅  $A^2(t)$  が小さい時に低くなる。

【 0 1 6 0 】

このような可変抵抗器 6 1 A 及び 6 1 B が直列に接続された複合可変抵抗器では、I / Q 信号振幅  $A^2(t)$  が小さい時及び大きい時に抵抗値が高くなり、I / Q 信号振幅  $A^2(t)$  が中程度の時に、すなわち I / Q 信号振幅  $A^2(t)$  が基準値に近づくに従って抵抗値が低くなる。複合可変抵抗器が上記の動作をするため、図 2 9 の低域通過フィルタ 6 0 は I / Q 信号振幅  $A^2(t)$  が小さい時及び大きい時に遮断周波数が低くなり、I / Q 信号振幅  $A^2(t)$  が中程度の時に遮断周波数が高くなる。つまり、I / Q 信号振幅  $A^2(t)$  が小さい時及び大きい時には位相差検出信号 P H S の減衰量が増加し、I / Q 信号振幅  $A^2(t)$  が中程度の時には位相差検出信号 P H S の減衰量が減衰することによって、位相差検出信号 P H S の振幅規格化が行われ、規格化位相差信号 C P H S が生成される。

10

【 0 1 6 1 】

このように振幅規格化器 5 2 の第 5 の例によれば、第 3 の例と同様に等価的に位相差検出信号 P H S を規格化することができる。

【 0 1 6 2 】

なお、第 5 の例の振幅規格化器 5 2 を位相キャリブレーションループのループフィルタとして使用することもできる。

【 0 1 6 3 】

上述した各実施形態では、図 1 に示すように、直交変調器 1 6 と直交復調器 3 0 は、ローカル発振器 2 0 を共用しているが、必ずしも共用する必要はなく、2 つのローカル発振器 ( 図示せず ) を用いてもよい。

20

【 0 1 6 4 】

また、抵抗 R は、カーテシアンループが閉じた状態でアンテナ 2 5 から信号が放射されるのを防ぐために設けられている。従って、アンテナ 2 5 から信号が放射されてもよいなど、場合によってはアンテナスイッチ 2 6、抵抗 R を設けなくともよい。

【 0 1 6 5 】

なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

30

【 符号の説明 】

【 0 1 6 6 】

- 1 1 , 1 2 . . . 送信 R F 信号入力端子
- 1 3 , 1 4 . . . 合成器
- 1 5 . . . ベースバンド増幅器
- 1 6 . . . 直交変調器
- 2 0 . . . ローカル発振器
- 2 1 . . . 可変減衰器
- 2 2 . . . ドライバ増幅器
- 2 3 . . . 電力増幅器
- 2 4 . . . 電力カップラ ( 分岐器 )
- 2 5 . . . アンテナ
- 2 6 . . . アンテナスイッチ
- 2 7 . . . 可変減衰器 ( 振幅調整器 )
- 2 8 . . . 低雑音増幅器
- 2 9 . . . 可変移相器 ( 位相調整器 )
- 3 0 . . . 直交復調器
- 3 4 . . . 極性反転機能を有するスイッチ

40

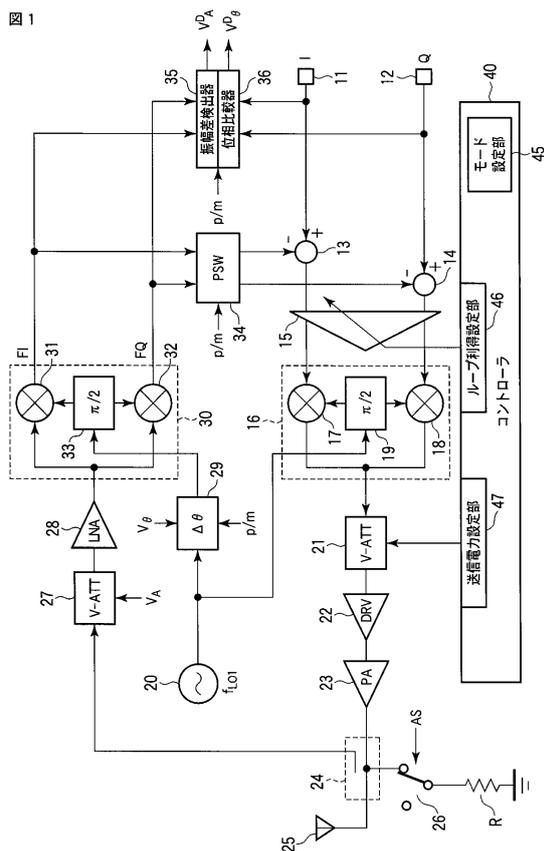
50

- 35・・・振幅差検出器
- 36・・・位相比較器
- 37・・・アイソレータ
- 40・・・コントローラ
- 41・・・制御信号生成器
- 42・・・デジタル-アナログ変換器
- 43・・・アナログ-デジタル変換器
- 44・・・メモリ
- 45・・・モード設定部
- 46・・・ループ利得設定部
- 47・・・送信電力設定部
- 51・・・位相差検出器
- 52・・・振幅規格化器
- 53・・・除算器
- 54・・・比較器
- 55・・・サンプルホールド回路
- 56・・・第1の比較器
- 57・・・第2の比較器
- 58・・・排他的論理和回路
- 60・・・低域通過フィルタ
- 61・・・可変抵抗器
- 61A・・・第1の可変抵抗器
- 61B・・・第2の可変抵抗器
- 62・・・キャパシタ

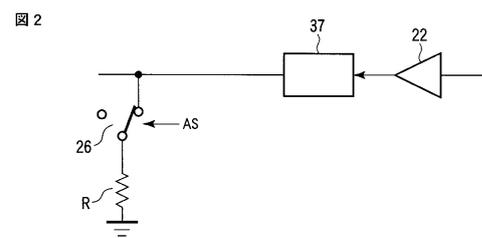
10

20

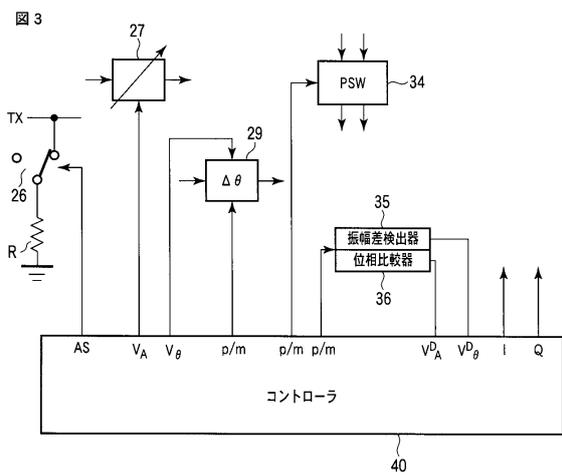
【図1】



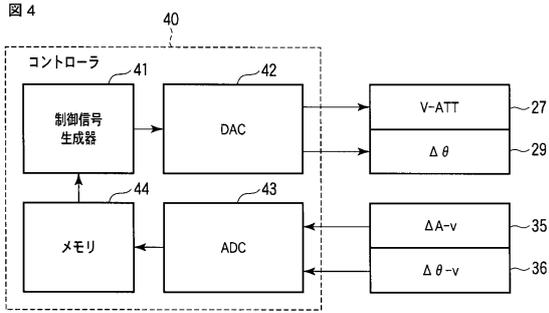
【図2】



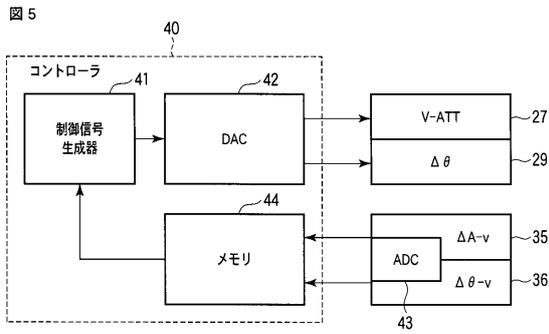
【図3】



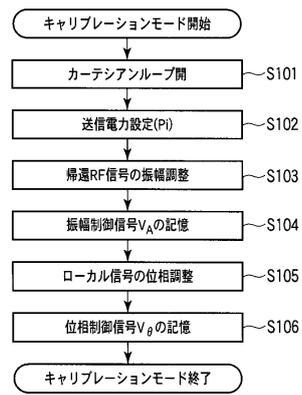
【図4】



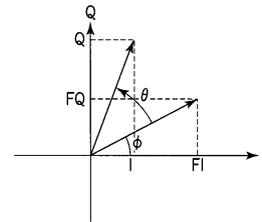
【図5】



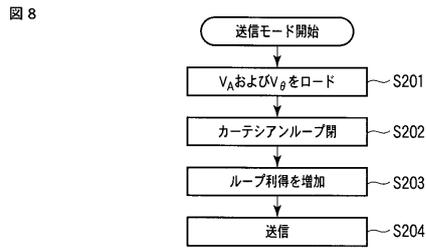
【図6】



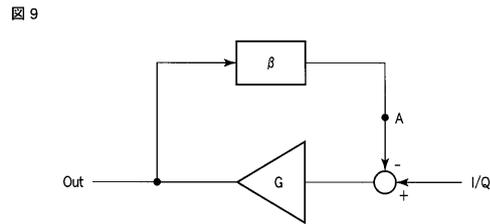
【図7】



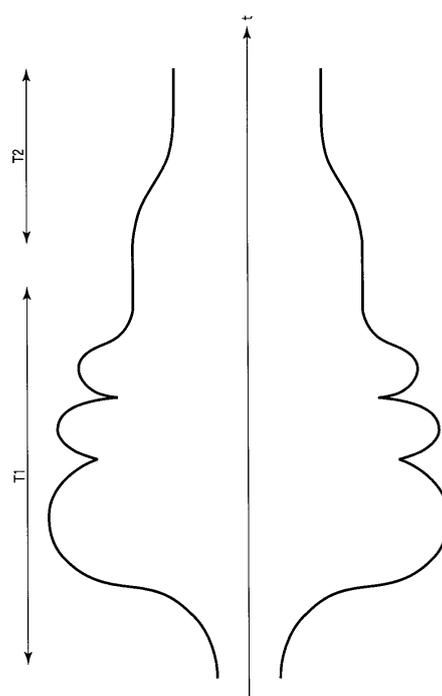
【図8】



【図9】



【図10】

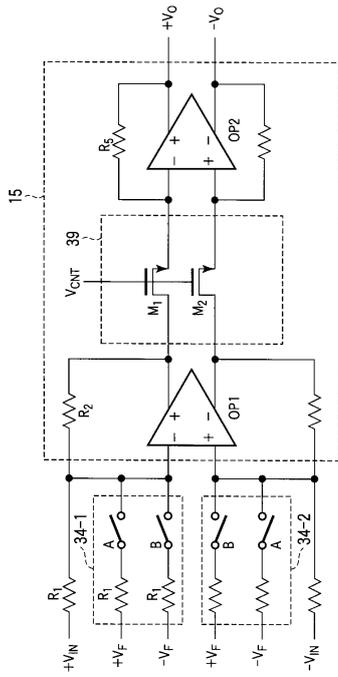






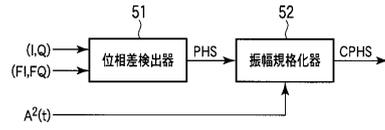
【 22 】

图 22



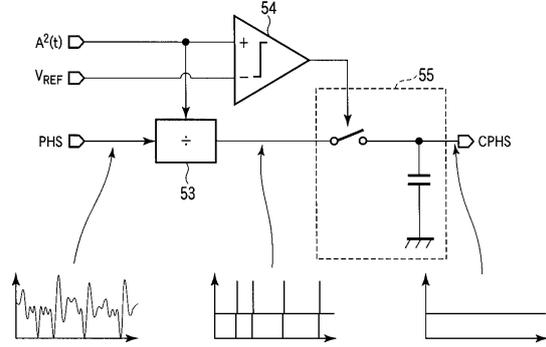
【 23 】

图 23



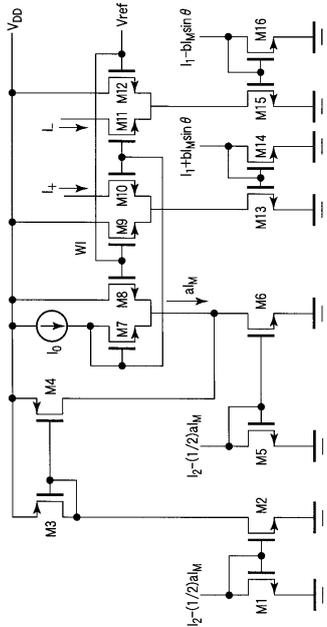
【 24 】

图 24



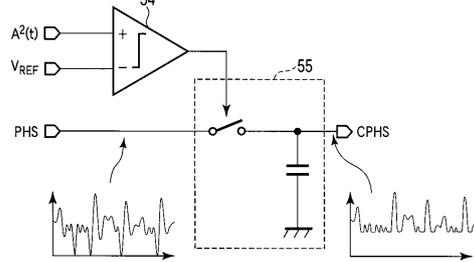
【 25 】

图 25



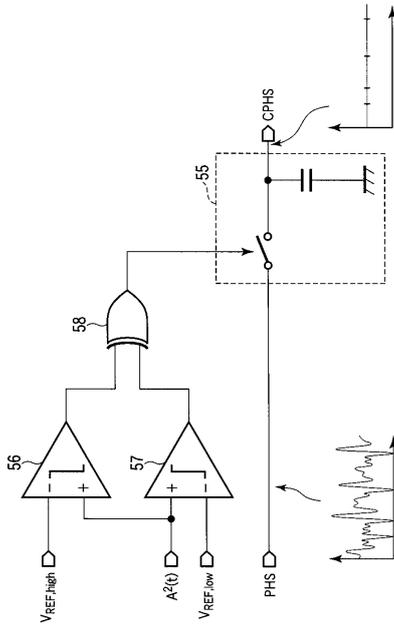
【 26 】

图 26



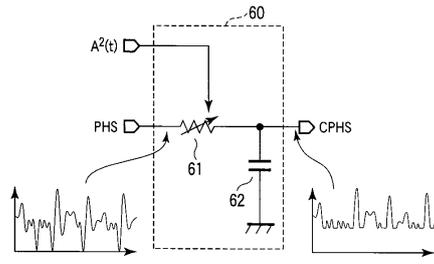
【 27 】

27



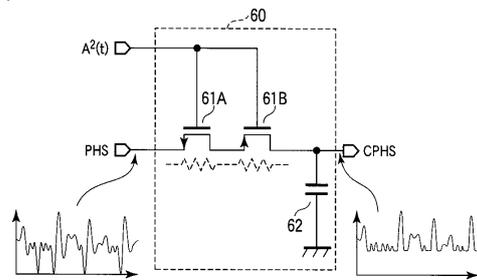
【 28 】

28



【 29 】

29



## フロントページの続き

- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100103034  
弁理士 野河 信久
- (74)代理人 100119976  
弁理士 幸長 保次郎
- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100100952  
弁理士 風間 鉄也
- (74)代理人 100101812  
弁理士 勝村 紘
- (74)代理人 100070437  
弁理士 河井 将次
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (74)代理人 100134290  
弁理士 竹内 将訓
- (74)代理人 100127144  
弁理士 市原 卓三
- (74)代理人 100141933  
弁理士 山下 元
- (72)発明者 細谷 昌宏  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 石原 寛明  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 鬼塚 浩平  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 大高 章二  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 渡辺 理  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 野元 久道

- (56)参考文献 特開2006-086928(JP,A)  
特開平10-136048(JP,A)  
特開2003-168931(JP,A)  
特開2001-057522(JP,A)  
特開2004-222259(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 4 B     1 / 0 4  
H 0 3 F     1 / 0 6