



(12) 发明专利

(10) 授权公告号 CN 101615584 B

(45) 授权公告日 2011. 06. 15

(21) 申请号 200810125050. 7

CN 1392025 A, 2003. 01. 22,

(22) 申请日 2008. 06. 25

US 2003013291 A1, 2003. 01. 16,

(73) 专利权人 南茂科技股份有限公司

US 2007139068 A1, 2007. 06. 21,

地址 中国台湾新竹科学工业园区新竹县研
发一路一号

CN 101202253 A, 2008. 06. 18,

专利权人 百慕达南茂科技股份有限公司

CN 1392025 A, 2003. 01. 22,

US 7196408 B2, 2007. 03. 27,

(72) 发明人 黄成棠

审查员 张弘

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 任永武

(51) Int. Cl.

H01L 21/50 (2006. 01)

H01L 21/60 (2006. 01)

H01L 23/48 (2006. 01)

H01L 23/31 (2006. 01)

H01L 25/00 (2006. 01)

(56) 对比文件

US 7196408 B2, 2007. 03. 27,

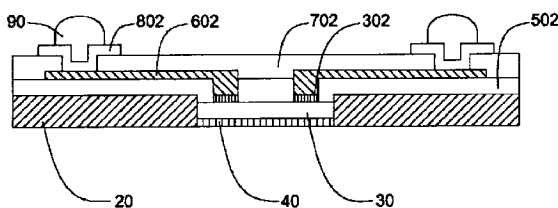
权利要求书 2 页 说明书 8 页 附图 11 页

(54) 发明名称

芯片重新配置的封装方法

(57) 摘要

本发明是一种芯片重新配置的封装结构, 包含: 一芯片; 封装体, 环覆于芯片的四个面以曝露出芯片的主动面及背面; 图案化的保护层, 形成在封装体的表面上且覆盖芯片的主动面, 并曝露出芯片的多个焊垫; 扇出的图案化的金属线段, 一端与芯片的焊垫形成电性连接, 另一端向外侧延伸并覆盖图案化的第一保护层; 图案化的第二保护层, 覆盖图案化的金属线段, 且曝露出图案化的金属线段的部份表面; 图案化的 UBM 层, 形成在已曝露的图案化的金属线段的部份表面上; 及导电组件, 形成在图案化的 UBM 层上, 通过图案化的 UBM 层与图案化的金属线段形成电性连接。



1. 一种芯片封装方法,包含:

提供一载板,具有一上表面及一下表面;

形成一封装体在该载板的该上表面,是将具有至少一开口的该封装体形成在该载板的该上表面之上,使得该开口曝露出该载板的部份上表面;

贴附一芯片在已曝露的该载板的部份上表面,是将该芯片的一主动面朝上,且该主动面上具有多个焊垫及该芯片的一背面通过一黏着层贴附在曝露的该载板的部份上表面,使得封装体环覆于芯片的四个面;

形成一图案化的第一保护层在该封装体上且覆盖在该芯片的该主动面上,并曝露出该芯片的该主动面上的这些焊垫;

形成多个扇出的图案化的金属线段,这些扇出的图案化的金属线段的一端与该芯片的该主动面上的这些焊垫形成电性连接及部份这些扇出的图案化的金属线段形成在部份该图案化的第一保护层上;

形成一图案化的第二保护层,以覆盖每一该扇出的图案化的金属线段,并曝露出每一该扇出的图案化的金属线段的另一端的一表面;

形成多个图案化的 UBM 层在每一该图案化的金属线段的向外侧延伸的扇出结构的该表面上,且与这些图案化的金属线段形成电性连接;

形成多个导电组件,是将这些导电组件通过这些图案化的 UBM 层与这些图案化的金属线段形成电性连接;及

移除该载板,以形成一芯片封装结构。

2. 一种多芯片的封装方法,包含:

提供一载板,具有一上表面及一下表面;

形成一封装体在该载板的该上表面之上,是将具有多个开口的该封装体形成在该载板的该上表面,使得每一该开口是曝露出该载板的部份上表面;

贴附多个芯片在已曝露的该载板的部份上表面,是将每一该芯片的一主动面朝上,且该主动面上具有多个焊垫及每一该芯片的一背面通过一黏着层贴附在已曝露的该载板的部份上表面之上,使得封装体环覆于每一该芯片的四个面;

形成一图案化的第一保护层在该封装体上且覆盖在每一该芯片的该主动面上,并曝露出每一该芯片的该主动面的这些焊垫;

形成多个扇出的图案化的金属线段,这些扇出的图案化的金属线段的一端与每一该芯片的该主动面上的这些焊垫形成电性连接及部份这些扇出的图案化的金属线段形成在部份该图案化的第一保护层上;

形成一图案化的第二保护层,以覆盖每一该扇出的图案化的金属线段,并曝露出每一该扇出的图案化的金属线段的另一端的一表面;

形成多个图案化的 UBM 层在每一该图案化的金属线段的向外侧延伸的扇出结构的该表面上,且与这些图案化的金属线段形成电性连接;

形成多个导电组件,是将这些导电组件通过这些图案化的 UBM 层与这些图案化的金属线段形成电性连接;及

移除该载板,以形成一多芯片封装结构。

3. 根据权利要求 2 所述的封装方法,其特征在于这些芯片是相同功能及尺寸大小的芯

片。

4. 根据权利要求 2 所述的封装方法,其特征在于这些芯片是不同功能及尺寸大小的芯片。

5. 根据权利要求 2 所述的封装方法,其特征在于形成这些扇出的图案化的金属线段包括:

形成一晶种层在该图案化的第一保护层的部份表面及在该芯片的该主动面的多个焊垫上;

电镀一金属层在该晶种层上,并电性连接该芯片的该主动面的这些焊垫;

形成一图案化的光刻胶层在该金属层上;及

蚀刻部份该金属层,移除部份该图案化的第一保护层上的金属层,以形成这些扇出的图案化的金属线段,其中这些图案化的金属线段的一端电性连接至每一该芯片的该主动面的这些焊垫,且这些图案化的金属线段的另一端是一向外延伸的扇出结构且覆盖于该图案化的第一保护层上。

芯片重新配置的封装方法

技术领域

[0001] 本发明有关一种半导体的封装结构及方法,特别是有关一种将芯片或多个芯片重新配置至具有封装体的载板后,再经使用重新配置层(RDL)来形成模块化的封装结构及其封装方法。

[0002] 背景技术

[0003] 半导体的技术已经发展的相当的迅速,因此微型化的半导体芯片(Dice)必须具有多样化的功能的需求,使得半导体芯片必须要在很小的区域中配置更多的输入/输出垫(I/O pads),因而使得金属接脚(pins)的密度也快速的提高了。因此,早期的导线架封装技术已经不适合高密度的金属接脚;故发展出一种球阵列(Ball Grid Array;BGA)的封装技术,球阵列封装除了有比导线架封装更高密度的优点外,其锡球也比较不容易损害与变形。

[0004] 随着3C产品的流行,例如:移动电话(Cell Phone)、个人数字助理(PDA)或是iPod等,都必须要将许多复杂的系统芯片放入一个非常小的空间中,因此为解决此一问题,一种称为“晶片级封装(wafer level package;WLP)”的封装技术已经发展出来,其可以在切割晶片成为一个个的芯片之前,就先对晶片进行封装。美国第5,323,051号专利即揭露了这种“晶片级封装”技术。然而,这种“晶片级封装”技术随着芯片主动面上的焊垫(pads)数目的增加,使得焊垫(pads)的间距过小,除了会导致信号耦合或信号干扰的问题外,也会因为焊垫间距过小而造成封装的可靠度降低等问题。因此,当芯片再更进一步的缩小后,使得前述的封装技术都无法满足。

[0005] 为解决此一问题,美国第7,196,408号专利已揭露了一种将完成半导体制作工序的晶片,经过测试及切割后,将测试结果为良好的芯片(good die)重新放置于另一个基板之上,然后再进行封装工序,如此,使得这些被重新放置的芯片间具有较宽的间距,故可以将芯片上的焊垫适当的分配,例如使用横向延伸(或扇出)(fan out)技术,因此可以有效解决因间距过小,除了会导致信号耦合或信号干扰的问题。

[0006] 然而,为使半导体芯片能够有较小及较薄的封装结构,在进行晶片切割前,会先对晶片进行薄化处理,例如以背磨(backside lapping)方式将晶片薄化至2~20密耳(mil),然后再切割成一个个的芯片。此一经过薄化处理的芯片,经过重新配置在另一基板上,再以注模方式将多个芯片形成一封装体;由于芯片很薄,使得封装体也是非常的薄,故当封装体脱离基板之后,封装体本身的应力会使得封装体产生翘曲,增加后续进行切割工序的困难。

[0007] 另外,在晶片切割之后,要将芯片重新配置在另一个尺寸较原来基板的尺寸还大基板时,由于需要通过取放装置(pick&place)将芯片吸起,然后将芯片翻转后,以覆晶方式将芯片的主动面贴附于基板上,而在取放装置将芯片翻转的过程中,容易产生倾斜(tilt)而造成位移,例如:倾斜超过5微米,故会使得芯片无法对准,进而使得后续植球工序中也无法对准,而造成封装结构的可靠度降低。

发明内容

[0008] 鉴于以上的问题,本发明的主要目的在于提供一种利用封装体形成在载板上,通过封装体使得芯片可以重新配置在另一载板,借此可以让每一个芯片准确的配置在载板上。

[0009] 本发明的另一主要目的在提供一种芯片重新配置的封装方法,其可以将 12 吋晶片所切割出来的芯片重新配置于 8 吋晶片的基板上,如此可以有效运用 8 吋晶片的即有的封装设备,而无需重新设立 12 吋晶片的封装设备,可以降低 12 吋晶片的封装成本。

[0010] 本发明的还有一主要目的在提供一种芯片重新配置的封装方法,使得进行封装的芯片都是“已知是功能正常的芯片”(Known good die),可以节省封装材料,故也可以降低工艺成本。

[0011] 根据上述的目的,本发明提供一种芯片封装方法,包含:提供一载板,具有一上表面及一下表面;形成一封装体在载板的上表面上,是将具有至少一开口的封装体形成在载板的上表面之上,使得开口曝露出载板的部份上表面;贴附一芯片在已曝露的载板的部份上表面,是将芯片的一主动面朝上,且主动面上具有多个焊垫及芯片的一背面通过一黏着层贴附在载板的部份上表面;形成图案化的第一保护层在封装体上,且覆盖在芯片的主动面上,并曝露出芯片的主动面上的多个焊垫;形成多个扇出的图案化的金属线段,其一端与芯片的主动面上的多个焊垫形成电性连接,及部份多个扇出的图案化的金属线段形成在部份图案化的第一保护层上;形成图案化的第二保护层,以覆盖芯片的主动面及每一个扇出的图案化的金属线段,并曝露出每一个扇出的图案化的金属线段的另一端的一表面;形成多个图案化的 UBM 层在每一个图案化的金属线段的向外侧延伸的扇出结构的表面上,且与多个图案化的金属线段形成电性连接;形成多个导电组件,是通过多个图案化的 UBM 层与多个图案化的金属线段形成电性连接;及移除载板,以形成一芯片封装结构。

[0012] 本发明还提供一种多芯片的封装方法,包含:提供一载板,具有一上表面及一下表面;形成一封装体在载板的上表面之上,是将具有多个开口的封装体形成在载板的上表面,使得每一个开口曝露出载板的部份上表面;贴附多个芯片在已曝露的载板的部份上表面,是将每一个芯片的主动面朝上,且主动面上具有多个焊垫及每一个芯片的背面通过一黏着层贴附在已曝露的载板的部份上表面之上;形成一图案化的第一保护层在封装体上,且覆盖在每一个芯片的主动面上,并曝露出每一个芯片的主动面的多个焊垫;形成多个扇出的图案化的金属线段,其一端与每一个芯片的主动面上的多个焊垫形成电性连接,以及部份多个扇出的图案化的金属线段形成在部份图案化的第一保护层上;形成图案化的第二保护层,以覆盖每一个芯片的主动面及每一个扇出的图案化的金属线段,并曝露出每一个扇出的图案化的金属线段的另一端的一表面;形成多个图案化的 UBM 层在每一个图案化的金属线段的向外侧延伸的扇出结构的表面上,且与多个图案化的金属线段形成电性连接;形成多个导电组件,是通过多个图案化的 UBM 层与多个图案化的金属线段形成电性连接;及移除载板,形成一多芯片封装结构。

[0013] 根据上述的封装方法,本发明还提供一种芯片重新配置的封装结构,包含:一芯片,其一主动面上配置有多个焊垫及一背面具有一黏着层;一封装体,其环覆于芯片的四个面以曝露出芯片的主动面及背面;一图案化的第一保护层,其形成在封装体的一表面上且覆盖在芯片的主动面上,并曝露出芯片的多个焊垫;多个扇出的图案化的金属线段,其一端与芯片的主动面上的多个焊垫形成电性连接,其另一端则以扇出方式向外侧延伸并覆盖多

个图案化的第一保护层；一图案化的第二保护层，其覆盖于多个扇出的图案化的金属线段上，且曝露出多个扇出的图案化的金属线段的向芯片的主动面外侧延伸的一扇出结构的部份表面；多个图案化的 UBM 层，其形成在已曝露的多个扇出的图案化的金属线段的向芯片的主动面外侧延伸的扇出结构的部份表面上；及多个导电组件，形成在多个图案化的 UBM 层上，且通过多个图案化的 UBM 层与多个扇出的图案化的金属线段形成电性连接。

[0014] 本发明另外提供一种多芯片重新配置的封装结构，包含：多个芯片，其每一个芯片的主动面上配置有多个焊垫且每一个芯片的背面具有一黏着层；一封装体，其环覆于多个芯片的四个面以曝露出每一个芯片的主动面及背面；多个图案化的第一保护层，其形成在封装体的表面上且覆盖在多个芯片的主动面上，并曝露出每一个芯片的主动面上的多个焊垫；多个图案化的金属线段，其一端与多个芯片的主动面上的多个焊垫形成电性连接，其另一端则以扇出方式延伸并覆盖于多个图案化的第一保护层之上；多个图案化的第二保护层，其覆盖于多个扇出的图案化的金属线段，且曝露出多个扇出的图案化的金属线段的向每一个芯片的主动面外侧延伸的扇出结构的部份表面；多个图案化的 UBM 层，其形成在已曝露的多个扇出的图案化的金属线段的向每一个芯片的主动面外侧延伸的扇出结构的部份表面上；及多个导电组件，形成在多个图案化的 UBM 层上，且通过多个图案化的 UBM 层与多个扇出的图案化的金属线段形成电性连接。

附图说明

[0015] 为能更清楚理解本发明的目的、特点和优点，以下将配合附图对本发明的较佳实施例进行详细的说明，其中：

[0016] 图 1 是根据本发明所揭露的技术，表示在载板上形成封装体的截面示意图；

[0017] 图 2 是根据本发明所揭露的技术，表示将多个芯片置放在具有封装体的载板上的截面示意图；

[0018] 图 3 至图 4 是根据本发明所揭露的技术，表示形成多个图案化的第一保护层形成在封装体上的步骤的截面示意图；

[0019] 图 5 是根据本发明所揭露的技术，表示形成金属层在第一保护层及多个焊垫上的截面示意图；

[0020] 图 6 是根据本发明所揭露的技术，表示多个图案化的金属线段形成在封装体及多个芯片的焊垫上的截面示意图；

[0021] 图 7 是根据本发明所揭露的技术，表示第二保护层形成在多个图案化的金属线段上的截面示意图；

[0022] 图 8 是根据本发明所揭露的技术，表示多个图案化的第二保护层形成在多个图案化的金属线段上的截面示意图；

[0023] 图 9 是根据本发明所揭露的技术，表示在已曝露的每一个扇出的图案化的金属线段的另一端的表面上形成多个图案化的 UBM 层的截面示意图；

[0024] 图 10 是根据本发明所揭露的技术，表示多个导电组件形成在多个图案化的 UBM 层上的截面示意图；

[0025] 图 11 是根据本发明所揭露的技术，表示完成封装的单一芯片封装结构的截面示意图；

[0026] 图 12 是根据本发明所揭露的技术,表示由多个不同功能及尺寸的芯片所构成的系统级封装(System-In-Package ;SIP) 的俯视图;

[0027] 图 13 是根据本发明所揭露的技术,表示将不同尺寸及功能的芯片置放在具有封装体的载板上的截面示意图;

[0028] 图 14 是根据本发明所揭露的技术,表示第一保护层形成在封装体上的截面示意图;

[0029] 图 15 是根据本发明所揭露的技术,表示多个图案化的第一保护层形成在封装体上的截面示意图;

[0030] 图 16 是根据本发明所揭露的技术,表示金属层形成在多个图案化的第一保护层上的截面示意图;

[0031] 图 17 是根据本发明所揭露的技术,表示多个图案化的金属线段形成在多个图案化的第一保护层上的截面示意图;

[0032] 图 18 是根据本发明所揭露的技术,表示第二保护层形成在多个图案化的金属线段上的截面示意图;

[0033] 图 19 是根据本发明所揭露的技术,表示多个图案化的第二保护层形成在多个图案化的金属线段上的截面示意图;

[0034] 图 20 是根据本发明所揭露的技术,表示在已曝露的每一个扇出的图案化的金属线段的另一端的表面上形成多个图案化的 UBM 层的截面示意图;及

[0035] 图 21 是根据本发明所揭露的技术,表示多个导电组件形成在多个图案化的 UBM 层上,完成封装的多芯片封装结构的截面示意图。

具体实施方式

[0036] 本发明在此所探讨的方向为一种芯片重新配置的封装方法,将多个芯片重新配置于具有封装体的载板上,然后进行封装的方法。为了能彻底地了解本发明,将在下列的描述中提出详尽的步骤及其组成。显然地,本发明的施行并未限定芯片堆栈的方式的普通技术人员所熟悉的特殊细节。另一方面,众所周知的芯片形成方式以及芯片薄化等后段工序的详细步骤并未描述于细节中,以避免造成本发明不必要的限制。然而,对于本发明的较佳实施例,则会详细描述如下,然而除了这些详细描述之外,本发明还可以广泛地施行在其它的实施例中,且本发明的范围不受限定,其以之后的专利范围为准。

[0037] 在现代的半导体封装工艺中,均是将一个已经完成前道工序(Front EndProcess)的晶片(wafer)先进行薄化处理(Thinning Process),例如将晶片的厚度研磨至 2~20 密耳(mil)之间;然后,进行晶片的切割(sawing process)以形成一个个的芯片;然后,使用取放装置(pick and place)将一个个的芯片逐一放置于另一个载板上。很明显地,载板上的芯片间隔区域比芯片大,因此,可以使得这些被重新放置的芯片间具有较宽的间距,故可以将芯片上的焊垫适当的分配。

[0038] 首先,是提供一晶片(未在图中表示)且在晶片上配置有多个芯片(未在图中表示),在此,每一个芯片上具有多个焊垫(未在图中表示)。接着,参考图 1,是表示在载板上具有封装体的截面示意图。在图 1 中,是将一封装体 20 形成在载板 10 上,且在封装体 20 内具有多个开口 202 以曝露载板 10 的部份表面。在本实施中,在载板 10 上形成封装体 20

的步骤包括：先涂布一高分子材料（未在图中表示）在载板 10 的正面上，并且使用一个具有多个凸出肋（未在图中表示）的模具装置（未在图中表示）将高分子材料压合。

[0039] 此外，在本发明的实施例中，也可以选择使用注模方式 (molding process) 将高分子材料形成在载板 10 上。同样地，将具有多个凸出肋的模具装置压合在具有高分子材料的载板 10 上，接着，再将高分子材料，例如环氧树脂模封材料 (EpoxyMolding Compound；EMC)，注入具有多个凸出肋的模具装置与载板 10 的空间中，使得高分子材料形成于载板 10 上。

[0040] 接着，在完成高分子材料的程序后，可以选择性地对高分子材料进行一烘烤程序，以使高分子材料固化。再接着，进行脱模程序，将具有多个凸出肋的模具装置与固化后的高分子材料分离，使得在载板 10 的表面上具有由多个凸出肋所形成的多个开口的封装体 20，通过这些开口，可以做为在后续工序中用以置放芯片（未在图中表示）的芯片置放区。

[0041] 接着，使用切割刀（未在图中表示）在封装体 20 的表面上形成多条切割道 210，同样如图 2 所示。在此实施例中，每一切割道 210 的深度为 0.5 ~ 1 密耳 (mil)，而切割道 210 的宽度则为 5 至 25 微米。在一较佳实施例中，此切割道 210 可以是相互垂直交错，并且可以作为实际切割芯片时的参考线。

[0042] 接着，同样参考图 2，首先，是将先前的晶片（未在图中表示）切割成多个芯片 30，然后将每一个芯片 30 的主动面朝上；接着，使用取放装置（未在图中表示）由主动面将每一个芯片 30 吸起并且将每一个芯片 30 的背面置放在已曝露的载板 10 的表面上，使得封装体 20 环覆于每一个芯片 30 的四个面；由于，每一个芯片 30 的主动面上均配置有多个焊垫 302，因此，取放装置可以直接识别出每一个芯片 30 其主动面上的每一个焊垫 302 的位置；当取放装置要将芯片 30 放置于载板 10 上时，可以再通过载板 10 上的位置，将每一个芯片 30 精确地放置于载板 10 的已曝露的表面上。因此，当多个芯片 30 重新配置在载板 10 上时，就可以将芯片 30 准确地放置于载板 10 上所曝露的表面上；另外，通过封装体 20 上由多个开口 202 曝露的载板 10 表面上所构成的芯片配置区来重新置放多个芯片 30，可以通过在芯片配置区的相对位置来提高芯片 30 重新配置于载板 10 时的准确性。

[0043] 此外，在本实施例中，在每一个芯片 30 的背面上还包含一层黏着层 40，其目的是当每一个芯片 30 置放在已曝露的载板 10 的表面上时，可以使每一个芯片 30 的背面通过黏着层 40 固接在已曝露的载板 10 的表面上，此黏着层 40 的材料为具有弹性的黏着材料，例如：硅橡胶 (silicone rubber)、硅树脂 (silicone resin)、弹性 PU、多孔 PU、丙烯酸橡胶 (acrylic rubber)、芯片切割胶、热释放材料 (thermalrelease material) 或是胶带 (tape)。

[0044] 接着，图 3 及图 4 是表示形成多个图案化的第一保护层形成在封装体上的步骤的截面示意图。首先，在图 3 中，是先将第一保护层（未在图中表示）覆盖在封装体 20 以及每一个芯片 30 上；接着，再利用半导体工艺，形成一图案化的光阻层（未在图中表示）在第一保护层上；接下来，进行蚀刻步骤，移除部份的第一保护层以形成图案化的第一保护层 502 在封装体 20 上，并且曝露出每一个芯片 30 的主动面上的多个焊垫 302 及多个开口 202 以曝露出载板 10 的部份表面，如图 4 所示。在此实施例中，第一保护层的材料可以是锡膏 (paste)、二阶段热固性胶材 (B-stage) 或是聚酰亚胺 (polyimide)。

[0045] 紧接着，在确定每一个芯片 30 的多个焊垫 302 的位置之后，即可使用传统的重布

线工序 (Redistribution Layer ;RDL) 于每一个芯片 30 所曝露的多个焊垫 302 上,形成多个扇出的图案化的金属线段 602,其中每一个图案化的金属线段 602 的一端与每一个芯片 30 的主动面上的多个焊垫 302 形成电性连接,及部份多个图案化的金属线段 602 的另一端是以扇出方式形成在图案化的第一保护层 502 上。在此,多个扇出的图案化的金属线段 602 的形成步骤包括:先形成一晶种层 (seedlayer) (未在图中表示) 在图案化的第一保护层 60 的部份表面以及在每一个芯片 30 的主动面的多个焊垫 302 上;接着,利用电镀 (electroplate) 的方式,将一金属层 60 形成在晶种层上,且电性连接每一个芯片 30 的主动面上的多个焊垫 302,如图 5 所示;接着,执行半导体工艺,将另一图案化的光阻层 (未在图中表示) 形成在金属层 60 上;然后,执行一蚀刻步骤,蚀刻部份金属层 60,以移除部份图案化的第一保护层上的金属层 60,以形成多个扇出的图案化的金属线段 602;其中部份扇出的图案化的金属线段 602 的一端电性连接每一个芯片 30 的主动面上的多个焊垫 302,且部份多个图案化的金属线段 602 的另一端是一向外延伸的扇出结构且覆盖在图案化的第一保护层 502 上,如图 6 所示。

[0046] 接着,图 7 及图 8 表示多个图案化的第二保护层形成在多个扇出的图案化的金属线段上的各步骤的截面示意图。首先,在图 7 中,利用半导体工艺,先形成第二保护层 70 以覆盖在多个扇出的图案化的金属线段 602 上;接着,形成另一图案化的光阻层 (未在图中表示) 在第二保护层 70 上,然后,执行蚀刻步骤,移除部份第二保护层 70 以形成多个图案化的第二保护层 702,并且在对应于每一个图案化的金属线段 602 的向每一个芯片 30 的主动面外侧延伸的表面上形成多个开口 704 以曝露出每一个扇出的图案化的金属线段 602 的表面,如图 8 所示。在此实施例中,第二保护层的材料可以是锡膏 (paste)、二阶段热固性胶材 (B-stage) 或是 polyimide。

[0047] 接着,参考图 9,表示在已曝露的每一个扇出的图案化的金属线段的另一端的表面上形成多个图案化的 UBM 层的截面示意图。如图 9 所示,是在曝露出的每一个扇出的图案化的金属线段 602 的另一端的表面上,以溅镀 (sputtering) 的方式形成一 UBM 层 (未在图中表示);接着,利用半导体工艺,在 UBM 层上形成一图案化的光阻层 (未在图中表示),然后,利用蚀刻步骤,移除部份 UBM 层,使得多条图案化的 UBM 层 802 形成在曝露出的每一个扇出的图案化的金属线段 602 的向芯片的外侧延伸的表面上,且与多个图案化的金属线段 602 电性连接;在本实施例中,UBM 层 802 的材料可以是 Ti/Ni 或是 Ti/W。

[0048] 最后,再于每一个图案化的 UBM 层 802 上形成多个导电组件 90,使得多个导电组件 90 可以通过多个图案化的 UBM 层与多个图案化的金属线段形成电性连接,如图 10 所示。在此,导电组件 90 可以是金属凸块 (metal bump) 或是锡球 (solderball)。接着,移除载板 10 之后,即可对封装体进行最后的切割。在本实施例中,以单一芯片做为切割单位,以形成一个完成封装工序的芯片封装结构,如图 11 所示。

[0049] 接着,图 12 是表示由多个不同功能及尺寸的芯片所构成的系统级封装 (System-In-Package ;SIP) 的俯视图。在此,这些芯片是不同尺寸及功能的芯片,其至少包含微处理装置 (microprocessor means) 30A、存储器装置 (memorymeans) 30B 或是存储器控制装置 (memory controller means) 30C;其中每一个芯片 30A、30B、30C 的主动面上具有多个焊垫 302A、302B、302C,且在每一个芯片 30A、30B、30C 的焊垫 302A、302B、302C 上形成多条金属线段 602,以串联或是并联的方式电性连接相邻的芯片 30A、30B、30C 并与导电组件 90

电性连接。

[0050] 图 13 至图 21 是表示形成系统级封装结构的各步骤流程图。图 13 是表示将不同尺寸及功能的芯片置放在具有封装体的载板上的示意图。如图 13 所示, 同样地, 是先在载板 10 上形成具有开口的封装体 20, 在此每一开口的大小是对应于后续工序中欲置放在载板 10 上的不同功能的芯片 30A、30B、30C 的尺寸。接着, 与先前陈述相同, 是分别将具有不同功能的晶片进行切割, 以形成多个具有不同尺寸及功能的芯片 30A、30B、30C, 然后将每一个不同功能的芯片 30A、30B、30C 的主动面朝上; 接着, 使用取放装置 (未在图中显示) 由主动面分别将每一个不同功能及尺寸的芯片 30A、30B、30C 吸起, 并且将每一个不同功能的芯片 30A、30B、30C 的背面置放在已曝露出的载板 10 的部份正面上; 由于, 每一个不同功能的芯片 30A、30B、30C 的主动面上均配置有多个焊垫 302A、302B、302C, 因此, 取放装置可以直接识别出每一个不同功能的芯片 30A、30B、30C 其主动面上的每一个焊垫 302A、302B、302C 的位置; 当取放装置要将每一个不同功能的芯片 30A、30B、30C 放置于载板 10 上时, 可以再通过载板 10 上的位置, 将每一个不同功能的芯片 30A、30B、30C 精确地放置于载板 10 的已曝露的表面上。因此, 当多个具有不同功能的芯片 30A、30B、30C 重新配置在载板 10 上时, 就可以将每一个不同功能的芯片 30A、30B、30C 准确地置放在载板 10 上。另外, 可以通过封装体 20 内的多个开口所曝露的载板 10 的表面, 来重新置放多个不同功能的芯片 30A、30B、30C, 以提高芯片重新配置时的准确性。

[0051] 此外, 在本实施例中, 在每一个不同功能的芯片 30A、30B、30C 的一背面上还包含一黏着层 40, 其目的是当每一个不同功能的芯片 30A、30B、30C 置放至已曝露的载板 10 的表面上时, 可以使每一个不同功能的芯片 30A、30B、30C 的背面固接于已曝露的载板 10 的表面上。在此实施例中, 黏着层 40 的材料为具有弹性的黏着材料, 其可以是硅橡胶 (silicone rubber)、硅树脂 (silicone resin)、弹性 PU、多孔 PU、丙烯酸橡胶 (acrylic rubber)、芯片切割胶、热释放材料 (thermal release material) 或胶带 (tape)。

[0052] 接着, 图 14 及图 15 是表示形成多个图案化的第一保护层的截面示意图。其形成方法包括: 先将第一保护层 50 形成在封装体 20 以及每一个不同功能的芯片 30A、30B、30C 的主动面上, 如图 14 所示; 接着, 再利用半导体工艺, 形成一图案化的光阻层 (未在图中表示) 在第一保护层 50 上; 接下来, 蚀刻以移除部份第一保护层 50 以形成多个图案化的第一保护层 502 在封装体 20 上, 并且曝露出每一个不同功能的芯片 30A、30B、30C 的主动面上的多个焊垫 302A、302B、302C, 如图 15 所示。在此, 第一保护层 50 的材料可以是锡膏 (paste)、二阶段热固式胶材 (B-stage) 或是聚酰亚胺 (polyimide)。

[0053] 紧接着, 在确定每一个不同功能的芯片 30A、30B、30C 的多个焊垫 302A、302B、302C 的位置之后, 即可使用传统的重布线工序 (Redistribution Layer; RDL) 于每一个不同功能的芯片 30A、30B、30C 所曝露的多个焊垫 302A、302B、302C 上, 形成多个扇出的图案化的金属线段 602, 其中每一个图案化的金属线段 602 的一端与每一个不同功能的芯片 30A、30B、30C 的主动面上的多个焊垫 302A、302B、302C 电性连接, 以及部份多个图案化的金属线段 602 的另一端是以扇出方式形成在多个图案化的第一保护层 502 上。在此, 多个图案化的金属线段 602 的形成步骤包括: 一晶种层 (未在图中表示) 形成在多个图案化的第一保护层 502 的部份表面上以及形成在每一个不同功能的芯片 30A、30B、30C 的主动面的多个焊垫 302A、302B、302C; 电镀一金属层 60 在晶种层上; 接下来, 形成另一图案化的光阻层 (未在

图中表示) 在金属层 60 上;蚀刻以移除部份图案化的第一保护层 502 上的金属层 60,以形成多个扇出的图案化的金属线段 602,其中部份扇出的图案化的金属线段 602 的一端与每一个不同功能的芯片 30A、30B、30C 的主动面的多个焊垫 302A、302B、302C 形成电性连接,且部份多个图案化的金属线段 602 的另一端为一向外延伸的扇出结构且覆盖在多个图案化的第一保护层 502 上,如图 17 所示。

[0054] 接着,参考图 18 及图 19 是表示形成多个图案化的第二保护层在多个扇出的图案化的金属线段上的截面示意图。其形成方法包括:是利用半导体工序,将第二保护层 70 以覆盖部份图案化的金属线段 602 及部份图案化的第一保护层 502,如图 18 所示。接着,在第二保护层 70 上形成一图案化的光阻层(未在图中表示);然后,执行一蚀刻步骤,以移除部份第二保护层 70,以形成多个图案化的第二保护层 702,并且在对应于每一个图案化的金属线段 602 的向每一个不同功能的芯片 30A、30B、30C 的主动面外侧延伸的表面上形成多个开口 704 以曝露出每一个扇出的图案化的金属线段 602 的另一端的一表面,如图 19 所示。在此,第二保护层的材料可以是锡膏(paste)、二阶段热固性胶材(B-stage)或是聚酰亚胺(polyimide)。

[0055] 接着,图 20,是表示在曝露出的每一个扇出的图案化的金属线段的另一端的表面上形成多个图案化的 UBM 层的截面示意图。如图 20 所示,是在曝露出的每一个扇出的图案化的金属线段 602 的另一端的表面上,以溅镀(sputtering)的方式形成一 UBM 层(未在图中表示);接着,利用半导体工艺,在 UBM 层上形成一图案化的光阻层(未在图中表示),然后,利用蚀刻以移除部份 UBM 层,以形成多条图案化的 UBM 层 802 在曝露出的每一个扇出的图案化的金属线段 602 的表面上,且与多个图案化的金属线段 602 电性连接;在本实施例中,UBM 层 802 的材料可以是 Ti/Ni 或是 Ti/W。

[0056] 最后,再于每一个图案化的 UBM 层 802 上形成多个导电组件 90,以便作为每一个不同功能的芯片 30A、30B、30C 对外电性连接的接点;其中,此导电组件 90 可以是金属凸块(metal bump)或是锡球(solder ball);且可通过多个图案化的 UBM 层 802 与多个图案化的金属线段 602 形成电性连接,然后再将载板 10 移除,即可以完成多芯片的封装结构,如图 21 所示。

[0057] 虽然本发明以前述的较佳实施例揭露如上,然而其并非用以限定本发明,任何熟悉本技术的普通技术人员,在不脱离本发明的精神和范围内,当可作出种种等同的改变或替换,因此本发明的专利保护范围须视本说明书所附的本申请权利要求范围所界定的为准。

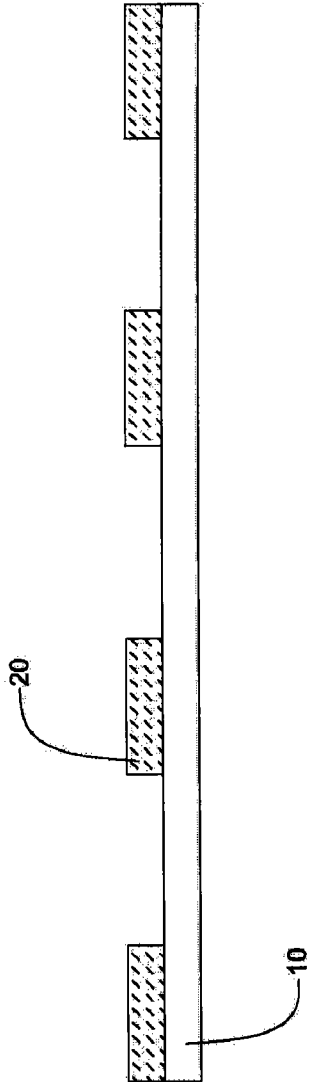


图 1

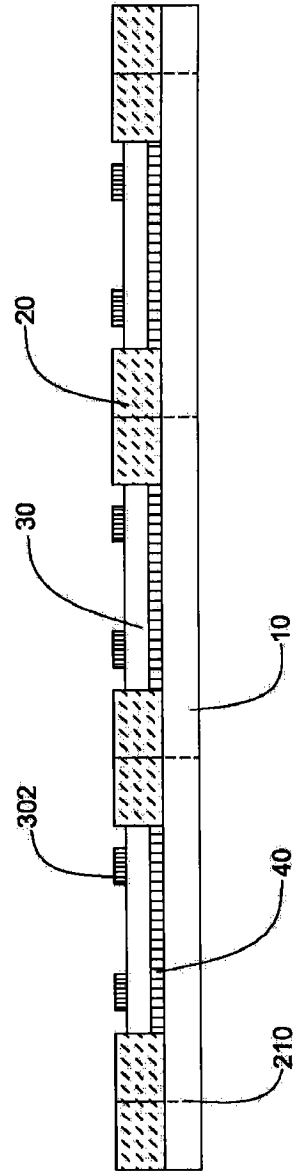


图 2

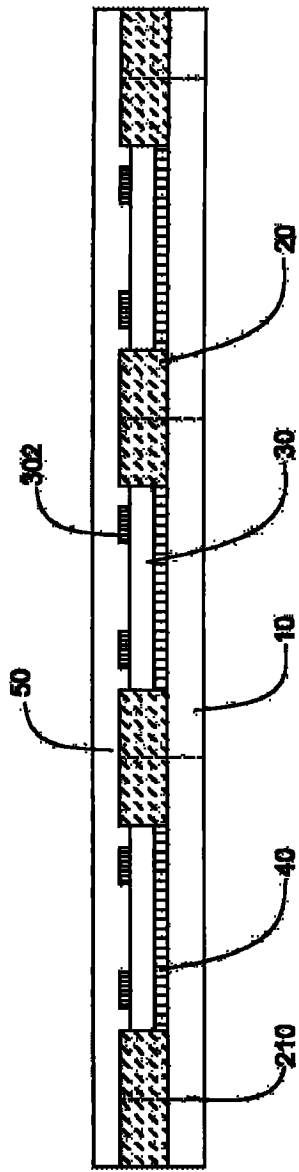


图 3

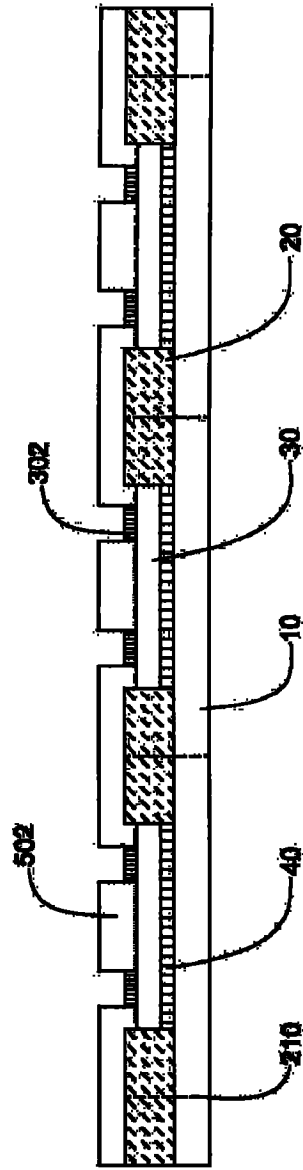


图 4

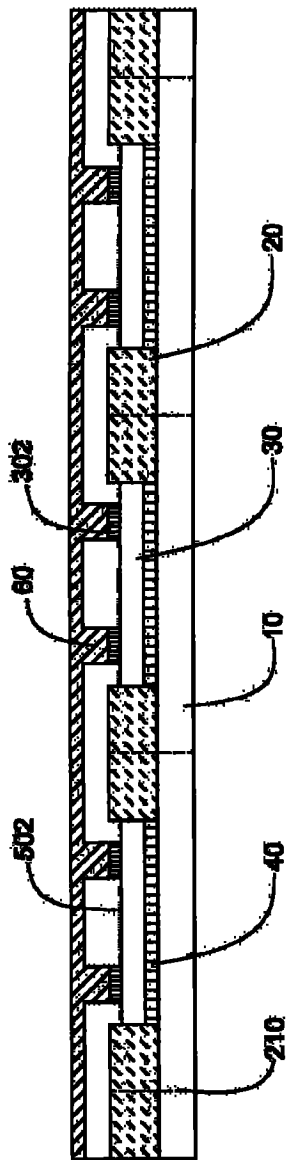


图 5

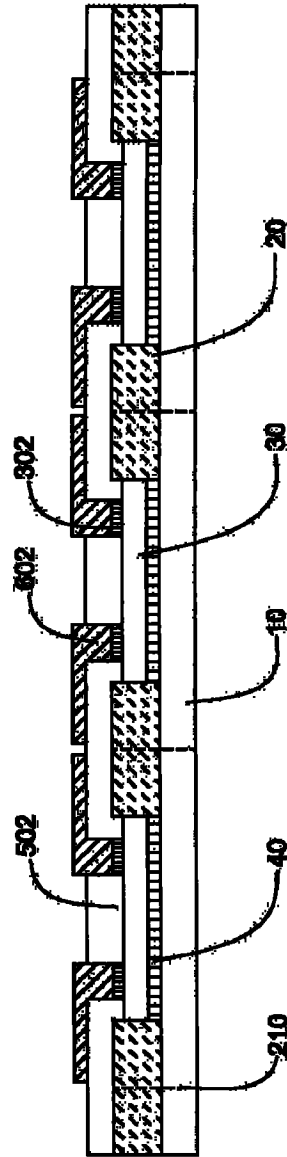


图 6

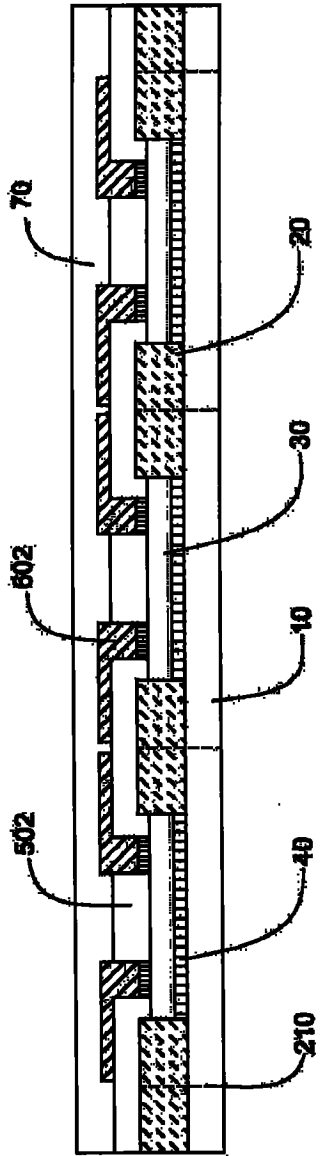


图 7

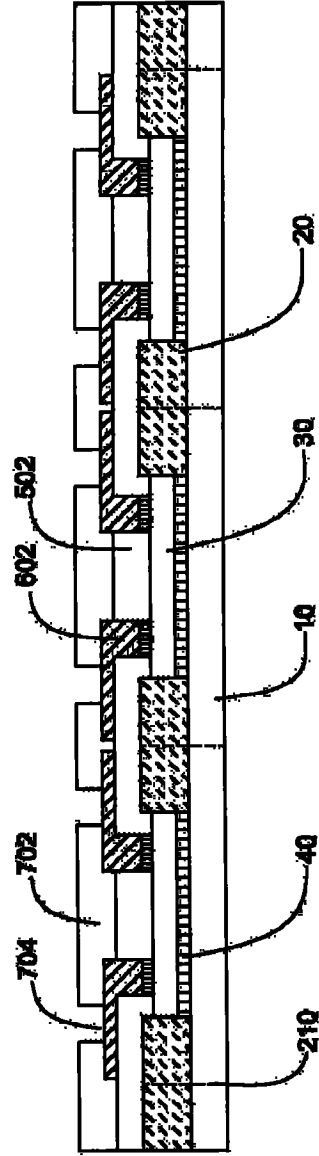


图 8

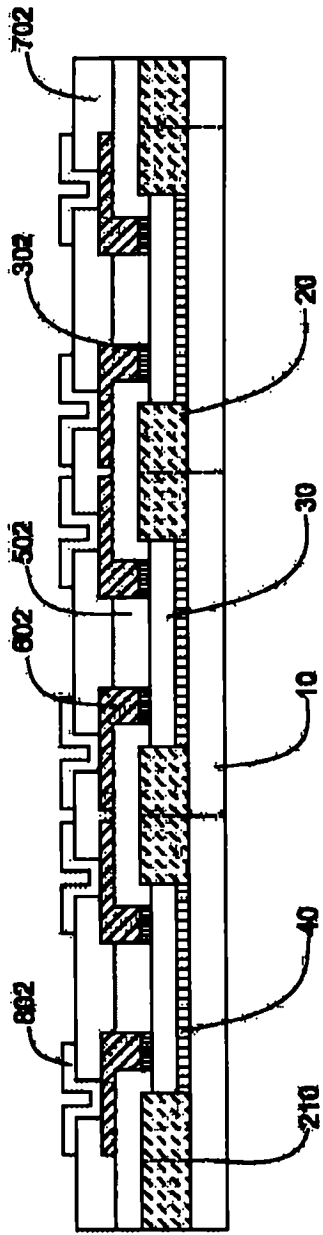


图 9

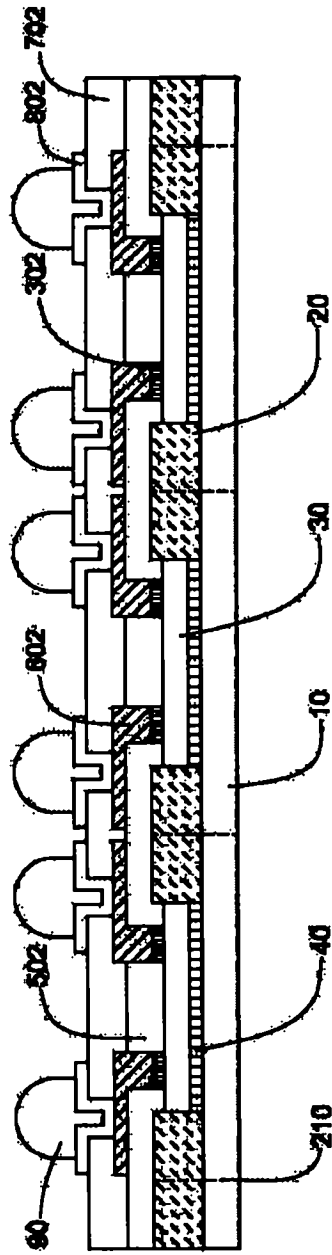


图 10

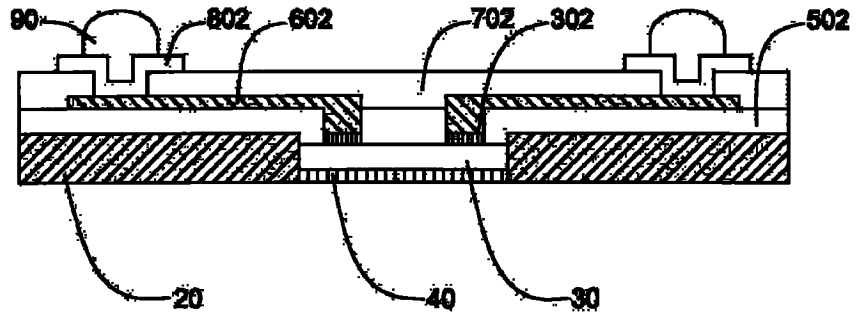


图 11

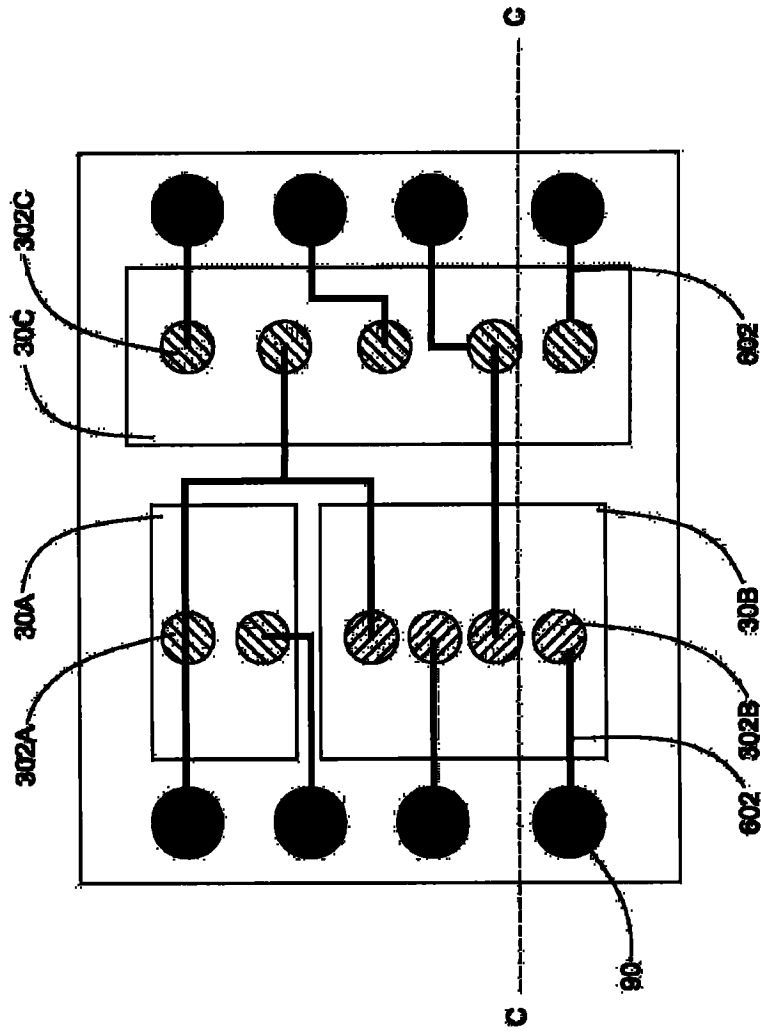


图 12

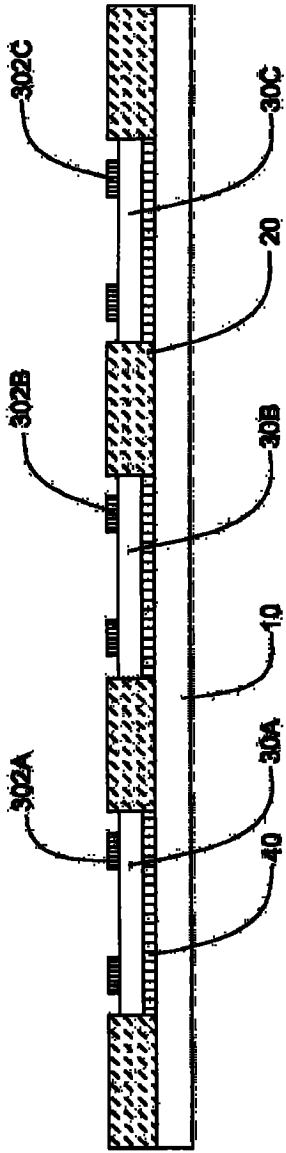


图 13

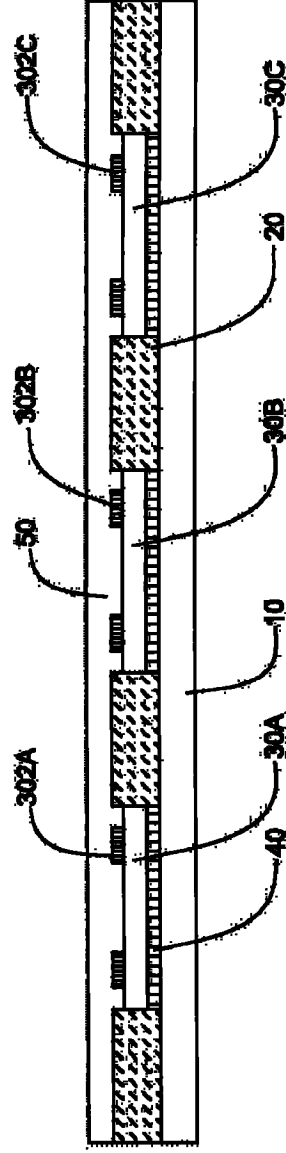


图 14

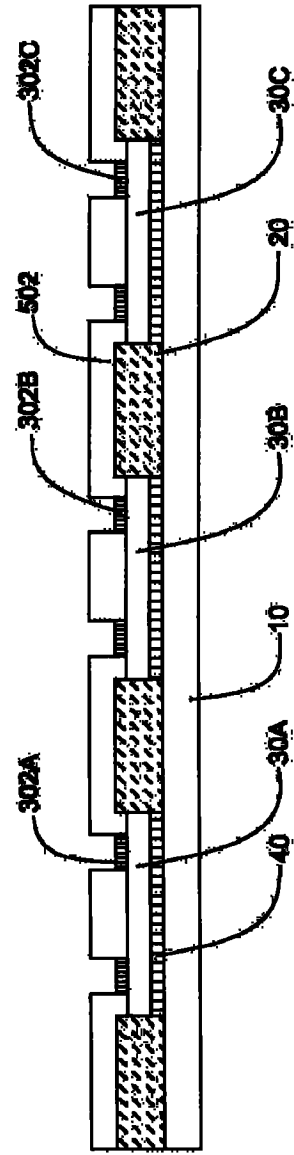


图 15

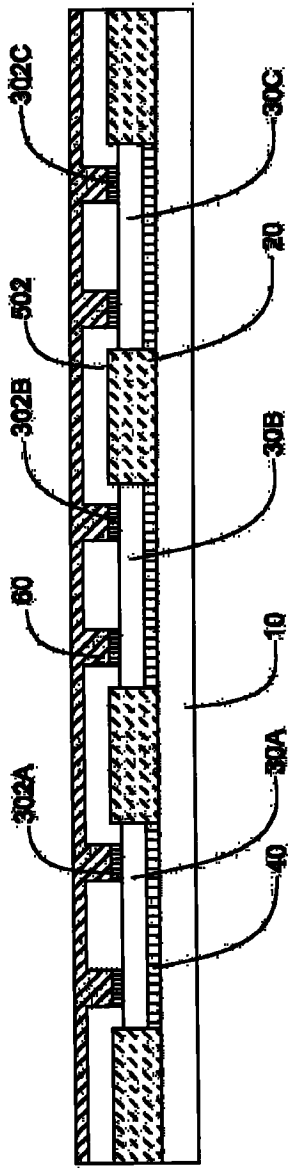


图 16

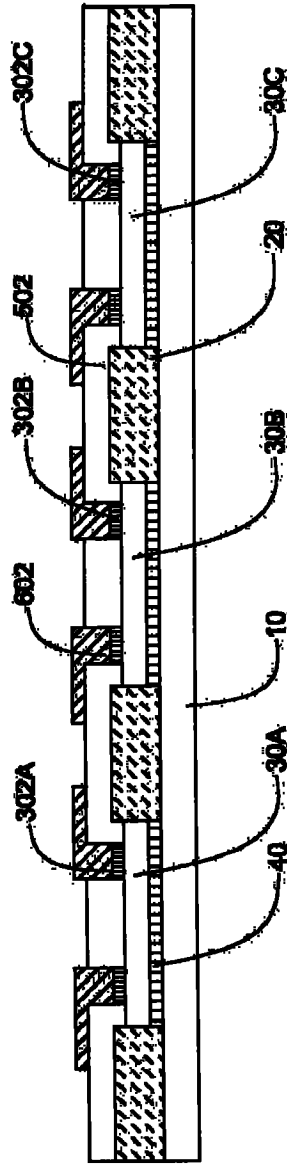


图 17

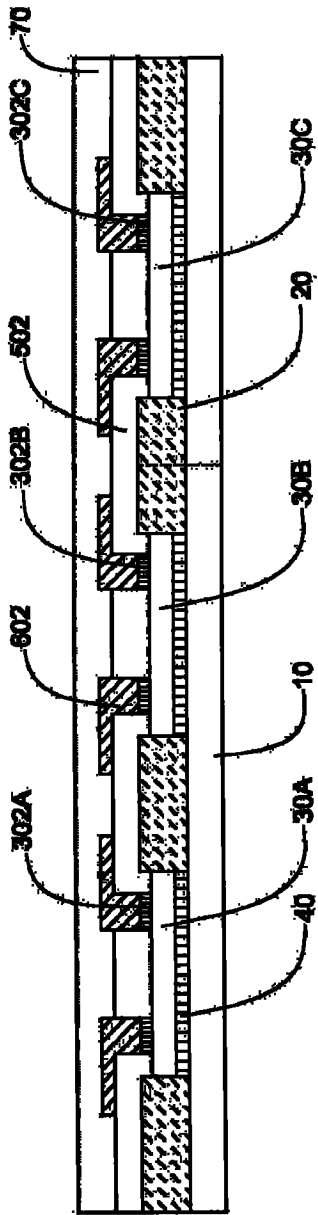


图 18

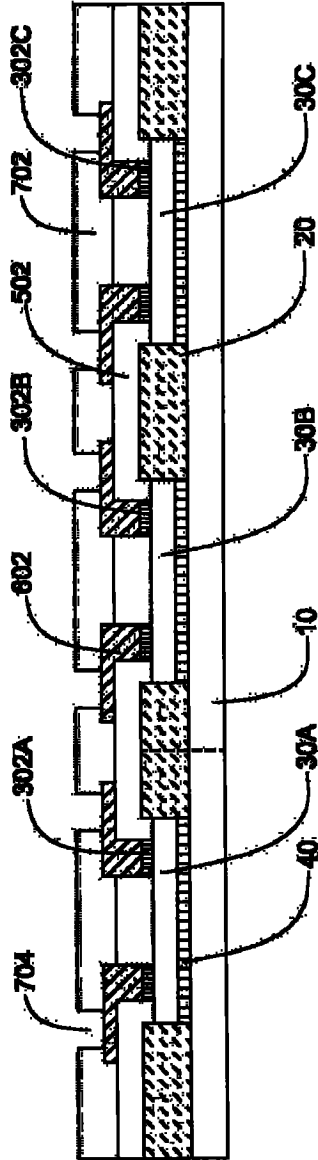


图 19

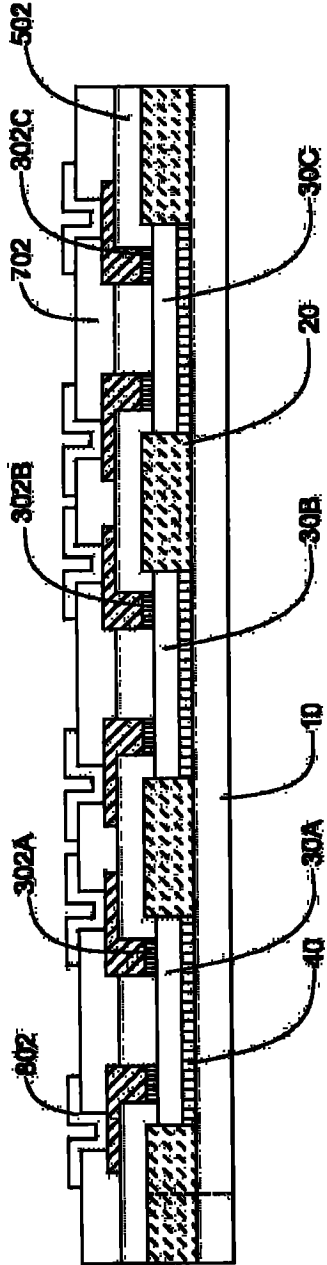


图 20

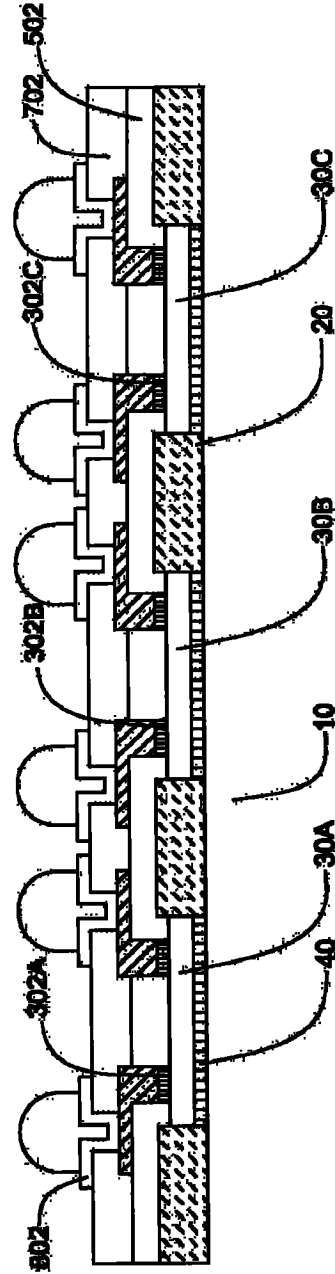


图 21